



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0027370
(43) 공개일자 2013년03월15일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01)

(21) 출원번호 10-2011-0090910

(22) 출원일자 2011년09월07일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

정연학

충남 천안시 쌍용2동 현대아이파크홈타운 103동 104호

이각석

부산 남구 문현1동 77-1 6/5

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

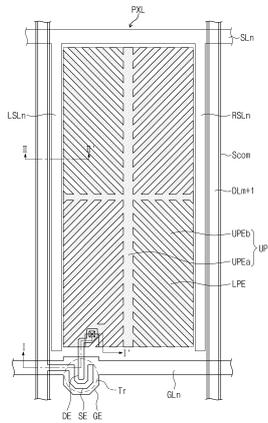
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

액정 표시 장치는 복수의 화소 영역을 포함하는 제1 기판, 상기 제1 기판에 대향하는 제2 기판, 및 상기 제1 기판과 상기 제2 기판 사이에 형성된 액정층을 포함한다. 상기 제1 기판은 제1 베이스 기판, 각 화소 영역에 대응하여 상기 제1 베이스 기판 상에 형성된 제1 화소 전극, 상기 제1 화소 전극으로부터 절연되어 이격된 차폐 전극, 상기 제1 화소 전극과 상기 차폐 전극 상에 제공된 패시베이션층, 및 상기 패시베이션층 상에 형성되며 적어도 일부가 상기 제1 화소 전극과 중첩하는 제2 화소 전극을 포함한다.

대표도 - 도1



(72) 발명자

신기철

충청남도 아산시 탕정면 탕정면로 37, 삼성트라펠
리스 304동 2304호

이희환

서울특별시 관악구 승방3가길 10, 월드 403호 (남
현동)

홍지표

경기도 평택시 참이슬길 13, 103동 301호 (합정동,
참이슬아파트)

특허청구의 범위

청구항 1

복수의 화소 영역을 포함하는 제1 기관;

상기 제1 기관에 대항하는 제2 기관; 및

상기 제1 기관과 상기 제2 기관 사이에 형성된 액정층을 포함하며,

상기 제1 기관은

제1 베이스 기관;

각 화소 영역에 대응하여 상기 제1 베이스 기관 상에 형성된 제1 화소 전극;

상기 제1 화소 전극으로부터 절연되어 이격된 차폐 전극;

상기 제1 화소 전극과 상기 차폐 전극 상에 제공된 패시베이션층; 및

상기 패시베이션층 상에 형성되며 적어도 일부가 상기 제1 화소 전극과 중첩하는 제2 화소 전극을 포함하는 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 차폐 전극은 상기 제1 화소 전극과 동일 층 상에 제공되는 것을 특징으로 하는 액정 표시 장치.

청구항 3

제2항에 있어서,

상기 차폐 전극은 상기 제1 화소 전극과 동일 물질로 제공되는 것을 특징으로 하는 액정 표시 장치.

청구항 4

제3항에 있어서,

상기 제1 화소 전극은 통판으로 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 5

제3항에 있어서,

상기 제1 화소 전극과 상기 제2 화소 전극에는 동일한 레벨의 전압이 인가되는 것을 특징으로 하는 액정 표시 장치.

청구항 6

제5항에 있어서,

상기 제1 기관은 게이트 신호에 응답하여 데이터 신호를 출력하며, 상기 제1 화소 전극과 상기 제2 화소 전극에 연결된 박막 트랜지스터를 더 포함하며,

상기 제1 화소 전극과 상기 제2 화소 전극은 상기 데이터 신호를 입력받아 전압이 각각 충전되는 것을 특징으로 하는 액정 표시 장치.

청구항 7

제6항에 있어서,

상기 제1 기관은 상기 게이트 신호를 수신하는 복수의 게이트 라인 및 상기 데이터 신호를 수신하는 데이터 라인을 더 포함하며, 상기 박막 트랜지스터는 상기 게이트 라인들 중 대응하는 게이트 라인 및 상기 데이터 라인

들 중 대응하는 데이터 라인에 연결되는 것을 특징으로 하는 액정 표시 장치.

청구항 8

제7항에 있어서,

상기 차폐 전극은 평면 상에서 볼 때 상기 데이터 라인을 커버하는 것을 특징으로 하는 액정 표시 장치.

청구항 9

제8항에 있어서,

평면 상에서 볼 때 상기 차폐 전극은 상기 데이터 라인의 폭보다 큰 것을 특징으로 하는 액정 표시 장치.

청구항 10

제7항에 있어서,

상기 제2 기판은 제2 베이스 기판; 및

상기 제2 베이스 기판 상에 형성되며 상기 제1 기판 상에 형성된 제1 화소 전극 및 상기 제2 베이스 기판 상에 형성된 제2 화소 전극과 함께 전계를 형성하는 공통 전극을 포함하는 액정 표시 장치.

청구항 11

제10항에 있어서,

상기 제1 화소 전극과 상기 제2 화소 전극에는 제1 전압이 인가되며, 상기 차폐 전극에는 상기 제1 전압과 다른 레벨의 제2 전압이 인가되는 것을 특징으로 하는 액정 표시 장치.

청구항 12

제10항에 있어서,

상기 공통 전극과 상기 차폐 전극에는 동일 레벨의 전압이 인가되는 것을 특징으로 하는 액정 표시 장치.

청구항 13

제7항에 있어서,

상기 제2 베이스 기판과 상기 공통 전극 사이에 형성된 블랙 매트릭스를 더 포함하며, 상기 블랙 매트릭스는 상기 데이터 라인들을 커버하는 것을 특징으로 하는 액정 표시 장치.

청구항 14

제1항에 있어서,

상기 제2 화소 전극은 줄기부와 상기 줄기부에 연결되며 서로 이격된 복수의 가지부들을 가지는 것을 특징으로 하는 액정 표시 장치.

청구항 15

제14항에 있어서,

상기 제1 화소 전극은 평면 상에서 볼 때 상기 가지부들의 길이 방향과 교차하는 가장자리를 갖는 것으로 하는 액정 표시 장치.

청구항 16

제15항에 있어서,

상기 가장자리 중 일부는 상기 줄기부와 상기 가지부들의 단부 사이에 위치하는 것을 특징으로 하는 액정 표시 장치.

청구항 17

제16항에 있어서,

상기 가지부들의 단부는 상기 제1 화소 전극 가장자리로부터 3 μm 이상 이격된 것을 특징으로 하는 액정 표시 장치.

청구항 18

제17항에 있어서,

상기 제2 화소 전극은 상기 각 가지부들의 단부들의 적어도 일부를 연결하는 외곽부를 더 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 19

제16항에 있어서,

상기 제2 화소 전극은 상기 각 가지부들의 단부에 연결되어 상기 각 가지부의 길이 방향에 대해 예각을 이루는 방향으로 연장된 절곡부를 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 20

제19항에 있어서,

상기 각 가지부의 길이 방향과 상기 절곡부의 연장 방향이 이루는 각도는 5° 내지 30° 인 것을 특징으로 하는 액정 표시 장치.

청구항 21

제20항에 있어서,

상기 절곡부의 길이는 5 μm 이상인 것을 특징으로 하는 액정 표시 장치.

청구항 22

제19항에 있어서,

상기 제2 화소 전극은 상기 각 가지부들의 단부들 중 적어도 일부를 연결하는 외곽부를 더 포함하는 것을 특징으로 하는 액정 표시 장치.

명세서

기술분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 더욱 상세하게는 개구율이 향상된 액정 표시 장치에 관한 것이다.

배경기술

[0002] 액정 표시 장치는 투명한 두 기판 사이에 액정층이 형성된 액정 표시 장치로서, 상기 액정층을 구동하여 화소별로 광투과율을 조절함으로써 원하는 화상을 표시한다.

[0003] 액정 표시 장치의 동작 모드 중에서 수직 정렬(vertical alignment) 모드는 두 기판 사이에 전계가 형성될 때 액정 분자가 수직으로 정렬되어 광을 투과시켜 화상을 표시한다. 상기 수직 정렬 모드 액정 표시 장치 중 PVA 모드(patterned vertical alignment mode)는, 패터닝된 화소 전극을 이용하여 액정 분자들을 서로 다른 방향으로 배열시켜 액정 도메인을 형성함으로써 액정 표시 장치의 시야각을 향상시킨다. 상기 화소 전극은 복수의 미세 슬릿을 가지도록 패터닝될 수 있으며, 상기 미세 슬릿들 사이에 형성된 프린지 전계에 의해 상기 액정 분자들이 구동된다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 액정의 오배열을 감소시키고 개구율을 향상시킨 액정 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 상기한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는 복수의 화소 영역을 포함하는 제1 기관, 상기 제1 기관에 대향하는 제2 기관, 및 상기 제1 기관과 상기 제2 기관 사이에 형성된 액정층을 포함한다.

[0006] 상기 제1 기관은 제1 베이스 기관, 각 화소 영역에 대응하여 상기 제1 베이스 기관 상에 형성된 제1 화소 전극, 상기 제1 화소 전극으로부터 절연되어 이격된 차폐 전극, 상기 제1 화소 전극과 상기 차폐 전극 상에 제공된 패시베이션층, 및 상기 패시베이션층 상에 형성되며 적어도 일부가 상기 제1 화소 전극과 중첩하는 제2 화소 전극을 포함한다.

[0007] 상기 차폐 전극은 상기 제1 화소 전극과 동일 층 상에 제공되며, 상기 차폐 전극은 상기 제1 화소 전극과 동일 물질로 제공될 수 있다. 상기 제1 화소 전극과 상기 제2 화소 전극 사이에 형성된 패시베이션층을 더 포함하고, 상기 차폐 전극은 상기 패시베이션층 상에 형성된다. 상기 제1 화소 전극과 상기 제2 화소 전극에는 동일한 레벨의 전압이 인가된다.

[0008] 상기 제1 기관은 게이트 신호에 응답하여 데이터 신호를 출력하며, 상기 제1 화소 전극과 상기 제2 화소 전극에 연결된 박막 트랜지스터를 더 포함하며, 상기 제1 화소 전극과 상기 제2 화소 전극은 상기 데이터 신호를 입력 받아 전압이 각각 충전된다.

[0009] 상기 제1 기관은 상기 게이트 신호를 수신하는 복수의 게이트 라인 및 상기 데이터 신호를 수신하는 데이터 라인을 더 포함하며, 상기 박막 트랜지스터는 상기 게이트 라인들 중 대응하는 게이트 라인 및 상기 데이터 라인들 중 대응하는 데이터 라인에 연결된다.

[0010] 상기 차폐 전극은 평면 상에서 볼 때 상기 데이터 라인을 커버한다. 상기 차폐 전극은 평면 상에서 볼 때 상기 데이터 라인의 폭보다 크다.

발명의 효과

[0011] 본 발명의 실시예들은 액정의 오배열을 감소시키고 개구율이 향상된 액정 표시 장치를 제공한다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 일부를 나타낸 평면도이다.

도 2a는 도 1에 표시된 I-I'선에 따라 자른 단면도이다.

도 2b는 도 1에 표시된 II-II'선에 따라 자른 단면도이다.

도 3은 본 발명의 다른 실시예에 따른 액정 표시 장치의 일부를 나타낸 평면도이다.

도 4a는 도 3에 표시된 III-III'선에 따라 자른 단면도이다.

도 4b는 도 3에 표시된 IV-IV'선에 따라 자른 단면도이다.

도 5는 다른 실시예에 따른 액정 표시 장치의 구동을 설명하기 위한 등가 회로도이다.

도 6은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 일부를 나타낸 평면도이다.

도 7는 도 6에 표시된 V-V'선에 따라 자른 단면도이다.

도 8은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 일부를 나타낸 단면도이다.

도 9, 도 10, 및 도 11은 본 발명의 또 다른 실시예들에 따른 액정 표시 장치에 있어서 제1 상부 화소 전극과 제1 하부 화소 전극을 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고

본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

- [0014] 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치의 일부를 나타낸 평면도이다. 도 2a는 도 1에 표시된 I-I'선에 따라 자른 단면도, 도 2b는 도 1에 표시된 II-II"선에 따라 자른 단면도이다.
- [0015] 도 1, 도 2a, 및 도 2b를 참조하면, 액정 표시 장치는 제1 기관(100), 상기 제1 기관(100)에 대향하는 제2 기관(200), 및 상기 두 기관(100, 200) 사이에 형성된 액정층(300)을 포함한다.
- [0016] 상기 제1 기관은 상기 액정층(300)의 액정 분자들을 구동하기 위한 박막 트랜지스터들이 형성된 박막 트랜지스터 어레이 기관이며, 상기 제2 기관(200)은 상기 제1 기관에 대향하는 대향 기관이다. 상기 액정층(300)은 유전율 이방성을 가지는 복수의 액정 분자들을 포함한다.
- [0017] 상기 액정 분자들은 상기 제1 기관(100)과 상기 제2 기관(200) 사이에서 상기 두 기관(100, 200)에 수직인 방향으로 배열된 수직 배향형 액정 분자들이다. 상기 제1 기관(100)과 상기 제2 기관(200) 사이에 전계가 인가되면 상기 액정 분자들이 상기 제1 기관(100)과 상기 제2 기관(200) 사이에서 특정 방향으로 회전함으로써 광을 투과시키거나 차단한다. 여기서, 상기 본 명세서에서 사용된 회전이라는 용어는 주로 상기 액정 분자들이 상기 제1 기관(100) 또는 상기 제2 기관(200)과 수평한 방향으로 눕는 것을 의미한다. 그 외에, 상기 액정 분자들이 회전한다는 용어는 상기 액정 분자들이 실제로 회전하는 것뿐만 아니라, 상기 전계에 의해 액정 분자들의 배향이 바뀐다는 의미를 포함할 수 있다.
- [0018] 상기 제1 기관(100)은 복수의 화소 영역을 가지는 제1 베이스 기관(SUB1)을 포함한다. 상기 제1 베이스 기관(SUB1) 상에는 n+p개의 게이트 라인들(GL1, ..., GLn, GLn+1, ..., GL(n+p)-1, GLn+p), m+q개의 데이터 라인들(DL1, ..., DLm, DLm+1, ..., DL(m+q)-1, DLm+q), 및 상기 데이터 라인들(DL1, ..., DLm, DLm+1, ..., DL(m+q)-1, DLm+q)을 차폐하는 차폐 전극(Scm)이 구비된다.
- [0019] 상기 화소 영역들에는 화소(PXL)가 각각 형성된다. 각 화소(PXL)는 상기 게이트 라인들(GL1, ..., GLn, GLn+1, ..., GL(n+p)-1, GLn+p) 중 하나와 상기 데이터 라인들(DL1, ..., DLm, DLm+1, ..., DL(m+q)-1, DLm+q) 중 하나에 연결된다.
- [0020] 도 1에서는 설명의 편의상 n번째 게이트 라인(제n 게이트 라인, GLn)과 m번째 데이터 라인(제m 데이터 라인, DLm)을 가지는 화소(PXL) 부분을 도시하였다. 여기서 복수의 화소(PXL) 각각은 실질적으로 서로 동일한 구조로 이루어지며, 이하에서는 n번째 게이트 라인(GLn)과 m번째 데이터 라인(DLm)을 각각 게이트 라인(GLn)과 데이터 라인(DLm)으로 지칭한다.
- [0021] 상기 각 화소(PXL)는 상기 게이트 라인(GLn)과 상기 데이터 라인(DLm)에 연결된 박막 트랜지스터(Tr)와 상기 박막 트랜지스터(Tr)에 연결된 하부 화소 전극(LPE)과 상부 화소 전극(UPE), 및 스토리지 전극부를 포함한다.
- [0022] 상기 게이트 라인(GLn)은 상기 제1 베이스 기관(SUB1) 상에 제1 방향(D1)으로 연장된다. 상기 데이터 라인(DLm)은 게이트 절연막(GI)을 사이에 두고 제1 방향(D1)에 교차하는 제2 방향(D2)으로 연장된다.
- [0023] 상기 박막 트랜지스터(Tr)는 게이트 전극(GE), 반도체층(SM), 소스 전극(SE), 및 드레인 전극(DE)을 포함한다.
- [0024] 상기 게이트 전극(GE)은 상기 게이트 라인(GLn)으로부터 돌출되어 제공되거나 상기 게이트 라인(GLn) 일부 영역 상에 형성된다.
- [0025] 상기 반도체층(SM)은 상기 게이트 절연막(GI)을 사이에 두고 상기 게이트 전극(GE)과 중첩하여 제공된다.
- [0026] 상기 소스 전극(SE)은 일부 영역이 상기 게이트 라인(GLn)과 중첩하도록 상기 데이터 라인(DLm)에서 분지되어 형성된다. 상기 드레인 전극(DE)은 상기 반도체층(SM)을 사이에 두고 상기 소스 전극(SE)으로부터 이격되며, 일부 영역이 상기 게이트 라인(GLn)과 중첩하도록 제공된다.
- [0027] 상기 소스 전극(SE)과 상기 드레인 전극(DE)이 형성된 제1 베이스 기관(SUB1) 상에는 제1 패시베이션층(PSV1)이 형성된다.
- [0028] 상기 하부 화소 전극(LPE)은 제1 패시베이션층(PSV1) 상에 통판으로 형성된다.
- [0029] 상기 하부 화소 전극(LPE)이 형성된 제1 베이스 기관(SUB1) 상에는 제2 패시베이션층(PSV2)이 형성되며, 상기 제2 패시베이션층(PSV2)을 사이에 두고 상기 하부 화소 전극(LPE)과 중첩하는 상부 화소 전극(UPE)이 제공된다.
- [0030] 상기 상부 화소 전극(UPE)은 상기 하부 화소 전극(LPE)과 적어도 일부가 중첩할 수 있다. 여기서, 상기 제1 및

제2 패시베이션층(PSV1, PSV2)은 상기 드레인 전극(DE)의 일부를 노출하는 콘택홀을 가지며, 상기 상부 화소 전극(UPE)은 상기 콘택홀을 통해 상기 드레인 전극(DE)에 접촉한다. 상기 하부 화소 전극(LPE)은 상기 콘택홀 내에 형성된 상부 화소 전극(UPE)에 직접 접촉함으로써 상기 드레인 전극(DE)에 전기적으로 연결된다.

- [0031] 상기 상부 화소 전극(UPE)은 줄기부(PE1a)와 상기 줄기부(PE1a)로부터 연결되며 서로 이격된 복수의 가지부들(PE1b)을 포함할 수 있다. 상기 줄기부(PE1a)는 본 발명의 일 실시예와 같이 십자 형상으로 제공될 수 있으며, 이 경우 상기 화소(PXL)는 상기 줄기부(PE1a)에 의해 복수의 영역, 즉 다수의 도메인으로 구분될 수 있다. 상기 가지부들(PE1a)은 각 도메인에 대응되어, 각 도메인마다 서로 다른 방향으로 배열될 수 있다. 본 발명의 일 실시예에서는 일 예로서 상기 화소(PXL)가 4개의 도메인도메인들로 이루어진 것을 도시하였다. 상기 복수의 가지부들(PE1b)은 서로 인접한 가지부(PE1b)와 만나지 않도록 이격되어 있으며, 상기 줄기부(PE1a)에 의해 구분된 영역 내에서는 실질적으로 서로 평행한 방향으로 연장된다. 상기 가지부들(PE1b)에 있어서, 인접한 서로 인접한 가지부들(PE1b) 사이는 마이크로미터 단위의 거리로 이격되어 있으며, 이는 상기 액정층(300)의 액정 분자들을 상기 제1 베이스 기판(SUB1)과 평행한 평면 상의 특정 방위각으로 정렬 시키기 위한 수단에 해당된다.
- [0032] 상기 스토리지 전극부는 상기 제1 방향(D1)으로 연장된 스토리지 라인(SLn)과, 상기 스토리지 라인(SLn)으로부터 분기되어 상기 제2 방향(D2)으로 연장된 제1 및 제2 분기 전극(LSLn, RSLn)을 더 포함한다. 상기 상부 화소 전극(UPE)은 상기 스토리지 라인(SLn), 제1 및 제2 분기 전극(LSLn, RSLn)과 부분적으로 오버랩되어 상기 스토리지 커패시터를 형성한다. 또한 상기 제1 및 제2 분기 전극들(LSLn, RSLn)은 상기 데이터 라인(DLn)과 상기 상부 화소 전극(UPE) 및 하부 화소 전극(LPE) 사이의 커플링 전계를 차폐한다.
- [0033] 상기 차폐 전극(Scm)은 상기 제1 패시베이션층(PSV1) 상에 형성되며, 평면 상에서 볼 때 상기 하부 화소 전극(LPE)으로부터 이격되어 형성된다. 상기 차폐 전극(Scm)은 상기 하부 화소 전극(LPE)과 동일한 물질로 형성될 수 있다. 상기 차폐 전극(Scm)은 상기 하부 화소 전극(LPE)과 동일한 층으로부터 형성될 수 있는 데, 이 경우, 1매의 마스크를 이용한 단일 포토리소그래피 단계로 형성될 수 있다.
- [0034] 상기 차폐 전극(Scm)은 평면 상에서 볼 때, 상기 데이터 라인(DLn)을 커버하며, 상기 데이터 라인(DLn)이 형성된 영역에 대응하여 상기 제2 방향으로 연장된다. 상기 차폐 전극(Scm)은 상기 데이터 라인(DLn)의 길이 방향에 수직한 폭보다 큰 폭을 가진다. 예를 들어, 상기 차폐 전극(Scm)은 상기 데이터 라인의 폭보다 2 μ m 이상 클 수 있다. 이에 따라 평면 상에서 상기 데이터 라인(DLn)이 상기 차폐 전극(Scm)에 의해 커버된다.
- [0035] 본 발명의 일 실시예에 있어서, 상기 차폐 전극(Scm)은 상기 데이터 라인(DLn)이 형성된 영역에 대응하는 영역을 커버하는 것이 개시되었으나, 이에 한정되는 것은 아니며, 예를 들어, 상기 데이터 라인(DLn)이 형성된 영역 뿐만 아니라, 상기 게이트 라인(GLn)이나 상기 박막 트랜지스터(Tr)가 형성된 영역도 커버할 수 있다.
- [0036] 상기 제2 기판(200)은 제2 베이스 기판(SUB2), 블랙 매트릭스(BM), 오버코트층(OC), 및 공통 전극(CE)을 포함한다.
- [0037] 상기 블랙 매트릭스(BM)는 상기 제2 베이스 기판(SUB2) 상에 상기 데이터 라인(DLn)이 형성된 영역에 대응하는 영역에 제공되며, 액정 분자들의 오배열로 인한 빛샘을 막는다.
- [0038] 상기 오버코트층(OC)은 상기 블랙 매트릭스(BM) 상에 제공되며, 상기 블랙 매트릭스(BM)로 인한 단차를 감소시킨다.
- [0039] 상기 공통 전극(CE)은 상기 오버코트층(OC) 상에 형성되며, 소정 레벨의 전압이 인가되어 상기 하부 화소 전극(LPE) 및 상기 상부 화소 전극(UPE)과 함께 전계를 형성한다.
- [0040] 상기한 구조를 갖는 액정 표시 장치에 있어서, 상기 제n 게이트 라인(GLn)에 게이트 신호가 인가되면, 상기 박막 트랜지스터(Tr)가 턴-온된다. 따라서, 상기 제m 데이터 라인(DLn)으로 인가된 상기 데이터 신호는 상기 박막 트랜지스터(Tr)를 통해 상기 하부 화소 전극(LPE)과 상기 상부 화소 전극(UPE)으로 인가된다. 따라서, 상기 하부 화소 전극(LPE)과 상기 상부 화소 전극(UPE)에는 동일 레벨의 전압이 인가된다. 상기 공통 전극(CE)에는 상기 하부 화소 전극(LPE) 및 상기 상부 화소 전극(UPE)에 인가된 전압과 다른 레벨의 전압이 인가되며, 이에 따라 상기 하부 및 상부 화소 전극(LPE, UPE)들과, 상기 공통 전극(CE) 사이에 전계가 형성된다.
- [0041] 여기서, 상기 차폐 전극(Scm)에는 상기 공통 전극(CE)과 동일한 레벨의 전압이 인가되며, 이에 따라, 상기 차폐 전극(Scm)과 상기 공통 전극(CE) 사이에는 전계가 형성되지 않는다. 상기 차폐 전극(Scm)이 제공되지 않는 기존의 액정 표시 장치에서는 화소의 가장자리에 해당하는 영역에 위치한 액정 분자들, 즉, 상기 데이터 라인 부근의 액정 분자들은, 화소 전극과 공통 전극 사이에 프린지 전계가 약하기 때문에 오배열의 가능성이 높았으

며, 그 결과 빛샘 현상이 발생하였다. 그러나, 본 발명의 일 실시예에 따르면, 상기 화소의 가장자리에 해당하는 영역에 위치한 액정 분자들은 상기 공통 전극(CE)과, 상기 하부 및 상부 화소 전극들(LPE, UPE) 사이의 프린지 전계가 약하더라도 차폐 전극(Scm)이 형성된 영역에 전계가 형성되지 않기 때문에, 해당 영역에 위치한 액정 분자들의 오배열이 방지된다. 그 결과, 빛샘 현상이 감소하며, 상기 빛샘 현상을 방지하기 위해 형성하는 블랙 매트릭스(BM)의 면적을 감소시킬 수 있으므로 액정 표시 장치의 개구율이 증가한다.

- [0042] 또한, 상기 차폐 전극(Scm)이 상기 하부 화소 전극(LPE)과 동일한 층에, 상기 상부 화소 전극(UPE)과 다른 층에 형성되어 형성된다. 이에 따라, 상기 상부 화소 전극(UPE) 형성 시 상기 상부 화소 전극(UPE)의 형상 및 면적에 대한 자유도가 증가한다. 예를 들어, 상기 상부 화소 전극(UPE)이 상기 차폐 전극(Scm)과 상기 하부 화소 전극(LPE)의 이격 영역에까지 연장되어 형성되거나, 상기 차폐 전극(Scm)과 일부 중첩하도록 형성될 수도 있으며, 이에 대해서는 다른 실시예들로 추후 설명한다.
- [0043] 도 3은 본 발명의 다른 실시예에 따른 액정 표시 장치의 일부를 나타낸 평면도이다. 도 4a는 도 3에 표시된 III-III'선에 따라 자른 단면도, 도 4b는 도 3에 표시된 IV-IV'선에 따라 자른 단면도이다.
- [0044] 본 발명의 제2 실시예에서는 중복된 설명을 피하기 위하여 상기 일 실시예와 다른 점을 위주로 설명한다. 제2 실시예에서 특별히 설명하지 않은 부분은 상기 일 실시예에 따른다. 동일한 번호는 동일한 구성요소를, 유사한 번호는 유사한 구성요소를 나타낸다.
- [0045] 본 발명의 다른 실시예는 각 화소가 전하 분배 구조를 가지며, 상기 상부 화소 전극(UPE)이 데이터 라인이 형성된 영역까지 연장되어 형성된 것을 특징으로 한다.
- [0046] 도 3, 도 4a 및 도 4b를 참조하면, 상기 표시 장치는 제1 기판(100), 상기 제1 기판(100)에 대항하는 제2 기판(200), 및 상기 제1 기판(100)과 상기 제2 기판(200) 사이에 형성된 액정층(300)을 포함한다.
- [0047] 상기 제1 기판(100)은 복수의 화소 영역을 가지는 제1 베이스 기판(SUB1)을 포함한다. 상기 제1 베이스 기판(SUB1) 상에는 n+p개의 게이트 라인들(GL1, ..., GLn, GLn+1, ..., GL(n+p)-1, GLn+p), m+q개의 데이터 라인들(DL1, ..., DLm, DLm+1, ..., DL(m+q)-1, DLm+q), 및 상기 데이터 라인들(DL1, ..., DLm, DLm+1, ..., DL(m+q)-1, DLm+q)을 차폐하는 차폐 전극(Scm)이 구비된다.
- [0048] 도 3, 도 4a 및 도 4b에서는 설명의 편의를 위하여, 다수의 게이트 라인들 중 n번째 게이트 라인(GLn)과 n+1번째 게이트 라인(GLn+1), 및 다수의 데이터 라인들 중 m번째 데이터 라인(DLm)과 m+1번째 데이터 라인(DLm+1)과 함께 하나의 화소(PXL)를 도시하였다. 그러나, 본 발명의 일 실시예에 따른 액정 표시 장치에 있어서, 나머지 화소들도 이와 유사한 구조를 가지며, 이하에서는 n번째 게이트 라인(GLn)과 n+1번째 게이트 라인(GLn+1)을 각각 제1 및 제2 게이트 라인, m번째 데이터 라인(DLm)과 m+1번째 데이터 라인(DLm+1)을 각각 제1 데이터 라인과 제2 데이터 라인으로 지칭한다.
- [0049] 상기 제1 및 제2 게이트 라인들(GLn, GLn+1)은 상기 제1 베이스 기판(110) 상에 상기 제1 방향(D1)으로 서로 평행하게 연장된다. 상기 제1 및 제2 데이터 라인들(DLm, DLm+1)은 상기 게이트 절연막(GI)을 사이에 두고 상기 제1 방향(D1)에 교차하는 제2 방향(D2)으로 서로 평행하게 연장된다.
- [0050] 각 화소(PXL)는 제1 서브 화소 및 제2 서브 화소를 포함한다. 상기 제1 서브 화소는 제1 박막 트랜지스터(Tr1), 제1 상부 화소 전극(UPE1), 제1 하부 화소 전극(LPE1), 및 제1 스토리지 전극부로 이루어지고, 상기 제2 서브 화소는 제2 박막 트랜지스터(Tr2), 제2 스토리지 전극부, 제3 박막 트랜지스터(Tr3), 제2 상부 화소 전극(UPE2), 제2 하부 화소 전극(LPE2), 및 커플링 커패시터 전극(CP1)으로 이루어진다. 상기 제1 및 제2 서브 화소는 서로 인접하는 상기 제1 데이터 라인(DLm) 및 제2 데이터 라인(DLm+1) 사이에 구비된다.
- [0051] 상기 제1 서브 화소의 상기 제1 박막 트랜지스터(Tr1)는 상기 제1 데이터 라인(DLm) 및 제1 게이트 라인(GLn)에 연결된다.
- [0052] 상기 제1 박막 트랜지스터(Tr1)의 제1 게이트 전극(GE1)은 상기 제1 게이트 라인(GLn)으로부터 분기되고, 제1 소스 전극(SE1)은 상기 제1 데이터 라인(DLm)으로부터 분기된다. 제1 드레인 전극(DE)은 상기 반도체층(SM)을 사이에 두고 상기 제1 소스 전극(SE)으로부터 이격되며, 일부 영역이 상기 제1 게이트 전극(GE1)과 중첩하도록 제공된다.
- [0053] 상기 제1 소스 전극(SE1)과 상기 제1 드레인 전극(DE1)이 형성된 제1 베이스 기판(SUB1) 상에는 제1 패시베이션 층(PV1)이 형성된다. 상기 제1 패시베이션층(PV1) 상에는 각 화소(PXL)에 대응하여 색을 나타내는 컬러 필터

(CF)가 형성되며, 상기 컬러 필터(CF) 상에는 제2 패시베이션층(P_{SV2})이 형성된다.

- [0054] 상기 제1 하부 화소 전극(LPE1)은 상기 제2 패시베이션층(P_{SV2}) 상에 통관으로 형성된다. 상기 제1 하부 화소 전극(LPE1)이 형성된 제1 베이스 기판(SUB1) 상에는 제3 패시베이션층(P_{SV3})이 형성되며, 상기 제3 패시베이션층(P_{SV3})을 사이에 두고 상기 제1 하부 화소 전극(LPE1)과 적어도 일부가 중첩하는 제1 상부 화소 전극(UPE1)이 제공된다.
- [0055] 상기 제1 상부 화소 전극(UPE1)은 줄기부(PE1a)와 상기 줄기부(PE1a)로부터 돌출되어 연장된 복수의 가지부들(PE1b)을 포함한다. 상기 가지부들(PE1b)은 상기 스토리지 전극부나 상기 제1 및 제2 데이터 라인들(DL_m, DL_{m+1})이 형성된 영역에까지 연장되어 형성된다.
- [0056] 상기 제1 하부 화소 전극(LPE1)은 평면 상에서 볼 때 상기 가지부들(PE1b)의 길이 방향과 교차하는 가장자리를 갖는다. 상기 가장자리 중 일부는 상기 줄기부(PE1a)와 상기 가지부들(PE1b)의 단부 사이에 위치한다. 이에 따라, 상기 제1 상부 화소 전극(UPE1)은 상기 제1 하부 화소 전극(LPE1)과 중첩하는 영역과, 상기 제1 하부 화소 전극(LPE1)과 중첩하지 않는 영역으로 이루어지며, 상기 중첩하지 않는 영역에 상기 가지부들(PE1b)의 단부들이 위치한다. 여기서, 상기 가지부들(PE1b)의 단부는 상기 제1 하부 화소 전극(LPE1) 가장자리로부터 3 μ m 이상 이격된다.
- [0057] 여기서, 상기 제1 및 제2 패시베이션층(P_{SV1}, P_{SV2})은 상기 제1 박막 트랜지스터(Tr1)의 제1 드레인 전극(DE1)의 일부를 노출하는 콘택홀을 가지며, 상기 제1 상부 화소 전극(UPE1)은 상기 콘택홀을 통해 상기 제1 드레인 전극(DE1)에 접촉한다. 상기 제1 하부 화소 전극(LPE1)은 상기 콘택홀 내에서 형성된 제1 상부 화소 전극(UPE1)에 직접 접촉함으로써 상기 제1 드레인 전극(DE1)에 전기적으로 연결된다.
- [0058] 상기 제1 스토리지 전극부는 상기 제1 방향(D1)으로 연장된 제1 스토리지 라인(SL_n)과, 상기 제1 스토리지 라인(SL_n)으로부터 분기되어 상기 제2 방향(D2)으로 연장된 제1 및 제2 분기 전극(LSL_n, RSL_n)을 더 포함한다.
- [0059] 상기 제1 상부 화소 전극(UPE1)은 상기 제1 스토리지 라인(SL_n), 제1 및 제2 분기 전극(LSL_n, RSL_n)과 부분적으로 오버랩되어 상기 제1 스토리지 커패시터를 형성한다. 또한 상기 제1 및 제2 분기 전극들(LSL_n, RSL_n)은 상기 제1 및 제2 데이터 라인들(DL_m, DL_{m+1})과 상기 제1 상부 화소 전극(UPE1) 및 제1 하부 화소 전극(LPE1) 사이의 커플링 전계를 차폐한다.
- [0060] 상기 제2 박막 트랜지스터(Tr2)의 제2 게이트 전극(GE2)은 상기 제1 게이트 라인(GL_n)으로부터 분기되고, 제2 소스 전극(SE2)은 상기 제1 데이터 라인(DL_m)으로부터 분기된다. 제2 드레인 전극(DE)은 상기 반도체층(SM)을 사이에 두고 상기 제2 소스 전극(SE)으로부터 이격되며, 일부 영역이 상기 제2 게이트 전극(GE2)과 중첩하도록 제공된다.
- [0061] 상기 제2 소스 전극(SE2)과 상기 제2 드레인 전극(DE2)이 형성된 상기 제1 베이스 기판(SUB1) 상에는 상기 제1 패시베이션층(P_{SV1})이 형성된다. 상기 제1 패시베이션층(P_{SV1}) 상에는 상기 컬러 필터(CF)가 형성되며, 상기 컬러 필터(CF) 상에는 제2 패시베이션층(P_{SV2})이 형성된다.
- [0062] 상기 제2 박막 트랜지스터(Tr2)의 제2 드레인 전극(DE2)은 상기 제2 하부 화소 전극(LPE2) 및 제2 상부 화소 전극(UPE2)에 전기적으로 연결된다. 상기 제2 하부 화소 전극(LPE2)은 상기 제2 패시베이션층(P_{SV2}) 상에 통관으로 형성된다. 상기 제2 하부 화소 전극(LPE2)이 형성된 제1 베이스 기판(SUB1) 상에는 상기 제3 패시베이션층(P_{SV3})이 형성되며, 상기 제3 패시베이션층(P_{SV3})을 사이에 두고 상기 제2 하부 화소 전극(LPE2)과 중첩하는 제2 상부 화소 전극(UPE2)이 제공된다. 상기 제2 상부 화소 전극(UPE2)은 상기 제2 하부 화소 전극(LPE2)과 일부가 중첩한다.
- [0063] 상기 제2 상부 화소 전극(UPE2)은 줄기부(PE1a)와 상기 줄기부(PE1a)로부터 돌출되어 연장된 복수의 가지부들(PE1b)을 포함할 수 있다. 상기 가지부들(PE1b)은 상기 스토리지 전극부나 상기 제1 및 제2 데이터 라인들(DL_m, DL_{m+1})이 형성된 영역에까지 연장되어 형성된다.
- [0064] 상기 제1 하부 화소 전극(LPE1)은 평면 상에서 볼 때 상기 가지부들(PE1b)의 길이 방향과 교차하는 가장자리를 갖는다. 상기 가장자리 중 일부는 상기 줄기부(PE1a)와 상기 가지부들(PE1b)의 단부 사이에 위치한다. 이에 따라, 상기 제1 상부 화소 전극(UPE1)은 상기 제1 하부 화소 전극(LPE1)과 중첩하는 영역과, 상기 제1 하부 화소 전극(LPE1)과 중첩하지 않는 영역으로 이루어지며, 상기 중첩하지 않는 영역에 상기 가지부들(PE1b)의 단부들이 위치한다. 여기서, 상기 가지부들(PE1b)의 단부는 상기 제1 하부 화소 전극(LPE1) 가장자리로부터 3 μ m 이상 이격된다.

- [0065] 여기서, 상기 제1 및 제2 패시베이션층(PSV1, PSV2)은 상기 제2 박막 트랜지스터(Tr2)의 제2 드레인 전극(DE2)의 일부를 노출하는 콘택홀을 가지며, 상기 제2 상부 화소 전극(UPE2)은 상기 콘택홀을 통해 상기 제2 드레인 전극(DE2)에 접촉한다. 상기 제2 하부 화소 전극(LPE2)은 상기 콘택홀 내에서 형성된 제2 상부 화소 전극(UPE2)에 직접 접촉함으로써 상기 제2 드레인 전극(DE2)에 전기적으로 연결된다.
- [0066] 상기 제2 스토리지 전극부는 상기 제2 방향(D2)으로 연장된 제2 스토리지 라인(SLn+1)과, 상기 제2 스토리지 라인(SLn+1)으로부터 분기되어 상기 제2 방향(D2)으로 연장된 제3 및 제4 분기 전극(LSLn+1, RSLn+1)을 더 포함한다.
- [0067] 상기 제2 상부 화소 전극(UPE2)은 상기 제2 스토리지 라인(SLn+1), 제3 및 제4 분기 전극(LSLn+1, RSLn+1)과 부분적으로 오버랩되어 상기 제2 스토리지 커패시터를 형성한다. 또한 상기 제3 및 제4 분기 전극들(LSLn+1, RSLn+1)은 상기 제1 및 제2 데이터 라인들(DLm, DLm+1)과 상기 제2 상부 화소 전극(UPE2) 사이, 및 상기 제1 및 제2 데이터 라인들(DLm, DLm+1)과 제2 하부 화소 전극(LPE2) 사이의 커플링 전계를 차폐한다.
- [0068] 상기 제3 박막 트랜지스터(Tr3)의 제3 게이트 전극(GE3)은 상기 제2 게이트 라인(GLn+1)으로부터 분기되고, 제3 소스 전극(SE3)은 상기 제2 드레인 전극(DE2)으로부터 연장되며, 제3 드레인 전극(DE3)은 상기 커플링 커패시터 전극(CP1)에 연결된다. 상기 커플링 커패시터 전극(CP1)은 상기 제2 분기 전극(RSLn)으로부터 연장되어 상기 커플링 커패시터 전극(CP1)과 커플링 커패시터(CCP)를 형성하는 대향 전극(CP2)으로 이루어진다. 그러나, 상기 커플링 커패시터(CCP)의 구조는 여기에 한정되지는 않는다.
- [0069] 상기 차폐 전극(Scm)은 상기 제1 패시베이션층(PSV1) 상에 형성되며, 평면 상에서 볼 때 상기 제1 및 제2 하부 화소 전극(LPE1, LPE2)들로부터 이격되어 형성된다. 상기 차폐 전극(Scm)은 상기 제1 및 제2 하부 화소 전극(LPE1, LPE2)과 동일한 물질로 형성될 수 있다. 또한, 상기 차폐 전극(Scm)은 상기 제1 및 제2 하부 화소 전극(LPE1, LPE2)과 동일한 층으로부터 형성될 수 있는데, 이 경우, 1매의 마스크를 이용한 단일 포토리소그래피 단계로 형성될 수 있다.
- [0070] 상기 차폐 전극(Scm)은 평면 상에서 볼 때, 상기 제1 및 제2 데이터 라인들(DLm, DLm+1)을 커버하며, 상기 제1 및 제2 데이터 라인들(DLm, DLm+1)이 형성된 영역에 대응하여 상기 제2 방향(D2)으로 연장된다. 상기 차폐 전극(Scm)은 상기 제1 및 제2 데이터 라인들(DLm, DLm+1)의 길이 방향에 수직한 폭보다 큰 폭을 가지며, 이에 따라 평면 상에서 상기 제1 및 제2 데이터 라인들(DLm, DLm+1)이 커버된다.
- [0071] 본 발명의 본 실시예에 있어서, 상기 차폐 전극(Scm)은 상기 제1 및 제2 상부 화소 전극(UPE1, UPE2) 각각의 가지부들(PE1b, PE2b)의 단부를 커버한다.
- [0072] 상기 제2 기판(200)은 제2 베이스 기판(SUB2), 블랙 매트릭스(BM), 오버코트층(OC), 및 공통 전극(CE)을 포함한다.
- [0073] 상기 블랙 매트릭스(BM)는 상기 제2 베이스 기판(SUB2) 상에 상기 제1 및 제2 데이터 라인들(DLm, DLm+1)이 형성된 영역에 대응하는 영역에 제공되며, 액정 분자들의 오배열로 인한 빛샘을 막는다.
- [0074] 상기 오버코트층(OC)은 상기 블랙 매트릭스(BM) 상에 제공되며, 상기 블랙 매트릭스(BM)로 인한 단차를 감소시킨다.
- [0075] 상기 공통 전극(CE)은 상기 오버코트층 상에 형성되며, 소정 레벨의 전압이 인가되어 상기 제1 및 제2 하부 화소 전극들(LPE1, LPE2) 및 상기 제1 및 제2 상부 화소 전극들(UPE1, UPE2)과 함께 전계를 형성한다.
- [0076] 상기한 다른 실시예에 따른 액정 표시 장치에 따르면, 상기 차폐 전극(Scm)이 상기 제1 및 제2 상부 화소 전극(UPE1, UPE2)들과 서로 다른 층에 형성되므로, 상기 제1 및 제2 상부 화소 전극(UPE1, UPE2)들이 상기 차폐 전극(Scm)의 상부까지 연장되어 중첩될 수 있다. 만약, 상기 차폐 전극(Scm)이 상기 제1 및 제2 상부 화소 전극(UPE1, UPE2)들과 동일한 층에 형성되는 경우에는 상기 차폐 전극(Scm)과 상기 제1 및 제2 상부 화소 전극들(UPE1, UPE2)이 서로 중첩할 수 없으며, 그 둘 사이에는 이격 영역이 필요하다. 상기 이격 영역은 상기 제1 및 제2 상부 화소 전극(UPE1, UPE2)이 형성되지 않기 때문에 영상이 나타나지 않은 영역에 해당하며, 그 결과 전체 액정 표시 장치의 개구율이 낮아진다. 이에 비해, 본 발명의 다른 실시예에 따르면, 상기 제1 및 제2 상부 화소 전극(UPE1, UPE2)들이 상기 이격 영역까지 연장될 수 있으므로 화상을 표시할 수 있는 영역이 넓어지며, 그 결과 개구율이 높아진다.
- [0077] 여기서, 상기 차폐 전극(Scm)에는 상기 공통 전극(CE)에 제공되는 전압과 동일한 레벨의 전압이 인가므로, 상기 공통 전극과 상기 차폐 전극(Scm) 사이에 전계가 형성되지 않는다. 그런데, 상기 차폐 전극(Scm)이 형성된

영역은 상기 제1 및 상기 제2 상부 화소 전극(UPE1, UPE2)들의 가지부들(PE1a, PE1b)의 단부에 대응하는 영역을 포함하므로, 상기 제1 및 상기 제2 상부 화소 전극(UPE1, UPE2)들 가장자리에서의 전계의 왜곡 및 이로 인한 액정 분자들의 오배열이 발생하지 않는다. 또한, 상기 제1 및 제2 데이터 라인들(DL_m, DL_{m+1})의 데이터 신호에 의한 전계의 왜곡 및 이로 인한 액정의 오배열도 방지된다.

[0078] 도 5는 상기 액정 표시 장치의 구동을 설명하기 위한 등가 회로도이다.

[0079] 도 5를 참조하면, 각 화소(PX)는 제1 서브 화소(SPX1) 및 제2 서브 화소(SPX2)를 포함한다. 상기 제1 서브 화소(SPX1)에는 제1 박막 트랜지스터(Tr1), 제1 액정 커패시터(C1c1) 및 제1 스토리지 커패시터(Cst1)가 제공되고, 상기 제2 서브 화소(SPX2)에는 제2 박막 트랜지스터(Tr2), 제2 액정 커패시터(C1c2), 제2 스토리지 커패시터(Cst2), 제3 박막 트랜지스터(Tr3) 및 커플링 커패시터(CCP)가 제공된다. 상기 제1 및 제2 서브 화소(SPX1, SPX2)는 서로 인접하는 두 개의 데이터 라인(이하, 제1 데이터 라인(DL_m) 및 제2 데이터 라인(DL_{m+1})이라 함) 사이에 구비된다. 또한, 상기 제1 서브 화소(SPX1)의 상기 제1 박막 트랜지스터(Tr1)는 상기 제1 데이터 라인(DL_m) 및 제1 게이트 라인(GL_n)에 연결되고, 상기 제2 서브 화소(SPX2)의 상기 제2 박막 트랜지스터(Tr2)는 상기 제1 데이터 라인(DL_m) 및 제1 게이트 라인(GL_n)에 연결된다. 구체적으로, 상기 제1 박막 트랜지스터(Tr1)는 상기 제1 데이터 라인(DL_m)에 연결된 제1 소스 전극, 상기 제1 게이트 라인(GL_n)에 연결된 제1 게이트 전극, 및 상기 제1 액정 커패시터(C1c1)에 연결된 제1 드레인 전극을 포함한다. 상기 제1 스토리지 커패시터(Cst1)는 상기 제1 드레인 전극과 제1 스토리지 라인(SL_n) 사이에 제공되어 상기 제1 액정 커패시터(C1c1)에 병렬 연결된다. 상기 제2 박막 트랜지스터(Tr2)는 상기 제1 데이터 라인(DL_m)에 연결된 제2 소스 전극, 상기 제1 게이트 라인(GL_n)에 연결된 제2 게이트 전극 및 상기 제2 액정 커패시터(C1c2)에 연결된 제2 드레인 전극을 포함한다. 상기 제2 스토리지 커패시터(Cst2)는 상기 제2 드레인 전극과 제2 스토리지 라인(SL_{n+1}) 사이에 제공되어 상기 제2 액정 커패시터(C1c2)에 병렬 연결된다.

[0080] 상기 제1 게이트 라인(GL_n)에 제1 게이트 신호가 인가되면, 상기 제1 및 제2 박막 트랜지스터(Tr1, Tr2)가 동시에 턴-온된다. 상기 제1 데이터 라인(DL_m)으로 인가된 데이터 전압은 턴-온된 상기 제1 및 제2 박막 트랜지스터(Tr1, Tr2)를 통해 상기 제1 및 제2 액정 커패시터(C1c1, C1c2)로 각각 인가된다. 따라서, 상기 제1 게이트 신호의 하이 구간동안 상기 제1 및 제2 액정 커패시터(C1c1, C1c2)에는 동일한 크기의 화소 전압이 충전된다.

[0081] 한편, 상기 제3 박막 트랜지스터(Tr3)는 상기 제2 박막 트랜지스터(Tr2)의 제2 드레인 전극에 연결된 제3 소스 전극, 제2 게이트 라인(GL_{n+1})에 연결된 제3 게이트 전극 및 상기 커플링 커패시터(CCP)에 연결된 제3 드레인 전극을 포함한다. 상기 제2 게이트 라인(GL_{n+1})은 상기 제1 게이트 신호가 폴링된 이후에 라이징되는 제2 게이트 신호를 수신한다. 상기 제2 게이트 신호에 응답하여 상기 제3 박막 트랜지스터(Tr3)가 턴-온되면, 상기 제2 액정 커패시터(C1c2)와 상기 커플링 커패시터(CCP) 사이에서 전압 분배가 일어나고, 그 결과 상기 제2 액정 커패시터(C1c2)에 충전된 화소 전압이 다운된다. 상기 화소 전압이 다운되는 크기는 상기 커플링 커패시터(CCP)의 충전률에 따라서 변화될 수 있다. 결국, 상기 제2 게이트 신호가 발생된 이후에, 상기 제1 액정 커패시터(C1c1)에는 제1 화소 전압이 충전되고, 상기 제2 액정 커패시터(C1c2)에는 상기 제1 화소 전압보다 낮은 크기의 제2 화소 전압이 충전될 수 있다. 이에 따라 상기 제1 상부 화소 전극(UPE1)에 대응하는 영역에 위치한 액정 분자들은 상기 제2 상부 화소 전극(UPE2)에 대응하는 영역에 위치한 상기 액정 분자들과 서로 다른 전기장 세기를 받기 때문에 서로 다른 각도로 기울어지게 된다. 이에 따라, 상기 두 영역에 대응하는 액정 분자들은 서로 다른 경사각을 가지게 되며, 이에 따라 상기 광의 위상 지연을 보상하기 때문에 측면 시인성이 증가한다. 다시 말해, 상기 두 영역의 액정 분자들은 수직 방향의 배향 정도가 서로 다른 복수의 도메인을 형성하며, 이에 따라 시인성이 증가한다. 본 발명의 다른 실시예에 의한 액정 표시 장치에 따르면, 상기 일 실시예에 따른 액정 표시 장치에서의 장점을 모두 가짐과 동시에 시인성이 증가되므로, 표시 품질이 높아진다.

[0082] 본 발명의 또 다른 실시예에서는 제1 및 제2 스토리지 전극부가 상술한 실시예들과 달리 형성될 수 있다. 도 6은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 일부를 나타낸 평면도이다. 도 7는 도 6에 표시된 V-V'선에 따라 자른 단면도이다. 본 발명의 또 다른 실시예에서는 중복된 설명을 피하기 위하여 상술한 실시예들과 다른 점을 위주로 설명한다. 본 실시예에서 특별히 설명하지 않은 부분은 상기 실시예들에 따른다. 동일한 번호는 동일한 구성요소를, 유사한 번호는 유사한 구성요소를 나타낸다.

[0083] 도 6과 도 7을 참조하면, 제1 및 제2 하부 화소 전극들(LPE1, LPE2)들은 상기 제2 패시베이션층(PSV2) 상에 통관으로 형성된다. 상기 제1 및 제2 하부 화소 전극(LPE1, LPE2)들이 형성된 제1 베이스 기판(SUB1) 상에는 상기 제3 패시베이션층(PSV3)이 형성되며, 상기 제3 패시베이션층(PSV3)을 사이에 두고 상기 제1 및 제2 하부 화소 전극들(LPE1, LPE2)들 제1 및 제2 상부 화소 전극(UPE1, UPE2)들이 일대일로 제공된다. 상기 제1 및 제2 상부

화소 전극(UPE1, UPE2)들은 상기 제1 및 제2 하부 화소 전극(LPE1, LPE2)과 각각 일부가 중첩한다.

- [0084] 상기 제1 및 제2 상부 화소 전극(UPE1, UPE2) 각각은 줄기부(PE1a)와 상기 줄기부(PE1a)로부터 돌출되어 연장된 복수의 가지부들(PE1b)을 포함할 수 있다. 상기 가지부들(PE1b)은 상기 스토리지 전극부나 상기 제1 및 제2 데이터 라인들(DL_m, DL_{m+1})이 형성된 영역에까지 연장되어 형성된다.
- [0085] 상기 제1 및 제2 하부 화소 전극(LPE1, LPE2)은 평면 상에서 볼 때 상기 가지부들(PE1b)의 길이 방향과 교차하는 가장자리를 갖는다. 상기 가장자리 중 일부는 상기 줄기부(PE1a)와 상기 가지부들(PE1b)의 단부 사이에 위치한다. 이에 따라, 상기 제1 및 제2 상부 화소 전극(UPE1, UPE2)은 각각 대응하는 상기 제1 및 제2 하부 화소 전극(LPE1, LPE2)과 중첩하는 제1 영역(R1)과, 각각 대응하는 상기 제1 및 제2 하부 화소 전극(LPE1, LPE2)과 중첩하지 않는 제2 영역(R2)으로 이루어지며, 상기 제2 영역(R2)에 상기 가지부들(PE1b)의 단부들이 위치한다.
- [0086] 제1 스토리지 전극부는 상기 제1 방향(D1)으로 연장된 제1 스토리지 라인(SL_n)을 갖는다. 본 실시예에서는 제2 방향(D2)으로 연장된 제1 및 제2 분기 전극들이 생략된다. 또한, 상기 제2 스토리지 전극부는 상기 제1 방향(D1)으로 연장된 제2 스토리지 라인(SL_{n+1})을 가지나, 제2 방향(D2)으로 연장된 제1 및 제2 분기 전극들이 생략된다.
- [0087] 상기 제1 스토리지 라인(SL_n)과 상기 제2 스토리지 라인(SL_{n+1})은 각각 상기 제1 상부 화소 전극(UPE1)과 상기 제2 상부 화소 전극(UPE2)과 부분적으로 오버랩되어 상기 제1 및 제2 스토리지 커패시터를 형성한다. 본 실시예에 따르면 상기 제1 및 제2 스토리지 전극부들 각각의 제1 및 제2 분기 전극들이 생략됨으로써, 상기 제1 및 제2 스토리지 전극부들에 의해 투과광이 차단되었던 영역에도 화상이 표시된다. 이에 따라, 상기 액정 표시 장치의 개구율이 향상된다.
- [0088] 본 실시예에 있어서, 상기 제1 영역(R1)에 있어서, 제1 및 제2 화소 전극(LPE1, LPE2)이 형성되지 않기 때문에 공통 전극(CE)과 제1 및 제2 상부 화소 전극(UPE1, UPE2) 사이에 형성된 프린지 전계에 의해 액정 분자들이 구동된다. 상기 제2 영역(R2)에 있어서, 제1 및 제2 하부 화소 전극(LPE1, LPE2)이 제공되어 공통 전극(CE), 제1 및 제2 상부 화소 전극(UPE1, UPE2) 및 하부 화소 전극(LPE) 사이에 형성된 프린지 전계에 의해 액정 분자들이 구동된다. 따라서, 상기 제1 영역(R1)은 상기 제2 영역(R2)에 비해 더 강한 프린지 전계가 인가되며, 상기 프린지 전계 이외의 노이즈 전계(예를 들어, 배선들 간의 커플링 전계)에 의한 액정 분자의 오배열이 감소한다. 그 결과, 본 실시예에 따르면 상기 액정 분자들의 오배열의 감소되며 그에 따라 투과율이 상승한다.
- [0089] 도 8은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 일부를 나타낸 단면도로서, 도 6의 V-V'선에 따라 자른 단면도에 대응하는 단면도이다. 본 실시예에서의 액정 표시 장치의 평면도는 도 6과 실질적으로 동일하다.
- [0090] 상술한 바와 같이, 상기 차폐 전극(Sc_{com})은 상기 제1 및 제2 데이터 라인들(DL_m, DL_{m+1})과, 제1 및 제2 상부 화소 전극(UPE1, UPE2) 및 제1 및 제2 하부 화소 전극(LPE1, LPE2) 사이에 형성될 수 있는 커플링 전계를 효과적으로 차폐한다. 또한, 상기 차폐 전극(Sc_{com})에 상기 공통 전극(CE)에 인가된 전압과 동일한 레벨의 전압이 인가되기 때문에, 상기 차폐 전극(Sc_{com})이 형성된 영역에 대응하는 상기 액정층(300)의 영역에는 전계가 형성되지 않아, 액정 분자들의 오배열이 방지된다. 따라서, 상기 제1 및 제2 데이터 라인(DL_m, DL_{m+1})이 형성된 영역에 대응하는 영역에 형성된 블랙 매트릭스(BM)를 생략할 수 있으며, 이에 따라 개구율이 향상된다.
- [0091] 본 발명의 또 다른 실시예에 따르면 상부 화소 전극과 하부 화소 전극을 달리 형성할 수 있다. 도 9, 도 10, 및 도 11은 본 발명의 또 다른 실시예들에 따른 액정 표시 장치에 있어서 제1 상부 화소 전극(UPE1)과 제1 하부 화소 전극(LPE1)을 평면도로서, 도 6의 평면도 중 제1 상부 화소 전극(UPE1) 및 제1 하부 화소 전극(LPE1)에 대응하도록 표시되었다. 여기서, 도 9, 도 10, 및 도 11에는, 제1 상부 화소 전극(UPE1) 및 제2 하부 화소 전극(LPE2)이 일 예로서 표시되었으나, 이에 한정되는 것은 아니며, 본 발명의 개념이 구현된 액정 표시 장치 중 상부 화소 전극(UPE)과 하부 화소 전극(LPE)을 갖는 실시예들에 적용될 수 있음은 물론이다.
- [0092] 도 9를 참조하면, 제1 상부 화소 전극(UPE1)은 줄기부(PE1a)와, 상기 줄기부(PE1a)로부터 돌출되어 연장된 복수의 가지부들(PE1b), 및 상기 각 가지부들(PE1b)의 단부들을 연결하는 외곽부(OLP)를 포함할 수 있다. 상기 외곽부(OLP)는 상기 가지부들(PE1b)의 단부들 중 일부를 연결할 수도 있고, 도 9에 도시된 바와 같이, 폐다각형의 형태로 상기 가지부들(PE1b)의 단부들의 전부를 연결할 수도 있다.
- [0093] 도 10을 참조하면, 제1 상부 화소 전극(UPE1)은 줄기부(PE1a)와, 상기 줄기부(PE1a)로부터 돌출되어 연장된 복수의 가지부들(PE1b), 및 각 가지부들(PE1b)의 단부에 연결되어 상기 각 가지부(PE1b)의 길이 방향에 대해 예각을 이루는 방향으로 연장된 절곡부들(PE1c)을 가질 수 있다. 상기 절곡부들(PE1c)이 구부러지는 방향은 각 화소의 구조나 모양에 따라 달라질 수 있으며, 상기 각 가지부(PE1b)의 길이 방향과 상기 절곡부(PE1c)의 연장 방향

이 이루는 각도는 약 5° 내지 약 30° 일 수 있다. 상기 절곡부들(PE1c)의 길이 또한 각 화소의 구조나 모양에 따라 달라질 수 있으며, 예를 들어 5μm 이상의 길이를 가질 수 있다.

[0094] 도 11을 참조하면, 제1 상부 화소 전극(UPE1)은 줄기부(PE1a)와, 상기 줄기부(PE1a)로부터 돌출되어 연장된 복수의 가지부들(PE1b), 각 가지부들(PE1b)의 단부에 연결되어 상기 각 가지부의 길이 방향에 대해 예각을 이루는 방향으로 연장된 절곡부들(PE1c), 및 상기 절곡부들(PE1c)을 연결하는 외곽부(OLP)를 포함할 수 있다. 상기 외곽부(OLP)는 상기 절곡부들(PE1c) 중 일부를 연결할 수 있으며, 도 11에 도시된 바와 같이, 폐다각형의 형태로 상기 절곡부(PE1c)들 전부를 연결할 수도 있다.

[0095] 상기 각 실시예들에 있어서, 상기 절곡부들(PE1c)와 상기 외곽부들(OLP)은 상기 화소의 가장자리 부분에 대응하는 액정 분자들의 정렬도를 증가시킨다.

[0096] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 예를 들어, 본 발명의 실시예들에서는 복수의 화소를 갖는 액정 액정 표시 장치와, 각 화소가 두 서브 화소들을 갖는 액정 표시 장치 등이 설명되었으나, 본 발명의 기술적 범위는 한 화소가 그 이상의 서브 화소들을 갖는 경우도 포함하며, 상술한 실시예들이 서로 조합되는 경우도 포함한다.

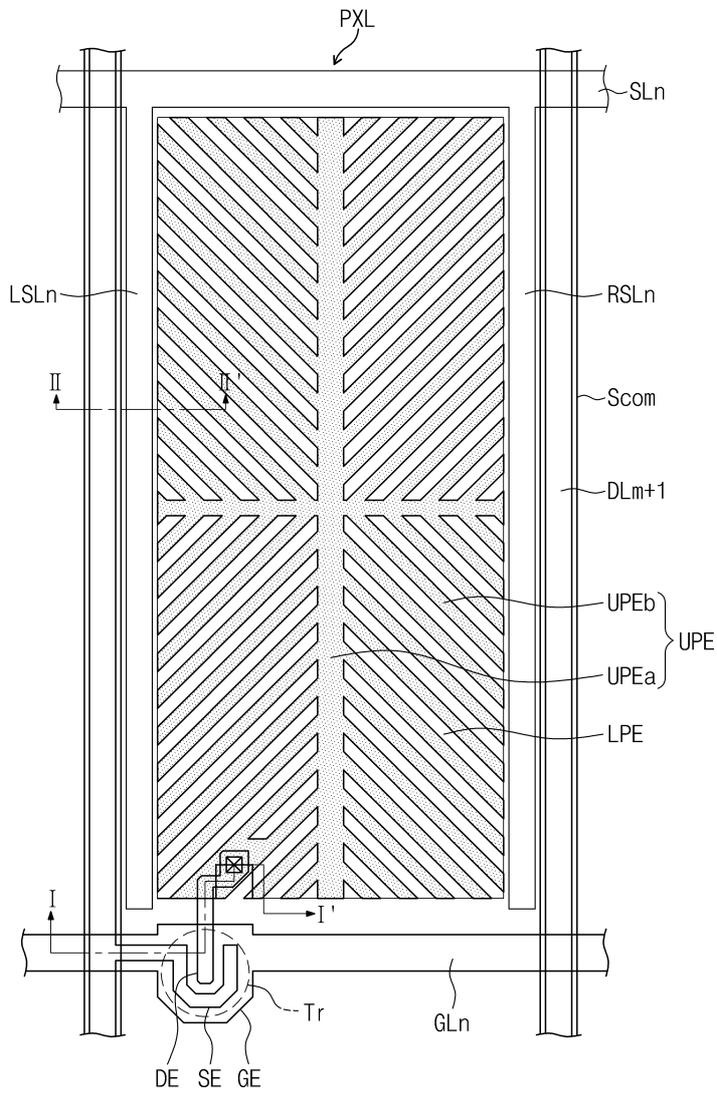
[0097] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

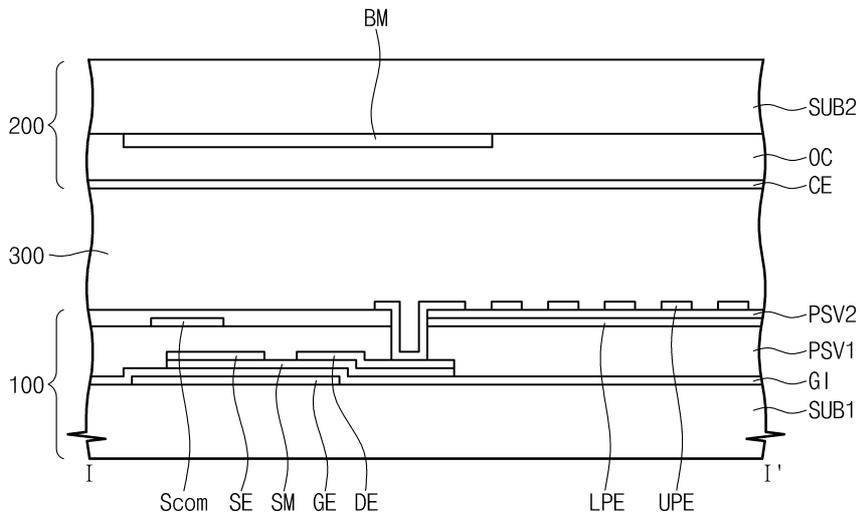
- [0098]
- | | |
|-----------------------------|-----------------------------|
| 100 : 제1 기판 | 200 : 제2 기판 |
| 300 : 액정층 | CE : 공통 전극 |
| DL _m : 제m 데이터 라인 | GL _n : 제n 게이트 라인 |
| UPE : 상부 화소 전극 | LPE : 하부 화소 전극 |
| Scom : 차폐 전극 | T1~T3 : 제1 내지 제3 박막 트랜지스터 |

도면

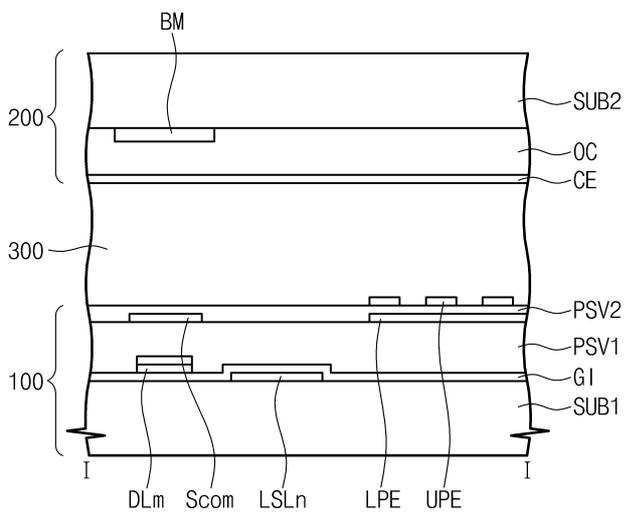
도면1



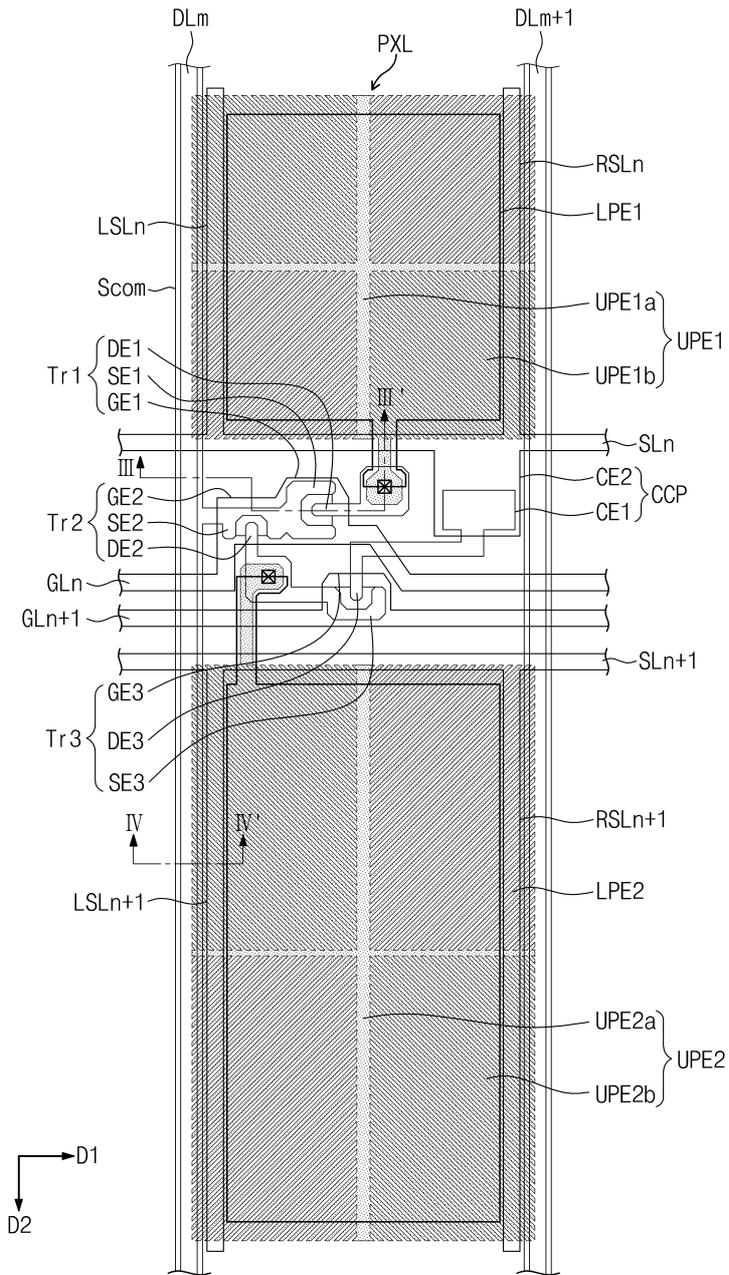
도면2a



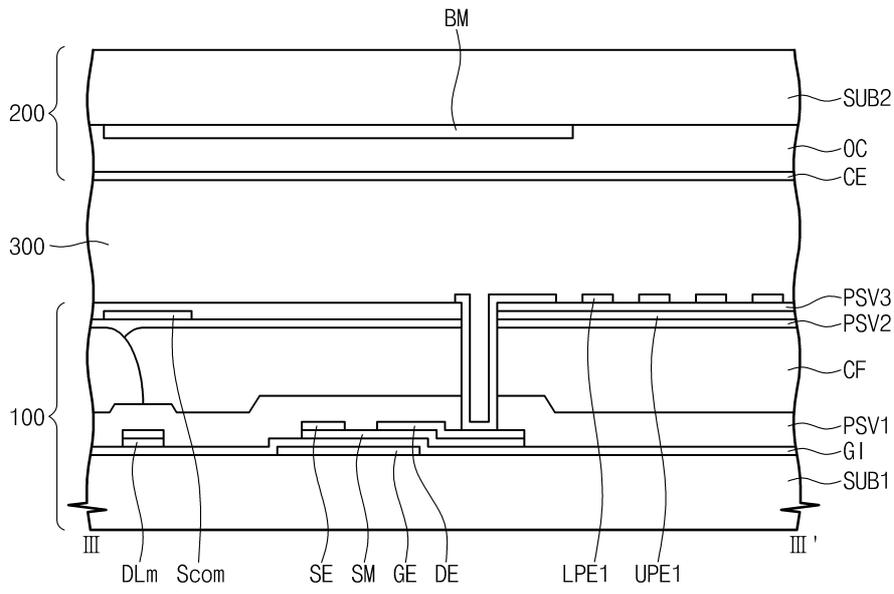
도면2b



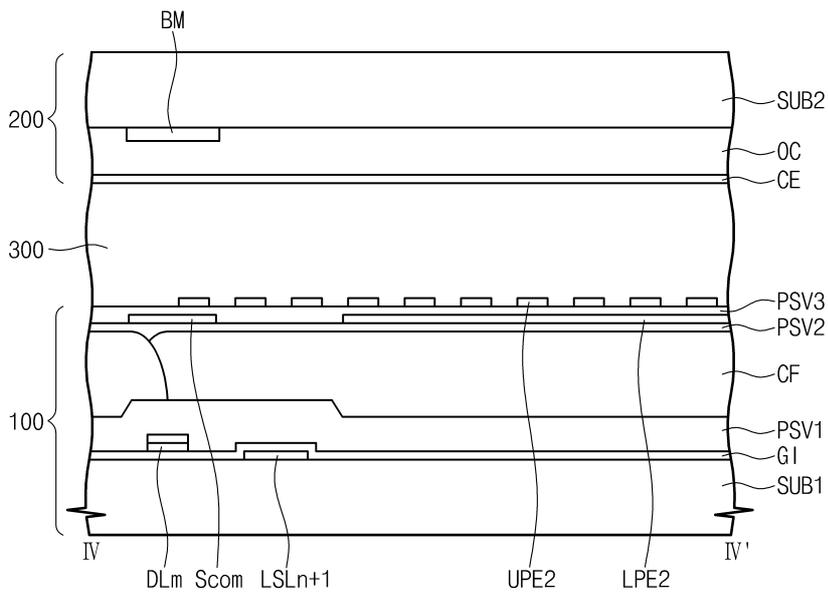
도면3



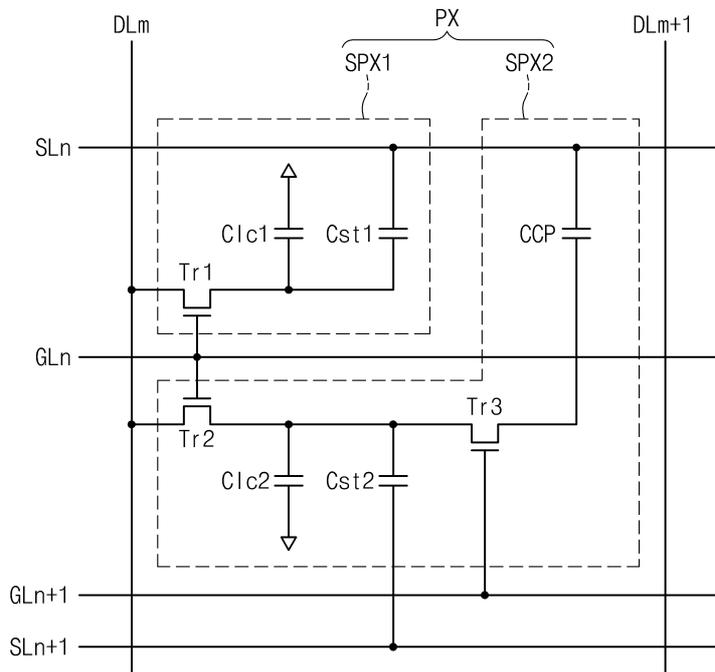
도면4a



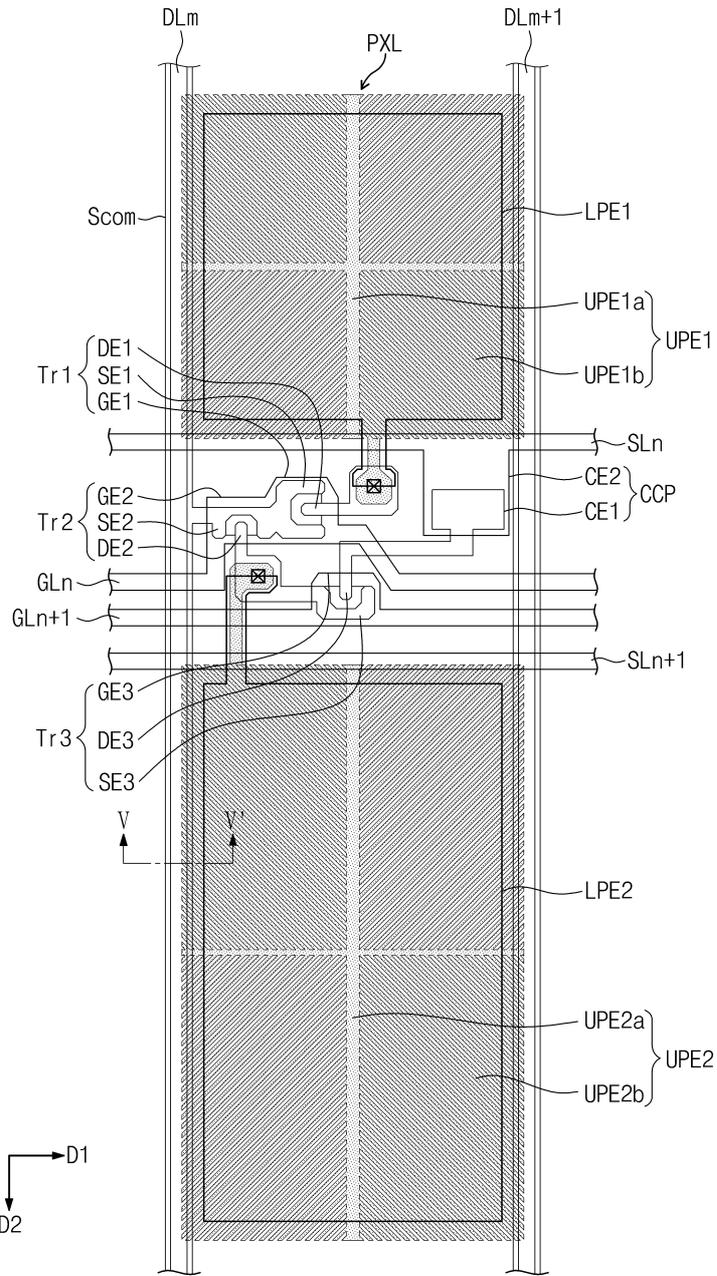
도면4b



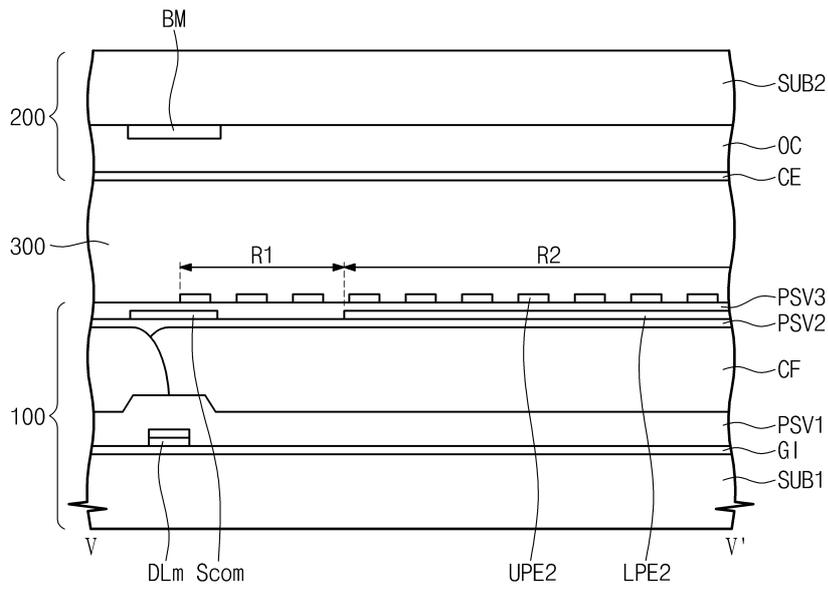
도면5



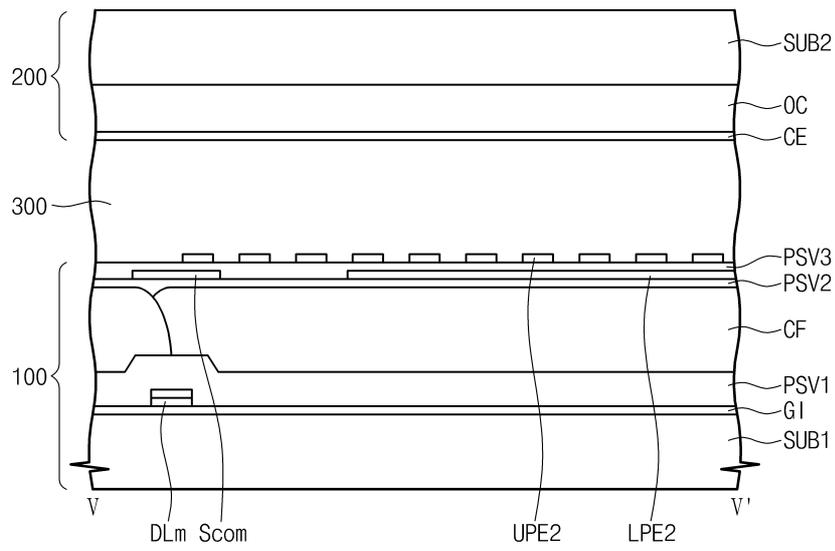
도면6



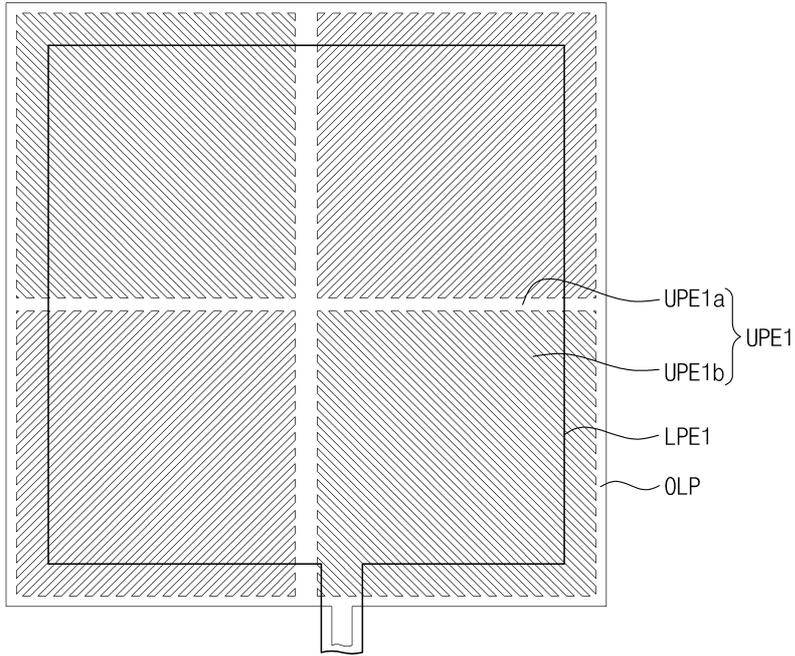
도면7



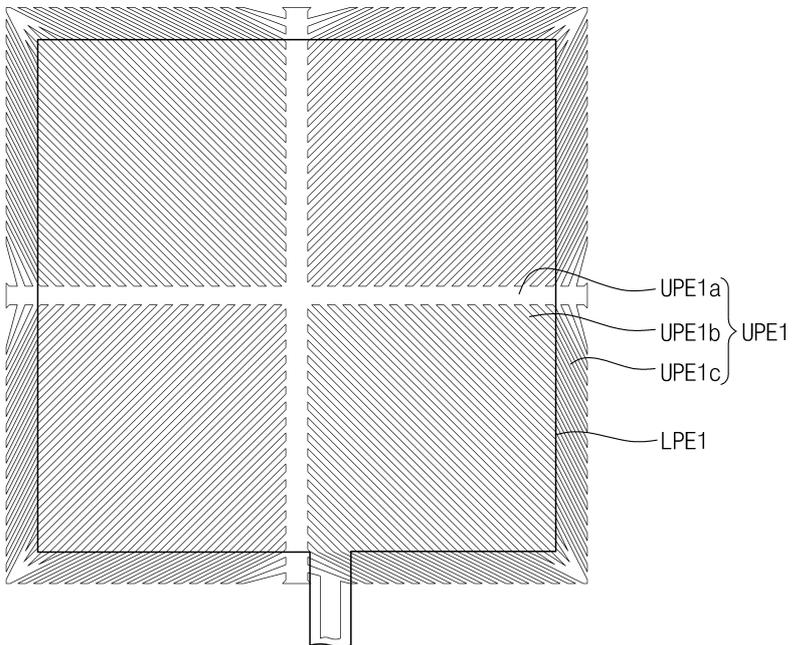
도면8



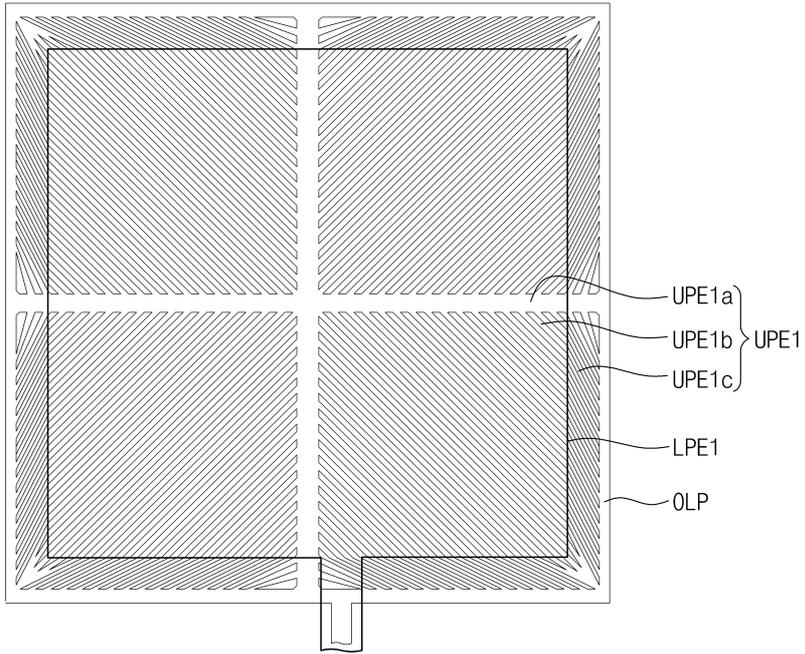
도면9



도면10



도면11



专利名称(译)	液晶显示器		
公开(公告)号	KR1020130027370A	公开(公告)日	2013-03-15
申请号	KR1020110090910	申请日	2011-09-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JEONG YOUN HAK 정연학 LEE GAK SEOK 이각석 SHIN KICHUL 신기철 LEE HEEHWAN 이희환 HONG JIPHYO 홍지표		
发明人	정연학 이각석 신기철 이희환 홍지표		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134309 G02F2001/133618 G02F2001/134381 G02F2201/123 G02F2201/40		
其他公开文献	KR101939782B1		
外部链接	Espacenet		

摘要(译)

该液晶显示装置包括：第一基板，包括多个像素区域；第二基板，面对第一基板；以及液晶层，形成在第一基板和第二基板之间。其中，第一基板包括第一基础基板，形成于第一基础基板上的第一像素电极，对应于每个像素区域，屏蔽电极与第一像素电极隔离，设置在电极上的钝化层和形成在钝化层上的第二像素电极，第二像素电极的至少一部分与第一像素电极重叠。

