



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0026375
(43) 공개일자 2013년03월13일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G02F 1/1343 (2006.01)
(21) 출원번호 10-2012-0045724
(22) 출원일자 2012년04월30일
심사청구일자 없음
(30) 우선권주장
1020110089815 2011년09월05일 대한민국(KR)

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
손경모
경기도 파주시 금촌동 서원마을아파트 708동 905호
이재균
경기도 고양시 일산서구 일산3동 후곡마을15단지
아파트 건영아파트 1506-1302호
(뒷면에 계속)
(74) 대리인
특허법인천문

전체 청구항 수 : 총 10 항

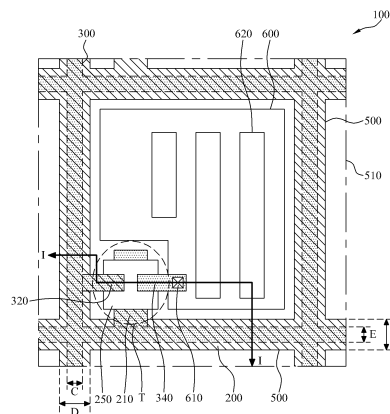
(54) 발명의 명칭 액정표시장치 및 그 제조방법

(57) 요약

본 발명은 상기 목적을 달성하기 위해서, 기관 상에 서로 교차하도록 배열되어 화소 영역을 정의하는 게이트 라인 및 데이터 라인; 상기 게이트 라인 및 데이터 라인이 교차하는 영역에 형성되며, 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하여 이루어진 박막 트랜지스터; 상기 게이트 라인 및 데이터 라인 상에서 상기 게이트 라인 및 데이터 라인 중 적어도 하나와 중첩하는 공통 라인; 상기 화소 영역 내에 형성되며, 상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결되는 화소 전극; 및 상기 공통 라인과 전기적으로 연결되어 상기 화소 전극과 함께 액정구동을 위한 전계를 형성하는 공통 전극을 포함하여 이루어진 것을 특징으로 하는 액정표시장치 및 그 제조방법에 관한 것으로서,

본 발명에 따르면, 공통 전극에 공통 전압을 인가하는 공통 라인이 게이트 라인 및 데이터 라인과 중첩하여 형성되기 때문에 화소 영역 내에서 공통 라인 자체의 폭 및 공통 라인과 게이트 라인 사이의 간격 만큼 개구부 영역이 감소하는 문제가 해소될 수 있어 개구율이 향상된다.

대표도 - 도8a



(72) 발명자

박승렬

경기도 고양시 일산서구 일산3동 후곡마을9단지아파트 906동 801호

박태준

경기도 화성군 태안읍 반월리 860(3/) 신영통현대 3차 302동 1402호

김상운

경기도 고양시 일산서구 덕이동 현대 I-Park 106동 502호

이지혜

경기도 파주시 월롱면 덕은리 정다운마을 기숙사 A-1205

이민경

서울특별시 종로구 명륜동1가 33-52 103호

윤정기

경기도 파주시 월롱면 덕은리 파주LCD산업단지 엘씨디로 201, F동 1304호

특허청구의 범위

청구항 1

기관 상에 서로 교차하도록 배열되어 화소 영역을 정의하는 게이트 라인 및 데이터 라인;

상기 게이트 라인 및 데이터 라인이 교차하는 영역에 형성되며, 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하여 이루어진 박막 트랜지스터;

상기 게이트 라인 및 데이터 라인 상에서 상기 게이트 라인 및 데이터 라인 중 적어도 하나와 중첩하는 공통 라인;

상기 화소 영역 내에 형성되며, 상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결되는 화소 전극; 및

상기 공통 라인과 전기적으로 연결되어 상기 화소 전극과 함께 액정구동을 위한 전계를 형성하는 공통 전극을 포함하여 이루어진 것을 특징으로 하는 액정표시장치.

청구항 2

제 1항에 있어서,

상기 공통 전극은 상기 공통 라인 상부에서 상기 공통 라인과 전기적으로 연결되거나, 상기 공통 라인은 상기 공통 전극 상부에서 상기 공통 전극과 전기적으로 연결되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1항에 있어서,

상기 공통 라인은 불투명한 금속으로 형성하고, 상기 공통 전극은 투명한 금속으로 형성하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1항에 있어서,

상기 공통 라인은 상기 게이트 라인 또는 데이터 라인의 폭과 동일하거나 보다 넓게 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1항에 있어서,

상기 데이터 라인 상부에는 제1보호층이 더욱 형성되며,

상기 제1보호층 상부에는 상기 공통 라인이 형성되며,

상기 공통 라인 상부에는 상기 공통 라인 일부를 노출시키는 공통 라인 콘택홀을 구비한 제2보호층이 더욱 형성되며,

상기 제2보호층 상부에 상기 공통 라인 콘택홀을 통하여 상기 공통 라인에 전기적으로 연결되는 상기 공통 전극이 형성되며,

상기 공통 전극 상부에는 층간절연막이 더욱 형성되며,

상기 층간절연막 상부에 상기 화소 전극이 형성되는 것을 특징으로 하는 액정표시장치.

청구항 6

기관 상에 게이트 전극 및 게이트 라인을 형성하는 공정;

상기 게이트 전극 및 게이트 라인을 포함한 기관 전면에 게이트 절연막을 형성하는 공정;

상기 게이트 절연막 상에 반도체층을 형성하고, 상기 반도체층 상에 소스 전극 및 드레인 전극을 형성하며, 상

기 소스 전극과 연결되고 상기 게이트 라인과 교차하여 화소 영역을 정의하는 데이터 라인을 형성하는 공정;

상기 데이터 라인과 상기 소스 전극 및 상기 드레인 전극 위에 보호층을 형성하는 공정;

상기 보호층 상에 상기 게이트 라인 및 상기 데이터 라인 중 적어도 하나와 중첩하는 공통 라인과 상기 공통 라인에 전기적으로 연결되는 공통 전극을 형성하는 공정;

상기 공통 라인 및 상기 공통 전극 상부에 층간절연막을 형성하고, 상기 드레인 전극이 노출되도록 상기 보호층 및 층간절연막의 소정 영역에 드레인 콘택홀을 형성하는 공정; 및

상기 층간절연막 상에 상기 드레인 콘택홀을 통해서 상기 드레인 전극과 전기적으로 연결되는 화소 전극을 형성하는 공정을 포함하여 이루어진 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7

제 6항에 있어서,

상기 공통 전극은 상기 공통 라인 상부에 형성되어 상기 공통 라인과 직접 전기적으로 연결되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

제 6항에 있어서,

상기 공통 전극은 상기 공통 라인 하부에 형성되어 상기 공통 라인과 직접 전기적으로 연결되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제 6항에 있어서,

상기 공통 라인은 상기 게이트 라인 또는 데이터 라인의 폭과 동일하거나 보다 넓게 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

제 8항에 있어서,

상기 공통 전극 및 공통 라인은 하프톤(Half Tone) 마스크 공정으로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 액정표시장치 및 그 제조방법에 관한 것이다.

배경기술

[0002] 액정표시장치는 동작 전압이 낮아 소비 전력이 적고 휴대용으로 쓰일 수 있는 등의 이점으로 노트북 컴퓨터, 모니터, 우주선, 항공기 등에 이르기까지 응용분야가 넓고 다양하다.

[0003] 액정표시장치는 하부기관, 상부기관, 및 상기 양 기관 사이에 형성된 액정층을 포함하여 구성되며, 전계 인가 유무에 따라 액정층의 배열이 조절되고 그에 따라 광의 투과도가 조절되어 화상이 표시되는 장치이다.

[0004] 이와 같은 액정표시장치는 액정층의 배열을 조절하는 방식에 따라 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 등 다양하게 개발되어 있다.

[0005] 그 중에서, 상기 IPS 모드와 상기 FFS 모드는 하부 기관 상에 화소 전극과 공통 전극을 배치하여 상기 화소 전극과 공통 전극 사이의 전계에 의해 액정층의 배열을 조절하는 방식이다. 특히, 상기 IPS 모드는 상기 화소 전극과 공통 전극을 평행하게 교대로 배열함으로써 양 전극 사이에서 횡전계를 일으켜 액정층의 배열을 조절하는

방식인데, 이와 같은 IPS 모드는 상기 화소 전극과 상기 공통 전극 상측 부분에서 액정층의 배열이 조절되지 않아 그 영역에서 광의 투과도가 저하되는 단점이 있다.

- [0006] 이와 같은 IPS 모드의 단점을 해결하기 위해 고안된 것이 상기 FFS 모드이다. 상기 FFS 모드는 상기 화소 전극과 상기 공통 전극을 절연층을 사이에 두고 이격 형성시키되 하나의 전극은 판(plate) 형상으로 구성하고 다른 하나의 전극은 핑거(finger) 형상으로 구성하여 양 전극 사이에서 발생하는 프린지 필드(Fringe Field)를 통해 액정층의 배열을 조절하는 방식이다.
- [0007] 이하, 도면을 참조로 종래의 FFS 모드 액정표시장치에 대해서 설명하기로 한다.
- [0008] 도 1은 종래의 FFS 모드 액정표시장치의 하부 기관의 개략적인 평면도이다.
- [0009] 도 1에서 알 수 있듯이, 종래의 FFS 모드 액정표시장치의 하부 기관(1)은, 게이트 라인(10), 공통 라인(13), 데이터 라인(20), 박막 트랜지스터(T), 공통 전극(30) 및 화소 전극(40)을 포함하여 이루어진다.
- [0010] 상기 게이트 라인(10)은 가로 방향으로 배열되어 있고, 상기 공통 라인(13)은 상기 게이트 라인(10)에 근접하여 상기 게이트 라인(10)과 평행하게 구성되어 있으며, 상기 데이터 라인(20)은 상기 게이트 라인(10) 및 상기 공통 라인(13)과 교차하며 세로 방향으로 배열되어 있으며, 특히 상기 게이트 라인(10)과 상기 데이터 라인(20)이 교차되도록 배열되어 화소 영역이 정의된다.
- [0011] 상기 박막 트랜지스터(T)는 상기 게이트 라인(10)과 상기 데이터 라인(20)이 교차하는 영역에 형성되며, 게이트 전극(12), 반도체층(15), 소스 전극(22) 및 드레인 전극(24)을 포함하여 이루어진다.
- [0012] 상기 게이트 전극(12)은 상기 게이트 라인(10)에서 연장 형성되어 있고, 상기 반도체층(15)은 상기 게이트 전극(12)의 상부 및 상기 소스/드레인 전극(22, 24)의 하부에 형성된다. 상기 소스 전극(22)은 상기 데이터 라인(20)에서 연장 형성되어 있고, 상기 드레인 전극(24)은 상기 소스 전극(22)과 소정 간격으로 이격되어 서로 마주하고 있다.
- [0013] 상기 공통 전극(30)은 하부 기관의 전면(全面)에 판(plate) 형상으로 형성되어 있다.
- [0014] 상기 화소 전극(40)은 상기 화소 영역 내에 형성되며, 상기 박막 트랜지스터(T)의 드레인 전극(24)과 드레인 콘택홀(50)을 통해 전기적으로 연결되어 있다. 상기 화소 전극(40)은 상기 화소 영역 내에서 적어도 하나의 슬릿(45)을 구비하여 핑거(finger) 형상으로 형성되어 있다.
- [0015] 이와 같은 하부기관을 구비한 종래의 FFS 모드 액정표시장치는 판 형상으로 형성된 상기 공통 전극(30)과 상기 슬릿(45)을 구비하여 핑거 형상으로 형성된 상기 화소 전극(40) 간에 생성되는 프린지 필드(Fringe Field)에 의해 액정의 배열상태를 조절하여 화상을 표시하게 된다.
- [0016] 그러나, 이와 같은 종래의 FFS 모드 액정표시장치는 상기 공통 라인(13)을 상기 게이트 라인(10)과 동일한 층에 이격된 상태로 형성하기 때문에 상기 공통 라인(13)의 폭(A 영역)에 해당하는 만큼 화소 영역을 가리게 됨으로써 개구율이 저하되는 문제가 발생하고 있다.
- [0017] 또한, 동일한 층에 형성되어 있는 상기 게이트 라인(10)과 상기 공통 라인(13)은 소정의 간격(B 영역) 만큼 이격되어야 하며, 이로 인해 추가적으로 화소 영역의 개구부 영역이 감소된다는 문제점이 있다.
- [0018] 이에 대해서 보다 구체적으로 설명하면 다음과 같다.
- [0019] 도 1을 참조하면, 공통 전극(30)을 형성하는 투명 전도성 물질은 불투명 금속과 대비하여 저항이 높기 때문에 이에 인가되는 공통 전압이 불안정화될 수 있어 안정적인 공통 전압의 공급을 위해 저항이 낮은 불투명 금속으로 형성된 상기 공통 라인(13)을 상기 게이트 라인(10)이 형성된 게이트 층에 추가시키고 있으며, 이로 인해 상기 공통 라인(13) 자체의 폭(A 영역) 만큼 화소 영역 내에서 개구율이 감소되고 있다.
- [0020] 또한, 상기 게이트 라인(10)과 상기 공통 라인(13) 사이에서 전기적 쇼트를 피하기 위해 일정한 간격(B 영역) 만큼 이격시킬 필요가 있어, 추가적으로 개구부 영역의 감소가 발생할 수 밖에 없게 된다.
- [0021] 이와 같이, 종래의 경우 상기 공통 라인(13) 자체의 폭(A 영역) 및 상기 공통 라인(13)과 상기 게이트 라인(10) 사이의 간격(B 영역) 만큼 개구부 영역의 감소가 발생하여 개구율이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0022] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 공통 라인을 게이트 라인 및 데이터 라인과 중첩되도록 형성함으로써 개구율을 향상시킨 액정표시장치 및 그 제조방법을 제공하는 것을 목적으로 한다.
- [0023] 또한, 본 발명은 공통 라인을 불투명한 금속으로 형성하여 인접 화소에서 측면 방향으로 입사하는 빛을 차단하는 액정표시장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0024] 본 발명은 상기 목적을 달성하기 위해서, 기판 상에 서로 교차하도록 배열되어 화소 영역을 정의하는 게이트 라인 및 데이터 라인; 상기 게이트 라인 및 데이터 라인이 교차하는 영역에 형성되며, 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하여 이루어진 박막 트랜지스터; 상기 게이트 라인 및 데이터 라인 상에서 상기 게이트 라인 및 데이터 라인 중 적어도 하나와 중첩하는 공통 라인; 상기 화소 영역 내에 형성되며, 상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결되는 화소 전극; 및 상기 공통 라인과 전기적으로 연결되어 상기 화소 전극과 함께 액정구동을 위한 전계를 형성하는 공통 전극을 포함하여 이루어진 것을 특징으로 하는 액정표시장치를 제공한다.
- [0025] 본 발명은 또한, 기판 상에 게이트 전극 및 게이트 라인을 형성하는 공정; 상기 게이트 전극 및 게이트 라인을 포함한 기판 전면에 게이트 절연막을 형성하는 공정; 상기 게이트 절연막 상에 반도체층을 형성하고, 상기 반도체층 상에 소스 전극 및 드레인 전극을 형성하며, 상기 소스 전극과 연결되고 상기 게이트 라인과 교차하여 화소 영역을 정의하는 데이터 라인을 형성하는 공정; 상기 데이터 라인과 상기 소스 전극 및 상기 드레인 전극 위에 보호층을 형성하는 공정; 상기 보호층 상에 상기 게이트 라인 및 상기 데이터 라인 중 적어도 하나와 중첩하는 공통 라인과 상기 공통 라인에 전기적으로 연결되는 공통 전극을 형성하는 공정; 상기 공통 라인 및 상기 공통 전극 상부에 층간절연막을 형성하고, 상기 드레인 전극이 노출되도록 상기 보호층 및 층간절연막의 소정 영역에 드레인 콘택홀을 형성하는 공정; 및 상기 층간절연막 상에 상기 드레인 콘택홀을 통해서 상기 드레인 전극과 전기적으로 연결되는 화소 전극을 형성하는 공정을 포함하여 이루어진 것을 특징으로 하는 액정표시장치의 제조방법을 제공한다.

발명의 효과

- [0026] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.
- [0027] 본 발명에 따르면, 공통 전극에 공통 전압을 인가하는 공통 라인이 종래와 같이 게이트 라인과 동일한 층에 소정의 간격만큼 이격되어 형성되는 것이 아니고, 게이트 라인 및 데이터 라인과 중첩하여 형성되기 때문에 화소 영역의 개구부 영역이 증가되어 개구율이 향상된다.
- [0028] 또한, 본 발명에 따르면, 공통 라인을 불투명한 금속으로 형성하여 인접 화소에서 측면 방향으로 입사하는 빛을 차단하기 때문에 인접 화소의 빛이 혼색되어 발생하는 불량(Wash Out)을 감소시킨다.
- [0029] 또한, 본 발명에 따르면, 공통 라인을 저항이 낮은 금속으로 형성하여 공통 전극의 저항을 감소시킬 수 있다.

도면의 간단한 설명

- [0030] 도 1은 종래의 FFS 모드 액정표시장치의 하부 기판의 개략적인 평면도이다.
- 도 2a는 본 발명의 일 실시예에 따른 액정표시장치용 기판의 개략적인 평면도이고, 도 2b는 도 2a의 I-I라인의 단면도이다.
- 도 3a는 본 발명의 다른 실시예에 따른 액정표시장치용 기판의 개략적인 평면도이고, 도 3b는 도 3a의 I-I라인의 단면도이다.
- 도 4a는 본 발명의 또 다른 실시예에 따른 액정표시장치용 기판의 개략적인 평면도이고, 도 4b는 도 4a의 I-I라인의 단면도이다.
- 도 5a 내지 도 5g는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정 단면도이다.
- 도 6a 내지 도 6g는 본 발명의 다른 실시예에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정 단면도이다.

다.

도 7a 내지 도 7h는 본 발명의 또 다른 실시예에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정 단면도이다.

도 8a는 본 발명의 또 다른 실시예에 따른 액정표시장치용 기판의 개략적인 평면도이고, 도 8b는 도 8a의 I-I라인의 단면도이다.

도 9a는 본 발명의 또 다른 실시예에 따른 액정표시장치용 기판의 개략적인 평면도이고, 도 9b는 도 9a의 I-I라인의 단면도이다.

도 10a 내지 도 10g는 본 발명의 또 다른 실시예에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정 단면도이다.

도 11a 내지 도 11g는 본 발명의 또 다른 실시예에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.
- [0032] <액정표시장치>
- [0033] 도 2a는 본 발명의 일 실시예에 따른 액정표시장치용 기판의 개략적인 평면도이고, 도 2b는 도 2a의 I-I라인의 단면도이다.
- [0034] 도 2a에서 알 수 있듯이, 본 발명의 일 실시예에 따른 액정표시장치는, 기판(100), 게이트 라인(200), 데이터 라인(300), 박막 트랜지스터(T), 공통 라인(500), 공통 전극(510) 및 화소 전극(600)을 포함하여 이루어진다.
- [0035] 상기 게이트 라인(200)은 가로 방향으로 배열되어 있고, 상기 데이터 라인(300)은 세로 방향으로 배열되어 있다. 이와 같이 상기 게이트 라인(200)과 상기 데이터 라인(300)이 서로 교차되도록 배열되어 하나의 화소 영역이 정의된다.
- [0036] 상기 박막 트랜지스터(T)는 상기 게이트 라인(200)과 상기 데이터 라인(300)이 교차하는 영역에 형성된다. 상기 박막 트랜지스터(T)는 게이트 전극(210), 반도체층(250), 소스 전극(320) 및 드레인 전극(340)을 포함하여 이루어진다.
- [0037] 상기 게이트 전극(210)은 상기 게이트 라인(200)에서 연장 형성되어 있다.
- [0038] 상기 반도체층(250)은 상기 게이트 전극(210)과 상기 소스/드레인 전극(320, 340) 사이의 중간층에 형성되어 박막 트랜지스터가 동작할 때 전자가 이동하는 채널 역할을 한다.
- [0039] 상기 소스 전극(320)은 상기 데이터 라인(300)에서 연장 형성되어 있고, 상기 드레인 전극(340)은 상기 소스 전극(320)과 소정 간격으로 이격되어 서로 마주하고 있다.
- [0040] 이와 같은 박막 트랜지스터(T)는 도시된 바와 같은 구조로 한정되는 것은 아니고, 예로서 상기 소스 전극(320)이 U자 형태로 구성되는 구조 등과 같이 당업계에 공지된 다양한 형태로 변경 형성될 수 있다.
- [0041] 상기 공통 라인(500)은 상기 게이트 라인(200) 및 상기 데이터 라인(300) 중 적어도 하나와 중첩하도록 형성되어 있다. 상기 공통 라인(500)이 상기 게이트 라인(200)과 동일한 층에 동시에 형성되던 종래의 경우에는 상기 공통 라인(500)과 상기 게이트 라인(200) 사이에 전기적 쇼트(short)의 발생을 방지하기 위하여 소정의 간격을 두어야 하였으나, 본 발명에 따르면 상기 공통 라인(500)은 상기 게이트 라인(200)과 중첩되도록 형성되기 때문에 종래에 비하여 개구부 영역이 증가될 수 있다.
- [0042] 이를 상세하게 설명하면, 도시하진 않았지만 일 실시예에 있어서 상기 공통 라인(500)은 게이트 라인(200) 상에 평행하게 중첩되어 형성될 수 있다.
- [0043] 도시하진 않았지만, 다른 실시예에 있어서 상기 공통 라인(500)은 데이터 라인(300) 상에 평행하게 중첩되어 형성될 수 있다.
- [0044] 다른 실시예에 있어서 상기 공통 라인(500)은 게이트 라인(200) 및 데이터 라인(300) 상에 평행하게 중첩되어 형성될 수 있다. 즉, 도 2a에서 알 수 있듯이, 상기 공통 라인(500)은 인접하는 화소 영역으로 연결되어 각 화

소 영역을 그물눈으로 둘러싸며 상기 기관(100) 전면에서 그물망의 형태로 구성될 수 있다.

- [0045] 일 실시예에 있어서, 상기 공통 라인(500)의 폭은 상기 게이트 라인(200) 및 데이터 라인(300) 각각의 폭과 대비하여 동일하거나 더 좁게 형성될 수 있다. 그 이유는 상기 공통 라인(500)에 의해 화소 영역의 개구부 영역이 줄어들는 것을 방지할 수 있기 때문이다.
- [0046] 다른 실시예에 있어서, 상기 공통 라인(500)의 폭은 상기 게이트 라인(200) 및 데이터 라인(300) 각각의 폭과 대비하여 동일하거나 더 넓게 형성될 수 있다. 상기 공통 라인(500)의 폭이 넓게 형성될 수록 인접한 화소에서 측면 방향으로 입사하는 빛을 차단할 수 있어, 인접 화소의 빛이 혼색되어 나타나는 Wash Out 불량을 감소시킬 수 있기 때문이다.
- [0047] 따라서, 상기 공통 라인(500)의 폭은 개구율, Wash Out 불량률의 정도 등을 고려하여 적응적으로 변화할 수 있다.
- [0048] 상기 공통 전극(510)은 상기 화소 영역을 포함하여 기관(100)의 전면(全面)에서 형성되며, 상기 공통 라인(500)에 직접 전기적으로 연결되어 있다.
- [0049] 상기 화소 전극(600)은 상기 화소 영역 내에 형성되며, 상기 박막 트랜지스터(T)의 드레인 전극(340)과 드레인 전극 콘택홀(610)을 통하여 전기적으로 연결되어 있다.
- [0050] 상기 화소 전극(600)은 상기 공통 전극(510)과 함께 프린지 필드(Fringe Field)를 형성하기 위해서, 그 내부에 적어도 하나의 슬릿(620)을 구비하고 있다.
- [0051] 이하에서는, 도 2b를 참조하여 본 발명의 일 실시예에 따른 액정표시장치의 단면 구조에 대해서 보다 상세히 설명하기로 한다.
- [0052] 도 2b에서 알 수 있듯이, 기관(100) 상에 게이트 전극(210) 및 게이트 라인(200)이 형성되어 있고, 상기 게이트 전극(210) 및 상기 게이트 라인(200) 위에는 게이트 절연막(220)이 형성되어 있다.
- [0053] 상기 게이트 절연막(220) 상에는 반도체층(250)이 형성되어 있고, 상기 반도체층(250) 상에는 데이터 라인(300)에서 연장된 소스 전극(320) 및 상기 소스 전극(320)과 마주하면서 소정 간격으로 이격되는 드레인 전극(340)이 형성되어 있다.
- [0054] 상기 반도체층(250)은 전자가 이동하는 채널을 구성하는 액티브층 및 상기 액티브층과 상기 소스/드레인 전극(320, 340) 사이에 형성되어 전자의 이동장벽을 낮추는 역할을 하는 오믹콘택층을 포함하여 이루어질 수 있다.
- [0055] 상기 데이터 라인(300) 및 소스/드레인 전극(320, 340) 위에는 보호층(460)이 형성되어 있다. 상기 보호층(460)은 제1보호층(420) 및 상기 제1보호층(420) 상에 형성되는 제2보호층(450)을 포함할 수 있다.
- [0056] 상기 보호층(460) 상에는 공통 라인(500)이 형성되어 있는데, 상기 공통 라인(500)은 상기 게이트 라인(200) 및 상기 데이터 라인(300)과 중첩하여 구성되어 있다. 이 때, 상기 공통 라인(500)의 폭을 상기 게이트 라인(200) 및 데이터 라인(300)의 폭 대비 동일하거나 더 좁게 하여 개구율을 보다 향상시킬 수 있다.
- [0057] 상기 공통 라인(500) 상에는 공통 전극(510)이 형성되며, 상기 공통 전극(510)은 화소 전극(600)과 전계를 형성할 수 있도록 상기 공통 라인(500)으로부터 공통 전압을 인가받게 된다. 이를 위해서, 상기 공통 전극(510)은 상기 공통 라인(500)에 전기적으로 연결되며, 특히 상기 공통 전극(510)은 별도의 콘택홀을 통하지 않고 상기 공통 라인(500)과 직접 연결되어 있다.
- [0058] 상기 공통 전극(510) 상에는 층간절연막(520)이 형성되어 상기 공통 전극(510)과 화소 전극(600) 사이를 전기적으로 절연시키고 있다.
- [0059] 상기 층간절연막(520) 상에는 화소 전극(600)이 형성되어 있는데, 상기 화소 전극(600)은 드레인 콘택홀(610)을 통하여 상기 드레인 전극(340)과 전기적으로 연결되어 있다. 상기 화소 전극(600)은 적어도 하나의 슬릿(620)이 형성되어 있어, 상기 공통 전극(510)과 더불어 프린지 필드(Fringe Field)를 형성하게 된다.
- [0060] 한편, 상기 드레인 콘택홀(610) 영역에는 상기 공통 전극(510)이 형성되지 않아서, 상기 공통 전극(510)과 상기 화소 전극(600) 사이의 전기적 쇼트(short)가 방지된다.
- [0061] 도 3a는 본 발명의 다른 실시예에 따른 액정표시장치용 기관의 개략적인 평면도이고, 도 3b는 도 3a의 I-I라인의 단면도이다.
- [0062] 본 발명의 다른 실시예에 따른 액정표시장치용 기관은 공통 라인(500) 및 공통 전극(510)의 구성을 제외하고 전

술한 본 발명의 일 실시예에 따른 액정표시장치용 기관과 유사하므로 동일한 구성에 대해서는 동일한 도면부호를 부여하였고 동일한 구성에 대한 반복 설명은 생략하기로 한다.

- [0063] 도 3a에서 알 수 있듯이, 본 발명의 다른 실시예에 따른 액정표시장치는, 기관(100), 게이트 라인(200), 데이터 라인(300), 박막 트랜지스터(T), 공통 라인(500), 공통 전극(510) 및 화소 전극(600)을 포함하여 이루어진다.
- [0064] 상기 게이트 라인(200)은 가로 방향으로 배열되어 있고, 상기 데이터 라인(300)은 세로 방향으로 배열되어 있다.
- [0065] 상기 박막 트랜지스터(T)는 상기 게이트 라인(200)과 상기 데이터 라인(300)이 교차하는 영역에 형성되며, 게이트 전극(210), 반도체층(250), 소스 전극(320) 및 드레인 전극(340)을 포함하여 이루어진다.
- [0066] 상기 공통 전극(510)은 상기 화소 영역을 포함하여 기관(100)의 전면(全面)에 형성되며, 상기 데이터 라인(300) 및 소스/드레인 전극(320, 340) 상부에 형성되어 있다.
- [0067] 상기 공통 라인(500)은 상기 게이트 라인(200) 및 상기 데이터 라인(300)과 중첩하도록 형성되며, 상기 공통 전극(500)과 직접 전기적으로 연결되어 있다.
- [0068] 상기 화소 전극(600)은 상기 화소 영역 내에 형성되며, 상기 박막 트랜지스터(T)의 드레인 전극(340)과 드레인 전극 콘택홀(610)을 통하여 전기적으로 연결되어 있으며, 상기 화소 전극(600)은 상기 공통 전극(510)과 함께 프린지 필드(Fringe Field)를 형성하기 위해서, 그 내부에 적어도 하나의 슬릿(620)을 구비하고 있다.
- [0069] 이하에서는, 도 3b를 참조로 하여 본 발명은 다른 실시예에 따른 액정표시장치의 단면 구조에 대해서 보다 상세히 설명하기로 한다.
- [0070] 도 3b에서 알 수 있듯이, 기관(100) 상에는 게이트 전극(210) 및 게이트 라인(200)이 형성되어 있고, 상기 게이트 전극(210) 및 상기 게이트 라인(200) 상에는 게이트 절연막(220)이 형성되어 있다.
- [0071] 상기 게이트 절연막(220) 상에는 반도체층(250)이 형성되어 있고, 상기 반도체층(250) 상에는 데이터 라인(300)에서 연장된 소스 전극(320) 및 상기 소스 전극(320)과 마주하면서 소정 간격으로 이격되는 드레인 전극(340)이 형성되어 있다.
- [0072] 상기 데이터 라인(300) 및 소스/드레인 전극(320, 340) 위에는 보호층(460)이 형성되어 있다.
- [0073] 상기 보호층(460) 상에는 공통 전극(510)이 형성되어 있다.
- [0074] 상기 공통 전극(510) 상에는 공통 라인(500)이 형성되어 있는데, 상기 공통 라인(500)은 상기 게이트 라인(200) 및 상기 데이터 라인(300)과 중첩하여 구성되어 있다.
- [0075] 상기 공통 전극(510) 및 상기 공통 라인(500) 상에는 층간절연막(520)이 형성되어 상기 공통 전극(510) 및 상기 공통 라인(500)과 화소 전극(600) 사이를 전기적으로 절연시키고 있다.
- [0076] 상기 층간절연막(520) 상에는 화소 전극(600)이 형성되어 상기 공통 전극(510)과 더불어 프린지 필드(Fringe Field)를 형성하게 된다.
- [0077] 도 4a는 본 발명의 또 다른 실시예에 따른 액정표시장치용 기관의 개략적인 평면도이고, 도 4b는 도 4a의 I-I라인의 단면도이다.
- [0078] 본 발명의 또 다른 실시예에 따른 액정표시장치용 기관은 제1보호층(420), 제2보호층(450), 공통 라인(500) 및 공통 전극(510)의 구성을 제외하고 전술한 본 발명의 일 실시예에 따른 액정표시장치용 기관과 유사하며, 따라서 동일한 구성에 대해서는 동일한 도면부호를 부여하였고 동일한 구성에 대한 반복 설명은 생략하기로 한다.
- [0079] 도 4a에서 알 수 있듯이, 본 발명의 또 다른 실시예에 따른 액정표시장치는, 기관(100), 게이트 라인(200), 데이터 라인(300), 박막 트랜지스터(T), 공통 라인(500), 공통 전극(510) 및 화소 전극(600)을 포함하여 이루어진다.
- [0080] 상기 게이트 라인(200)은 가로 방향으로 배열되어 있고, 상기 데이터 라인(300)은 세로 방향으로 배열되어 있다.
- [0081] 상기 박막 트랜지스터(T)는 상기 게이트 라인(200)과 상기 데이터 라인(300)이 교차하는 영역에 형성되며, 게이트 전극(210), 반도체층(250), 소스 전극(320) 및 드레인 전극(340)을 포함하여 이루어진다.

- [0082] 상기 공통 라인(500)은 상기 게이트 라인(200) 및 상기 데이터 라인(300)과 중첩하도록 형성되어 있다.
- [0083] 상기 공통 전극(510)은 상기 화소 영역을 포함하여 기판(100)의 전면(全面)에 형성되어 있으며, 공통 라인 콘택홀(515)을 통하여 상기 공통 라인(500)에 전기적으로 연결되어 있다.
- [0084] 상기 화소 전극(600)은 상기 화소 영역 내에 형성되며, 상기 박막 트랜지스터(T)의 드레인 전극(340)과 드레인 전극 콘택홀(610)을 통하여 전기적으로 연결되어 있으며, 상기 화소 전극(600)은 상기 공통 전극(510)과 함께 프린지 필드(Fringe Field)를 형성하기 위해서, 그 내부에 적어도 하나의 슬릿(620)을 구비하고 있다.
- [0085] 이하에서는, 도 4b를 참조로 하여 본 발명의 또 다른 실시예에 따른 액정표시장치의 단면 구조에 대해서 보다 상세히 설명하기로 한다.
- [0086] 도 4b에서 알 수 있듯이, 기판(100) 상에는 게이트 라인(200) 및 게이트 전극(210)이 형성되어 있고, 상기 게이트 라인(200) 및 상기 게이트 전극(210) 상에는 게이트 절연막(220)이 형성되어 있다.
- [0087] 상기 게이트 절연막(220) 상에는 반도체층(250)이 형성되어 있고, 상기 반도체층(250) 상에는 데이터 라인(300)에서 연장된 소스 전극(320) 및 상기 소스 전극(320)과 마주하면서 소정 간격으로 이격되는 드레인 전극(340)이 형성되어 있다.
- [0088] 상기 데이터 라인(300) 및 소스/드레인 전극(320, 340) 위에는 제1보호층(420)이 형성되어 있다.
- [0089] 상기 제1보호층(420) 상에는 상기 게이트 라인(200) 및 상기 데이터 라인(300)과 중첩하여 공통 라인(500)이 형성되어 있다.
- [0090] 상기 공통 라인(500) 상에는 제2보호층(450)이 형성되어 있다.
- [0091] 상기 제2보호층(450) 상에는 공통 전극(510)이 형성되어 있으며, 상기 공통 전극(510)은 공통 라인 콘택홀(515)을 통하여 상기 공통 라인(500)에 전기적으로 연결되어 있다.
- [0092] 상기 공통 전극(510)상에는 층간절연막(520)이 형성되어 있으며, 상기 층간절연막(520)은 상기 공통 전극(510)과 화소 전극(600) 사이를 전기적으로 절연시키고 있다.
- [0093] 상기 층간절연막(520) 상에는 화소 전극(600)이 형성되어 있으며, 상기 화소 전극(600)은 상기 공통 전극(510)과 더불어 프린지 필드(Fringe Field)를 형성하게 된다.
- [0094] 이상 설명한 각각의 구성들은 당업계에 공지된 다양한 재료를 이용하여 형성할 수 있다. 이하에서는 각각의 구성들의 재료에 대한 예를 설명하지만, 반드시 그에 한정되는 것은 아니다.
- [0095] 상기 게이트 라인(200), 상기 게이트 전극(210), 상기 데이터 라인(300), 상기 소스 전극(320), 상기 드레인 전극(340) 및 상기 공통 라인(500)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오뮴(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있다.
- [0096] 상기 공통 라인(500)은 불투명하고, 공통 전극(510) 보다 낮은 저항을 갖는 금속으로 형성된다. 일 실시예에 있어서, 상기 공통 라인(500)은 구리(Cu)로 형성될 수 있다.
- [0097] 상기 게이트 절연막(220), 보호층(460), 층간절연막(520)은 실리콘 산화막(SiO₂)과 실리콘 질화막(SiNx) 등과 같은 무기계 물질, 또는 벤조사이클로부텐(BCB)과 포토아크릴(photo acryl) 등과 같은 유기계 물질로 이루어질 수 있다. 상기 제1보호층(420)은 상기 무기계 물질로 이루어지고, 상기 제2보호층(450)은 상기 유기계 물질로 형성될 수 있다.
- [0098] 상기 반도체층(250)은 비정질 실리콘 또는 결정질 실리콘을 포함하여 이루어질 수 있다.
- [0099] 상기 공통 전극(510) 및 화소 전극(600)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide)와 같은 투명 도전물로 이루어질 수 있다.
- [0100] 이상은, 본 발명에 따른 액정표시장치의 일 기판, 즉, 박막 트랜지스터가 형성되는 어레이 기판에 대해서 상세히 설명하였다. 본 발명에 따른 액정표시장치는 상기 어레이 기판과 더불어 컬러 필터 기판 및 양 기판 사이에 형성되는 액정층을 포함하여 이루어진다.
- [0101] 상기 컬러 필터 기판은, 기판 상에 형성되어 화소 영역 이외의 영역으로 광이 누설되는 것을 차단하기 위한 차광층, 상기 차광층 사이에 형성된 적색(R), 녹색(G) 및 청색(B)의 컬러필터층, 상기 컬러필터층 상에 형성된 오

버코트층을 포함하여 이루어진다.

- [0102] <액정표시장치의 제조방법>
- [0103] 도 5a 내지 도 5g는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정 단면도로서, 이는 전술한 도 2a 및 도 2b에 도시한 액정표시장치의 제조공정에 관한 것이다.
- [0104] 우선, 도 5a에서 알 수 있듯이, 기판(100) 상에 게이트 전극(210) 및 게이트 라인(200)을 형성한다.
- [0105] 상기 게이트 전극(210) 및 상기 게이트 라인(200)은 상기 기판(100) 상에 소정의 금속물질을 적층하고, 소정의 금속물질 상에 포토 레지스트를 적층한 후, 마스크를 이용하여 노광, 현상 및 식각 공정을 차례로 수행하는 소위 마스크 공정을 이용하여 패턴 형성할 수 있으며, 이하에서 설명하는 각각의 구성에 대한 패턴 형성도 상기과 같은 마스크 공정을 이용하여 수행할 수 있다.
- [0106] 다음, 도 5b에서 알 수 있듯이, 상기 게이트 전극(210) 및 상기 게이트 라인(200) 위에 게이트 절연막(220)을 형성한다.
- [0107] 상기 게이트 절연막(220)은 플라즈마 강화 화학 기상증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 형성할 수 있다.
- [0108] 다음, 도 5c에서 알 수 있듯이, 상기 게이트 절연막(220) 상에 반도체층(250)을 형성하고, 상기 반도체층(250) 상에 데이터 라인(300)에서 연장되는 소스 전극(320) 및 상기 소스 전극(320)과 마주하는 드레인 전극(340)을 형성한다.
- [0109] 상기 반도체층(250)을 마스크 공정을 이용하여 형성한 후, 이어서 상기 소스 전극(320) 및 드레인 전극(340)을 마스크 공정을 이용하여 형성할 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 하프톤 마스크를 이용하여 한 번의 마스크 공정을 이용하여 상기 반도체층(250)과 상기 소스/드레인 전극(320, 340)을 동시에 형성할 수도 있으며, 이 경우에는 상기 반도체층(250)과 상기 소스/드레인 전극(320, 340)의 패턴모습이 서로 유사하게 형성된다.
- [0110] 다음, 도 5d에서 알 수 있듯이, 상기 데이터 라인(300) 및 소스/드레인 전극(320, 340) 위에 보호층(460)을 형성한다. 상기 보호층은 제1보호층(420) 및 상기 제1보호층(420) 상에 형성되는 제2보호층(450)을 포함할 수 있다. 상기 보호층(460)은 플라즈마 강화 화학 기상증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 형성할 수 있다.
- [0111] 다음, 도 5e에서 알 수 있듯이, 상기 보호층(460) 상에 상기 게이트 라인(200) 및 데이터 라인(300)과 중첩하도록 공통 라인(500)을 형성한 후, 상기 공통 라인(500)을 포함한 기판 전면에 공통 전극(510)을 형성한다. 상기 공통 전극(510)은 추후 공정의 드레인 콘택홀(610) 영역에는 형성되지 않는다.
- [0112] 다음, 도 5f에서 알 수 있듯이, 상기 공통 전극(510) 상에 층간절연막(520)을 형성한 후, 드레인 콘택홀(610)을 형성한다. 상기 층간절연막(520)은 플라즈마 강화 화학 기상증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 형성할 수 있으며, 상기 드레인 콘택홀(610)은 상기 드레인 전극(340)이 노출되도록 상기 보호층(460) 및 층간절연막(520)의 소정 영역에 형성한다. 상기 드레인 콘택홀(610)은 마스크 공정을 통해 형성한다.
- [0113] 다음, 도 5g에서 알 수 있듯이, 상기 층간절연막(520) 상에 화소 전극(600)을 형성한다.
- [0114] 상기 화소 전극(600)은 상기 드레인 콘택홀(610)을 통해 상기 드레인 전극(340)과 연결되며 소정 영역에 적어도 하나의 슬릿(620)이 구비되도록 패턴 형성한다. 상기 슬릿(620)은 마스크 공정을 통해 형성한다.
- [0115] 도 6a 내지 도 6g는 본 발명의 다른 실시예에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정 단면도로서, 이는 전술한 도 3a 및 도 3b에 도시한 액정표시장치의 제조공정에 관한 것이다. 이하, 전술한 본 발명의 일 실시예와 동일한 구성에 대한 반복 설명은 생략하기로 한다.
- [0116] 우선, 도 6a에서 알 수 있듯이, 기판(100) 상에 게이트 전극(210) 및 게이트 라인(200)을 형성한다.
- [0117] 다음, 도 6b에서 알 수 있듯이, 상기 게이트 전극(210) 및 게이트 라인(200) 위에 게이트 절연막(220)을 형성한다.
- [0118] 다음, 도 6c에서 알 수 있듯이, 상기 게이트 절연막(220) 상에 반도체층(250)을 형성하고, 상기 반도체층(250) 상에 데이터 라인(300)에서 연장되는 소스 전극(320) 및 상기 소스 전극(320)과 마주하는 드레인 전극(340)을

형성한다.

- [0119] 다음, 도 6d에서 알 수 있듯이, 상기 데이터 라인(300) 및 소스/드레인 전극(320, 340) 위에 보호층(460)을 형성한다.
- [0120] 다음, 도 6e에서 알 수 있듯이, 상기 보호층(460) 상에 공통 전극(510)을 형성한 후, 상기 공통 전극(510) 상에 상기 게이트 라인(200) 및 데이터 라인(300)과 중첩하도록 공통 라인(500)을 형성한다.
- [0121] 다음, 도 6f에서 알 수 있듯이, 상기 공통 전극(510) 및 공통 라인(500) 상에 층간절연막(520)을 형성한 후, 드레인 콘택홀(610)을 형성한다.
- [0122] 다음, 도 6g에서 알 수 있듯이, 상기 층간절연막(520) 상에 화소 전극(600)을 형성한다.
- [0123] 도 7a 내지 도 7h는 본 발명의 또 다른 실시예에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정 단면도로서, 이는 전술한 도 4a 및 도 4b에 도시한 액정표시장치의 제조공정에 관한 것이다. 이하, 전술한 본 발명의 일 실시예와 동일한 구성에 대한 반복 설명은 생략하기로 한다.
- [0124] 우선, 도 7a에서 알 수 있듯이, 기판(100) 상에 게이트 라인(200) 및 게이트 전극(210)을 형성한다.
- [0125] 다음, 도 7b에서 알 수 있듯이, 상기 게이트 라인(200) 및 상기 게이트 전극(210) 위에 게이트 절연막(220)을 형성한다.
- [0126] 다음, 도 7c에서 알 수 있듯이, 상기 게이트 절연막(220) 상에 반도체층(250)을 형성하고, 상기 반도체층(250) 상에 데이터 라인(300)에서 연장되는 소스 전극(320) 및 상기 소스 전극(320)과 마주하는 드레인 전극(340)을 형성한다.
- [0127] 다음, 도 7d에서 알 수 있듯이, 상기 데이터 라인(300) 및 상기 소스/드레인 전극(320, 340) 위에 제1보호층(420)을 형성한 후, 상기 제1보호층(420) 상에 상기 게이트 라인(200) 및 데이터 라인(300)과 중첩하도록 공통 라인(500)을 형성한다.
- [0128] 다음, 도 7e에서 알 수 있듯이, 상기 공통 라인(500) 위에 제2보호층(450)을 형성한 후, 공통 라인 콘택홀(515)을 형성한다.
- [0129] 다음, 도 7f에서 알 수 있듯이, 상기 제2보호층(450) 상에 공통 전극(510)이 기판의 전면에 형성되어 있으며, 공통 라인 콘택홀(515)을 통하여 상기 공통 라인(500)에 전기적으로 연결되어 있다.
- [0130] 다음, 도 7g에서 알 수 있듯이, 상기 공통 전극(510) 상에 층간절연막(520)을 형성한 후, 드레인 콘택홀(610)을 형성한다.
- [0131] 다음, 도 7h에서 알 수 있듯이, 상기 층간절연막(520) 상에 화소 전극(600)을 형성한다.
- [0132] 한편, 본 발명에 따른 액정표시장치는 상술한 도 5a 내지 도 5g에 따른 어레이 기판, 도 6a 내지 도 6g에 따른 어레이 기판 또는 도 7a 내지 도 7h에 따른 어레이 기판을 형성하는 공정과 더불어, 기판 상에 차광층, 컬러필터층 및 오버코트층을 차례로 형성하여 컬러필터 기판을 형성하는 공정, 및 상기 양 기판 사이에 액정층을 형성하는 공정을 통해 그 제조가 완성된다.
- [0133] 도 8a는 본 발명의 또 다른 실시예에 따른 액정표시장치용 기판의 개략적인 평면도이고, 도 8b는 도 8a의 I-I라인의 단면도이다.
- [0134] 본 발명의 다른 실시예에 따른 액정표시장치용 기판은 공통 라인(500) 및 공통 전극(510)의 구성을 제외하고 전술한 본 발명의 일 실시예에 따른 액정표시장치용 기판과 유사하므로 동일한 구성에 대해서는 동일한 도면부호를 부여하였고 동일한 구성에 대한 반복 설명은 생략하기로 한다.
- [0135] 도 8a에서 알 수 있듯이, 본 발명의 일 실시예에 따른 액정표시장치는, 기판(100), 게이트 라인(200), 데이터 라인(300), 박막 트랜지스터(T), 공통 라인(500), 공통 전극(510) 및 화소 전극(600)을 포함하여 이루어진다.
- [0136] 상기 공통 라인(500)은 상기 게이트 라인(200) 및 상기 데이터 라인(300) 중 적어도 하나와 중첩하도록 형성될 수 있는데, 도시하진 않았지만 일 실시예에 있어서 상기 공통 라인(500)은 게이트 라인(200) 상에 평행하게 중첩되어 형성될 수 있다. 또한, 도시하진 않았지만, 다른 실시예에 있어서 상기 공통 라인(500)은 데이터 라인(300) 상에 평행하게 중첩되어 형성될 수 있다. 또한, 다른 실시예에 있어서 상기 공통 라인(500)은 게이트 라인(200) 및 데이터 라인(300) 상에 평행하게 중첩되어 형성될 수 있다. 즉, 도 8a에서 알 수 있듯이, 상기 공통

라인(500)은 인접하는 화소 영역으로 연결되어 각 화소 영역을 그물눈으로 둘러싸며 상기 기관(100) 전면에서 그물망의 형태로 구성될 수 있다.

- [0137] 상기 공통 라인(500)의 폭(D,F)은 상기 게이트 라인(200) 및 데이터 라인(300) 각각의 폭(E,C)과 대비하여 동일하거나 더 넓게 형성될 수 있다. 상기 공통 라인(500)의 폭이 넓게 형성될 수록 인접한 화소에서 측면 방향으로 입사하는 빛을 차단할 수 있어, 인접 화소의 빛이 혼색되어 나타나는 Wash Out 불량을 감소시킬 수 있기 때문이다.
- [0138] 따라서, 상기 공통 라인(500)의 폭은 개구율, Wash Out 불량률의 정도 등을 고려하여 적응적으로 변화할 수 있다.
- [0139] 상기 공통 전극(510)은 상기 화소 영역을 포함하여 기관(100)의 전면(全面)에서 형성되며, 상기 공통 라인(500)에 직접 전기적으로 연결되어 있다.
- [0140] 이하에서는, 도 8b를 참조하여 본 발명의 일 실시예에 따른 액정표시장치의 단면 구조에 대해서 보다 상세히 설명하기로 한다.
- [0141] 도 8b에서 알 수 있듯이, 기관(100) 상에 게이트 전극(210) 및 게이트 라인(200)이 형성되어 있고, 상기 게이트 전극(210) 및 상기 게이트 라인(200) 위에는 게이트 절연막(220)이 형성되어 있다.
- [0142] 상기 게이트 절연막(220) 상에는 반도체층(250)이 형성되어 있고, 상기 반도체층(250) 상에는 데이터 라인(300)에서 연장된 소스 전극(320) 및 상기 소스 전극(320)과 마주하면서 소정 간격으로 이격되는 드레인 전극(340)이 형성되어 있다.
- [0143] 상기 반도체층(250)은 전자가 이동하는 채널을 구성하는 액티브층 및 상기 액티브층과 상기 소스/드레인 전극(320, 340) 사이에 형성되어 전자의 이동장벽을 낮추는 역할을 하는 오믹콘택층을 포함하여 이루어질 수 있다.
- [0144] 상기 데이터 라인(300) 및 소스/드레인 전극(320, 340) 위에는 보호층(460)이 형성되어 있다. 상기 보호층(460)은 제1보호층(420) 및 상기 제1보호층(420) 상에 형성되는 제2보호층(450)을 포함할 수 있다.
- [0145] 상기 보호층(460) 상에는 공통 라인(500)이 형성되어 있는데, 상기 공통 라인(500)은 상기 게이트 라인(200) 및 상기 데이터 라인(300)과 중첩하여 구성되어 있다.
- [0146] 이 때, 상기 공통 라인(500)의 폭(D)은 상기 데이터 라인(300)의 폭(C)과 동일하거나 보다 넓게 형성될 수 있다. 또한, 상기 공통 라인(500)의 폭(F)은 게이트 라인(200)의 폭(E)과 동일하거나 보다 넓게 형성될 수 있다. 상기 공통 라인(500)의 폭(D, F)이 넓게 형성될 수록 인접한 화소에서 측면 방향으로 입사하는 빛을 차단할 수 있어, 인접 화소의 빛이 혼색되어 나타나는 Wash Out 불량을 감소시킬 수 있기 때문이다.
- [0147] 따라서, 상기 공통 라인(500)의 폭(D, F)은 개구율, Wash Out 불량률의 정도 등을 고려하여 적응적으로 변화할 수 있다.
- [0148] 상기 공통 라인(500) 상에는 공통 전극(510)이 형성되며, 상기 공통 전극(510)은 화소 전극(600)과 전계를 형성할 수 있도록 상기 공통 라인(500)으로부터 공통 전압을 인가받게 된다. 이를 위해서, 상기 공통 전극(510)은 상기 공통 라인(500)에 전기적으로 연결되며, 특히 상기 공통 전극(510)은 별도의 콘택홀을 통하지 않고 상기 공통 라인(500)과 직접 연결되어 있다.
- [0149] 상기 공통 전극(510) 상에는 층간절연막(520)이 형성되어 상기 공통 전극(510)과 화소 전극(600) 사이를 전기적으로 절연시키고 있다.
- [0150] 상기 층간절연막(520) 상에는 화소 전극(600)이 형성되어 있는데, 상기 화소 전극(600)은 드레인 콘택홀(610)을 통하여 상기 드레인 전극(340)과 전기적으로 연결되어 있다. 상기 화소 전극(600)은 적어도 하나의 슬릿(620)이 형성되어 있어, 상기 공통 전극(510)과 더불어 프린지 필드(Fringe Field)를 형성하게 된다.
- [0151] 다만, 도 8b는 화소 전극(600)에 슬릿(620)을 형성하는 화소 전극 탭 구조에 대하여 설명하였지만, 이는 본 발명을 제한하고자 하는 것은 아니고, 공통 전극(510)에 슬릿을 형성하는 공통 전극 탭 구조도 본 발명에 포함될 수 있다.
- [0152] 한편, 상기 드레인 콘택홀(610) 영역에는 상기 공통 전극(510)이 형성되지 않아서, 상기 공통 전극(510)과 상기 화소 전극(600) 사이의 전기적 쇼트(short)가 방지된다.
- [0153] 도 9a는 본 발명의 또 다른 실시예에 따른 액정표시장치용 기관의 개략적인 평면도이고, 도 9b는 도 9a의 I-I라

인의 단면도이다.

- [0154] 본 발명의 다른 실시예에 따른 액정표시장치용 기관은 공통 라인(500) 및 공통 전극(510)의 구성을 제외하고 전술한 본 발명의 일 실시예에 따른 액정표시장치용 기관과 유사하므로 동일한 구성에 대해서는 동일한 도면부호를 부여하였고 동일한 구성에 대한 반복 설명은 생략하기로 한다.
- [0155] 도 9a에서 알 수 있듯이, 본 발명의 다른 실시예에 따른 액정표시장치는, 기관(100), 게이트 라인(200), 데이터 라인(300), 박막 트랜지스터(T), 공통 라인(500), 공통 전극(510) 및 화소 전극(600)을 포함하여 이루어진다.
- [0156] 상기 공통 전극(510)은 상기 화소 영역을 포함하여 기관(100)의 전면(全面)에 형성되며, 상기 데이터 라인(300) 및 소스/드레인 전극(320, 340) 상부에 형성되어 있다.
- [0157] 상기 공통 라인(500)은 상기 게이트 라인(200) 및 상기 데이터 라인(300)과 중첩하도록 형성되며, 상기 공통 전극(500)과 직접 전기적으로 연결되어 있다.
- [0158] 상기 공통 라인(500)은 상기 게이트 라인(200) 및 상기 데이터 라인(300) 중 적어도 하나와 중첩하도록 형성될 수 있는데, 도시하진 않았지만 일 실시예에 있어서 상기 공통 라인(500)은 게이트 라인(200) 상에 평행하게 중첩되어 형성될 수 있다. 또한, 도시하진 않았지만, 다른 실시예에 있어서 상기 공통 라인(500)은 데이터 라인(300) 상에 평행하게 중첩되어 형성될 수 있다. 또한, 다른 실시예에 있어서 상기 공통 라인(500)은 게이트 라인(200) 및 데이터 라인(300) 상에 평행하게 중첩되어 형성될 수 있다. 즉, 도 9a에서 알 수 있듯이, 상기 공통 라인(500)은 인접하는 화소 영역으로 연결되어 각 화소 영역을 그물눈으로 둘러싸며 상기 기관(100) 전면에서 그물망의 형태로 구성될 수 있다.
- [0159] 상기 공통 라인(500)의 폭은 상기 게이트 라인(200) 및 데이터 라인(300) 각각의 폭과 대비하여 동일하거나 더 넓게 형성될 수 있다. 상기 공통 라인(500)의 폭이 넓게 형성될 수록 인접한 화소에서 측면 방향으로 입사하는 빛을 차단할 수 있어, 인접 화소의 빛이 혼색되어 나타나는 Wash Out 불량을 감소시킬 수 있기 때문이다.
- [0160] 따라서, 상기 공통 라인(500)의 폭은 개구율, Wash Out 불량의 정도 등을 고려하여 적응적으로 변화할 수 있다.
- [0161] 상기 화소 전극(600)은 상기 화소 영역 내에 형성되며, 상기 박막 트랜지스터(T)의 드레인 전극(340)과 드레인 전극 콘택홀(610)을 통하여 전기적으로 연결되어 있으며, 상기 화소 전극(600)은 상기 공통 전극(510)과 함께 프린지 필드(Fringe Field)를 형성하기 위해서, 그 내부에 적어도 하나의 슬릿(620)을 구비하고 있다.
- [0162] 이하에서는, 도 9b를 참조로 하여 본 발명은 다른 실시예에 따른 액정표시장치의 단면 구조에 대해서 보다 상세히 설명하기로 한다.
- [0163] 도 9b에서 알 수 있듯이, 기관(100) 상에는 게이트 전극(210) 및 게이트 라인(200)이 형성되어 있고, 상기 게이트 전극(210) 및 상기 게이트 라인(200) 상에는 게이트 절연막(220)이 형성되어 있다.
- [0164] 상기 게이트 절연막(220) 상에는 반도체층(250)이 형성되어 있고, 상기 반도체층(250) 상에는 데이터 라인(300)에서 연장된 소스 전극(320) 및 상기 소스 전극(320)과 마주하면서 소정 간격으로 이격되는 드레인 전극(340)이 형성되어 있다.
- [0165] 상기 데이터 라인(300) 및 소스/드레인 전극(320, 340) 위에는 보호층(460)이 형성되어 있다.
- [0166] 상기 보호층(460) 상에는 공통 전극(510)이 형성되어 있다.
- [0167] 상기 공통 전극(510) 상에는 공통 라인(500)이 형성되어 있는데, 상기 공통 라인(500)은 상기 게이트 라인(200) 및 상기 데이터 라인(300)과 중첩하여 구성되어 있다.
- [0168] 이 때, 상기 공통 라인(500)의 폭(D)은 상기 데이터 라인(300)의 폭(C)과 동일하거나 보다 넓게 형성될 수 있다. 또한, 상기 공통 라인(500)의 폭(F)은 게이트 라인(200)의 폭(E)과 동일하거나 보다 넓게 형성될 수 있다. 상기 공통 라인(500)의 폭(D, F)이 넓게 형성될 수록 인접한 화소에서 측면 방향으로 입사하는 빛을 차단할 수 있어, 인접 화소의 빛이 혼색되어 나타나는 Wash Out 불량을 감소시킬 수 있기 때문이다.
- [0169] 따라서, 상기 공통 라인(500)의 폭(D, F)은 개구율, Wash Out 불량의 정도 등을 고려하여 적응적으로 변화할 수 있다.
- [0170] 상기 공통 전극(510) 및 상기 공통 라인(500) 상에는 층간절연막(520)이 형성되어 상기 공통 전극(510) 및 상기 공통 라인(500)과 화소 전극(600) 사이를 전기적으로 절연시키고 있다.

- [0171] 상기 층간절연막(520) 상에는 화소 전극(600)이 형성되어 상기 공통 전극(510)과 더불어 프린지 필드(Fringe Field)를 형성하게 된다.
- [0172] 다만, 도 9b는 화소 전극(600)에 슬릿(620)을 형성하는 화소 전극 탑 구조에 대하여 설명하였지만, 이는 본 발명을 제한하고자 하는 것은 아니고, 공통 전극(510)에 슬릿을 형성하는 공통 전극 탑 구조도 본 발명에 포함될 수 있다.
- [0173] 도 10a 내지 도 10g는 본 발명의 또 다른 실시예에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정 단면도로서, 이는 전술한 도 8a 및 도 8b에 도시한 액정표시장치의 제조공정에 관한 것이다.
- [0174] 우선, 도 10a에서 알 수 있듯이, 기판(100) 상에 게이트 전극(210) 및 게이트 라인(200)을 형성한다.
- [0175] 상기 게이트 전극(210) 및 상기 게이트 라인(200)은 상기 기판(100) 상에 소정의 금속물질을 적층하고, 소정의 금속물질 상에 포토 레지스트를 적층한 후, 마스크를 이용하여 노광, 현상 및 식각 공정을 차례로 수행하는 소위 마스크 공정을 이용하여 패턴 형성할 수 있으며, 이하에서 설명하는 각각의 구성에 대한 패턴 형성도 상기과 같은 마스크 공정을 이용하여 수행할 수 있다.
- [0176] 다음, 도 10b에서 알 수 있듯이, 상기 게이트 전극(210) 및 상기 게이트 라인(200) 위에 게이트 절연막(220)을 형성한다.
- [0177] 상기 게이트 절연막(220)은 플라즈마 강화 화학 기상증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 형성할 수 있다.
- [0178] 다음, 도 10c에서 알 수 있듯이, 상기 게이트 절연막(220) 상에 반도체층(250)을 형성하고, 상기 반도체층(250) 상에 데이터 라인(300)에서 연장되는 소스 전극(320) 및 상기 소스 전극(320)과 마주하는 드레인 전극(340)을 형성한다.
- [0179] 상기 반도체층(250)을 마스크 공정을 이용하여 형성한 후, 이어서 상기 소스 전극(320) 및 드레인 전극(340)을 마스크 공정을 이용하여 형성할 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 하프톤 마스크를 이용하여 한 번의 마스크 공정을 이용하여 상기 반도체층(250)과 상기 소스/드레인 전극(320, 340)을 동시에 형성할 수도 있으며, 이 경우에는 상기 반도체층(250)과 상기 소스/드레인 전극(320, 340)의 패턴모습이 서로 유사하게 형성된다.
- [0180] 다음, 도 10d에서 알 수 있듯이, 상기 데이터 라인(300) 및 소스/드레인 전극(320, 340) 위에 보호층(460)을 형성한다. 상기 보호층은 제1보호층(420) 및 상기 제1보호층(420) 상에 형성되는 제2보호층(450)을 포함할 수 있다. 상기 보호층(460)은 플라즈마 강화 화학 기상증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 형성할 수 있다.
- [0181] 다음, 도 10e에서 알 수 있듯이, 상기 보호층(460) 상에 상기 게이트 라인(200) 및 데이터 라인(300)과 중첩하도록 공통 라인(500)을 형성한 후, 상기 공통 라인(500)을 포함한 기판 전면에서 공통 전극(510)을 형성한다. 상기 공통 전극(510)은 추후 공정의 드레인 콘택홀(610) 영역에는 형성되지 않는다.
- [0182] 상기 공통 라인(500)의 폭은 상기 게이트 라인(200) 및 데이터 라인(300) 각각의 폭과 대비하여 동일하거나 더 넓게 형성될 수 있다. 상기 공통 라인(500)의 폭이 넓게 형성될 수록 인접한 화소에서 측면 방향으로 입사하는 빛을 차단할 수 있어, 인접 화소의 빛이 혼색되어 나타나는 Wash Out 불량을 감소시킬 수 있기 때문이다.
- [0183] 따라서, 상기 공통 라인(500)의 폭은 개구율, Wash Out 불량의 정도 등을 고려하여 적응적으로 변화할 수 있다.
- [0184] 다음, 도 10f에서 알 수 있듯이, 상기 공통 전극(510) 상에 층간절연막(520)을 형성한 후, 드레인 콘택홀(610)을 형성한다. 상기 층간절연막(520)은 플라즈마 강화 화학 기상증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 형성할 수 있으며, 상기 드레인 콘택홀(610)은 상기 드레인 전극(340)이 노출되도록 상기 보호층(460) 및 층간절연막(520)의 소정 영역에 형성한다. 상기 드레인 콘택홀(610)은 마스크 공정을 통해 형성한다.
- [0185] 다음, 도 10g에서 알 수 있듯이, 상기 층간절연막(520) 상에 화소 전극(600)을 형성한다.
- [0186] 상기 화소 전극(600)은 상기 드레인 콘택홀(610)을 통해 상기 드레인 전극(340)과 연결되며 소정 영역에 적어도 하나의 슬릿(620)이 구비되도록 패턴 형성한다. 상기 슬릿(620)은 마스크 공정을 통해 형성한다.
- [0187] 도 11a 내지 도 11g는 본 발명의 또 다른 실시예에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정 단면

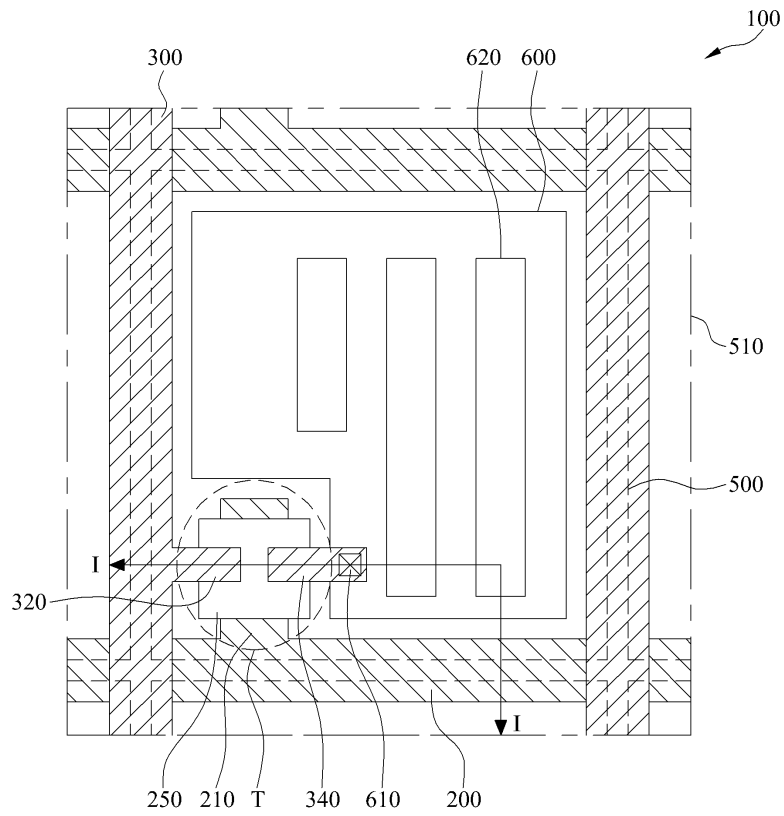
도로서, 이는 전술한 도 9a 및 도 9b에 도시한 액정표시장치의 제조공정에 관한 것이다. 이하, 전술한 본 발명의 일 실시예와 동일한 구성에 대한 반복 설명은 생략하기로 한다.

- [0188] 우선, 도 11a에서 알 수 있듯이, 기판(100) 상에 게이트 전극(210) 및 게이트 라인(200)을 형성한다.
- [0189] 다음, 도 11b에서 알 수 있듯이, 상기 게이트 전극(210) 및 게이트 라인(200) 위에 게이트 절연막(220)을 형성한다.
- [0190] 다음, 도 11c에서 알 수 있듯이, 상기 게이트 절연막(220) 상에 반도체층(250)을 형성하고, 상기 반도체층(250) 상에 데이터 라인(300)에서 연장되는 소스 전극(320) 및 상기 소스 전극(320)과 마주하는 드레인 전극(340)을 형성한다.
- [0191] 다음, 도 11d에서 알 수 있듯이, 상기 데이터 라인(300) 및 소스/드레인 전극(320, 340) 위에 보호층(460)을 형성한다.
- [0192] 다음, 도 11e에서 알 수 있듯이, 상기 보호층(460) 상에 공통 전극(510)을 형성한 후, 상기 공통 전극(510) 상에 상기 게이트 라인(200) 및 데이터 라인(300)과 중첩하도록 공통 라인(500)을 형성한다.
- [0193] 상기 공통 전극(510)을 마스크 공정을 이용하여 형성한 후, 이어서 상기 공통 라인(500)을 별도의 마스크 공정을 이용하여 형성할 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 하프톤 마스크를 이용하여 한 번의 마스크 공정을 이용하여 상기 공통 라인(500) 및 공통전극(510)을 동시에 형성할 수도 있다.
- [0194] 상기 공통 라인(500)의 폭은 상기 게이트 라인(200) 및 데이터 라인(300) 각각의 폭과 대비하여 동일하거나 더 넓게 형성될 수 있다. 상기 공통 라인(500)의 폭이 넓게 형성될 수록 인접한 화소에서 측면 방향으로 입사하는 빛을 차단할 수 있어, 인접 화소의 빛이 혼색되어 나타나는 Wash Out 불량을 감소시킬 수 있기 때문이다.
- [0195] 따라서, 상기 공통 라인(500)의 폭은 개구율, Wash Out 불량의 정도 등을 고려하여 적응적으로 변화할 수 있다.
- [0196] 다음, 도 11f에서 알 수 있듯이, 상기 공통 전극(510) 및 공통 라인(500) 상에 층간절연막(520)을 형성한 후, 드레인 콘택홀(610)을 형성한다.
- [0197] 다음, 도 11g에서 알 수 있듯이, 상기 층간절연막(520) 상에 화소 전극(600)을 형성한다.
- [0198] 본 발명이 속하는 기술분야의 당업자는 상술한 본 발명이 그 기술적 사상이나 필수적 구성을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.
- [0199] 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해하여야 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

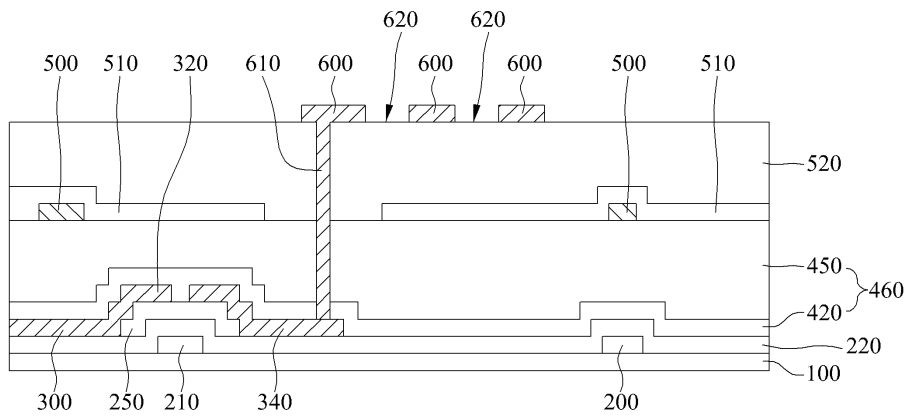
부호의 설명

- | | | |
|--------|--------------|----------------|
| [0200] | 100: 기판 | 200: 게이트 라인 |
| | 210: 게이트 전극 | 220: 게이트 절연막 |
| | 250: 반도체층 | 300: 데이터 라인 |
| | 320: 소스 전극 | 340: 드레인 전극 |
| | 420: 제1보호층 | 450: 제2보호층 |
| | 460: 보호층 | 500: 공통 라인 |
| | 510: 공통 전극 | 515: 공통 라인 콘택홀 |
| | 520: 층간절연막 | 600: 화소 전극 |
| | 610: 드레인 콘택홀 | 620: 슬릿 |

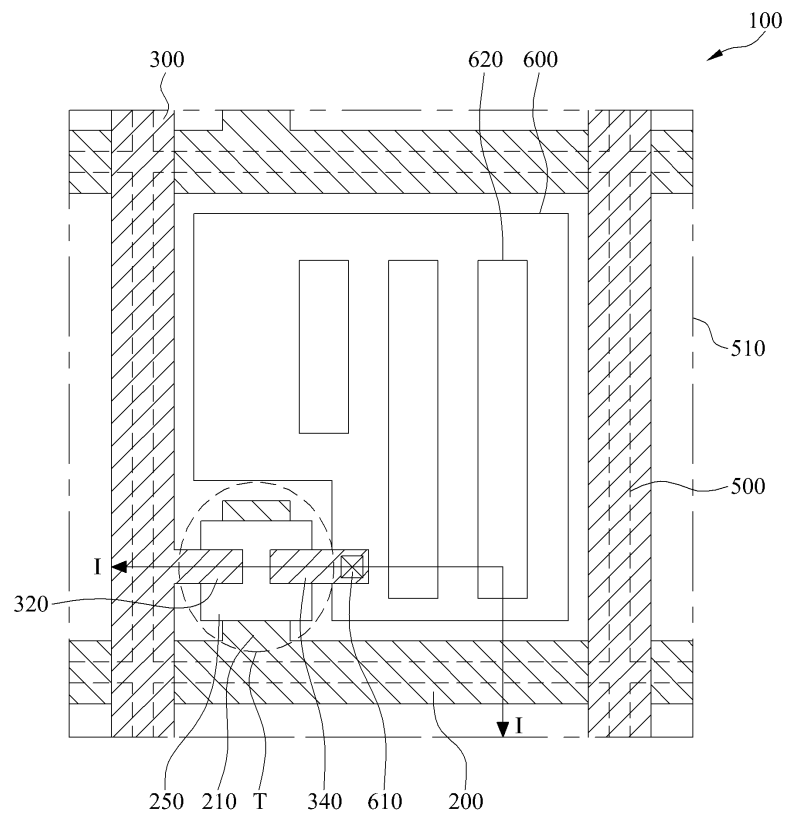
도면2a



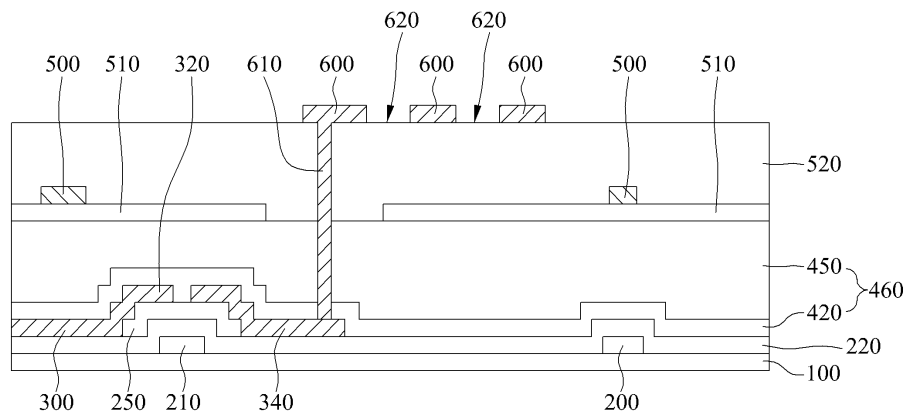
도면2b



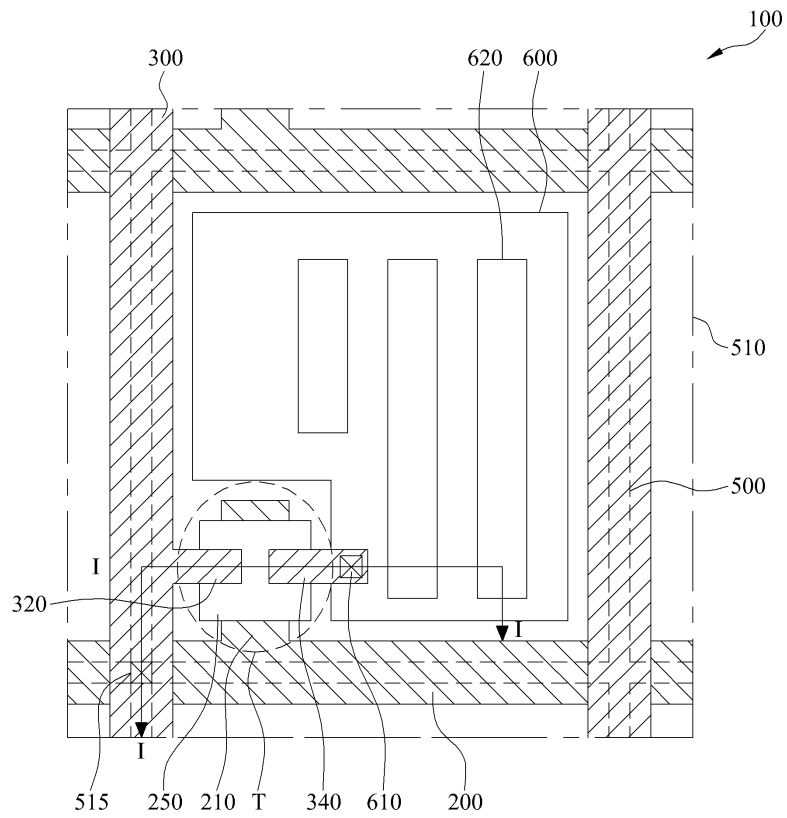
도면3a



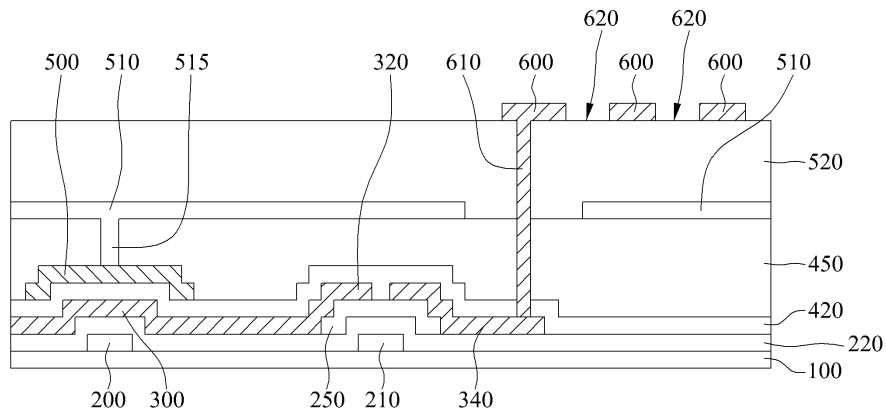
도면3b



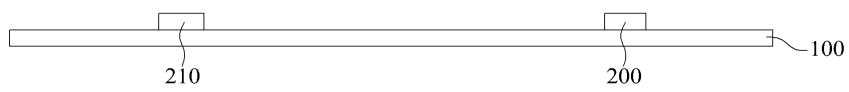
도면4a



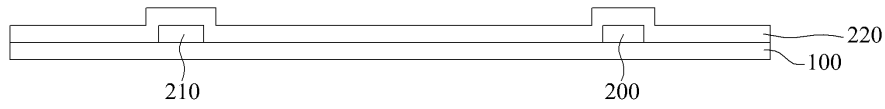
도면4b



도면5a



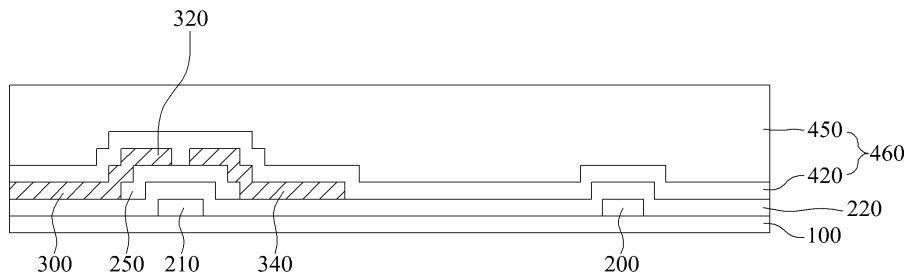
도면5b



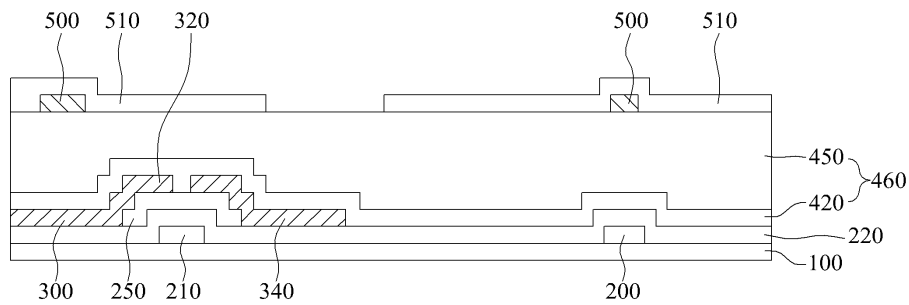
도면5c



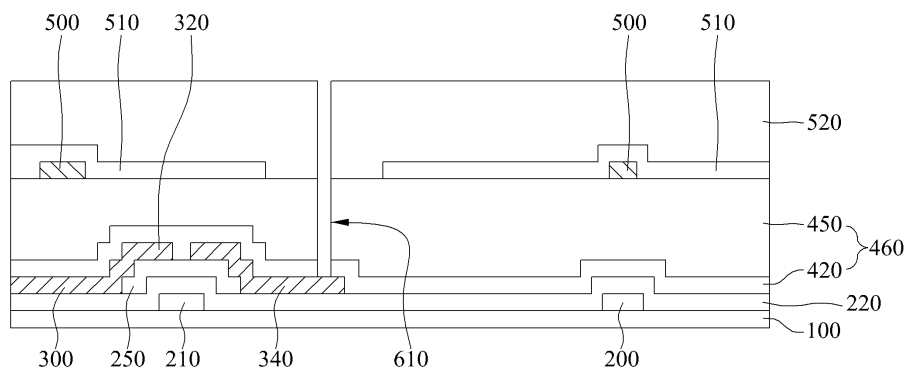
도면5d



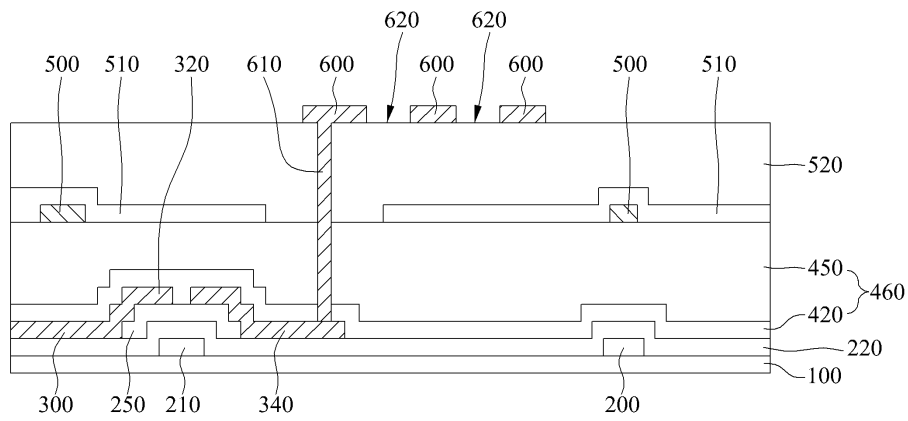
도면5e



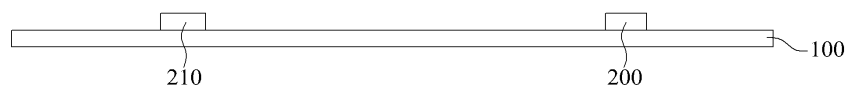
도면5f



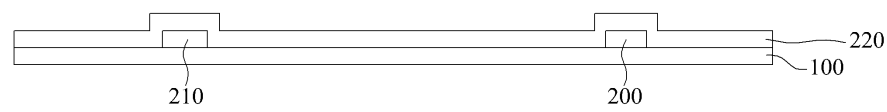
도면5g



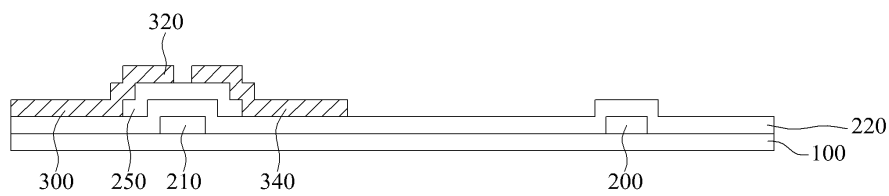
도면6a



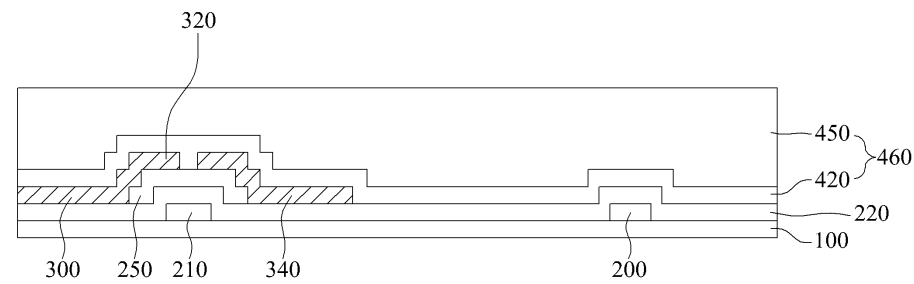
도면6b



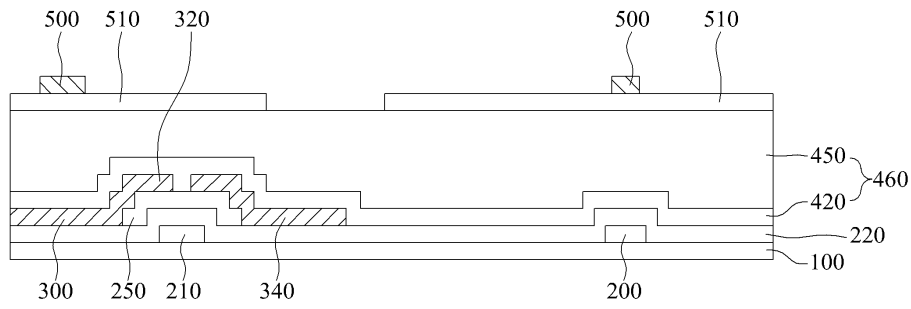
도면6c



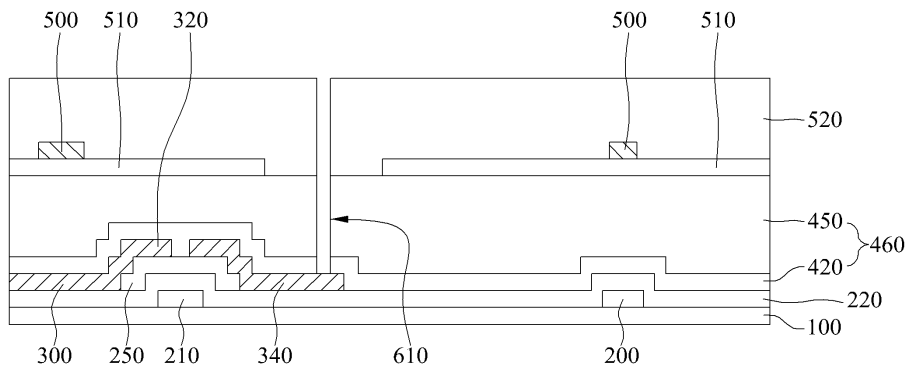
도면6d



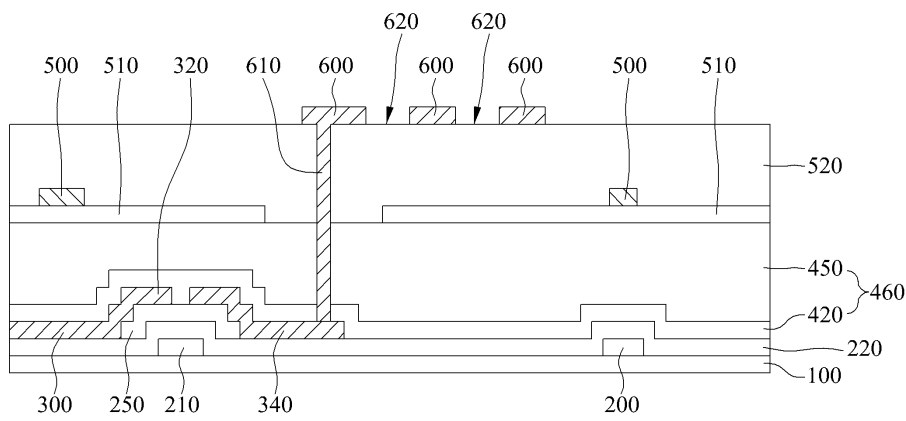
도면6e



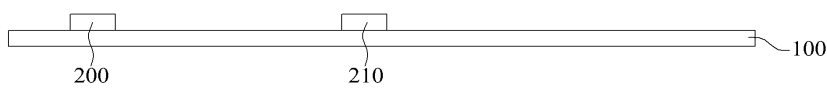
도면6f



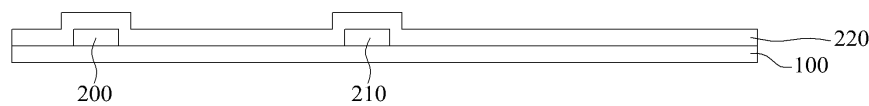
도면6g



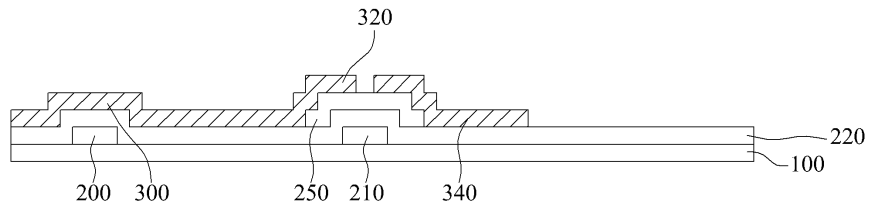
도면7a



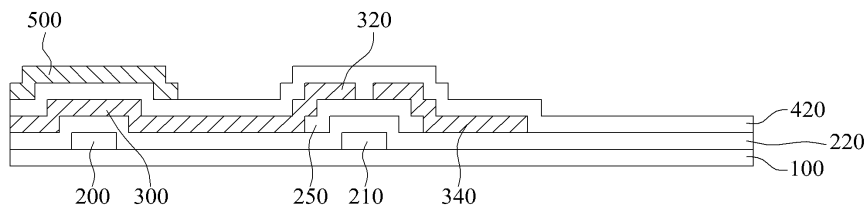
도면7b



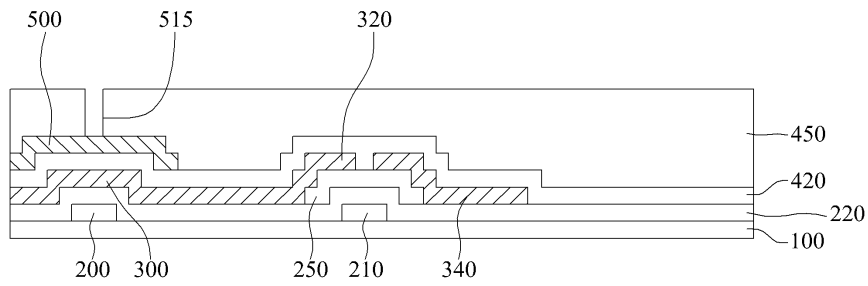
도면7c



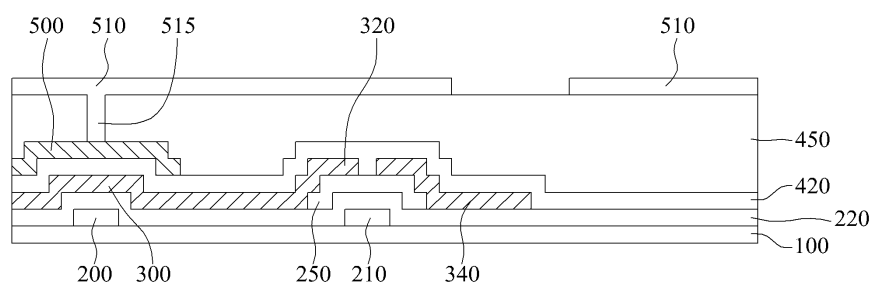
도면7d



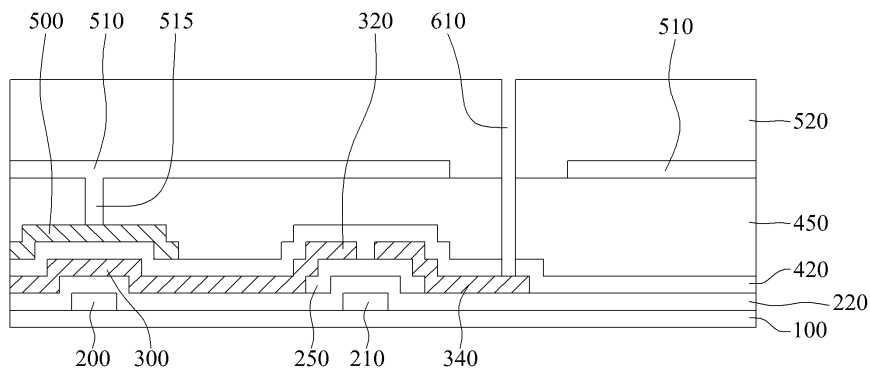
도면7e



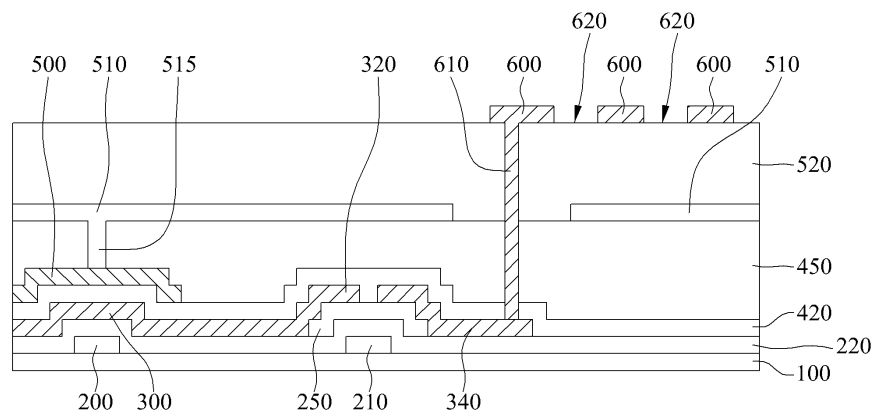
도면7f



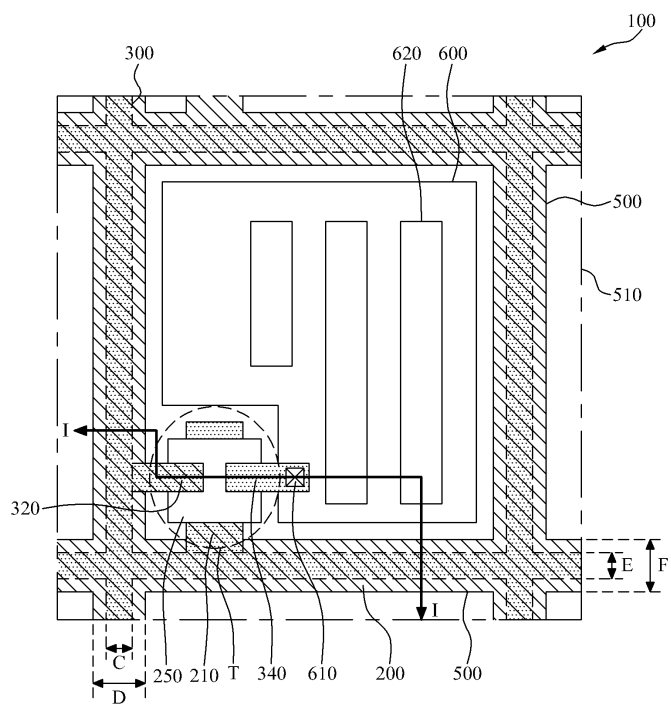
도면7g



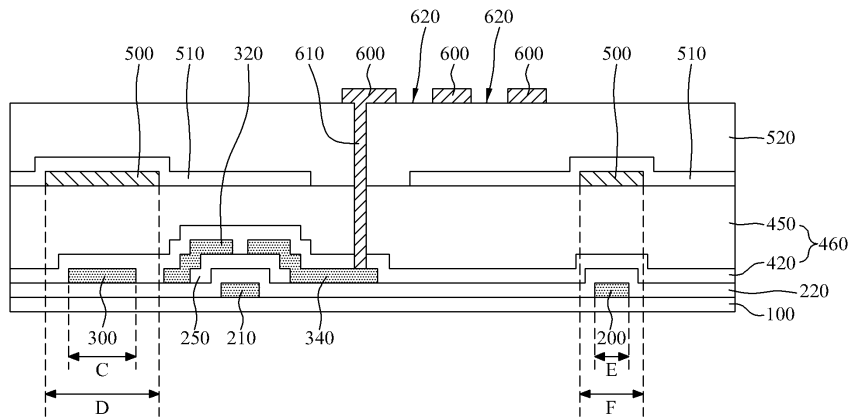
도면7h



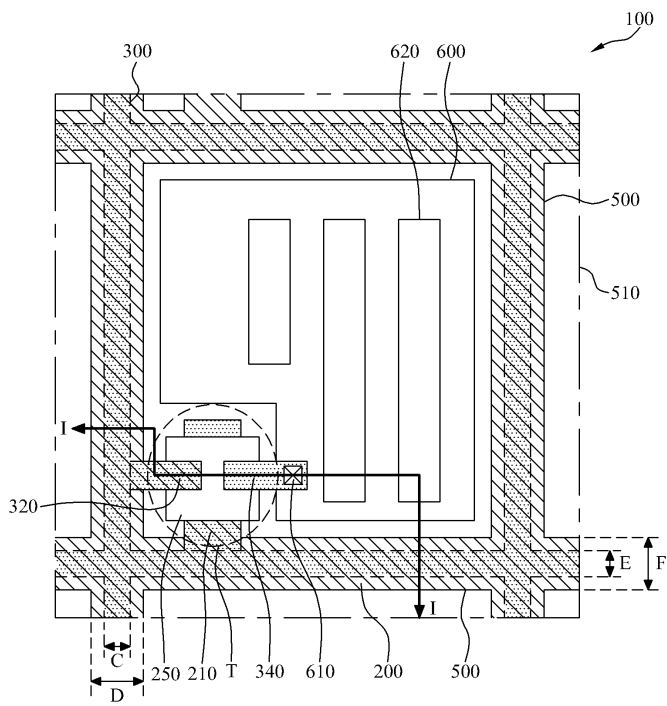
도면8a



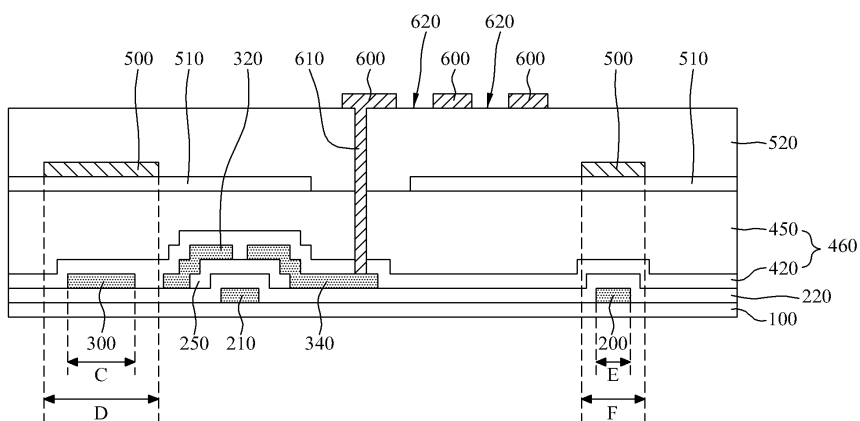
도면8b



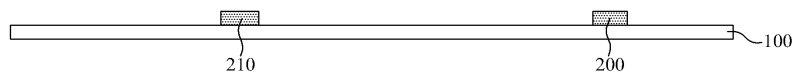
도면9a



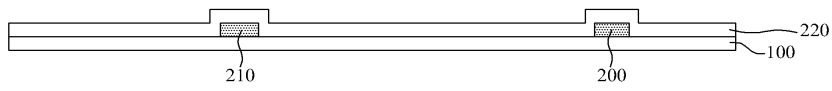
도면9b



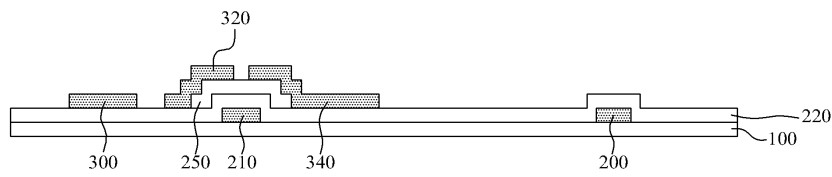
도면10a



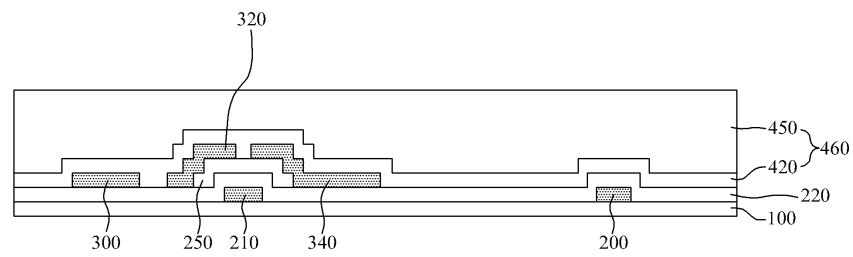
도면10b



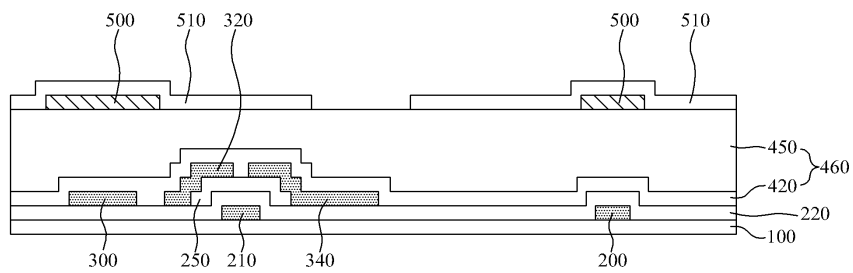
도면10c



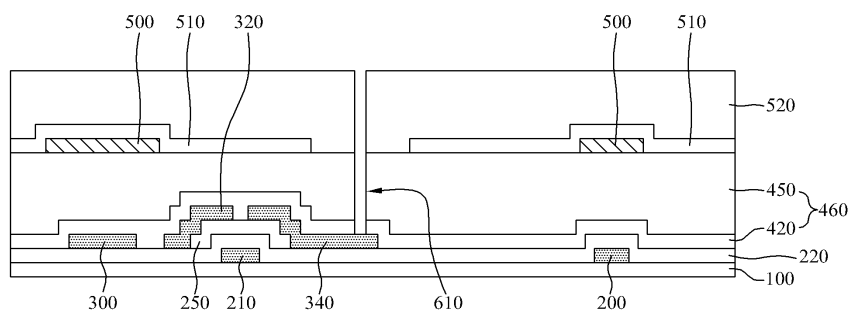
도면10d



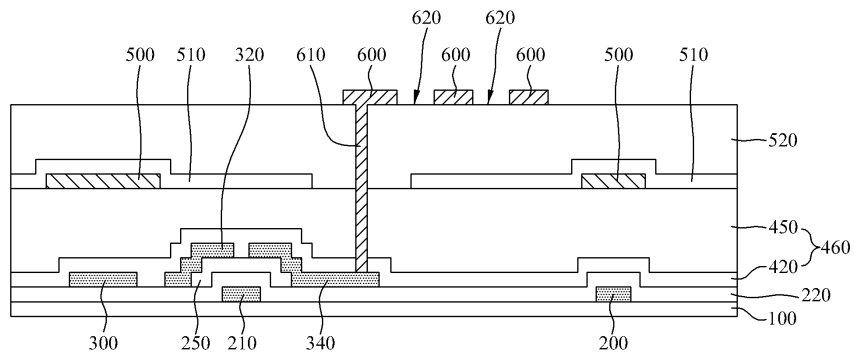
도면10e



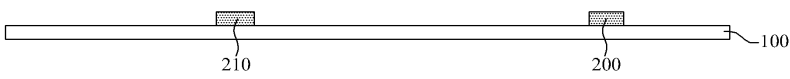
도면10f



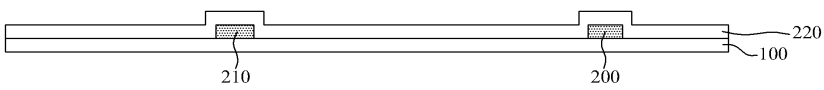
도면10g



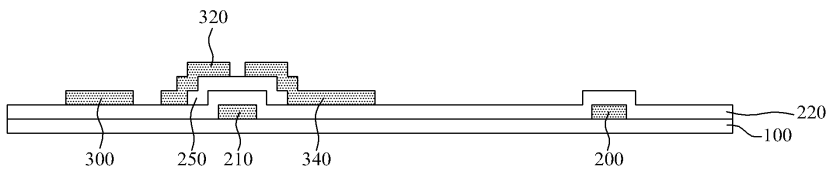
도면11a



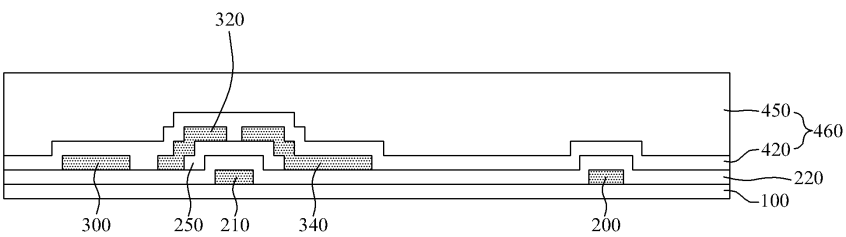
도면11b



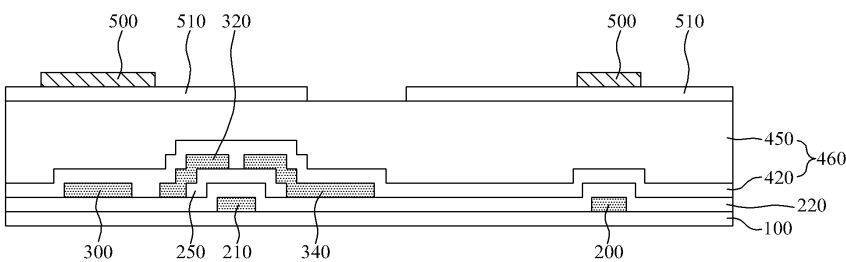
도면11c



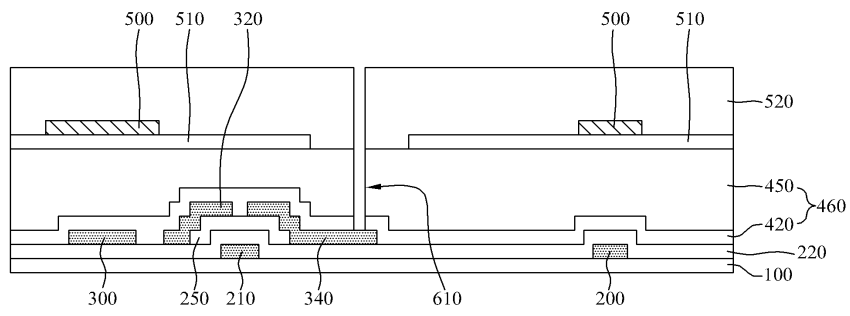
도면11d



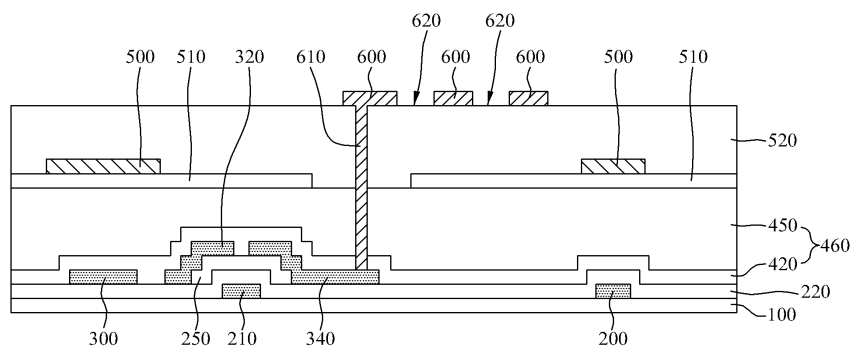
도면11e



도면11f



도면11g



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020130026375A	公开(公告)日	2013-03-13
申请号	KR1020120045724	申请日	2012-04-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KYUNGMO SON 손경모 LEE JAE KYUN 이재균 PARK SEUNG RYULL 박승렬 TAEJOON PARK 박태준 SANGWOON KIM 김상운 JIHYE LEE 이지혜 MINKYUNG LEE 이민경 JEONGGI YUN 윤정기		
发明人	손경모 이재균 박승렬 박태준 김상운 이지혜 이민경 윤정기		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1362 H01L27/12		
CPC分类号	G02F1/134309 G02F1/13439 G02F1/136286 G02F1/1368 H01L27/124 G02F2001/134372 G02F2001/136236		
优先权	1020110089815 2011-09-05 KR		
其他公开文献	KR101981279B1		
外部链接	Espacenet		

摘要(译)

根据本发明的一个方面, 提供了一种液晶显示器, 包括: 栅极线和数据线, 布置在基板上, 以便彼此交叉并限定像素区域; 一种薄膜晶体管, 形成在栅极线和数据线交叉的区域中, 并包括栅电极, 半导体层, 源电极和漏电极; 公共线与栅极线和数据线上的栅极线和数据线中的至少一个重叠; 像素电极形成在像素区域中并且电连接到薄膜晶体管的漏电极; 并且, 公共电极与公共线电连接, 与像素电极一起形成液晶驱动用电场。根据本发明, 提供一种液晶显示装置, 因为用于施加公共电压的公共线被形成成为覆盖栅极线和数据线具有通过公共线的宽度和公共线和在像素区域的栅极线之间的距离减小的开口面积, 可以消除一个问题孔径比得到改善。 专利文献 10-2013-0026375

