



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0003963
(43) 공개일자 2013년01월09일

(51) 국제특허분류(Int. Cl.)

G02F 1/1368 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2011-0065641

(22) 출원일자 2011년07월01일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이선화

경기도 파주시 변영로 55, 새꽃마을 아파트 110동 1102호 (금촌동)

(74) 대리인

박장원

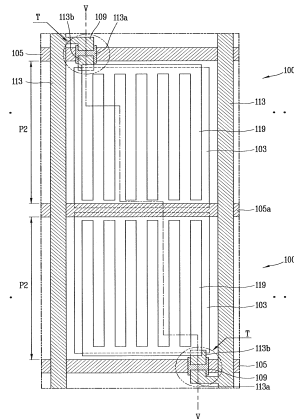
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 액정표시소자 및 그 제조방법

(57) 요약

본 발명은 액정표시소자 및 그 제조방법에 관한 것으로, 개시된 발명은 기판상에 수직 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선; 상기 기판상에 수평방향으로 이격되어 배치되고, 상기 상하 게이트배선과 교차하여 이루는 지역에 화소영역(P2)을 정의하는 다수의 데이터배선; 상기 상하 게이트배선들 사이에 위치하며, 상기 상하 게이트배선들과 다수의 데이터배선이 교차하여 이루는 상하 화소영역(P2)들의 경계부에 형성되는 공통배선; 상기 게이트배선과 데이터배선이 교차하여 이루는 화소영역에 배치되는 공통전극; 상기 상하 게이트배선과 다수의 데이터배선 각각이 교차하여 이루는 지역에 마련되고, 게이트전극과 액티브층과 드레인전극 및 소스전극으로 이루어지는 박막트랜지스터; 및 상기 상하 화소영역 (P2)의 공통전극과 대응하며, 상기 박막트랜지스터의 드레인전극과 연결되는 다수의 화소전극을 포함하여 구성된다.

대 표 도 - 도4



특허청구의 범위

청구항 1

기관상에 수직 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선;

상기 기관상에 수평방향으로 이격되어 배치되고, 상기 상하 게이트배선과 교차하여 이루는 지역에 화소영역(P2)을 정의하는 다수의 데이터배선;

상기 상하 게이트배선들 사이에 위치하며, 상기 상하 게이트배선들과 다수의 데이터배선이 교차하여 이루는 상하 화소영역(P2)들의 경계부에 형성되는 공통배선;

상기 게이트배선과 데이터배선이 교차하여 이루는 화소영역에 배치되는 공통전극;

상기 상하 게이트배선과 다수의 데이터배선 각각이 교차하여 이루는 지역에 마련되고, 게이트전극과 액티브층과 드레인전극 및 소스전극으로 이루어지는 박막트랜지스터; 및

상기 상하 화소영역(P2)의 공통전극과 대응하며, 상기 박막트랜지스터의 드레인전극과 연결되는 화소전극을 포함하여 구성되는 액정표시소자.

청구항 2

제1항에 있어서, 상기 공통배선은 상기 상하 게이트배선과 데이터배선에 의해 정의되는 상하 화소에 각각 분할되는 것을 특징으로 하는 액정표시소자.

청구항 3

제1항에 있어서, 상기 박막트랜지스터는 상부 게이트배선과 좌측 데이터배선이 교차하는 지점과, 하부 게이트배선과 우측 데이터배선이 교차하는 지점에 각각 형성되는 것을 특징으로 하는 액정표시소자.

청구항 4

제1항에 있어서, 상기 박막트랜지스터는 상부 게이트배선 및 하부 게이트배선 각각과 데이터배선이 교차하는 지점에 형성되는 것을 특징으로 하는 액정표시소자.

청구항 5

제1항에 있어서, 상기 상하 화소영역에 배치되는 공통전극 각각은 상기 공통배선과 오버랩되어 있는 것을 특징으로 하는 액정표시소자.

청구항 6

제1항에 있어서, 상기 공통전극은 상기 공통배선과 직접 접촉되도록 형성되거나, 절연막을 사이에 두고 콘택홀을 통해 공통배선과 연결되도록 형성되는 것을 특징으로 하는 액정표시소자.

청구항 7

제1항에 있어서, 상기 화소전극은 드레인전극과 직접 접촉되도록 형성되거나, 절연막을 사이에 두고 콘택홀을 통해 연결되도록 형성되는 것을 특징으로 하는 액정표시소자.

청구항 8

기관상에 수직 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선과 함께, 서로 인접하는 상하 게이트배선 사이에 공통배선을 형성하는 단계;

상기 기관상에 수평 방향으로 이격되어 배치되고, 상기 상하 게이트배선과 교차하여 이루는 지역에 화소영역(P2)을 정의하는 다수의 데이터배선을 형성하는 단계;

상기 다수의 게이트배선과 다수의 데이터배선이 교차하여 이루는 화소영역 각각에 배치되는 공통전극을 형성하는 단계;

상기 상하 게이트배선과 다수의 데이터배선 각각이 교차하여 이루는 지역에 게이트전극과 액티브층과 드레인전극 및 소스전극으로 이루어지는 박막트랜지스터를 형성하는 단계; 및

상기 상하 화소영역(P2)의 공통전극과 대응하며, 상기 박막트랜지스터의 드레인전극과 연결되는 화소전극을 형성하는 단계를 포함하여 구성되는 액정표시소자 제조방법.

청구항 9

제8항에 있어서, 상기 공통배선은 상기 상하 게이트배선과 데이터배선에 의해 정의되는 상하 화소영역에 각각 분할되는 것을 특징으로 하는 액정표시소자 제조방법.

청구항 10

제8항에 있어서, 상기 박막트랜지스터는 상부 게이트배선과 좌측 데이터배선이 교차하는 지점과, 하부 게이트배선과 우측 데이터배선이 교차하는 지점에 각각 형성되는 것을 특징으로 하는 액정표시소자 제조방법.

청구항 11

제8항에 있어서, 상기 박막트랜지스터는 상부 게이트배선 및 하부 게이트배선 각각과 데이터배선이 교차하는 지점에 형성되는 것을 특징으로 하는 액정표시소자 제조방법.

청구항 12

제8항에 있어서, 상기 상하 화소영역에 배치되는 공통전극의 일단은 상기 화소영역의 경계부에 배치되는 공통배선과 오버랩되어 있는 것을 특징으로 하는 액정표시소자.

명세서

기술분야

[0001] 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로서, 보다 상세하게는 액정표시소자 및 그 제조방법에 관한 것이다.

배경기술

[0002] 일반적으로 액정표시장치의 구동 원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

[0003] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0004] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동 행렬 액정표시장치(AM-LCD: Active Matrix LCD, 이하 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

[0005] 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판(즉, 상부기판)과 화소전극이 형성된 어레이기판(즉, 하부기판)과, 상부기판 및 하부기판 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상,하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.

[0006] 그러나, 상-하로 걸리는 전기장에 의한 액정 구동은 시야각 특성이 우수하지 못한 단점이 있다. 따라서, 상기의 단점을 극복하기 위해 새롭게 제안된 기술이 횡전계에 의한 액정 구동방법인데, 이 횡전계에 의한 액정 구동방법은 시야각 특성이 우수한 장점을 가지고 있다.

[0007] 이러한 횡 전계 방식 액정표시장치는 컬러필터기판과 어레이기판이 서로 대향하여 구성되며, 컬러필터기판 및 어레이기판 사이에는 액정층이 개재되어 있다.

[0008] 상기 어레이기판에는 투명한 절연기판에 정의된 다수의 화소마다 박막트랜지스터와 공통전극 및 화소전극으로

구성된다.

- [0009] 또한, 상기 공통전극과 화소전극은 동일 기판 상에 서로 평행하게 이격하여 구성된다.
- [0010] 그리고, 상기 컬러필터기판은 투명한 절연기판 상에 게이트배선과 데이터배선과 박막트랜지스터에 대응하는 부분에 블랙매트릭스가 구성되고, 상기 화소에 대응하여 컬러필터가 구성된다.
- [0011] 상기 액정층은 상기 공통전극과 화소전극의 수평 전계에 의해 구동된다.
- [0012] 상기 구성으로 이루어지는 횡전계 방식 액정표시장치에서, 휘도를 확보하기 위해 상기 공통전극과 화소전극을 투명전극으로 형성하나, 설계상 상기 공통전극과 화소전극 사이의 이격 거리에 의해, 상기 공통전극과 화소전극의 양단 일부만이 휘도 개선에 기여할 뿐, 대부분의 영역은 빛을 차단하는 결과가 된다.
- [0013] 따라서, 이러한 휘도 개선 효과를 극대화시키기 위해 제안된 기술이 FFS (Fringe Field Switching) 기술이다. 상기 FFS 기술은 액정을 정밀하게 제어함으로써 색상 변이(Color shift)가 없고 높은 명암비(Contrast Ratio)를 얻을 수 있는 것이 특징이어서, 일반적인 횡전계 기술과 비교하여 높은 화면품질을 구현할 수 있는 장점이 있다.
- [0014] 이러한 종래기술에 따른 에프에프에스(FFS) 방식 액정표시장치에 대해 도 1내지 3을 참조하여 설명하면 다음과 같다. 여기서는 상하로 배치되는 액정표시 소자(10a, 10b)들을 중심으로 설명하도록 한다.
- [0015] 도 1은 종래기술에 따른 에프에프에스 방식 액정표시소자의 평면도이다.
- [0016] 도 2는 도 1의 II-II선에 따른 단면도로서, 상하 픽셀(pixel) 각각에 공통배선이 배치된 상태를 나타내는 개략적인 단면도이다.
- [0017] 종래기술에 따른 액정표시소자(10a, 10b)는, 도 1 및 2에 도시된 바와 같이, 기판(11) 상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선 (15) 및 공통배선(15a)과; 상기 게이트배선(15)과 교차하고, 이 교차하여 이루는 지역에 화소영역 (P1)을 정의하는 다수의 데이터배선(23)과; 상기 게이트배선(15)과 데이터배선 (23) 각각의 교차지점에 마련되고, 게이트전극(미도시)과 액티브층 (19)과 드레인전극(23b) 및 소스전극(23a)을 포함하는 박막트랜지스터(T)를 포함하여 구성된다.
- [0018] 여기서, 상기 구성으로 이루어진 액정표시소자(10a, 10b)들이 수직방향 및 수평방향으로 반복하여 배열되어져 액정표시장치를 구성하게 된다.
- [0019] 특히, 상기 구성으로 이루어진 액정표시소자(10)는, 도 1 및 2에 도시된 바와 같이, 일 방향으로 연장되고 서로 평행하게 이격된 게이트배선(15)과 공통배선 (15a) 사이에 공통전극(13)이 형성되어 있으며, 상기 공통전극(13) 상부에 이 공통전극(13)과 대향되게 서로 평행하게 이격된 다수개의 화소전극(29)이 배치되어져, 상기 공통전극 (13)과 다수개의 화소전극(29) 사이에 프린지 필드(FF; Fringe Field)가 형성된다. 이때, 상기 공통전극(13)은 상기 게이트배선(15)과 공통배선 (15a) 사이에 정의되는 화소영역(P1)에 배치된다. 또한, 상기 공통전극(13)의 일단은 상기 공통배선(15a)과 직접 접촉되어져 전기적으로 연결되어 있다.
- [0020] 상기 화소전극(29)들은 상기 소스전극(23a) 및 드레인전극(23b)을 포함한 기판 전면에 형성된 보호층(25)에 구비된 콘택홀(27)을 통해 상기 드레인전극(23b)과 전기적으로 연결되어 있다.
- [0021] 그리고, 상기 박막트랜지스터(T)를 구성하는 액티브층(19)과 소스전극(23a) 및 드레인전극(23b) 사이에는 오믹 콘택층(21)이 형성되어 있다.
- [0022] 도 3은 종래기술에 따른 상하 픽셀의 화소영역과 공통배선 및 게이트배선의 배치 관계를 개략적으로 나타낸 평면도이다.
- [0023] 도 3에 도시된 바와 같이, 상하로 배열되는 화소(10a, 10b) 각각에 공통배선 (15a, 15b)이 게이트배선(15)과 평행하게 일정 간격 이격되어 배치되어 있으며, 이 공통배선(15a, 15b)과 게이트배선(15) 사이에 화소영역(P1)이 정의된다.
- [0024] 여기서는 상하로 배열되는 화소(10a, 10b)에 대해 설명하고 있지만, 좌우, 즉 수평방향으로 배열되는 화소에도 상기 상하로 배열되는 화소(10a, 10b)가 동일하게 적용된다.
- [0025] 그러나, 종래기술에 따른 액정표시소자에 따르면, 상하로 배열되는 화소 각각에는 공통배선이 게이트배선과 일정 간격 이격되어 평행하게 배치되어 있어서 각 화소의 화소 영역을 늘리기 어렵기 때문에 개구율 증가에는 한계가 있다. 특히, 각 화소에는 동일한 기준 전압을 인가시키기 위해 공통배선이 반드시 구비되어 있어야 하기

때문에, 그만큼 공통배선이 차지하는 면적이 각 화소에는 필요하게 되어, 화소영역의 면적은 작아지게 되므로 개구율 증가에는 한계가 있다.

발명의 내용

해결하려는 과제

[0026] 이에 본 발명은 상기 문제점들을 개선하기 위한 것으로서, 본 발명의 목적은 하나의 공통배선이 상하 화소에 분할되어 배치되도록 함으로써 액정표시장치의 개구율을 향상시킬 수 있는 액정표시소자 및 그 제조방법을 제공함에 있다.

과제의 해결 수단

[0027] 상기 목적을 달성하기 위한 본 발명에 따른 액정표시소자는, 기관상에 수직 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선; 상기 기관상에 수평방향으로 이격되어 배치되고, 상기 상하 게이트배선과 교차하여 이루는 지역에 화소영역(P2)을 정의하는 다수의 데이터배선; 상기 상하 게이트배선들 사이에 위치하며, 상기 상하 게이트배선들과 다수의 데이터배선이 교차하여 이루는 상하 화소영역(P2)들의 경계부에 형성되는 공통배선; 상기 게이트배선과 데이터배선이 교차하여 이루는 화소영역에 배치되는 공통전극; 상기 상하 게이트배선과 다수의 데이터배선 각각이 교차하여 이루는 지역에 마련되고, 게이트전극과 액티브층과 드레인전극 및 소스전극으로 이루어지는 박막트랜지스터; 및 상기 상하 화소영역(P2)의 공통전극과 대응하며, 상기 박막트랜지스터의 드레인전극과 연결되는 다수의 화소전극을 포함하여 구성되는 것을 특징으로 한다.

[0028] 상기 목적을 달성하기 위한 본 발명에 따른 액정표시소자 제조방법은, 기관상에 수직 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선과 함께, 서로 인접하는 상하 게이트배선 사이에 공통배선을 형성하는 단계; 상기 기관상에 수평 방향으로 이격되어 배치되고, 상기 상하 게이트배선과 교차하여 이루는 지역에 화소영역(P2)을 정의하는 다수의 데이터배선을 형성하는 단계; 상기 다수의 게이트배선과 다수의 데이터배선이 교차하여 이루는 화소영역 각각에 배치되는 공통전극을 형성하는 단계; 상기 상하 게이트배선과 다수의 데이터배선 각각이 교차하여 이루는 지역에 게이트전극과 액티브층과 드레인전극 및 소스전극으로 이루어지는 박막트랜지스터를 형성하는 단계; 및 상기 상하 화소영역(P2)의 공통전극과 대응하며, 상기 박막트랜지스터의 드레인전극과 연결되는 다수의 화소전극을 형성하는 단계를 포함하여 구성되는 것을 특징으로 한다.

발명의 효과

[0029] 본 발명에 따른 액정표시소자 및 그 제조방법에 따르면, 하나의 공통배선이 상하 화소에 분할되어 배치되도록 함으로써 액정표시장치의 개구율을 향상시킬 수 있다.

[0030] 본 발명에 따른 액정표시소자 및 그 제조방법에 따르면, 하나의 공통배선이 상하 화소에 분할되어 배치되도록 하고, 상하 대각선 방향의 지그재그의 화소에 데이터배선을 서로 대응되게 배치함으로써 라인 인버전(line inversion) 구동이 가능하여 소비전력 감소에 유리하게 된다.

도면의 간단한 설명

[0031] 도 1은 종래기술에 따른 에프에프에스(FFS) 방식 액정표시소자의 평면도이다.

도 2는 도 1의 II-II선에 따른 단면도로서, 상하 픽셀(pixel) 각각에 공통배선이 배치된 상태를 나타내는 개략적인 단면도이다.

도 3은 종래기술에 따른 상하 픽셀의 화소영역과 공통배선 및 게이트배선의 배치 관계를 개략적으로 나타낸 평면도이다.

도 4는 본 발명의 바람직한 실시 예에 따른 에프에프에스(FFS) 방식 액정표시소자의 평면도이다.

도 5는 도 4의 V-V선에 따른 단면도로서, 하나의 공통배선이 상하 픽셀(pixel)들 사이에 분할된 상태를 나타내는 개략적인 단면도이다.

도 6은 본 발명에 따른 상하 픽셀의 화소영역과 이들 사이의 공통배선 및 게이트배선의 배치 관계를 개략적으로 나타낸 평면도이다.

도 7은 본 발명의 일 실시 예에 따른 액정표시소자의 제조공정단면도이다.

도 8은 본 발명의 다른 실시 예에 따른 액정표시소자의 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하, 본 발명에 따른 에프에프에스 액정표시소자에 대해 첨부된 도면을 참조하여 상세히 설명한다.
- [0033] 여기서는 액정표시소자를 구성하는 상하 화소(100a, 100b)를 중심으로 설명하도록 한다.
- [0034] 도 4는 본 발명의 바람직한 실시 예에 따른 에프에프에스(FFS) 방식 액정표시소자의 평면도이다.
- [0035] 도 5는 도 4의 V-V선에 따른 단면도로서, 하나의 공통배선이 상하 픽셀(pixel)들 사이에 분할된 상태를 나타내는 개략적인 단면도이다.
- [0036] 본 발명에 따른 액정표시소자는, 도 4 및 5에 도시된 바와 같이, 기관(101) 상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선(105)과; 상기 게이트배선(105)들 사이에 위치하며, 상기 게이트배선(105)들과 서로 평행하게 배치된 공통배선(105a)과; 상기 게이트배선(105)과 교차하고, 이 교차하여 이루는 지역에 화소영역(P2)을 정의하는 다수의 데이터배선(113)과; 상기 다수의 게이트배선(105)과 다수의 데이터배선(113) 각각의 교차지점에 마련되고, 게이트전극(미도시)과 액티브층(109)과 드레인전극(113b) 및 소스전극(113a)을 포함하는 박막트랜지스터(T)를 포함하여 구성된다.
- [0037] 여기서, 상기 구성으로 이루어진 상하 액정표시소자들이 수직방향 및 수평방향으로 반복하여 배열되어져 액정표시장치를 구성하게 된다. 특히, 짝수번째 라인(even line)과 홀수번째 라인(odd line)의 화소 경계부에 공통배선(105a; Vcom line)을 형성하여, 상하 화소(100a, 100b)의 공통배선을 분할한다. 따라서, 짝수 번째 라인의 화소(100b)의 게이트배선(105)은 화소(100b)의 하부에 위치하고, 홀수 번째 라인의 화소(100a)의 게이트배선(105)은 화소(100a)의 상부에 위치한다. 즉, 짝수 번째 화소(100b)을 180도 회전하게 되면, 홀수 번째 라인 화소(100a)를 구성하게 된다.
- [0038] 상기 게이트배선(105)들은 게이트 드라이버(미도시)로부터의 스캔 신호를, 상기 데이터배선(113)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트배선(105) 및 데이터배선(113)은 게이트절연막(107)을 사이에 두고 교차하여 각 화소 영역을 정의한다.
- [0039] 상기 게이트배선(105)은 기관(101) 위에 투명 도전층을 포함한 적어도 이중 이상의 복층 구조 또는 단층 구조로 형성된다. 예를 들면, 투명도전층을 이용한 제1 도전층과, 불투명한 금속을 이용한 제2 도전층이 적층된 복층 구조 또는 불투명한 금속을 이용한 단층 구조로 형성된다.
- [0040] 이때, 상기 제1 도전층으로는 ITO, IZO, 또는 ITZO이 사용되며, 제2 도전층으로는 Cu, Mo, Al, Cu합금, Mo합금, Al합금 등이 사용된다.
- [0041] 또한, 상기 박막 트랜지스터(T)는 상기 게이트배선(105)에 공급되는 스캔 신호에 데이터배선(113)에 공급되는 화소 신호가 화소전극(119)에 충전되어 유지되게 한다. 이를 위해, 상기 박막트랜지스터(T)는 상기 게이트배선(105)에 포함된 게이트전극(미도시), 데이터배선(113)에 접속된 소스전극(113a), 이 소스전극(113a)과 마주하며 화소전극(119b)과 접속된 드레인전극(113b), 게이트절연막(107)을 사이에 두고 게이트전극(미도시)과 중첩되어 소스전극(113a)과 드레인전극(113b) 사이에 채널을 형성하는 액티브층(109)과, 소스전극(113a) 및 드레인전극(113b)과의 오믹 접촉을 위하여 채널을 제외한 액티브층(109) 위에 형성된 오믹접촉층(111)을 구비한다.
- [0042] 그리고, 상기 액티브층(109)과 오믹 접촉층(111)은 게이트배선(105)을 따라 중첩된다.
- [0043] 그리고, 상기 데이터배선(113)은 데이터패드(미도시)를 통해 데이터 드라이버(미도시)로부터의 화소 신호를 공급받는다.
- [0044] 또한, 상기 화소영역의 전면에는 상기 게이트배선(105)과 데이터배선(113)과 이격된 공간을 두고 투명한 공통전극(105a)이 배치되어 있으며, 상기 공통전극(105a) 및 데이터배선(113) 상부에는 보호막(115)을 사이에 두고 다수의 막대 형상의 투명한 화소전극(119)이 배치되어 있다.
- [0045] 그리고, 상기 공통배선(105a)과 공통전극(103)은 액정 구동을 위한 기준 전압, 즉 공통전극을 각 화소(100a, 100b)에 공급한다. 이때, 상기 공통배선(105a)은 상기 게이트배선(105)과 같이 제1 및 2 도전층이 적층된 구조 또는 단일 도전층으로 형성한다.
- [0046] 상기 구성으로 이루어진 액정표시소자는, 도 4 및 5에 도시된 바와 같이, 일 방향으로 연장되고 서로 평행하게 이격된 상하 게이트배선(105)과 이들 게이트배선(105) 사이에 배치되는 공통배선(105a) 사이에 공통전극

(105a)이 배치되어 있으며, 상기 공통전극(105a) 상부에 이 공통전극(105a)과 대향되게 서로 평행하게 이격된 다수개의 화소전극(119)이 배치되어져, 상기 공통전극 (105a)과 다수개의 화소전극(119) 사이에 프린지 필드(FF; Fringe Field)가 형성된다. 이때, 상기 공통전극(105a)은 상기 상하 게이트배선(105)과 이들 게이트배선(105) 사이에 배치된 공통배선(105a) 사이에 정의되는 화소영역(P2)에 배치된다. 또한, 상기 상하 공통전극(103)의 각 일단은 상기 공통배선(105a)과 오버랩되어 있으며, 이 공통배선(105a)과 직접 접촉되어져 전기적으로 연결되어 있다.

[0047] 상기 화소전극(119)들은 상기 소스전극(113a) 및 드레인전극(113b)을 포함한 기판 전면에 형성된 보호층(115)에 구비된 콘택홀(117)을 통해 상기 드레인전극 (113b)과 전기적으로 연결되어 있다.

[0048] 그리고, 상기 상하 화소(100a, 100b) 각각에 마련된 박막트랜지스터 (T)를 구성하는 액티브층(109)과 소스전극(113a) 및 드레인전극(113b) 사이에는 오믹콘택층(111)이 형성되어 있다.

[0049] 한편, 상기 다수의 데이터배선(113)들은 서로 일정간격 이격되어 평행하게 수평방향으로 배치되며, 상기 상하 게이트배선(105)과 교차되게 배열되어져 화소영역(P2)를 정의한다. 또한, 상기 상부 게이트배선(105)과 좌측 데이터배선(113)의 교차 지점과, 상기 하부 게이트배선(105)과 우측 데이터배선(113)의 교차 지점 각각에는 박막트랜지스터(T)가 구비된다. 즉, 상기 상하 화소(100a, 100b) 각각에 마련되는 박막트랜지스터(T)는 서로 다른 데이터배선(113)과 게이트배선(105)에 의해 형성된다.

[0050] 더욱이, 상기 다수의 화소전극(119)은 각 화소영역(P2)에서 보호막(115)을 사이에 두고 상기 공통전극(103)과 중첩되어 프린지 필드(fringe field)를 형성한다.

[0051] 이렇게 하여, 박막트랜지스터(T)를 통해 화소전극(119)에 비디오 신호가 공급되면, 공통전압이 공급된 공통전극(105a)가 프린지 필드를 형성하여 박막트랜지스터 기판과 칼라필터기판(미도시) 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정분자들이 회전 정도에 따라 화소영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.

[0052] 도 6은 본 발명에 따른 상하 픽셀의 화소영역과 공통배선 및 게이트배선의 배치 관계를 개략적으로 나타낸 평면도이다.

[0053] 도 6에 도시된 바와 같이, 상하로 배열되는 화소(100a, 100b) 각각에 마련된 상하 게이트배선(105) 사이에 하나의 공통배선(105a)이 이들 게이트배선(105)과 평행하게 이격되어 배치되어 있으며, 이 공통배선(105a)과 게이트배선(105) 사이에 화소영역(P2)이 정의된다. 이때, 상기 화소영역(P2)은 기존의 화소영역(P1)과 함께 기존의 공통배선이 배치되었던 면적인 화소영역(P3)이 새롭게 화소영역으로 확장되어 형성된다. 즉, 기존에는 상하 화소 각각에 공통배선이 필요하였으나, 본 발명에서는 상하 화소에 하나의 공통배선만이 필요하게 됨으로써, 기존에 사용하였던 두 개의 공통배선 중에서 하나의 공통배선이 제거됨으로 인해 제거된 면적, 즉 화소영역(P3)만큼 화소영역이 확장되므로, 개구율이 향상된다.

[0054] 여기서는 상하로 배열되는 화소(100a, 100b)에 대해 설명하고 있지만, 좌우, 즉 수평방향으로 배열되는 화소에도 상기 상하로 배열되는 화소(100a, 100b)가 동일하게 적용된다.

[0055] 상기 구성으로 이루어진 액정표시소자는 하나의 공통배선(105a)이 상하 화소(100a, 100b)에 분할되어 배치됨으로써 액정표시장치의 개구율이 기존에 비해 향상된다. 즉, 기존에는 각 화소마다 공통배선이 구비되어 있어야 했으나, 본 발명에서는 상하 화소마다 하나의 공통배선만이 사용되므로 기존의 두 개의 공통배선 중 하나가 제거해도 되기 때문에 이 제거되는 공통배선의 면적(P3)만큼 화소영역을 확장시킬 수 있으므로, 그만큼 개구율이 개선된다.

[0056] 또한, 상기 구성으로 이루어진 액정표시소자는 하나의 공통배선이 상하 화소에 분할되어 배치되고, 상하 화소에 데이터배선을 서로 대응되고 지그 재그로 배치함으로써 라인 인버전(line inversion) 구동이 가능하여 소비전력 감소에 유리하게 된다. 즉, 데이터배선이 상하 대각선 방향의 지그 재그의 화소에 연결되도록 함으로써 홀수 번째 데이터배선 전체에 정(+) 극성 또는 부(-) 극성이 띄게 되고, 인접한 짝수 번째 데이터배선 전체에는 상기 홀수 번째 데이터배선과 다른 극성인 부(-) 극성 또는 정(+) 극성이 띄게 되어 라인 인버전 구동이 가능하게 된다. 예를 들어, 홀수 번째 데이터배선에 정(+) 극성이 띄게 되고, 인접된 짝수 번째 데이터배선에 부(-) 극성이 띄게 되거나, 홀수 번째 데이터배선에 부(-) 극성이 띄게 되고, 인접된 짝수 번째 데이터배선에 정(+) 극성이 띄게 됨으로써 라인 인버전 구동이 된다.

[0057] 한편, 본 발명에 따른 액정표시소자 구조로는, 전술한 본 발명의 일 실시 예인 경우 이외에 다양한 구조가 적용

될 수 있는데, 본 발명의 일 실시 예인 경우에는 공통전극(103)이 공통배선(105a)에 직접 접촉하는 구조에 대해 설명하고 있다. 이 경우에, 화소전극(119)과 드레인전극(113b)을 연결시켜 주기 위해 보호막(115)에 형성되는 콘택홀(117)이 필요하게 된다.

[0058] 하지만, 본 발명에 따른 액정표시소자의 다른 실시 예로서 화소전극(119)을 기관(101) 상에 게이트배선 (105)과 인접하여 형성하고, 공통전극(103)을 보호막(115) 상부에 형성하는 경우에, 상기 공통전극(103)과 공통배선 (105a)을 연결하기 위한 콘택홀이 필요하게 된다.

[0059] 또한, 본 발명에 따른 액정표시소자의 또 다른 실시 예로서, 공통전극(103)을 데이터배선(113) 상부에 형성하고, 화소전극(119)을 상기 공통전극(103) 상부에 위치하도록 형성하는 경우에, 상기 공통전극(103)과 공통배선(105a)을 연결하기 위한 제1 콘택홀(미도시)과 함께, 상기 화소전극(119)과 드레인전극(113b)을 연결하기 위한 제2 콘택홀(미도시)이 필요하게 된다.

[0060] 상기 구성으로 이루어지는 본 발명에 따른 액정표시소자용 어레이기관 제조방법에 대해 설명하면 다음과 같다. 여기서는 액정표시소자를 구성하는 상하 화소(100a, 100b)를 중심으로 설명하도록 한다.

[0061] 도 7은 본 발명의 일 실시 예에 따른 액정표시소자의 제조공정단면도이다.

[0062] 도 8은 본 발명의 다른 실시 예에 따른 액정표시소자의 평면도이다.

[0063] 도면에 도시하지 않았지만, 투명한 기관(101) 상에 스위칭 영역을 포함하는 다수의 화소영역과 함께 비화소영역을 정의하고, 상기 투명한 기관(101) 상에 투명 도전물질층(미도시)을 스퍼터링 방법에 의해 차례로 증착한다. 이때, 상기 투명 도전물질층(미도시)으로는 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide)를 포함한 투명한 도전 물질 그룹 중에서 선택된 어느 하나를 사용한다.

[0064] 그 다음, 상기 투명 도전성 금속층(미도시) 상부에 투과율이 높은 포토레지스트 (photo-resist)를 도포하여 제1 감광막(미도시)을 형성한다.

[0065] 이어서, 제1 마스크 공정으로서, 제1 마스크(미도시)를 이용한 포토리소그래피 공정 기술을 통해 상기 제1 감광막(미도시)을 노광 및 현상한 후 이를 선택적으로 제거하여 제1 감광막패턴(미도시)을 형성한다.

[0066] 그 다음, 상기 제1 감광막패턴(미도시)을 차단막으로 상기 투명 도전 물질층 (미도시)을 패터닝하여 공통전극 (103)을 형성한다. 이때, 상기 공통전극(103)은 각 화소의 화소영역(미도시, 도 4의 P2 참조)과 오버랩된다.

[0067] 이어서, 상기 제1 감광막패턴(미도시)을 제거하고, 상기 공통전극(103)을 포함한 기관 전면에서 제1 도전성 금속층(미도시)을 형성한다. 이때, 상기 제1 도전성 금속층 (미도시)으로는, 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리브덴 합금, 구리합금, 알루미늄 합금 등과 같이 금속물질이 단일층으로 이용하거나, Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo합금/Al 합금, Mo/Al 합금, Cu/Mo합금, Cu/Mo(Ti) 등과 같이 이중층 이상이 적층된 구조를 이용한다.

[0068] 그 다음, 상기 제1 도전성 금속층(미도시) 상부에 투과율이 높은 포토레지스트 (photo-resist)를 도포하여 제2 감광막(미도시)을 형성한다.

[0069] 이어서, 제2 마스크 공정으로서, 제2 마스크(미도시)를 이용한 포토리소그래피 공정 기술을 통해 상기 제2 감광막(미도시)을 노광 및 현상한 후 이를 선택적으로 제거하여 제2 감광막패턴(미도시)을 형성한다.

[0070] 그 다음, 도 7b에 도시된 바와 같이, 상기 제2 감광막패턴(미도시)을 차단막으로 상기 제1 도전 물질층(미도시)을 패터닝하여 서로 평행하게 이격되는 게이트배선 (105)과 공통배선(105a)을 동시에 형성한다. 이때, 상기 공통배선(105a)은 상하 게이트배선(105) 사이에 형성되며, 상기 상하 공통전극(103)들과 직접 접촉하여 전기적으로 연결된다. 또한, 상기 공통배선(105a)의 양측은 상기 상하 공통 전극 (103)의 일단과 오버랩된다. 따라서, 상기 공통배선(105a)은 상하 화소(100a, 100b)에 각각 분할되어 배치된다.

[0071] 이어서, 도 7c에 도시된 바와 같이, 상기 제2 감광막패턴(미도시)을 제거하고, 기관 전면에서 질화실리콘(SiNx) 또는 실리콘산화막(SiO₂)으로 이루어진 게이트절연막(107)을 형성한다.

[0072] 이어서, 상기 게이트절연막(107)이 형성된 기관(101)의 전면에서 비정질실리콘 층(a-Si:H)(미도시)과 불순물이 포함된 비정질실리콘층(n⁺ 또는 p⁺)(미도시)을 차례로 적층한다. 이때, 상기 비정질실리콘 층(a-Si:H) (미도시)과 불순물이 포함된 비정질실리콘층(n⁺ 또는 p⁺) (미도시)은 화학기상 증착법 (CVD; Chemical Vapor Deposition method)으로 증착한다. 여기서는, 상기 증착 방법으로 화학기상 증착법, 스퍼터링 방법에 대해서만 기재하고 있

지만, 필요에 따라서는 기타 다른 증착 방법을 사용할 수도 있다.

- [0073] 그 다음, 상기 불순물이 포함된 비정질실리콘층(미도시) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제3 감광막(미도시)을 형성한다.
- [0074] 이어서, 제3 마스크 공정으로서, 제3 마스크(미도시)를 이용한 포토리소그래피 공정 기술을 통해 상기 제3 감광막(미도시)을 노광 및 현상한 후 이를 선택적으로 제거하여 제3 감광막패턴(미도시)을 형성한다.
- [0075] 그 다음, 도 7c에 도시된 바와 같이, 상기 제3 감광막패턴(미도시)을 차단막으로 상기 불순물이 포함된 비정질실리콘층(미도시)과 비정질실리콘층(미도시)을 순차적으로 패터닝하여, 액티브층(109)과 오믹콘택층(111)을 형성한다.
- [0076] 이어서, 상기 제3 감광막패턴(미도시)을 제거하고, 상기 액티브층(109)과 오믹콘택층(111)을 포함한 기판 전면에 스퍼터링 방법을 이용하여 제2 도전성 금속층(미도시)을 증착한다. 이때, 상기 제2 도전성 금속층(미도시)으로는, 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리브덴 합금, 구리합금, 알루미늄 합금 등과 같이 금속물질이 단일층으로 이용하거나, Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo합금/Al합금, Mo/Al 합금, Cu/Mo합금, Cu/Mo(Ti) 등과 같이 이중층 이상이 적층된 구조를 이용한다.
- [0077] 그 다음, 상기 제2 도전성 금속층(미도시) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제4 감광막(미도시)을 형성한다.
- [0078] 이어서, 제4 마스크 공정으로서, 제4 마스크(미도시)를 이용한 포토리소그래피 공정 기술을 통해 상기 제4 감광막(미도시)을 노광 및 현상한 후 이를 선택적으로 제거하여 제4 감광막패턴(미도시)을 형성한다.
- [0079] 그 다음, 도 7d에 도시된 바와 같이, 상기 제4 감광막패턴(미도시)을 차단막으로 상기 제2 도전성 금속층(미도시)을 선택적으로 패터닝하여 상기 게이트배선(105)과 수직되게 교차하는 데이터배선(113)과 함께, 이 데이터배선(113)으로 부터 연장된 소스전극(113a)과 이 소스전극(113a)과 이격된 드레인전극(113b)을 형성한다. 이때, 상기 제2 도전성 금속층(미도시)을 선택적으로 패터닝한 후 노출되는 채널영역 상부의 불순물이 포함된 비정질실리콘층(미도시) 부분을 제거하여 채널지역의 액티브층(109)을 노출시킨다.
- [0080] 한편, 상기 제3 및 4 마스크 공정, 즉 액티브층(109)과 오믹콘택층(111) 형성하는 제3 마스크 공정과; 데이터배선(113), 소스전극(113a) 및 드레인전극(113b)을 형성하는 제4 마스크 공정은 회절 마스크 또는 하프톤 마스크를 이용한 하나의 마스크 공정으로 진행할 수도 있다.
- [0081] 이러한 회절 마스크 또는 하프톤 마스크를 이용한 하나의 마스크 공정을 이용한 액티브층(109) 및 오믹콘택층(111)과, 데이터배선(113)과 소스전극(113a) 및 드레인전극(113b)을 형성하는 공정에 대해 간략하게 설명하면 다음과 같다.
- [0082] 상기 게이트절연막(107)이 형성된 기판(101)의 전면에 비정질실리콘층(a-Si:H)(미도시)과 불순물이 포함된 비정질실리콘층(n⁺ 또는 p⁺)(미도시)을 차례로 적층한 후 그 위에 제2 도전성 금속층(미도시)을 증착한다. 이때, 상기 비정질실리콘층(a-Si:H)(미도시)과 불순물이 포함된 비정질실리콘층(n⁺ 또는 p⁺)(미도시)은 화학기상증착법(CVD; Chemical Vapor Deposition method)으로 증착하고, 상기 제2 도전성 금속층(미도시)은 스퍼터링 방법으로 증착한다. 여기서는, 상기 증착 방법으로 화학기상 증착법, 스퍼터링 방법에 대해서만 기재하고 있지만, 필요에 따라서는 기타 다른 증착 방법을 사용할 수도 있다.
- [0083] 그 다음, 상기 불순물이 포함된 비정질실리콘층(미도시) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 감광막(미도시)을 형성한다.
- [0084] 이어서, 도면에는 도시하지 않았지만, 노광 마스크, 즉 회절마스크를 이용한 마스크 공정으로서, 광차단부(미도시)와 반투과부(미도시) 및 투과부(미도시)로 이루어진 회절마스크(미도시)를 이용하여 상기 감광막(미도시)에 노광 공정을 실시한다. 이때, 상기 회절마스크의 광차단부는 데이터배선 형성 지역과 소스전극 및 드레인전극 형성 지역과 대응하는 상기 감광막 상층에 위치하며, 상기 회절마스크의 반투과부는 박막트랜지스터(T)의 채널지역, 즉 게이트전극(미도시)과 대응하는 상기 감광막(미도시) 상층에 위치한다. 또한, 상기 회절마스크 이외에 광의 회절 효과를 이용하는 마스크, 예를 들어 하프톤 마스크(Half-ton mask) 또는 기타 다른 마스크를 사용할 수도 있다.
- [0085] 그 다음, 도면에는 도시하지 않았지만, 상기 노광 공정 이후에 현상공정을 실시한 다음 상기 감광막을 선택적으

로 패터닝하여 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역에 제1 패턴(미도시)을 형성하고, 상기 박막트랜지스터 (T)의 채널지역에 제2 패턴(미도시)을 형성한다. 이때, 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴은 광이 투과되지 않은 상태이기 때문에 감광막 두께를 그대로 유지하고 있지만, 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(미도시)은 감광막에 광의 일부가 투과되어 일정 두께만큼 제거된다. 즉, 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(미도시)은 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(미도시)보다 얇은 두께를 갖게 된다.

- [0086] 이어서, 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(미도시)과 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(미도시)을 마스크로, 상기 제2 도전성 금속층(미도시)과 불순물이 함유된 비정질실리콘층(미도시), 비정질 실리콘층(미도시)을 선택적으로 패터닝하여 데이터배선(113)을 형성함과 동시에, 소스전극 형성지역과 드레인전극 형성 지역을 각각 정의한다. 이때, 상기 제2 도전성 금속층과 불순물이 함유된 비정질실리콘층(미도시), 비정질 실리콘층(미도시)을 선택적으로 패터닝시에, 먼저 상기 제2 도전성 금속층을 제1 습식 식각(wet etch) 공정을 통해 선택적으로 식각하고, 이어 다시 제1 건식 식각(dry etch) 공정을 통해 불순물이 함유된 비정질실리콘층(미도시)과 비정질실리콘층 (미도시)을 식각한다.
- [0087] 그 다음, 예싱(ashing) 공정을 통해 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴의 두께 일부와 상기 박막트랜지스터(T)의 채널지역의 제2 패턴을 완전히 제거하여 상기 박막트랜지스터(T)의 채널지역의 제2 패턴 아래의 제2 도전성 금속층 부분을 노출시킨다.
- [0088] 이어서, 상기 예싱 공정에 의해 두께 일부가 식각된 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성 지역의 제1 패턴을 마스크로 상기 노출된 제2 도전성 금속층을 제2 습식 식각 공정을 통해 식각함으로써 드레인전극(113b)과 이 드레인전극(113b)과 이격된 소스전극(113a)을 형성하고, 상기 공통전극(103)을 노출시킨다.
- [0089] 그 다음, 도면에는 도시하지 않았지만, 상기 채널 지역의 불순물이 함유된 비정질실리콘층(미도시) 부분도 건식 식각 공정을 통해 제거함으로써 액티브층 (109)의 채널영역을 노출시키는 오믹콘택층(111)을 형성함으로써, 회절마스크를 이용한 마스크 공정을 완료한다.
- [0090] 이어서, 도 7e에 도시된 바와 같이, 기판 전면에 질화실리콘(SiNx) 또는 실리콘산화막(SiO₂)으로 이루어진 보호막(115)을 형성한다.
- [0091] 그 다음, 상기 보호막(115) 상에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제5 감광막(미도시)을 형성한다.
- [0092] 이어서, 도면에는 도시하지 않았지만, 제5 마스크 공정으로서, 제5 마스크(미도시)를 이용한 포토리소그래피 공정기술을 통해 상기 제5 감광막을 노광 및 현상한 후 이를 선택적으로 패터닝하여 제5 감광막패턴(미도시)을 형성한다.
- [0093] 그 다음, 상기 제5 감광막패턴(미도시)을 마스크로 상기 보호막(115)을 선택적으로 제거하여 상기 드레인전극(113b)을 노출시키는 콘택홀(117)을 형성한다.
- [0094] 이어서, 상기 제5 감광막패턴(미도시)을 제거하고, 상기 콘택홀(117)을 포함한 보호막(115) 상에 제2 투명 도전물질층(미도시)을 증착한 후 상기 제2 투명 도전물질층(미도시) 상에 제6 감광막(미도시)을 도포한다.
- [0095] 그 다음, 제6 마스크 공정으로서, 제6 마스크(미도시)를 이용한 포토리소그래피 공정기술을 통해 상기 제6 감광막을 노광 및 현상한 후 이를 선택적으로 패터닝하여 제6 감광막패턴(미도시)을 형성한다.
- [0096] 이어서, 상기 제6 감광막패턴(미도시)을 마스크로 상기 제2 투명 도전물질층 (미도시)을 선택적으로 패터닝하여 상기 콘택홀(117)을 통해 상기 드레인전극 (113b)과 전기적으로 연결되며, 다수의 막 형태의 화소전극(119)을 형성한다. 이때, 상기 다수개의 화소전극(119)은 서로 이격되어져 상기 공통전극(103)과 오버랩되어 있다.
- [0097] 그 다음, 도면에는 도시하지 않았지만, 상기 제6 감광막패턴(미도시)을 제거함으로써 본 발명에 따른 에프에프에스 액정표시장치용 어레이기판 제조공정을 완료한다.
- [0098] 이후에, 도면에는 도시하지 않았지만, 컬러필터 기판 제조 공정과 함께 어레이기판과 컬러필터 기판 사이에 액정층을 충전하는 공정을 수행함으로써 본 발명에 따른 에프에프에스 액정표시장치를 제조하게 된다.
- [0099] 한편, 본 발명의 다른 실시 예에 따른 액정표시장치에 대해 도 8을 참조하여 설명하면 다음과 같다.
- [0100] 도 8은 본 발명의 다른 실시 예에 따른 액정표시장치의 평면도이다.

- [0101] 여기서, 본 발명의 다른 실시 예에 따른 액정표시소자의 경우에, 하나의 데이터배선(213)을 이용하여 상하 화소에 적용한 것을 제외하고는, 도 4에 도시된 본 발명의 일 실시 예에 따른 액정표시소자의 구성과 동일하다.
- [0102] 본 발명의 다른 실시 예에 따른 액정표시소자는, 도 8에 도시된 바와 같이, 기판(미도시) 상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선 (205)과; 상기 게이트배선(205)들 사이에 위치하며, 상기 게이트배선 (205)들과 서로 평행하게 배치된 공통배선(205a)과; 상기 다수의 게이트배선(205)과 교차하고, 이 교차하여 이루는 상하부 지역에 각각 화소영역(P2)을 정의하는 데이터배선(213)과; 상기 다수의 게이트배선(205)과 데이터배선(213) 각각의 교차지점에 마련되고, 게이트전극(미도시)과 액티브층(209)과 드레인전극(213b) 및 소스전극 (213a)을 포함하는 박막트랜지스터(T)를 포함하여 구성된다.
- [0103] 여기서, 상기 구성으로 이루어진 액정표시소자를 구성하는 상하 화소(200a, 200b)들이 수직방향 및 수평방향으로 반복하여 배열되어져 액정표시장치를 구성하게 된다.
- [0104] 상기 게이트배선(205)들은 게이트 드라이버(미도시)로부터의 스캔 신호를, 상기 데이터배선(213)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트배선(205) 및 데이터배선(213)은 게이트절연막(미도시)을 사이에 두고 교차하여 각 화소 영역을 정의한다.
- [0105] 상기 게이트배선(205)은 기판(미도시) 위에 투명 도전층을 포함한 적어도 이중 이상의 복층 구조 또는 단층 구조로 형성된다. 예를 들면, 투명도전층을 이용한 제1 도전층과, 불투명한 금속을 이용한 제2 도전층이 적층된 복층 구조 또는 불투명한 금속을 이용한 단층 구조로 형성된다.
- [0106] 이때, 상기 제1 도전층으로는 ITO, IZO, 또는 ITZO이 사용되며, 제2 도전층으로는 Cu, Mo, Al, Cu합금, Mo합금, Al합금 등이 사용된다.
- [0107] 또한, 상기 박막 트랜지스터(T)는 상기 게이트배선(205)에 공급되는 스캔 신호에 데이터배선(213)에 공급되는 화소 신호가 화소전극(219)에 충전되어 유지되게 한다. 이를 위해, 상기 박막트랜지스터(T)는 상기 게이트배선 (205)에 포함된 게이트전극(미도시), 데이터배선(213)에 접속된 소스전극(213a), 이 소스전극(213a)과 마주하며 화소전극(219b)과 접속된 드레인전극(213b), 게이트절연막(미도시)을 사이에 두고 게이트전극(미도시)과 중첩되어 소스전극(213a)과 드레인전극(213b) 사이에 채널을 형성하는 액티브층(209)과, 소스전극(213a) 및 드레인전극(213b)과의 오믹 접촉을 위하여 채널을 제외한 액티브층(209) 위에 형성된 오믹접촉층(211)을 구비한다.
- [0108] 그리고, 상기 액티브층(209)과 오믹 접촉층(211)은 게이트배선(205)을 따라 중첩된다.
- [0109] 그리고, 상기 데이터배선(213)은 데이터패드(미도시)를 통해 데이터 드라이버(미도시)로부터의 화소 신호를 공급받는다.
- [0110] 또한, 상기 화소영역의 전면에는 상기 게이트배선(205)과 데이터배선(213) 과 이격된 공간을 두고 투명한 공통전극(205a)이 배치되어 있으며, 상기 공통전극 (205a) 및 데이터배선(213) 상부에는 보호막(215)을 사이에 두고 다수의 막대 형상의 투명한 화소전극(219)이 배치되어 있다.
- [0111] 그리고, 상기 공통배선(205a)과 공통전극(203)은 액정 구동을 위한 기준 전압, 즉 공통전극을 각 화소(200a, 200b)에 공급한다. 이때, 상기 공통배선(205a)은 상기 게이트배선(205)과 같이 제1 및 2 도전층이 적층된 구조 또는 단일 도전층으로 형성한다.
- [0112] 특히, 도 8에 도시된 바와 같이, 일 방향으로 연장되고 서로 평행하게 이격된 상하 게이트배선(205)과 이들 게이트배선(205) 사이에 배치되는 공통배선(205a) 사이에 공통전극(205a)이 배치되어 있으며, 상기 공통전극 (205a) 상부에 이 공통전극(205a)과 대향되게 서로 평행하게 이격된 다수개의 화소전극(219)이 배치되어져, 상기 공통전극(205a)과 다수개의 화소전극(219) 사이에 프링지 필드(FF; Fringe Field)가 형성된다. 이때, 상기 공통전극(205a)은 상기 상하 게이트배선(205)과 이들 게이트배선(205) 사이에 배치된 공통배선(205a) 사이에 정의되는 화소영역(P2)에 배치된다. 또한, 상기 상하 공통전극(203)의 각 일단은 상기 공통배선(205a)과 오버랩되어 있으며, 이 공통배선(205a)과 직접 접촉되어져 전기적으로 연결되어 있다.
- [0113] 한편, 상기 다수의 데이터배선(213)들은 서로 일정간격 이격되어 평행하게 수평방향으로 배치되며, 상기 상하 게이트배선(205)과 교차되게 배열되어져 화소영역(P2)를 정의한다. 또한, 상기 상하부 게이트배선(205)과 데이터배선(213)의 교차 지점 각 각에는 박막트랜지스터(T)가 구비된다. 즉, 상기 상하 액정표시소자(200a, 200b) 각각에 마련되는 박막트랜지스터(T)는 서로 다른 데이터배선(213)과 게이트배선(205)에 의해 형성된다.
- [0114] 더욱이, 상기 다수의 화소전극(219)은 각 화소영역(P2)에서 보호막(117)을 사이에 두고 상기 공통전극(203)과

중첩되어 프린지 필드(fringe field)를 형성한다.

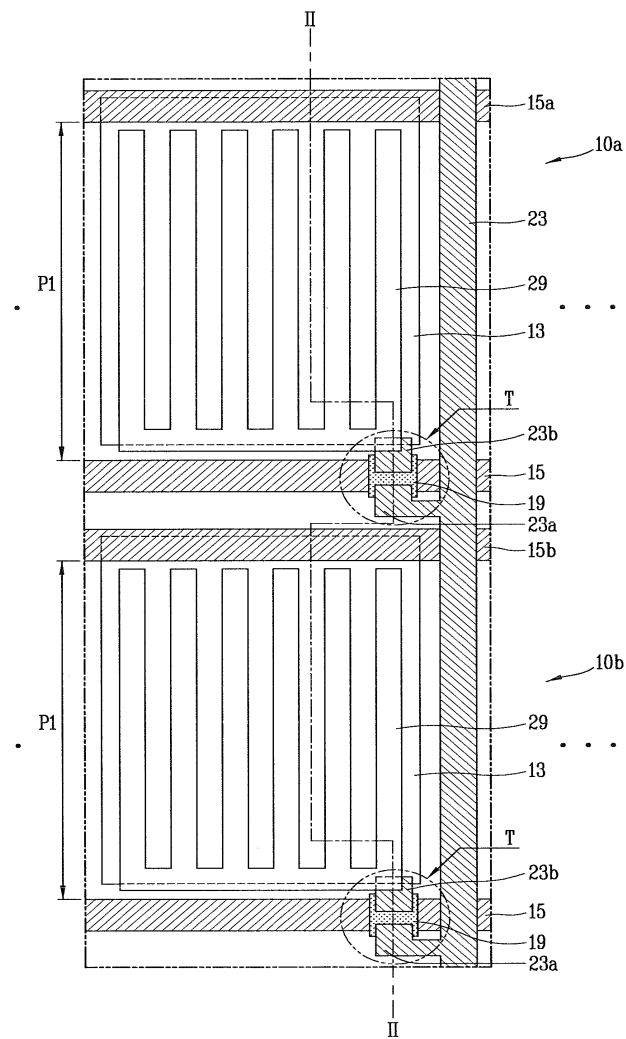
- [0115] 이렇게 하여, 박막트랜지스터(T)를 통해 화소전극(219)에 비디오 신호가 공급되면, 공통전압이 공급된 공통전극(205a)가 프린지 필드를 형성하여 박막트랜지스터 기관과 칼라필터기관(미도시) 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정분자들이 회전 정도에 따라 화소영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0116] 따라서, 본 발명에 따르면, 하나의 공통배선이 상하 화소에 분할되어 배치되도록 함으로써 액정표시장치의 개구율을 향상시킬 수 있다.
- [0117] 또한, 본 발명에 따르면, 하나의 공통배선이 상하 화소에 분할되어 배치되도록 하고, 상하 화소에 데이터배선을 서로 대응되게 배치함으로써 라인 인버전(line inversion) 구동이 가능하여 소비전력 감소에 유리하게 된다.
- [0118] 이상에서 본 발명의 바람직한 실시 예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다.
- [0119] 따라서, 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

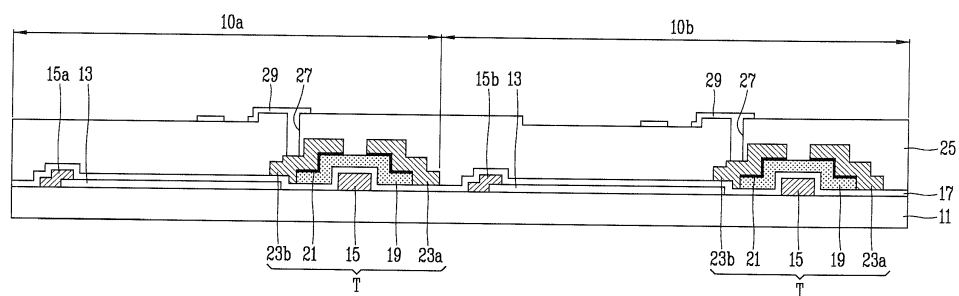
- | | | |
|--------|-------------|-------------|
| [0120] | 100a: 상부 화소 | 100b: 하부 화소 |
| | 101: 기관 | 103: 공통전극 |
| | 105: 게이트배선 | 105a: 공통배선 |
| | 107: 게이트절연막 | 109: 액티브층 |
| | 111: 오믹콘택층 | 113: 데이터배선 |
| | 113a: 소스전극 | 113b: 드레인전극 |
| | 115: 보호막 | 117: 콘택홀 |
| | 119: 화소전극 | P2: 화소영역 |

도면

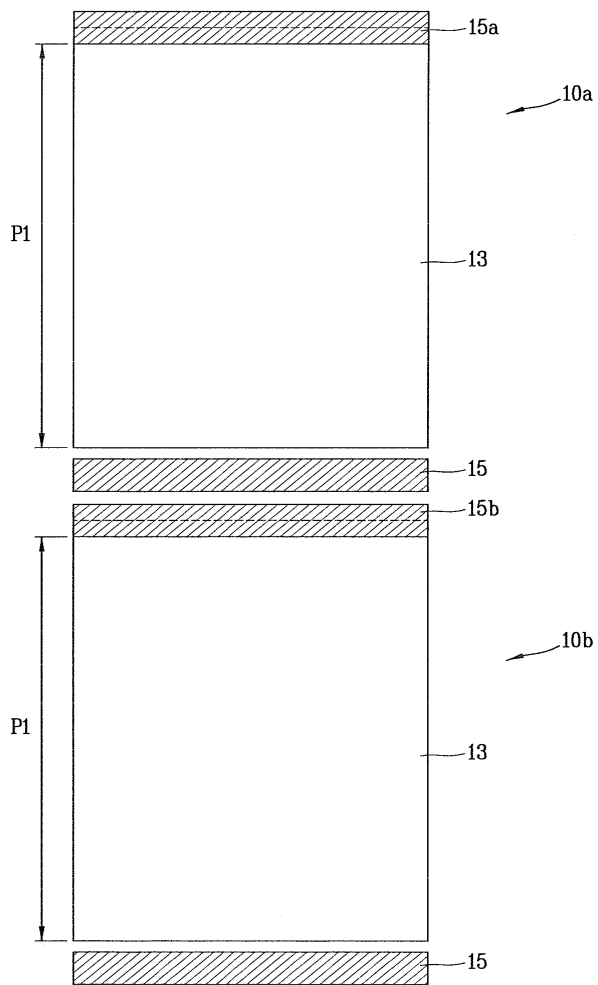
도면1



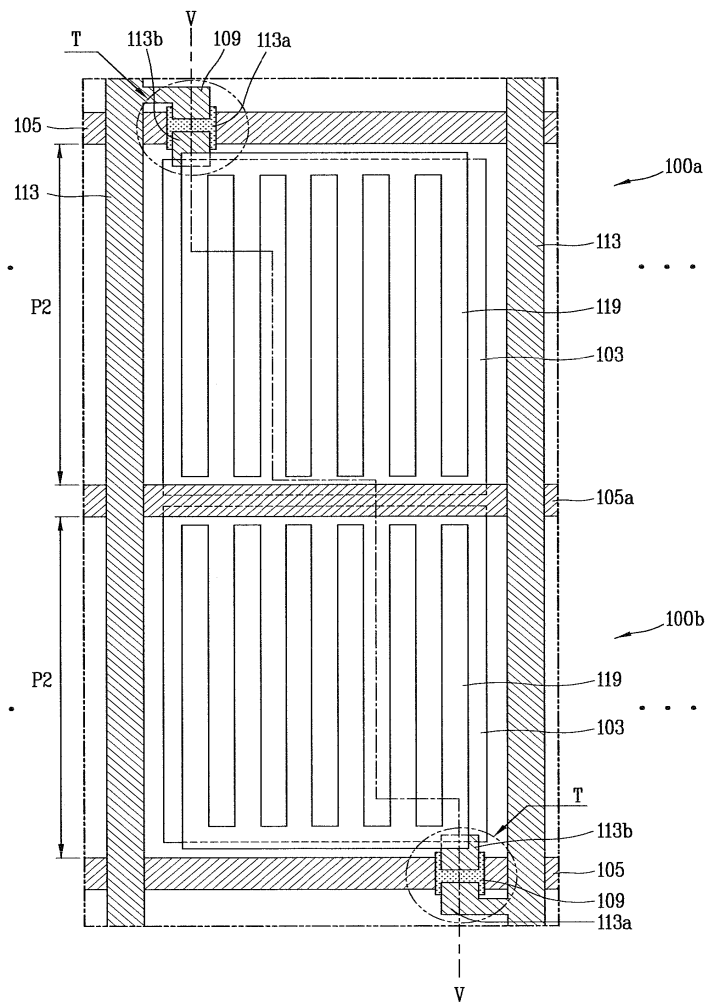
도면2



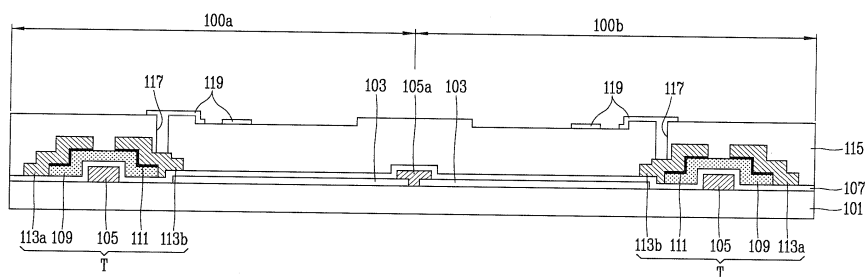
도면3



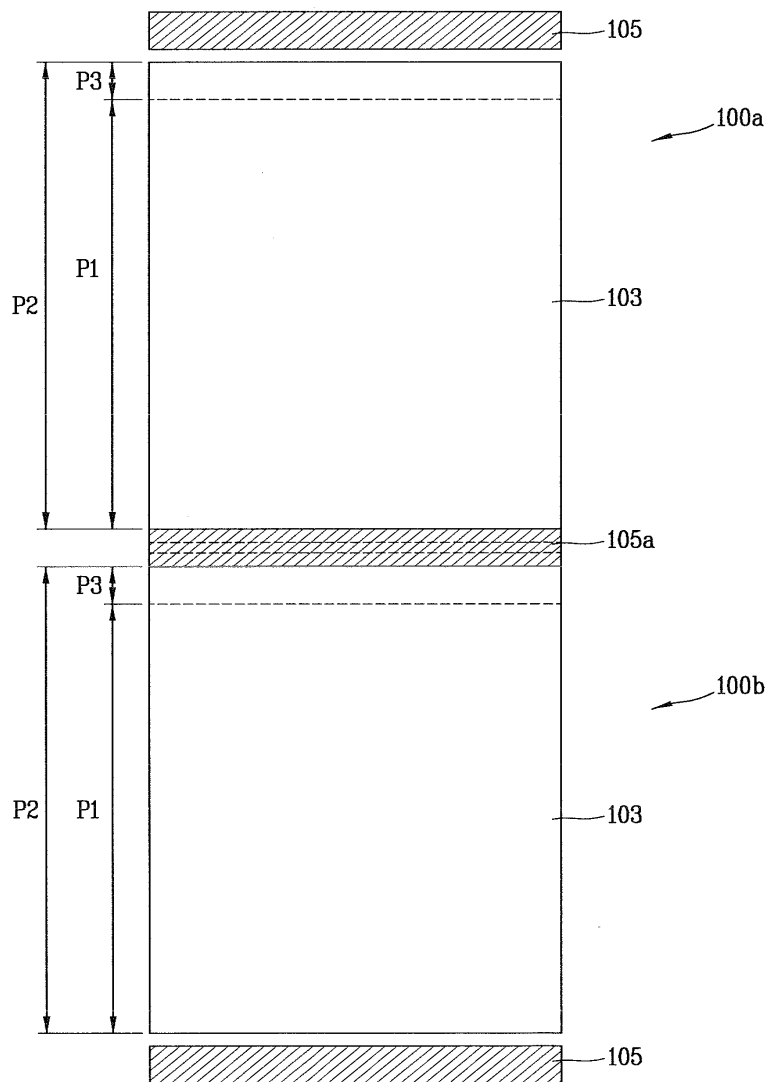
도면4



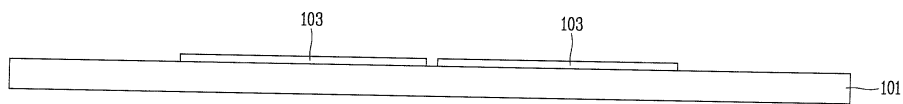
도면5



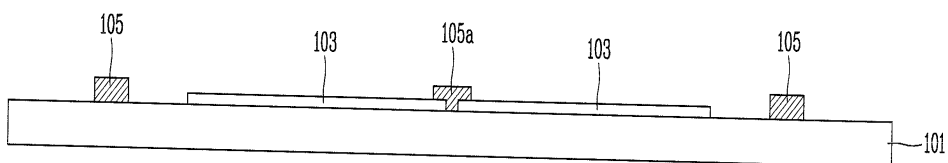
도면6



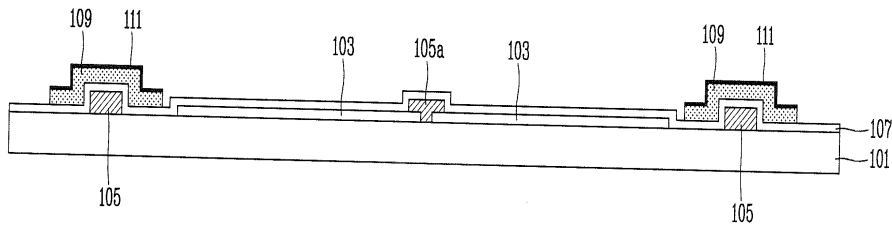
도면7a



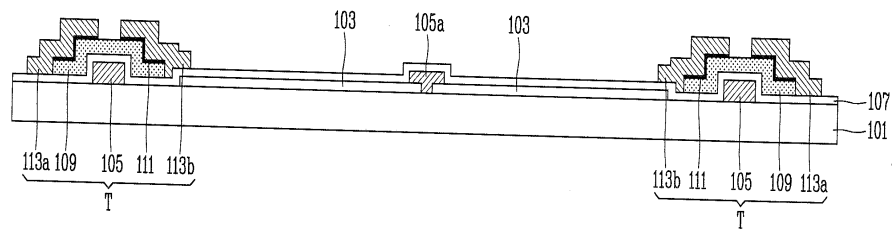
도면7b



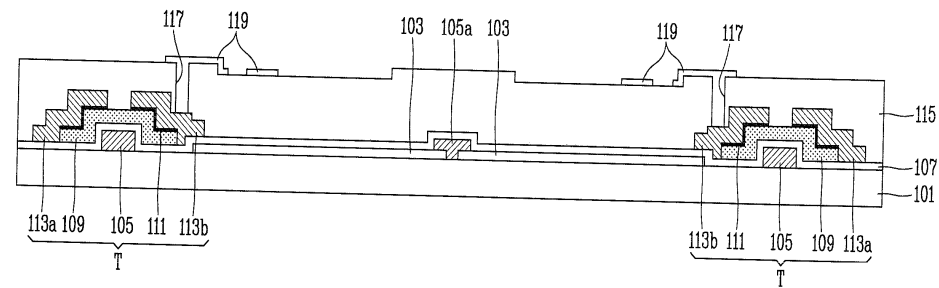
도면7c



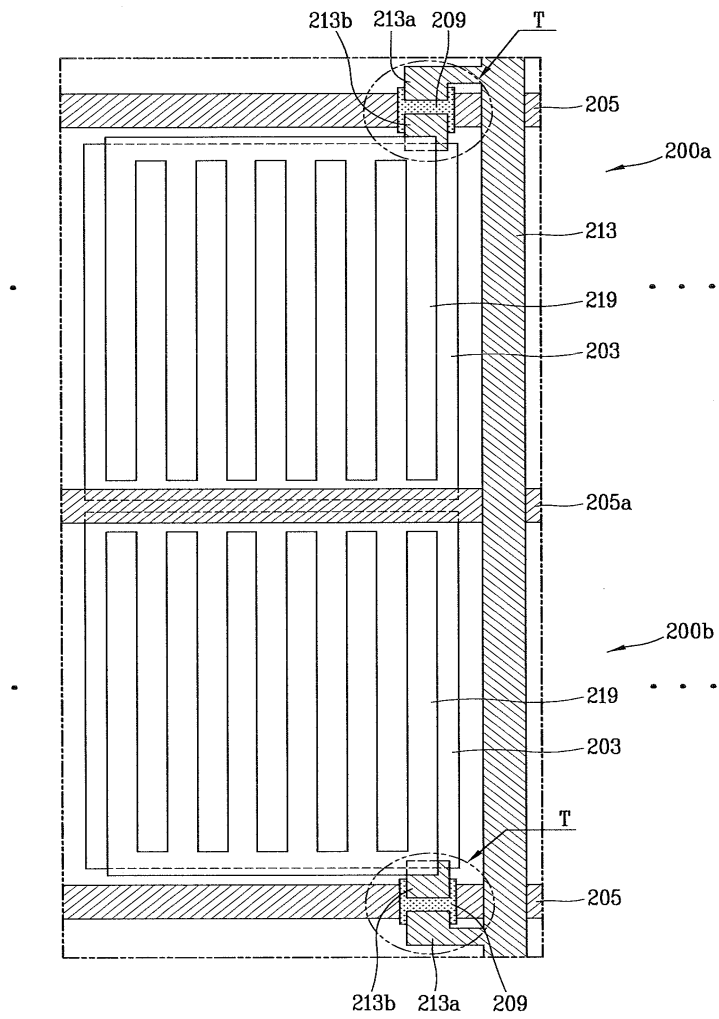
도면7d



도면7e



도면8



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR1020130003963A	公开(公告)日	2013-01-09
申请号	KR1020110065641	申请日	2011-07-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SUN HWA		
发明人	LEE,SUN HWA		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/134309 G02F1/13439 G02F1/136286 G02F1/1368 G02F2001/134372 G02F2001/136236		
代理人(译)	PARK , JANG WON		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示装置及其制造方法。并且它被布置成在多个栅极布线上分离：其中所公开的发明在基板上延伸到垂直方向并且平行地与水平方向分离的基板。它位于与顶部和底部栅极布线交叉的区域中，并且包括在多条数据线之间：限定像素区域 (P2) 的顶部和底部栅极布线。并且顶部和底部像素区域 (P2) 的公共电极和由有源层和漏极以及源电极和公共电极组成的薄膜晶体管：布置在像素区域中的顶部和底部栅极布线，其中公共线形成在顶部和底部像素区域 (P2) 的边界相交并且包括：栅极布线和数据线交叉，并且包括顶部和底部栅极布线以及多条数据线，并且多条数据线彼此对应。并且公共电极包括连接到薄膜晶体管的漏电极的多个像素电极。

