



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0074967
(43) 공개일자 2012년07월06일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01)
(21) 출원번호 10-2010-0136967
(22) 출원일자 2010년12월28일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김수정
서울특별시 용산구 한강대로96길 31, 남산 네오빌리지 B동 401호 (갈월동)
김훈
경기도 안산시 상록구 해양1로 30, 대우 푸르지오 7차 701동 1604호 (사동)
(74) 대리인
팬코리아특허법인

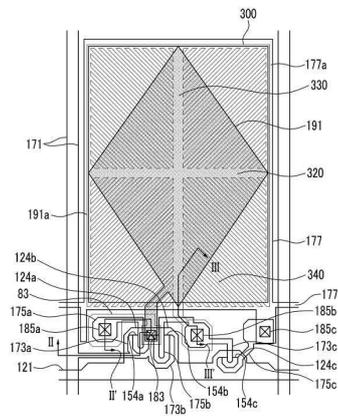
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 액정 표시 장치 및 그 제조 방법

(57) 요약

액정 표시 장치를 제공한다. 본 발명의 한 실시예에 따른 화소 영역을 포함하는 제1 기관, 상기 제1 기관과 마주보는 제2 기관, 상기 제1 기관과 상기 제2 기관 사이에 개재되어 있으며, 액정 분자를 포함하는 액정층, 상기 제1 기관 위에 위치하는 제1 전극과, 미세 슬릿 패턴을 포함하는 제2 전극, 상기 제1 전극과 상기 제2 전극 사이에 위치하는 절연막 그리고 상기 제2 기관 위에 위치하는 제3 전극을 포함하고, 상기 화소 영역은 상기 제1 전극과 상기 제2 전극이 중첩하여 이중전극 구조를 갖는 제1 영역과 상기 제2 전극의 단일 전극 구조를 갖는 제2 영역을 포함한다.

대표도 - 도1



(72) 발명자

정재훈

인천광역시 부평구 부평문화로153번길 36-3 (부개동)

염주석

서울특별시 서초구 잠원로 37-48, 신반포한신아파트 202동 405호 (잠원동)

신기철

충청남도 아산시 탕정면 탕정면로 37, 삼성트라펠리스 304동 2304호

오호길

충남 아산시 탕정면 삼성크리스탈기숙사 가넷동 803호

특허청구의 범위

청구항 1

화소 영역을 포함하는 제1 기관,
상기 제1 기관과 마주보는 제2 기관,
상기 제1 기관과 상기 제2 기관 사이에 개재되어 있으며, 액정 분자를 포함하는 액정층,
상기 제1 기관 위에 위치하는 제1 전극과, 미세 슬릿 패턴을 포함하는 제2 전극,
상기 제1 전극과 상기 제2 전극 사이에 위치하는 절연막 그리고
상기 제2 기관 위에 위치하는 제3 전극을 포함하고,
상기 화소 영역은 상기 제1 전극과 상기 제2 전극이 중첩하여 이중전극 구조를 갖는 제1 영역과 상기 제2 전극의 단일 전극 구조를 갖는 제2 영역을 포함하는 액정 표시 장치.

청구항 2

제1항에서,
상기 액정 분자는 상기 제1 영역에 위치하는 제1 액정 분자와 상기 제2 영역에 위치하는 제2 액정 분자를 포함하고, 구동시에 상기 제1 액정 분자의 기울어지는 경사각과 상기 제2 액정 분자의 기울어지는 경사각은 서로 다른 액정 표시 장치.

청구항 3

제2항에서,
상기 제1 전극 및 상기 제3 전극은 통관 모양인 액정 표시 장치.

청구항 4

제3항에서,
상기 제2 전극 및 상기 제3 전극 중 적어도 하나 위에 위치하는 배향막을 더 포함하고,
상기 액정층 및 상기 배향막 중 적어도 하나는 배향 보조제를 포함하는 액정 표시 장치.

청구항 5

제4항에서,
상기 제1 전극에 인가되는 전압을 제1 전압, 상기 제2 전극에 인가되는 전압을 제2 전압, 상기 제3 전극에 인가되는 전압을 제3 전압이라고 할 때, 상기 제1 전압은 상기 제2 전압보다 낮은 전압이 인가된 상태에서 상기 액정층 및 상기 배향막 중 적어도 하나가 노광된 액정 표시 장치.

청구항 6

제5항에서,
상기 제1 영역은 상기 제1 전압과 상기 제3 전압의 차이에 의해 발생하는 수직 전기장에 의해 구동되고, 상기

제2 영역은 상기 제2 전압과 상기 제3 전압의 차이에 의해 발생하는 전계에 의해 구동되는 액정 표시 장치.

청구항 7

제6항에서,

상기 제1 전극에는 데이터 전압이 인가되고, 상기 제2 전극에는 상기 제1 전극에 인가되는 데이터 전압보다 낮은 전압이 인가된 상태에서 구동하는 액정 표시 장치.

청구항 8

제3항에서,

상기 제1 전극은 상하좌우 대칭인 모양인 액정 표시 장치.

청구항 9

제1항에서,

상기 제1 기판 위에 위치하는 게이트선,

상기 제1 기판 위에 위치하고, 상기 게이트선과 교차하는 데이터선,

상기 게이트선 및 상기 데이터선에 연결되어 있는 제1 박막 트랜지스터 및 제2 박막 트랜지스터,

상기 게이트선 및 상기 제2 박막 트랜지스터에 연결되어 있는 제3 박막 트랜지스터 그리고

상기 제3 박막 트랜지스터에 연결되어 있는 기준 전압선을 더 포함하고,

상기 제1 전극은 상기 제1 박막 트랜지스터에 연결되고, 상기 제2 전극은 상기 제2 박막 트랜지스터에 연결되는 액정 표시 장치.

청구항 10

제9항에서,

상기 제1 전극과 상기 제2 전극은 전기적으로 연결되어 있는 액정 표시 장치.

청구항 11

제10항에서,

상기 제1 전극은 더미 패턴에 의해 상기 제1 박막 트랜지스터에 연결되는 액정 표시 장치.

청구항 12

제11항에서,

상기 더미 패턴은 상기 제2 전극과 동일한 층에 형성되는 액정 표시 장치.

청구항 13

제9항에서,

상기 제2 박막 트랜지스터의 출력 단자는 상기 제2 전극과 상기 제3 박막 트랜지스터의 입력 단자에 연결되는 액정 표시 장치.

청구항 14

제1항에서,

상기 제2 전극은 가로 줄기부 및 이와 교차하는 세로 줄기부를 포함하는 십자형 줄기부 그리고 상기 십자형 줄기부로부터 뺀어 나온 복수의 미세 가지부를 포함하는 액정 표시 장치.

청구항 15

제14항에서,

상기 제2 전극은 상기 십자형 줄기부로부터 상기 복수의 미세 가지부가 서로 다른 방향으로 뺀어 나온 복수의 영역을 포함하는 액정 표시 장치.

청구항 16

제1항에서,

상기 절연막의 두께는 100nm 내지 1500nm인 액정 표시 장치.

청구항 17

제1 기판 위에 제1 전극을 형성하는 단계,

상기 제1 전극 위에 절연막을 형성하는 단계,

상기 절연막 위에 위치하고, 미세 슬릿 패턴을 포함하는 제2 전극을 형성하는 단계,

상기 제1 기판과 마주보는 제2 기판 위에 제3 전극을 형성하는 단계,

상기 제2 전극 및 상기 제3 전극 중 적어도 하나 위에 배향막을 형성하는 단계,

상기 제1 기판과 상기 제2 기판을 합착하는 단계,

상기 제1 기판과 상기 제2 기판 사이에 액정층을 형성하는 단계,

상기 제1 전극에 제1 전압을 인가하고, 상기 제2 전극에 상기 제1 전압보다 큰 제2 전압을 인가하는 단계 그리고

상기 제1 전극과 상기 제2 전극에 각각 상기 제1 전압과 상기 제2 전압을 인가한 상태에서 상기 액정층에 광을 조사하는 단계를 포함하고,

상기 화소 영역은 상기 제1 전극과 상기 제2 전극이 중첩하여 이중전극 구조를 갖는 제1 영역과 상기 제2 전극의 단일 전극 구조를 갖는 제2 영역을 포함하고,

상기 액정층 및 상기 배향막 중 적어도 하나는 배향 보조제를 포함하는 액정 표시 장치의 제조 방법.

청구항 18

제17항에서,

상기 제1 전극 및 상기 제3 전극은 통관 모양으로 형성하는 액정 표시 장치의 제조 방법.

청구항 19

제18항에서,

상기 제1 전극은 상하좌우 대칭인 모양으로 형성하는 액정 표시 장치의 제조 방법.

청구항 20

제17항에서,

상기 제1 기판 위에 위치하는 게이트선을 형성하는 단계,

상기 제1 기판 위에 위치하고, 상기 게이트선과 교차하는 데이터선을 형성하는 단계,

상기 게이트선 및 상기 데이터선에 연결되어 있는 제1 박막 트랜지스터 및 제2 박막 트랜지스터를 형성하는 단계,

상기 게이트선 및 상기 제2 박막 트랜지스터에 연결되어 있는 제3 박막 트랜지스터를 형성하는 단계 그리고

상기 제3 박막 트랜지스터에 연결되어 있는 기준 전압선을 형성하는 단계를 더 포함하고,

상기 제1 전극은 상기 제1 박막 트랜지스터에 연결되고, 상기 제2 전극은 상기 제2 박막 트랜지스터에 연결되도록 형성하는 액정 표시 장치의 제조 방법.

청구항 21

제20항에서,

상기 제1 전극과 상기 제2 전극이 전기적으로 연결되도록 형성하는 액정 표시 장치의 제조 방법.

청구항 22

제21항에서,

상기 제1 전극은 더미 패턴에 의해 상기 제1 박막 트랜지스터에 연결되도록 형성하는 액정 표시 장치의 제조 방법.

청구항 23

제22항에서,

상기 더미 패턴은 상기 제2 전극과 동일한 층에 형성하는 액정 표시 장치의 제조 방법.

청구항 24

제20항에서,

상기 제2 박막 트랜지스터의 출력 단자는 상기 제2 전극과 상기 제3 박막 트랜지스터의 입력 단자에 연결되도록 형성하는 액정 표시 장치의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 액정 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층으로 이루어진다.

[0003] 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0004] 액정 표시 장치는 또한 각 화소 전극에 연결되어 있는 스위칭 소자 및 스위칭 소자를 제어하여 화소 전극에 전압을 인가하기 위한 게이트선과 데이터선 등 다수의 신호선을 포함한다.

[0005] 이러한 액정 표시 장치 중에서도, 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 표시판에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치가 대비비가 크고, 기준 시야각이 넓어서 각광받고 있다.

[0006] 이러한 수직 배향 방식의 액정 표시 장치는 프린지 전계(fringe electric field)를 이용하여 액정 분자를 여러 방향으로 배열시킬 수 있는데 프린지 전계 중 수평 전계 성분으로 인해 투과율이 감소되는 문제가 발생할 수 있다. 또한, 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어질 수 있는데, 이를 해결하기 위하여 하나의 화소를 두 개의 부화소로 분할하고 두 개의 부화소의 전압을 다르게 조절함으로써 투과율을 달리할 수 있는데, 이 때 제한된 픽셀 내에서 분할된 화소를 구현해야 하기 때문에 디자인 상의 한계로 개구율 감소가 불가피하다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 과제는 수평 전계 성분으로 인한 투과율 감소 및 화소 분할에 따른 개구율 감소를 방지하는 액정 표시 장치를 제공하는데 있다.

과제의 해결 수단

[0008] 본 발명의 한 실시예에 따른 액정 표시 장치는 화소 영역을 포함하는 제1 기관, 상기 제1 기관과 마주보는 제2 기관, 상기 제1 기관과 상기 제2 기관 사이에 개재되어 있으며, 액정 분자를 포함하는 액정층, 상기 제1 기관 위에 위치하는 제1 전극과, 미세 슬릿 패턴을 포함하는 제2 전극, 상기 제1 전극과 상기 제2 전극 사이에 위치하는 절연막 그리고 상기 제2 기관 위에 위치하는 제3 전극을 포함하고, 상기 화소 영역은 상기 제1 전극과 상기 제2 전극이 중첩하여 이중전극 구조를 갖는 제1 영역과 상기 제2 전극의 단일 전극 구조를 갖는 제2 영역을 포함한다.

[0009] 상기 액정 분자는 상기 제1 영역에 위치하는 제1 액정 분자와 상기 제2 영역에 위치하는 제2 액정 분자를 포함하고, 구동시에 상기 제1 액정 분자의 기울어지는 경사각과 상기 제2 액정 분자의 기울어지는 경사각은 서로 다를 수 있다.

[0010] 상기 제1 전극 및 상기 제3 전극은 통판 모양일 수 있다.

[0011] 상기 제2 전극 및 상기 제3 전극 중 적어도 하나 위에 위치하는 배향막을 더 포함하고, 상기 액정층 및 상기 배향막 중 적어도 하나는 배향 보조제를 포함할 수 있다.

[0012] 상기 제1 전극에 인가되는 전압을 제1 전압, 상기 제2 전극에 인가되는 전압을 제2 전압, 상기 제3 전극에 인가되는 전압을 제3 전압이라고 할 때, 상기 제1 전압은 상기 제2 전압보다 낮은 전압이 인가된 상태에서 상기 액정층 및 상기 배향막 중 적어도 하나가 노광될 수 있다.

- [0013] 상기 제1 영역은 상기 제1 전압과 상기 제3 전압의 차이에 의해 발생하는 수직 전계에 의해 구동되고, 상기 제2 영역은 상기 제2 전압과 상기 제3 전압의 차이에 의해 발생하는 전계에 의해 구동될 수 있다.
- [0014] 상기 제1 전극에는 데이터 전압이 인가되고, 상기 제2 전극에는 상기 제1 전극에 인가되는 데이터 전압보다 낮은 전압이 인가된 상태에서 구동할 수 있다.
- [0015] 상기 제1 전극은 상하좌우 대칭인 모양일 수 있다.
- [0016] 상기 제1 기판 위에 위치하는 게이트선, 상기 제1 기판 위에 위치하고, 상기 게이트선과 교차하는 데이터선, 상기 게이트선 및 상기 데이터선에 연결되어 있는 제1 박막 트랜지스터 및 제2 박막 트랜지스터, 상기 게이트선 및 상기 제2 박막 트랜지스터에 연결되어 있는 제3 박막 트랜지스터 그리고 상기 제3 박막 트랜지스터에 연결되어 있는 기준 전압선을 더 포함하고, 상기 제1 전극은 상기 제1 박막 트랜지스터에 연결되고, 상기 제2 전극은 상기 제2 박막 트랜지스터에 연결될 수 있다.
- [0017] 상기 제1 전극과 상기 제2 전극은 전기적으로 연결될 수 있다.
- [0018] 상기 제1 전극은 더미 패턴에 의해 상기 제1 박막 트랜지스터에 연결될 수 있다.
- [0019] 상기 더미 패턴은 상기 제2 전극과 동일한 층에 형성될 수 있다.
- [0020] 상기 제2 박막 트랜지스터의 출력 단자는 상기 제2 전극과 상기 제3 박막 트랜지스터의 입력 단자에 연결될 수 있다.
- [0021] 상기 제2 전극은 가로 줄기부 및 이와 교차하는 세로 줄기부를 포함하는 십자형 줄기부 그리고 상기 십자형 줄기부로부터 뺀어 나온 복수의 미세 가지부를 포함할 수 있다.
- [0022] 상기 제2 전극은 상기 십자형 줄기부로부터 상기 복수의 미세 가지부가 서로 다른 방향으로 뺀어 나온 복수의 영역을 포함할 수 있다.
- [0023] 상기 절연막의 두께는 100nm 내지 1500nm일 수 있다.
- [0024] 본 발명의 다른 실시예에 따른 액정 표시 장치의 제조 방법은 제1 기판 위에 제1 전극을 형성하는 단계, 상기 제1 전극 위에 절연막을 형성하는 단계, 상기 절연막 위에 위치하고, 미세 슬릿 패턴을 포함하는 제2 전극을 형성하는 단계, 상기 제1 기판과 마주보는 제2 기판 위에 제3 전극을 형성하는 단계, 상기 제2 전극 및 상기 제3 전극 중 적어도 하나 위에 배향막을 형성하는 단계, 상기 제1 기판과 상기 제2 기판을 합착하는 단계, 상기 제1 기판과 상기 제2 기판 사이에 액정층을 형성하는 단계, 상기 제1 전극에 제1 전압을 인가하고, 상기 제2 전극에 상기 제1 전압보다 큰 제2 전압을 인가하는 단계 그리고 상기 제1 전극과 상기 제2 전극에 각각 상기 제1 전압과 상기 제2 전압을 인가한 상태에서 상기 액정층에 광을 조사하는 단계를 포함하고, 상기 화소 영역은 상기 제1 전극과 상기 제2 전극이 중첩하여 이중전극 구조를 갖는 제1 영역과 상기 제2 전극의 단일 전극 구조를 갖는 제2 영역을 포함하고, 상기 액정층 및 상기 배향막 중 적어도 하나는 배향 보조제를 포함한다.
- [0025] 상기 제1 전극 및 상기 제3 전극은 통관 모양으로 형성할 수 있다.
- [0026] 상기 제1 전극은 상하좌우 대칭인 모양으로 형성할 수 있다.
- [0027] 상기 제1 기판 위에 위치하는 게이트선을 형성하는 단계, 상기 제1 기판 위에 위치하고, 상기 게이트선과 교차하는 데이터선을 형성하는 단계, 상기 게이트선 및 상기 데이터선에 연결되어 있는 제1 박막 트랜지스터 및 제2 박막 트랜지스터를 형성하는 단계, 상기 게이트선 및 상기 제2 박막 트랜지스터에 연결되어 있는 제3 박막 트랜지스터를 형성하는 단계 그리고 상기 제3 박막 트랜지스터에 연결되어 있는 기준 전압선을 형성하는 단계를 더 포함하고, 상기 제1 전극은 상기 제1 박막 트랜지스터에 연결되고, 상기 제2 전극은 상기 제2 박막 트랜지스터에 연결되도록 형성할 수 있다.
- [0028] 상기 제1 전극과 상기 제2 전극이 전기적으로 연결되도록 형성할 수 있다.
- [0029] 상기 제1 전극은 더미 패턴에 의해 상기 제1 박막 트랜지스터에 연결되도록 형성할 수 있다.
- [0030] 상기 더미 패턴은 상기 제2 전극과 동일한 층에 형성할 수 있다.
- [0031] 상기 제2 박막 트랜지스터의 출력 단자는 상기 제2 전극과 상기 제3 박막 트랜지스터의 입력 단자에 연결되도록 형성할 수 있다.

발명의 효과

- [0032] 이와 같이 본 발명의 한 실시예에 따르면, 프리틸트 형성을 위한 전계 노광 과정에서 미세 슬릿 전극을 사용하고, 실제 구동시에는 패턴 없는 전극을 사용함으로써 투과율을 극대화하면서 고속 응답을 구현할 수 있다.
- [0033] 또한, 화소 분할을 하지 않고 투과 효율 차이를 이용하여 실질적으로 화소를 분할한 효과를 나타냄으로써 개구율을 향상시킬 수 있다.

도면의 간단한 설명

- [0034] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치를 나타내는 배치도이다.
 도 2는 도 1의 절단선 II-II'를 따라 자른 단면도이고, 도 3은 도 1의 절단선 III-III'을 따라 자른 단면도이다.
 도 4는 도 1의 실시예에서 전계 노광시 전계 방향을 나타내는 개략적인 단면도이다.
 도 5는 도 4의 실시예에 따라 제조된 액정 표시 장치의 구동시의 전계 방향을 나타내는 개략적인 단면도이다.
 도 6은 하부 전극의 구조에 따른 본 발명의 실시예와 비교예에 따른 응답 특성을 비교한 그래프이다.
 도 7은 본 발명의 다른 실시예에 따른 화소 전극 구조를 나타내는 개략적인 평면도이다.
 도 8 및 도 9는 본 발명의 또 다른 실시예에 따른 화소 전극 구조를 나타내는 개략적인 평면도이다.
 도 10 및 도 11은 본 발명의 또 다른 실시예에 따른 화소 전극 구조를 나타내는 개략적인 평면도이다.
 도 12는 도 1에서 나타낸 액정 표시 장치의 하나의 화소에 대한 등가 회로도이다.
 도 13은 도 1에서 나타낸 액정 표시 장치의 화소에 인가되는 신호의 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0035] 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0036] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.
- [0037] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치를 나타내는 배치도이다. 도 2는 도 1의 절단선 II-II'를 따라 자른 단면도이고, 도 3은 도 1의 절단선 III-III'을 따라 자른 단면도이다.
- [0038] 도 1 내지 도 3을 참고하면, 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 이들 두 표시판(100, 200) 사이에 개재되어 있고 액정 분자(310)를 포함하는 액정층(3) 및 표시판(100, 200) 바깥 면에 부착되어 있는 한 쌍의 편광자(미도시)를 포함한다.
- [0039] 먼저, 상부 표시판(200)에 대하여 설명하기로 한다.
- [0040] 상부 표시판(200)은 제2 기판에 해당하고, 투명하고 절연성을 갖는 상부 기판(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 추후 설명할 하부 표시판(100)에 위치하는 화소 전극(191, 300) 사이의 빛샘을 막는다. 차광 부재(220)는 게이트선(121) 및 데이터선(171)에 대응하는 부분과 박막 트랜지스터에 대응하는 부분으로 이루어질 수 있다.
- [0041] 차광 부재(220)는 상부 기판(110) 대신에 하부 기판(110) 위에 형성될 수도 있다.
- [0042] 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 절연 물질로 만들어질 수 있

으며, 평탄면을 제공한다. 덮개막(250)은 생략할 수 있다.

- [0043] 덮개막(250) 위에는 제3 전극에 해당하는 공통 전극(270)이 형성되어 있다. 여기서, 공통 전극(270)은 화소 영역에서 통판(plate) 모양으로 형성될 수 있다. 통판(plate) 모양은 쪼개지지 아니한 통짜 그대로의 판 모양을 말한다.
- [0044] 다음, 하부 표시판(100)에 대하여 설명하기로 한다.
- [0045] 제1 기판에 해당하고, 절연성을 갖는 하부 기판(110) 위에 복수의 게이트선(121)이 위치한다. 하부 기판(110)은 화소 영역을 포함한다. 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 게이트선(121)은 제1 게이트 전극(124a), 제2 게이트 전극(124b), 제3 게이트 전극(124c) 및 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝 부분(미도시)을 포함한다.
- [0046] 게이트선(121) 위에는 질화 규소 따위의 절연 물질로 만들어진 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140) 위에 제1 반도체(154a), 제2 반도체(154b), 및 제3 반도체(154c)가 위치한다.
- [0047] 제1 반도체(154a), 제2 반도체(154b), 및 제3 반도체(154c) 위에는 복수의 저항성 접촉 부재(163a, 165a, 163b, 165b, 163c, 165c)가 위치한다.
- [0048] 저항성 접촉 부재(163a, 165a, 163b, 165b, 163c, 165c) 및 게이트 절연막(140) 위에 제1 소스 전극(173a) 및 제2 소스 전극(173b)을 포함하는 복수의 데이터선(171), 제1 드레인 전극(175a), 제2 드레인 전극(175b), 제3 소스 전극(173a) 및 제3 드레인 전극(175c), 그리고 기준 전압선(177)을 포함하는 데이터 도전체(171, 173c, 175a, 175b, 175c, 177)가 위치한다.
- [0049] 상기 데이터 도전체 및 그 아래에 위치하는 반도체와 저항성 접촉 부재는 하나의 마스크를 사용하여 동시에 형성할 수 있다.
- [0050] 데이터선(171)은 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝부분(미도시)을 포함한다.
- [0051] 기준 전압선(177)은 데이터선(171)과 평행한 두 세로부(177a)와 두 세로부(177a)를 서로 연결하는 가로부(177b)를 포함한다. 기준 전압선(177)의 두 세로부(177a)를 가로부(177b)로 연결함으로써, 기준 전압선(177)에 흐르는 신호의 지연을 방지할 수 있다.
- [0052] 기준 전압선(177)의 세로부(177a)는 화소 전극(191, 300)과 데이터선(171) 사이에 위치하고, 기준 전압선(177)은 제3 드레인 전극(175c)과 연결된다. 기준 전압선(177)의 가로부(177b)는 화소 전극(191, 300)과 게이트선(121) 사이에 위치한다. 이에 따라, 기준 전압선(177)은 화소 전극(191, 300)과 데이터선(171) 사이, 그리고 화소 전극(191, 300)과 게이트선(121) 사이의 신호 간섭을 줄일 수 있다.
- [0053] 제1 게이트 전극(124a), 제1 소스 전극(173a), 및 제1 드레인 전극(175a)은 제1 반도체(154a)와 함께 제1 박막 트랜지스터(Qa)를 형성하며, 박막 트랜지스터의 채널(channel)은 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이의 반도체 부분(154a)에 형성된다. 이와 유사하게, 제2 게이트 전극(124b), 제2 소스 전극(173b), 및 제2 드레인 전극(175b)은 제2 반도체(154b)와 함께 제2 박막 트랜지스터(Qb)를 형성하며, 박막 트랜지스터의 채널은 제2 소스 전극(173b)과 제2 드레인 전극(175b) 사이의 반도체 부분(154b)에 형성되고, 제3 게이트 전극(124c), 제3 소스 전극(173c), 및 제3 드레인 전극(175c)은 제3 반도체(Qc)와 함께 제3 박막 트랜지스터(Qc)를 형성하며, 박막 트랜지스터의 채널은 제3 소스 전극(173c)과 제3 드레인 전극(175c) 사이의 반도체 부분(154c)에 형성된다.
- [0054] 데이터 도전체(171, 173c, 175a, 175b, 175c, 177) 및 노출된 반도체(154a, 154b, 154c) 부분 위에는 제1 패시베이션막(passivation layer)(180a)이 형성되어 있다. 제1 패시베이션막(180a)은 질화 규소와 산화 규소 따위의 무기 절연물로 만들어질 수 있다.
- [0055] 제1 패시베이션막(180a) 위에 유기막(230)이 위치한다. 유기막(230)은 제1 접촉 구멍(185a) 및 제2 접촉 구멍(185b)을 포함한다. 제1 접촉 구멍(185a)은 제1 드레인 전극(175a)을 노출하고, 제2 접촉 구멍(185b)은 제2 드레인 전극(175b)을 노출한다.
- [0056] 유기막(230)은 평탄화 역할을 할 수 있고, 색필터일 수 있다. 색필터로 사용된 유기막(230)은 화소 전극(191, 300) 열을 따라서 세로 방향으로 길게 뻗을 수 있다. 각 색 필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다. 하지만, 적색, 녹색, 및 청색의 삼원색에 제한되지 않고, 청록색(cyan), 자홍색(magenta), 옐로(yellow), 화이트 계열의 색 중 하나를 표시할 수도 있다.

- [0057] 유기막(230) 위에 덮개막(180b)이 위치한다. 덮개막(180b)은 절연 물질로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 덮개막(180b) 위에는 제1 전극(191)이 위치한다. 제1 전극(191)은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.
- [0058] 제1 전극(191) 위에 제2 패시베이션막(180c)이 위치한다. 제2 패시베이션막(180c)은 제1 전극(191)을 노출하는 더미 홀(183)을 포함한다. 제2 패시베이션막(180c) 위에 더미 패턴(83)과 제2 전극(300)이 위치한다. 더미 패턴(83)은 제1 접촉 구멍(185a)과 더미 홀(183)을 채우도록 형성됨으로써 제1 드레인 전극(175a)과 제1 전극(191)을 전기적으로 연결한다.
- [0059] 제2 전극(300)은 단위 화소 영역 대부분에 위치하고 있으며, 미세 슬릿 패턴을 이룬다. 미세 슬릿 패턴으로 이루어진 제2 전극(300)의 전체적인 모양은 사각형이며, 가로 줄기부(320) 및 이와 교차하는 세로 줄기부(330)로 이루어진 십자형 줄기부를 포함한다. 또한, 가로 줄기부(320)와 세로 줄기부(330)에 의해 네 개의 부영역으로 나뉘어지며 각 부영역은 복수의 미세 가지부(340)를 포함한다.
- [0060] 제2 전극(300)의 세로 줄기부(330)의 한 쪽 끝부분이 길게 뻗어 나와 제2 접촉 구멍(185b)을 통해 제2 드레인 전극(175b)과 전기적으로 연결된다.
- [0061] 미세 슬릿 패턴을 갖는 제2 전극(300)을 구체적으로 설명하기로 한다.
- [0062] 제2 전극(300)의 미세 가지부(340) 중 하나는 가로 줄기부(320) 또는 세로 줄기부(330)에서부터 왼쪽 위 방향으로 비스듬하게 뻗어 있으며, 다른 하나의 미세 가지부(340)는 가로 줄기부(320) 또는 세로 줄기부(330)에서부터 오른쪽 위 방향으로 비스듬하게 뻗어 있다. 또한 다른 하나의 미세 가지부(340)는 가로 줄기부(320) 또는 세로 줄기부(330)에서부터 왼쪽 아래 방향으로 뻗어 있으며, 나머지 하나의 미세 가지부(340)는 가로 줄기부(320) 또는 세로 줄기부(330)에서부터 오른쪽 아래 방향으로 비스듬하게 뻗어 있다. 이웃하는 두 부영역의 미세 가지부(340)는 서로 직교할 수 있다. 도시하지 않았으나 미세 가지부(340)의 폭은 점진적으로 넓어질 수 있다.
- [0063] 제1 전극(191)은 단위 화소 영역 내에서 마름모 형상을 갖는 통판(plate) 모양일 수 있다. 통판(plate) 모양은 쪼개지지 아니한 통짜 그대로의 판 모양을 말한다. 제1 전극(191)은 마름모 형상을 갖기 때문에 단위 화소 영역의 일부 영역에만 위치할 수 있다. 하지만, 제1 전극(191)은 마름모 형상으로 제한되지 않고 하기 구체적으로 설명하는 것처럼 제2 전극(300)과 이중 전극 구조를 갖도록 단위 화소 영역의 일부 영역에 위치하는 다양한 형상으로 변형 가능하다. 이 때, 제1 전극(191)의 형상은 상하좌우 대칭일 수 있다.
- [0064] 단위 화소 영역은 게이트선(121)과 데이터선(171)이 교차하여 이루는 영역일 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0065] 구체적으로, 화소 영역은 제1 전극(191)과 제2 전극(300)이 중첩하여 이중 전극 구조를 갖는 제1 영역과 제1 전극(191)과 제2 전극(300)이 중첩하지 않고 제2 전극(300)만 위치하여 단일 전극 구조를 갖는 제2 영역으로 구분된다. 액정 표시 장치의 구동시에 제1 영역에 위치하는 제1 액정 분자가 기울어지는 경사각과 제2 영역에 위치하는 제2 액정 분자가 기울어지는 경사각은 서로 다르다. 이것은 제1 영역에서 발생하는 전계와 제2 영역에서 발생하는 전계가 서로 다르기 때문이다.
- [0066] 각 표시판(100, 200)의 안쪽 면에는 배향막(11, 21)이 위치하고, 이들은 수직 배향막일 수 있다.
- [0067] 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(미도시)가 구비되어 있는데, 두 편광자의 편광축은 직교하며 이중 한 편광축은 게이트선(121)에 대하여 나란한 것이 바람직하다. 반사형 액정 표시 장치의 경우에는 두 개의 편광자 중 하나가 생략될 수 있다.
- [0068] 두 표시판(100, 200) 사이에는 액정층(3)이 들어있으며, 액정층(3)에포함된 액정 분자(310)는 음의 유전율 이방성을 가질 수 있다. 액정층(3)의 액정 분자(310)들은 장축이 제2 전극(300)의 미세 가지부(340)의 길이 방향에 대략 평행하게 되도록 선경사(pretilt)를 가지고 있으며 전계가 가해지지 않은 상태에서 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다. 또한, 액정층(3)은 반응성 메소겐(reactive mesogen)을 포함하는 배향 보조제(50)를 더 포함하여, 이러한 배향 보조제(50)에 의하여 액정 분자(310)들은 그것의 장축이 제2 전극(300)의 미세 가지부(340)의 길이 방향에 대략 평행하도록 선경사를 가질 수 있다.
- [0069] 본 발명의 다른 실시예에서는 액정층(3) 대신에 배향막(11, 21)에 상술한 배향 보조제가 포함될 수 있다. 이 때, 배향막(11, 21)은 주쇄(main-chain) 및 측쇄(side-chain)를 포함하며, 상기 배향 보조제는 상기 측쇄와

연결될 수 있고, 전기적으로 음성일 수 있다.

- [0070] 이하에서는, 도 1 내지 도 4를 참고하여 본 발명의 다른 실시예에 따른 액정 표시 장치의 제조 방법을 설명하기로 한다. 도 4는 도 1의 실시예에서 전계 노광시 전계 방향을 나타내는 개략적인 단면도이다.
- [0071] 도 1 내지 도 3을 참고하면, 먼저 제1 표시판(100)과 제2 표시판(200)을 각각 제조한다.
- [0072] 상부 표시판(200)은 다음과 같은 방법으로 제조한다.
- [0073] 상부 기판(210) 위에 차광 부재(220)를 형성한 후, 그 위에 덮개막(250)을 형성한다. 덮개막(250) 위에 공통 전극(270)을 형성한다. 공통 전극(270) 위에 배향막(21)을 형성한다.
- [0074] 하부 표시판(100)은 다음과 같은 방법으로 제조한다.
- [0075] 하부 기판(110) 위에 복수의 박막을 적층 및 패터닝하여 게이트 전극(124a, 124b, 124c)을 포함하는 게이트선(121), 게이트 절연막(140), 반도체층(151, 154a, 154b, 154c), 소스 전극(173a, 173b, 173c)을 포함하는 데이터선(171), 드레인 전극(175a, 175b, 175c) 및 제1 패시베이션막(180a)을 차례로 형성한다.
- [0076] 제1 패시베이션막(180a) 위에 유기막(230)을 형성한다.
- [0077] 유기막(230) 위에 덮개막(180b)을 형성하고, 덮개막(180b) 위에 ITO 또는 IZO 따위의 도전층을 적층하고 패터닝하여 단위 화소 영역의 일부분에 위치하며 통판 모양인 제1 전극(191)을 형성한다. 이어서 제1 전극(191) 위에 제2 패시베이션막(180c)을 형성한다.
- [0078] 제2 패시베이션막(180c)을 패터닝하여 제1 드레인 전극(175a)을 노출하는 제1 접촉 구멍(185a), 제2 드레인 전극(175b)을 노출하는 제2 접촉 구멍(185b), 및 제1 전극(191)을 노출하는 더미 홀(183)을 형성한다.
- [0079] 제2 패시베이션막(180c) 위에 ITO 또는 IZO 따위의 도전층을 적층하고 패터닝하여 제1 드레인 전극(175a)과 제1 전극(191)을 전기적으로 연결하는 더미 패턴(83)과 제2 전극(300)을 형성한다. 이어서 제2 전극(300) 위에 배향막(11)을 도포한다.
- [0080] 다음으로, 상기와 같은 방법으로 제조된 하부 표시판(100)과 상부 표시판(200)을 합착(assembly)하고, 그 사이에 액정 분자(310) 및 배향 보조제(50)의 혼합물을 주입하여 액정층(3)을 형성한다. 그러나 액정층(3)은 하부 표시판(100) 또는 상부 표시판(200) 위에 액정 분자(310) 및 배향 보조제(50)의 혼합물을 적하하는 방식으로 형성할 수도 있다. 본 실시예에서는 배향 보조제(50)가 액정층(3)에 포함되어 있으나, 다른 실시예로써 액정층(3)이 아닌 배향막(11, 21)에 배향 보조제(50)가 포함되도록 형성할 수 있다.
- [0081] 다음으로 도 4를 참고하면, 제1 전극(191)과 제2 전극(300)에 전압을 인가한다. 공통 전극(270)에 인가되는 전압을 제1 전압(V1), 제2 전극(300)에 인가되는 전압을 제2 전압(V2), 제1 전극(191)에 인가되는 전압을 제3 전압(V3)이라고 할 때, 제3 전압(V3)이 제2 전압(V2)보다 낮은 전압을 갖도록 하여 제1 전극(191)과 제2 전극(300)에 전압을 인가한다. 제1 전압(V1)은 0일 수 있다.
- [0082] 즉, 제1 전압(V1)을 기준으로 제3 전압(V3)보다 제2 전압(V2)에 더큰 전압을 인가함으로써 프린지 필드(E)를 형성한다. 발생된 프린지 필드(fringe field)에 의해 액정 분자(310)는 화소 영역의 바깥을 향하도록 눕는다. 구체적으로, 제2 전극(300)의 미세 가지부(340) 사이의 비전극부에는 강한 프린지 필드만이 존재하여 액정 분자(310)를 일정 방향으로 배열시키며, 미세 가지부(340)의 수직 전계에 의해 일정 방향으로 눕게 되는 액정 분자(310) 간의 탄성에너지에 의해 전체 액정 분자의 최종 도메인 방향이 결정된다.
- [0083] 다음으로, 도 4에서 나타낸 프린지 필드(E)가 형성된 상태에서 본 실시예에 따른 액정 표시 장치에 광을 조사한다. 이에 따라, 액정 분자(310)는 선경사(pretilt)를 가질 수 있다.
- [0084] 도 5는 도 4의 실시예에 따라 제조된 액정 표시 장치의 구동시의 전계 방향을 나타내는 개략적인 단면도이다.
- [0085] 도 5를 참고하면, 도 4에서 나타낸 실시예에 따라 제조된 액정 표시 장치는 다음과 같은 조건으로 구동될 수 있다. 제1 전극(191)에 인가되는 제3 전압(V3)은 데이터선(171)을 통해 인가되는 데이터 전압이고, 제2 전극(300)에 인가되는 제2 전압(V2)은 제3 전압(V3)보다 낮은 전압이다. 공통 전극(270)에는 일정한 크기를 같은 전압인 공통 전압이 인가된다. 따라서, 공통 전극(270)과 제1 전극(191) 사이에서 발생하는 수직 전계(E)에 의해 액정 분자(310)가 거동할 수 있다.
- [0086] 이에 따라, 액정 표시 장치의 구동시에 화소 영역 중 제1 영역의 대부분이 수직 전계에 의해서만 액정 분자가 거동함으로써 수평 전계에 의한 투과율 감소를 최소화하고, 고속 응답을 구현할 수 있다. 또한, 화소 영역

중 제2 영역은 제1 영역과 달리 미세 슬릿 패턴을 갖는 제2 전극(300)만 위치함으로써 화소 영역의 제1 영역과는 다른 전계의 영향을 받는다. 따라서, 화소가 분할된 것과 같은 효과를 나타냄으로써 시인성이 좋아질 수 있다.

- [0087] 도 6은 하부 전극의 구조에 따른 본 발명의 실시예와 비교예에 따른 응답 특성을 비교한 그래프이다.
- [0088] 도 6에 나타난 비교예 1은 상부 기관에 공통 전극이 위치하고, 하부 기관에 미세 슬릿 패턴을 포함하는 화소 전극이 위치하는 2극 구조의 액정 표시 장치에 해당한다. 비교예 2는 상부 기관에 공통 전극이 위치하고, 하부 기관에 통관 모양의 화소 전극이 위치하는 2극 구조의 액정 표시 장치에 해당한다. 본 발명의 실시예는 앞에서 설명한 바와 같이 상부 기관에 공통 전극이 위치하고, 하부 기관에 절연막 사이에 두고 통관 모양의 제1 전극과 미세 슬릿 패턴을 포함하는 제2 전극이 위치하는 3극 구조의 액정 표시 장치에 해당한다.
- [0089] 도 6을 참고하면, 응답 특성면에서 본 발명의 실시예는 비교예 2 보다는 불리하지만, 비교예 1 보다는 우수하다. 비록, 비교예 2 보다 응답 속도면에서 불리하나, 비교예 2의 경우 하부 기관에 형성된 화소 전극이 통관 모양이기 때문에 액정이 기울어지는 방향을 효율적으로 제어하기 어렵다. 따라서, 투과율이 감소한다.
- [0090] 본 발명의 실시예에 따른 액정 표시 장치는 응답 속도 측면에서 기존의 미세 슬릿 패턴을 포함하는 화소 전극 구조 대비하여 개선되며, 투과율 측면에서도 우수하다.
- [0091] 도 7은 본 발명의 다른 실시예에 따른 화소 전극 구조를 나타내는 개략적인 평면도이다.
- [0092] 도 7을 참고하면, 도 1에서 나타난 실시예의 제1 전극(191)과 다르게 직사각형의 가장자리 부분에 전극이 위치하고 있다. 다시 말해, 도 1에서 나타난 화소 영역의 제1 영역과 제2 영역의 배치가 도 1에서 설명한 것과 반대이다.
- [0093] 도 8 및 도 9는 본 발명의 또 다른 실시예에 따른 화소 전극 구조를 나타내는 개략적인 평면도이다.
- [0094] 도 8 및 도 9를 참고하면, 본 실시예에서 제1 전극(191)은 도 1에서 나타난 제1 전극(191)의 가장자리 변에서 돌출된 가지부(191s)를 더 포함한다. 또한, 본 실시예에서 제2 전극(300)은 도 1에서 나타난 실시예의 제2 전극(300)과 모양은 유사하나 복수의 미세 가지부(340) 사이의 간격이 상대적으로 넓다. 본 실시예에서 복수의 미세 가지부(340)는 제1 전극(191)의 가지부(191s) 사이에 위치할 수 있다.
- [0095] 도 10 및 도 11은 본 발명의 또 다른 실시예에 따른 화소 전극 구조를 나타내는 개략적인 평면도이다.
- [0096] 도 10 및 도 11을 참고하면, 본 실시예에서 제1 전극(191)은 마름모 모양의 각 변의 중심 부분에서 돌출된 가지부(191s)를 더 포함한다. 본 실시예에 따른 액정 표시 장치에서 액정 분자가 배열되는 방향과 기울어지는 경사각에 따라 정의될 수 있는 도메인은 총 12개일 수 있다. 도 7 내지 도 9에서 나타난 실시예에서 도메인은 총 8개일 수 있다.
- [0097] 도 7 내지 도 11에서 나타난 실시예는 상기 언급한 부분을 제외하고 도 1 내지 도 3에서 나타난 실시예의 대부분 내용이 적용된다.
- [0098] 도 7 내지 도 11을 참고하여 설명한 하부 기관(100)에 위치하는 화소전극, 즉 제1 전극(191) 및 제2 전극(300)의 구조는 예시에 불과하고, 제1 전극(191)과 제2 전극(300)의 모양은 다양하게 변형될 수 있다.
- [0099] 이제, 도 12 및 도 13을 참고하여, 본 발명의 실시예에 따른 액정 표시 장치의 신호선 및 화소의 배치와 그 구동 방법에 대한 한가지 예시를 설명하기로 한다. 도 12는 본 발명의 한 실시예에 따른 액정 표시 장치의 하나의 화소에 대한 등가 회로도이다. 도 13은 본 발명의 한 실시예에 따른 액정 표시 장치의 화소에 인가되는 신호의 파형도이다.
- [0100] 도 12를 참고하면, 본 발명의 실시예에 따른 액정 표시 장치의 한 화소(PX)는 게이트 신호를 전달하는 게이트선(GL) 및 데이터 신호를 전달하는 데이터선(DL), 분압 기준 전압을 전달하는 기준 전압선(RL)을 포함하는 복수의 신호선, 그리고 복수의 신호선에 연결되어 있는 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb), 및 제3 스위칭 소자(Qc)와 제1 액정 축전기(C1ca) 및 제2 액정 축전기(C1cb)를 포함한다.
- [0101] 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)는 각각 게이트선(GL) 및 데이터선(DL)에 연결되어 있으며, 제3 스위칭 소자(Qc)는 제2 스위칭 소자(Qb)의 출력 단자 및 기준 전압선(RL)에 연결되어 있다.
- [0102] 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)는 박막 트랜지스터 등의 삼단자 소자으로써, 그 제어 단자는 게이트선(GL)에 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 제1 스위칭 소자(Qa)의 출력 단자는 제1 액정 축전기(C1ca)에 연결되어 있고, 제2 스위칭 소자(Qb)의 출력 단자는 제2 액정 축전기(C1cb) 및

제3 스위칭 소자(Qc)의 입력 단자에 연결되어 있다.

[0103] 제3 스위칭 소자(Qc) 역시 박막 트랜지스터 등의 삼단자 소자로서, 제어 단자는 게이트선(GL)과 연결되어 있고, 입력 단자는 제2 액정 축전기(C1cb)와 연결되어 있으며, 출력 단자는 기준 전압선(RL)에 연결되어 있다.

[0104] 도 13을 참고하면, 게이트선(GL)에 게이트 온(Von) 신호가 인가되면, 이에 연결된 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb), 그리고 제3 스위칭 소자(Qc)가 턴 온 된다. 이에 따라 데이터선(DL)에 인가된 데이터 전압은 턴 온 된 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)를 통해 각각 제1 전극(PEa) 및 제2 전극(PEb)에 인가된다. 이 때, 제1 전극(PEa) 및 제2 전극(PEb)에 인가된 데이터 전압은 서로 동일한 값으로 충전될 수 있다. 하지만, 본 발명의 실시예에 따르면, 제2 전극(PEb)에 인가되는 전압은 제2 스위칭 소자(Qb)와 직렬 연결되어 있는 제3 스위칭 소자(Qc)를 통해 분압이 된다. 따라서, 제2 전극(PEb)에 인가되는 전압(Vb)은 제1 전극(PEa)에 인가되는 전압(Va)보다 더 작게 된다.

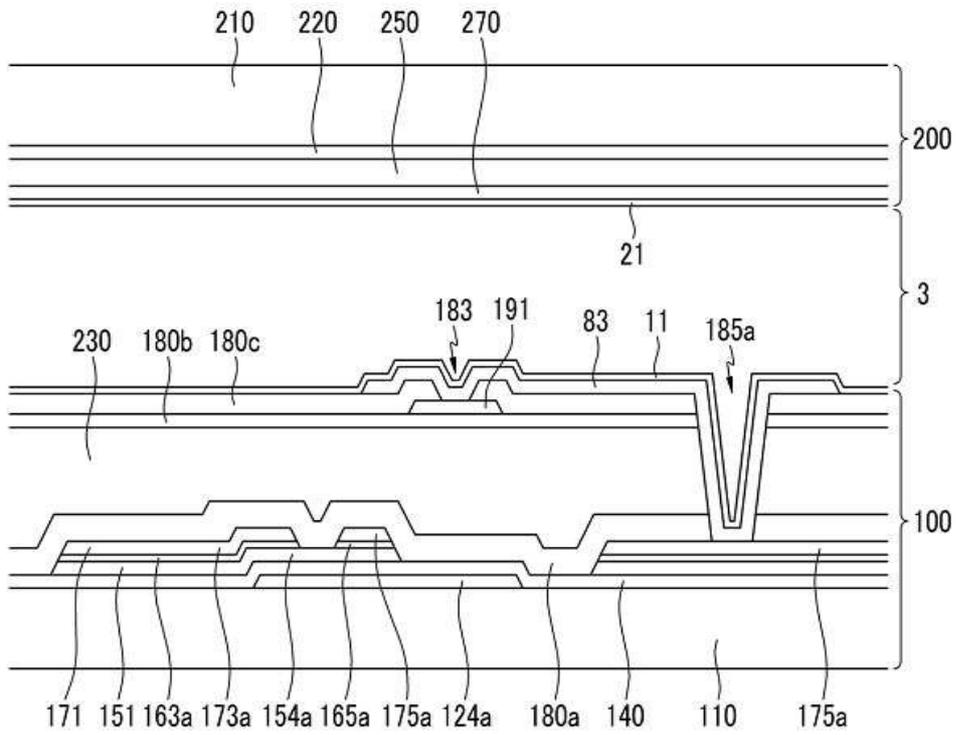
[0105] 결국, 제1 액정 축전기(C1ca)에 충전된 전압과 제2 액정 축전기(C1cb)에 충전된 전압은 서로 달라지게 된다. 제1 액정 축전기(C1ca)에 충전된 전압과 제2 액정 축전기(C1cb)에 충전된 전압이 서로 다르므로 앞에서 설명한 화소 영역 중 제1 영역과 제2 영역에서 액정 분자들이 기울어지는 각도가 다르게 되고, 이에 따라 두 영역의 휘도가 달라진다. 따라서, 제1 액정 축전기(C1ca)에 충전되는 전압과 제2 액정 축전기(C1cb)의 충전되는 전압을 적절히 조절하면 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 되도록 할 수 있고, 이에 따라 측면 시인성을 개선할 수 있다.

[0106] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

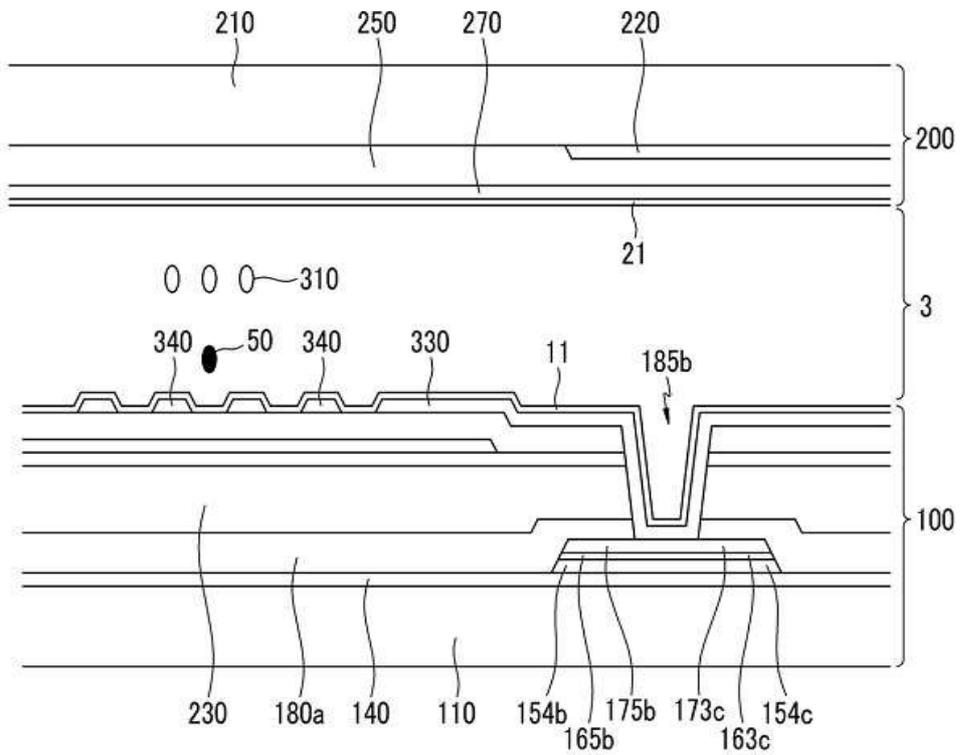
부호의 설명

[0107]	121	게이트선	171	데이터선
	180a	제1 패시베이션막	180b	덜개막
	180c	제2 패시베이션막	230	유기막
	191	제1 전극	270	공통 전극
	280	절연막	300	제2 전극

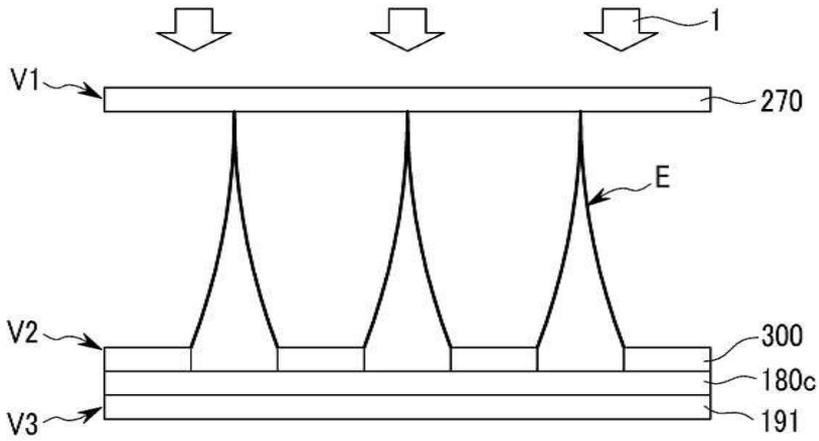
도면2



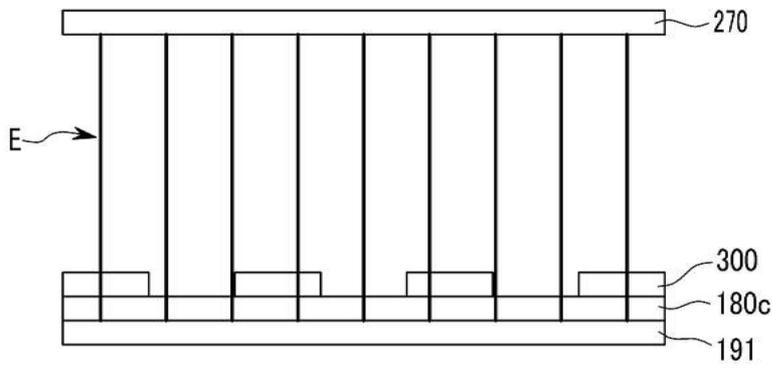
도면3



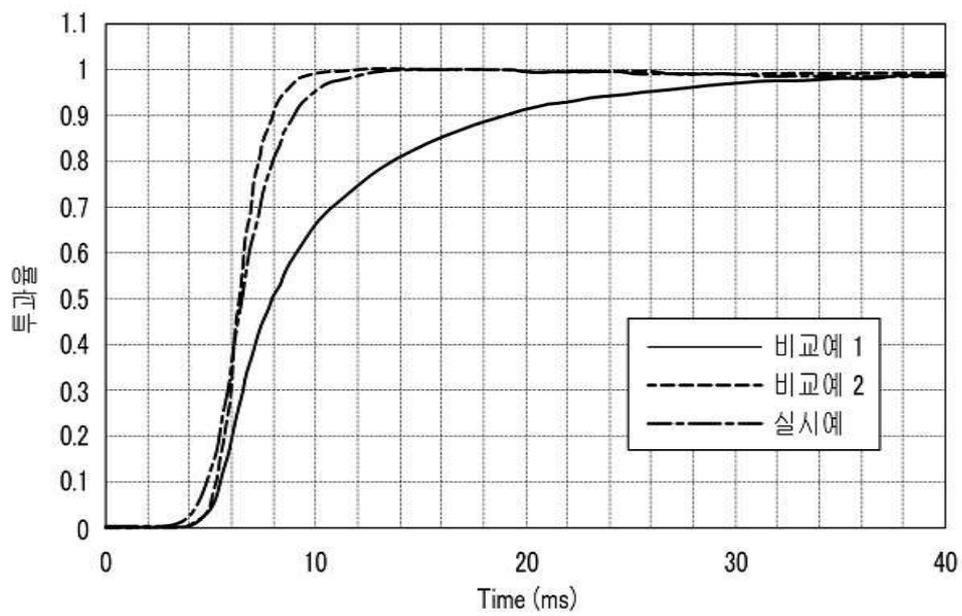
도면4



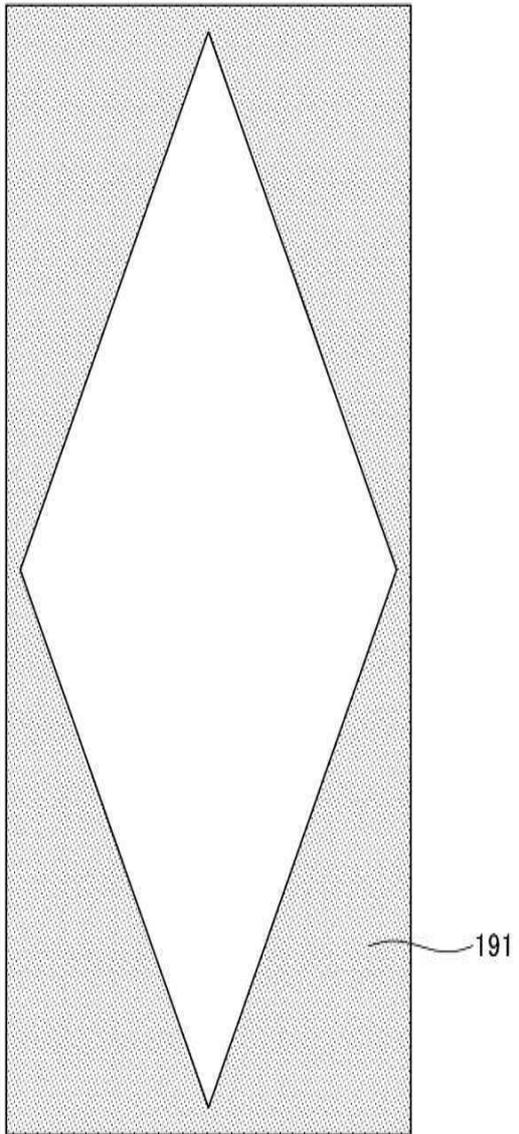
도면5



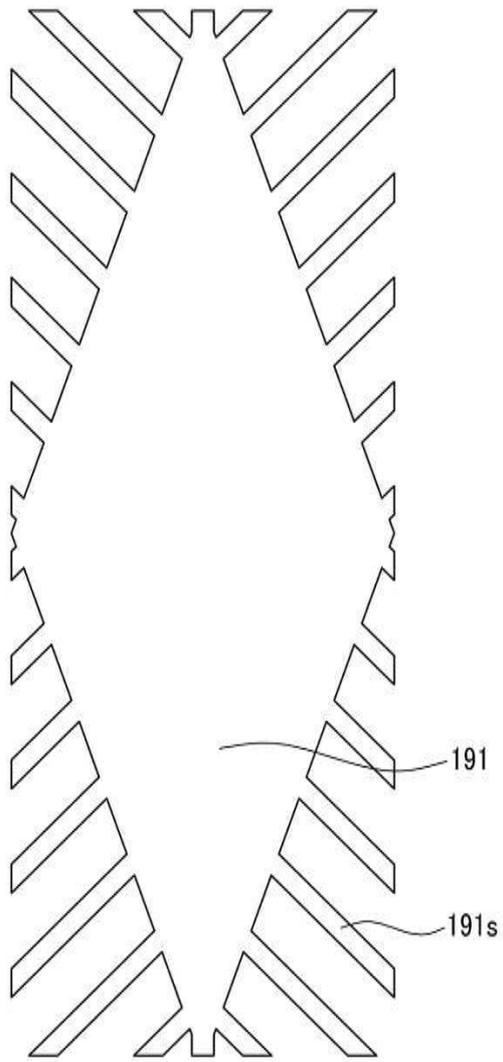
도면6



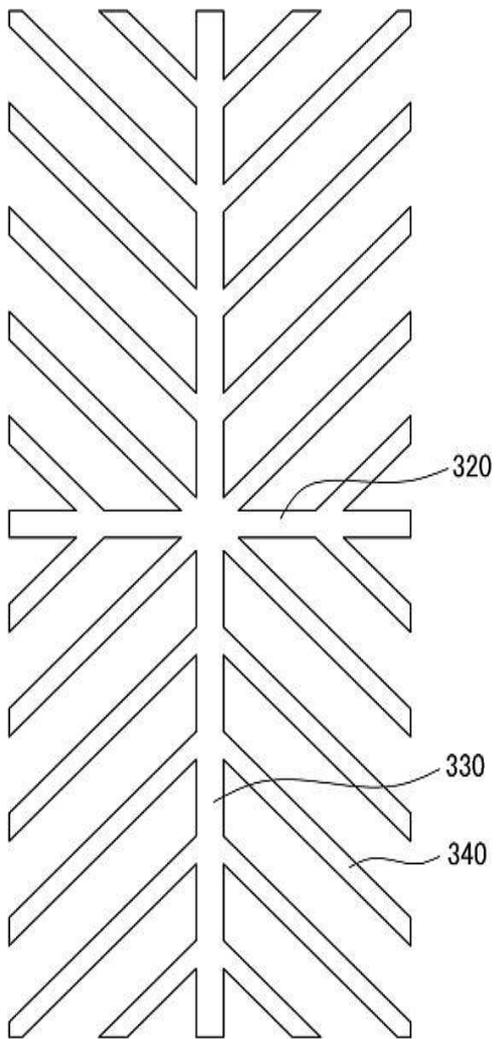
도면7



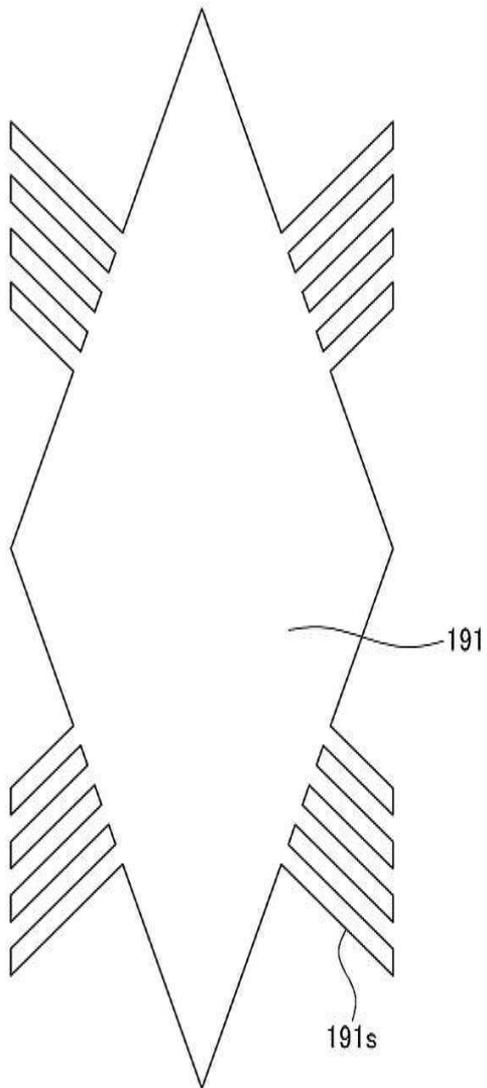
도면8



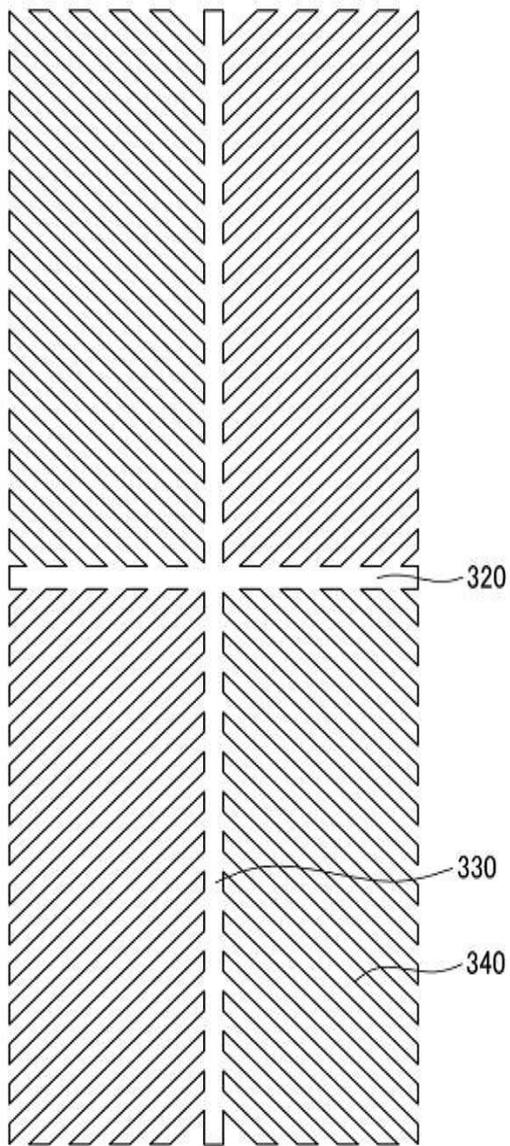
도면9



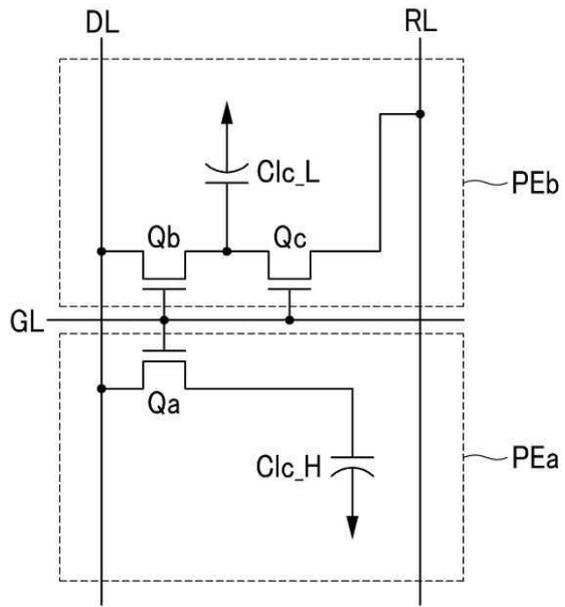
도면10



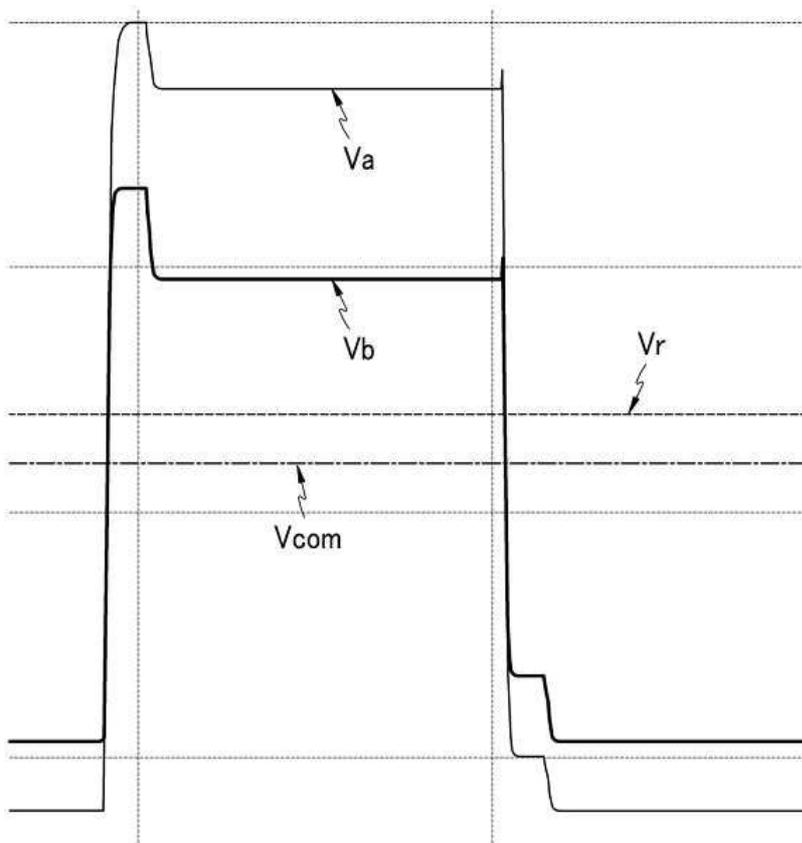
도면11



도면12



도면13



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR1020120074967A	公开(公告)日	2012-07-06
申请号	KR1020100136967	申请日	2010-12-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM SU JEONG 김수정 KIM HOON 김훈 JUNG JAE HOON 정재훈 YEOM JOO SEOK 염주석 SHIN KI CHUL 신기철 OH HO KIL 오호길		
发明人	김수정 김훈 정재훈 염주석 신기철 오호길		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1337 G02F1/1333		
CPC分类号	G02F1/1368 G02F1/134363 G02F1/133707 G02F1/133753 G02F1/133345 G02F2001/134372 G02F2001/134381 G02F1/1343 G02F1/134309 G02F2001/134345 G02F1/13624		
其他公开文献	KR101791201B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置及其制造方法，在电场曝光过程中使用微缝电极形成预倾斜，并使用在实际操作过程中没有图案的电极。组成：A 第一电极 (191) 位于第一基板上。第二电极包括微缝图案。绝缘膜位于第一电极和第二电极之间。第三电极位于第二基板上。像素区域包括第一区域和第二区域。第一区域包括通过使第一电极与第二电极重叠的双电极结构。第二区域具有第二电极的单电极结构。

