



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0008318
(43) 공개일자 2012년01월30일

(51) Int. Cl.

G02F 1/133 (2006.01) G02F 1/1345 (2006.01)

(21) 출원번호 10-2010-0069107

(22) 출원일자 2010년07월16일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김세영

경기도 파주시 월롱면 덕은리 1007 (4/2)

LG.PHILIPS LCD 정다운마을 103동1220호

(74) 대리인

박영복, 김용인

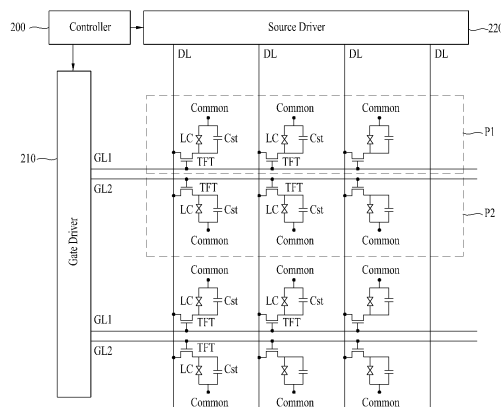
전체 청구항 수 : 총 9 항

(54) 액정표시장치

(57) 요약

본 발명은 개구율이 증가될 수 있는 액정표시장치에 관한 것으로, 본 발명에 따른 액정표시장치는 서로 대향하는 제1 기판과 제2 기판; 상기 제1 기판과 제2 기판 사이에 충전되는 액정층; 상기 제2 기판에 마주하는 상기 제1 기판의 상면에, 서로 교차배치되어 형성되는 제1 게이트라인과 제1 데이터라인 및 상기 제1 게이트라인과 상기 제1 데이터라인이 교차하는 영역에 형성되는 복수의 제1 트랜지스터를 포함하여, 복수의 제1 화소 각각의 광투과율을 제어하는 제1 트랜지스터 어레이; 및 상기 제1 트랜지스터 어레이와 중첩하고, 상기 제1 기판에 마주하는 상기 제2 기판의 배면에, 서로 교차배치되어 형성되는 제2 게이트라인과 제2 데이터라인, 상기 제2 게이트라인과 상기 제2 데이터라인이 교차하는 영역에 형성되는 복수의 제2 트랜지스터를 포함하여, 일방향으로 상기 복수의 제1 화소와 교번하는 복수의 제2 화소 각각의 광투과율을 제어하는 제2 트랜지스터 어레이를 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

서로 대향하는 제1 기판과 제2 기판;

상기 제1 기판과 제2 기판 사이에 충전되는 액정층;

상기 제2 기판에 마주하는 상기 제1 기판의 상면에, 서로 교차배치되어 형성되는 제1 게이트라인과 제1 데이터 라인 및 상기 제1 게이트라인과 상기 제1 데이터라인이 교차하는 영역에 형성되는 복수의 제1 트랜지스터를 포함하여, 복수의 제1 화소 각각의 광투과율을 제어하는 제1 트랜지스터 어레이; 및

상기 제1 트랜지스터 어레이와 중첩하고, 상기 제1 기판에 마주하는 상기 제2 기판의 배면에, 서로 교차배치되어 형성되는 제2 게이트라인과 제2 데이터라인, 상기 제2 게이트라인과 상기 제2 데이터라인이 교차하는 영역에 형성되는 복수의 제2 트랜지스터를 포함하여, 일방향으로 상기 복수의 제1 화소와 교번하는 복수의 제2 화소 각각의 광투과율을 제어하는 제2 트랜지스터 어레이를 포함하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 제2 기판의 배면에, 상기 제1 트랜지스터 어레이와 중첩하도록 형성되어, 상기 제1 트랜지스터 어레이와 상기 제2 트랜지스터 어레이가 배치되는 영역에서의 빛샘을 방지하는 블랙매트릭스층을 더 포함하고,

상기 제2 트랜지스터 어레이는 상기 블랙매트릭스층 상에 형성되는 액정표시장치.

청구항 3

제1항에 있어서,

상기 제1 기판의 상면에, 상기 복수의 제1 게이트라인에 대응하여 형성되는 복수의 제1 게이트패드;

상기 제1 기판의 상면에, 상기 복수의 제2 게이트라인에 대응하여 형성되는 복수의 제2 게이트패드; 및

상기 제1 기판과 제2 기판 사이에 배치되어, 상기 복수의 제2 게이트패드와 상기 복수의 제2 게이트라인을 각각 연결하는 연결블록을 더 포함하는 액정표시장치.

청구항 4

제3항에 있어서,

상기 연결블록은,

복수의 도전체와 복수의 부도체가 서로 교번하여 형성되고,

상기 복수의 도전체 각각은, 상기 복수의 제2 게이트패드에서 각각 연장되는 복수의 연장선과 상기 복수의 제2 게이트라인 중에서, 서로 대응하는 연장선과 제2 게이트라인에 접촉하도록 배치되는 액정표시장치.

청구항 5

제1항에 있어서,

상기 제1 기판의 상면에, 상기 복수의 제1 데이터라인과 상기 복수의 제2 데이터라인에 대응하여 형성되는 복수의 데이터패드;

상기 제1 기판과 제2 기판 사이에 배치되어, 상기 복수의 데이터패드와 상기 복수의 제2 데이터라인을 각각 연결하는 연결블록을 더 포함하는 액정표시장치.

청구항 6

제5항에 있어서,

상기 복수의 제1 데이터라인과 상기 복수의 제2 데이터라인 중에서, 서로 중첩하는 제1 데이터라인과 제2 데이터라인은 하나의 데이터패드를 공유하는 액정표시장치.

청구항 7

제5항에 있어서,

상기 연결블록은,

상기 제1 기관과 제2 기관 사이의 간격에 해당하는 높이를 갖는 복수의 도전체와 복수의 부도체가 서로 교번하여 형성되고,

상기 복수의 도전체 각각은, 상기 복수의 데이터패드에서 각각 연장되는 복수의 제1 데이터라인과 상기 복수의 제2 데이터라인 중에서, 서로 중첩하는 제1 데이터라인과 제2 데이터라인에 접촉하도록 배치되는 액정표시장치.

청구항 8

제1항에 있어서,

상기 제1 트랜지스터 어레이를 포함한 상기 제1 기관의 상면 전면에 형성되는 제1 보호층;

상기 복수의 제1 화소에 각각 해당되는 복수의 제1 화소영역과, 상기 복수의 제2 화소에 각각 해당되는 복수의 제2 화소영역에 각각 대응하도록, 상기 제1 보호층 상에 형성되어, 상기 복수의 제1 화소와 상기 복수의 제2 화소에 각각 대응하는 파장영역의 광을 각각 방출하는 컬러필터층;

상기 컬러필터층을 포함한 상기 제1 보호층 상의 전면에 평평하게 형성되는 오버코트층;

상기 복수의 제1 트랜지스터의 일부 영역에 각각 대응하여 상기 제1 보호층과 상기 오버코트층에 형성되는 복수의 콘택홀;

상기 오버코트층 상의 상기 복수의 제1 화소영역에 각각 형성되고, 상기 복수의 콘택홀을 통해 상기 복수의 제1 트랜지스터와 각각 연결되는 복수의 제1 화소전극;

상기 오버코트층 상의 상기 복수의 제1 화소영역에, 상기 복수의 제1 화소전극과 교번하도록 각각 형성되는 복수의 제1 공통전극;

상기 제2 트랜지스터 어레이를 포함한 상기 제2 기관의 배면 전면에 형성되는 제2 보호층;

상기 제2 보호층 상의 상기 복수의 제2 화소영역에 각각 형성되고, 상기 복수의 제2 트랜지스터와 각각 연결되는 복수의 제2 화소전극; 및

상기 제2 보호층 상의 상기 복수의 제2 화소영역에, 상기 복수의 제2 화소전극과 교번하도록 각각 형성되는 복수의 제2 공통전극을 더 포함하는 액정표시장치.

청구항 9

제1항에 있어서,

상기 제1 트랜지스터 어레이를 포함한 상기 제1 기관의 상면 전면에 형성되는 제1 보호층;

상기 제2 트랜지스터 어레이를 포함한 상기 제2 기관의 배면 전면에 형성되는 제2 보호층;

상기 복수의 제1 화소에 각각 해당되는 복수의 제1 화소영역과, 상기 복수의 제2 화소에 각각 해당되는 복수의 제2 화소영역에 각각 대응하도록, 상기 제2 보호층 상에 형성되어, 상기 복수의 제1 화소와 상기 복수의 제2 화소에 각각 대응하는 파장영역의 광을 각각 방출하는 컬러필터층;

상기 컬러필터층을 포함한 상기 제2 보호층 상의 전면에 평평하게 형성되는 오버코트층;

상기 복수의 제2 트랜지스터의 일부 영역에 각각 대응하여 상기 제2 보호층과 상기 오버코트층에 형성되는 복수의 콘택홀;

상기 제1 보호층 상의 상기 복수의 제1 화소영역에 각각 형성되고, 상기 복수의 제1 트랜지스터와 각각 연결되는 복수의 제1 화소전극;

상기 제1 보호층 상의 상기 복수의 제1 화소영역에, 상기 복수의 제2 화소전극과 교번하도록 각각 형성되는 복수의 제1 공통전극;

상기 오버코트층 상의 상기 복수의 제2 화소영역에 각각 형성되고, 상기 복수의 콘택홀을 통해 상기 복수의 제2 트랜지스터와 각각 연결되는 복수의 제2 화소전극; 및

상기 오버코트층 상의 상기 복수의 제2 화소영역에, 상기 복수의 제2 화소전극과 교번하도록 각각 형성되는 복수의 제2 공통전극을 더 포함하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히, 개구율이 증가될 수 있는 액정표시장치에 관한 것이다.

배경기술

[0002] 최근, 본격적인 정보화 시대로 접어들어 따라 전기적 정보신호를 시각적으로 표현하는 디스플레이(display)분야가 급속도로 발전해 왔고, 이에 부응하여 박형화, 경량화, 저소비전력화의 우수한 성능을 지닌 여러 가지 다양한 평판 표시장치(Flat Display Device)가 개발되어 기존의 브라운관(Cathode Ray Tube: CRT)을 빠르게 대체하고 있다.

[0003] 이 같은 평판 표시장치의 구체적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 유기전계발광 표시장치(Organic Light Emitting Display: OLED), 전기영동표시장치(Electrophoretic Display: EPD, Electric Paper Display), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표시장치(Electro luminescence Display Device: ELD) 및 전기습윤표시장치(Electro-Wetting Display: EWD) 등을 들 수 있다. 이들은 공통적으로 영상을 구현하는 평판 표시패널을 필수적인 구성요소로 하는 바, 평판 표시패널은 고유의 발광물질 또는 편광물질층을 사이에 두고 한 쌍의 기판을 대면 합착시킨 구성을 갖는다. 그 중, 액정표시장치는 평판표시장치의 대표적인 예로써, 전계를 이용하여 액정의 광 투과율을 조절함으로써 영상을 표시하는 장치이다.

[0004] 도 1은 종래기술에 따른 액정표시장치의 단면도이다. 그리고, 도 2는 도 1에 도시된 액정표시장치에 있어서, 트랜지스터어레이의 등가회로도이고, 도 3은 도 1에 도시된 액정표시장치에 있어서, 블랙매트릭스층을 나타낸 평면도이다.

[0005] 도 1에 도시된 바와 같이, 종래의 액정표시장치(10)는, 서로 대향하는 하부기판(11)과 상부기판(12), 하부기판(11)과 상부기판(12) 사이에 충전되는 액정층(13, Liquid Crystal layer: LC), 하부기판(11)의 상면에 복수의 화소영역에 대응하는 액정층(13)의 광 투과율을 각각 제어하는 복수의 트랜지스터(14, Thin Film Transistor: TFT)로 이루어진 트랜지스터 어레이, 상부기판(12)의 배면에 복수의 화소영역 외곽에서의 빛샘을 방지하도록 형성되는 블랙매트릭스층(15) 및 상부기판(12)의 배면에 블랙매트릭스층(15)과 중첩하도록 형성되어, 복수의 화소영역에 대응하는 과장영역의 광을 각각 투과하는 컬러필터층(16, Color Filter layer: CF)을 포함한다.

[0006] 여기서, 트랜지스터 어레이는, 도 2에 도시된 바와 같이, 복수의 화소영역이 각각 정의되도록 교차배치되는 게이트라인(GL)과 데이터라인(DL), 및 게이트라인(GL)과 데이터라인(DL)이 교차하는 영역에 각각 배치되는 복수의 트랜지스터(14)를 포함한다. 복수의 트랜지스터 각각에서, 게이트전극은 제어부(20, Controller)의 제어신호에 따라 게이트신호를 생성하는 게이트구동부(21, Gate Driver)와 게이트라인(GL)을 통해 연결되고, 소스전극은 제어부(20, Controller)의 제어신호에 따라 데이터신호를 생성하는 소스구동부(22, Source Driver)와 데이터라인(DL)을 통해 연결되며, 드레인전극은 복수의 화소에 각각 대응하는 영역(이하, "복수의 화소영역"으로 지칭함)에 형성되는 화소전극과 연결된다. 이에, 각 트랜지스터는 게이트라인(GL)을 통해 인가된 게이트신호에 대응하여 턴온-턴오프하고, 턴온하면 데이터라인(DL)을 통해 데이터신호를 받아서, 화소전극에 화소전압을 인가한다. 이와 같이, 화소전극에 화소전압이 인가되면, 화소전극과 공통전압이 인가되는 공통전극 사이에 전계가 발생되고, 화소영역의 광투과율이 조절되어, 화소가 소정 휘도를 표시하게 된다. 즉, 화소전극에 화소전압이 인가되면, 화소전극과 공통전극 사이, 즉 화소영역에 대응하는 액정층(13)의 정전용량(Liquid Crystal Capacitor: LC, 이하, "액정커패시터"로 지칭함)에 소정의 전계가 발생된다. 이러한 전계에 의해, 화소영역에 대응하는 액정층(13, LC)에 구비된 액정 셀의 셀 방향이 변동하면서, 화소영역의 광투과율이 조절되고, 이에 따라, 복수의 화소 각각의 휘도가 제어된다. 이때, 트랜지스터가 턴오프한 이후에도, 일정시간동안 액정커패시터

의 전계를 유지하기 위하여, 스토리지커패시터(Storage Capacitor: Cst)가 액정커패시터(LC)와 병렬로 연결된다.

[0007] 한편, 표시영역 상에 배치되는 게이트라인(GL)과 데이터라인(DL), 및 복수의 트랜지스터(14, TFT)는 광이 투과되는 화소영역이 아닌 화소영역의 외곽에 해당되는 영역으로, 블랙매트릭스층(15)에 의해 커버되어, 빛샘이 방지된다. 즉, 표시영역에서 블랙매트릭스층(15)에 커버되는 화소영역의 외곽영역을 뺀 나머지가 화소영역이 된다.

[0008] 일반적으로, 표시영역에서 화소영역이 차지하는 면적의 비율(이하, "개구율"로 지칭함)이 높아지면, 액정표시장치의 화질이 향상될 수 있다. 그런데, 게이트라인(GL)과 데이터라인(DL), 및 복수의 트랜지스터(14, TFT)가 하부기관(11)에 모두 형성되고, 게이트라인(GL)과 데이터라인(DL), 및 복수의 트랜지스터(14, TFT)는 안정적으로 구동될 수 있을 정도의 면적을 갖고 있다. 그러므로, 종래의 액정표시장치에서, 게이트라인(GL)과 데이터라인(DL), 및 복수의 트랜지스터(14, TFT)가 배치되는 영역에 의해, 최대개구율이 증가하는 것에 한계가 있고, 이에 따라 화질이 한계 이상으로 향상될 수 없는 문제점이 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명은, 표시영역에서 화소영역의 외곽에 해당하는 영역의 면적을 줄일 수 있어, 최대 개구율이 종래보다 증가될 수 있으므로, 화질이 향상될 수 있는 액정표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0010] 이와 같은 과제를 해결하기 위하여, 본 발명은, 서로 대향하는 제1 기관과 제2 기관; 상기 제1 기관과 제2 기관 사이에 충전되는 액정층; 상기 제2 기관에 마주하는 상기 제1 기관의 상면에, 서로 교차배치되어 형성되는 제1 게이트라인과 제1 데이터라인 및 상기 제1 게이트라인과 상기 제1 데이터라인이 교차하는 영역에 형성되는 복수의 제1 트랜지스터를 포함하여, 복수의 제1 화소 각각의 광투과율을 제어하는 제1 트랜지스터 어레이; 및 상기 제1 트랜지스터 어레이와 중첩하고, 상기 제1 기관에 마주하는 상기 제2 기관의 배면에, 서로 교차배치되어 형성되는 제2 게이트라인과 제2 데이터라인, 상기 제2 게이트라인과 상기 제2 데이터라인이 교차하는 영역에 형성되는 복수의 제2 트랜지스터를 포함하여, 일방향으로 상기 복수의 제1 화소와 교번하는 복수의 제2 화소 각각의 광투과율을 제어하는 제2 트랜지스터 어레이를 포함하는 액정표시장치를 제공한다.

발명의 효과

[0011] 이상과 같이, 본 발명에 따른 액정표시장치는, 복수의 제1 화소와 복수의 제2 화소로 이루어지는 화소들로 화상을 표시하고, 하부기관에 형성되어 복수의 제1 화소 각각의 광투과율을 제어하는 제1 트랜지스터 어레이와, 상부기관에 제1 트랜지스터 어레이와 중첩되도록 형성되어 복수의 제2 화소 각각의 광투과율을 제어하는 제2 트랜지스터 어레이를 포함한다. 이에 따라, 복수의 제1 화소와 복수의 제2 화소가 제1 트랜지스터 어레이와 제2 트랜지스터 어레이에 의해 개별적으로 제어되고, 제1 트랜지스터 어레이와 제2 트랜지스터 어레이가 중첩되는 영역만큼 표시영역에서 화소영역이 차지하는 면적이 증가되어, 최대 개구율이 증가되므로, 액정표시장치의 화질이 향상될 수 있다.

도면의 간단한 설명

[0012] 도 1은 종래기술에 따른 액정표시장치의 단면도이다.
 도 2는 도 1에 도시된 액정표시장치에 있어서, 트랜지스터어레이의 등가회로도이다.
 도 3은 도 1에 도시된 액정표시장치에 있어서, 블랙매트릭스층을 나타낸 평면도이다.
 도 4는 본 발명의 실시예에 따른 액정표시장치의 등가회로도이다.
 도 5는 본 발명의 실시예에 따른 액정표시장치의 단면도이다.
 도 6은 도 5에 도시된 액정표시장치의 상세단면도이다.
 도 7은 도 6에 도시된 제1 트랜지스터 어레이 및 제2 트랜지스터 어레이와 게이트패드의 연결형태를 나타낸 모식도이다.

도 8은 도 6에 도시된 제1 트랜지스터 어레이 및 제2 트랜지스터 어레이와 데이터패드의 연결형태를 나타낸 모식도이다.

도 9는 도 7 및 도 8에 도시된 연결블록의 사시도이다.

도 10은 본 발명의 다른 실시예에 따른 액정표시장치의 단면도이다.

도 11은 도 4 내지 도 10에 도시된 액정표시장치에 있어서, 블랙매트릭스층을 나타낸 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 본 발명의 실시예에 따른 액정표시장치에 대하여, 첨부한 도면을 참고로 하여 상세히 설명하기로 한다.
- [0014] 먼저, 도 4 내지 도 6를 참고하여, 본 발명의 실시예에 따른 액정표시장치에 대해 설명한다.
- [0015] 도 4는 본 발명의 실시예에 따른 액정표시장치의 등가회로도이다. 그리고, 도 5는 본 발명의 실시예에 따른 액정표시장치의 단면도이고, 도 6은 도 5에 도시된 액정표시장치의 상세단면도이다.
- [0016] 도 4에 도시된 바와 같이, 본 발명의 실시예에 따른 액정표시장치(100)는, 화상을 표시될 수 있도록 각각의 휘도가 결정되는 화소(P1, P2)들을 포함하고, 전체 화소들은 제1 트랜지스터 어레이에 의해 제어되는 복수의 제1 화소(P1)와, 제2 트랜지스터 어레이에 의해 제어되는 복수의 제2 화소(P2)로 구분된다. 이때, 화상이 표시되는 표시영역 중에서, 복수의 제1 화소(P1)는 복수의 제1 화소영역에 각각 대응하고, 복수의 제2 화소(P2)는 복수의 제2 화소에 각각 대응한다. 그리고, 표시영역에서, 복수의 제1 화소(P1)와 복수의 제2 화소(P2)는 일방향 또는 서로 수직한 두 방향으로, 서로 교번하여 배치된다.
- [0017] 그리고, 도 5 및 도 6에 도시된 바와 같이, 본 발명의 실시예에 따른 액정표시장치(100)는, 서로 대향하는 하부기관(110)과 상부기관(120), 하부기관(110)과 상부기관(120) 사이에 충전되는 액정층(130, Liquid Crystal layer: LC), 하부기관(110)을 지지하는 제1 지지기관(111), 상부기관(120)에 마주하는 제1 지지기관(111)의 상면에 형성되어 복수의 제1 화소(142, 144, 도 4의 "P1"에 해당됨) 각각의 광투과율을 제어하는 제1 트랜지스터 어레이(112), 제1 트랜지스터 어레이(112)를 포함한 제1 지지기관(111)의 상면에 형성되어 특정 파장영역의 광을 방출하는 컬러필터층(Color Filter: CF), 상부기관(120)을 지지하는 제2 지지기관(121), 하부기관(110)에 마주하는 제2 지지기관(121)의 배면에 제1 트랜지스터 어레이(112)와 중첩하도록 형성되어 제1 트랜지스터 어레이(112)가 배치되는 영역에서의 빛샘을 방지하는 블랙매트릭스층(122, black matrix layer), 블랙매트릭스층(122) 상에 형성되어 복수의 제2 화소(141, 143, 도 4의 "P2"에 해당됨) 각각의 광투과율을 제어하는 제2 트랜지스터 어레이(123)를 포함하여 이루어진다.
- [0018] 그리고, 제1 트랜지스터 어레이(112)와 제2 트랜지스터 어레이(123)은 서로 중첩하도록, 하부기관(110)과 상부기관(120)에 각각 형성된다. 그리고, 블랙매트릭스층(122)은 제2 지지기관(121)과 제2 트랜지스터 어레이(123) 사이에 형성되어, 서로 중첩하도록 형성된 제1 트랜지스터 어레이(112) 및 제2 트랜지스터 어레이(123)에 대응하는 영역에서의 빛샘을 차단한다.
- [0019] 또한, 컬러필터층(CF)은 제1 지지기관(111)의 상면에 복수의 제1 화소영역(142, 144)과 복수의 제2 화소영역(141, 143)에 각각 대응하여 형성되고, 복수의 제1 화소(142, 144)와 복수의 제2 화소(141, 143)에 각각 대응하는 파장영역의 광을 각각 방출한다. 이때, 컬러필터층(CF)은 백색광에서 복수의 제1 화소(142, 144)와 복수의 제2 화소(141, 143)에 각각 대응하는 특정파장영역의 광을 투과하는 염료 또는 안료를 포함하여 이루어진다. 예를 들어, 컬러필터층(CF)은 각 화소별로, 적색(RED)의 광을 투과하는 영역(113a), 녹색(GREEN)의 광을 투과하는 영역(113b) 및 청색(BLUE)의 광을 투과하는 영역(113c)으로 구분되고, 복수의 제1 화소영역(142, 144)와 복수의 제2 화소영역(141, 143) 각각은 적색(RED, 113a), 녹색(GREEN, 113b), 청색(BLUE, 113c) 중 어느 하나의 파장영역에 대응하는 광을 방출하며, 적색(RED), 녹색(GREEN), 청색(BLUE)에 대응하는 세 개의 제1 화소 또는 제2 화소의 조합으로 백색광을 나타내는 하나의 단위화소가 정의될 수 있다.
- [0020] 도 4 및 도 5에 도시된 바에 따르면, 복수의 제1 화소(P1)의 광투과율을 각각 제어하는 제1 트랜지스터 어레이(112)는, 제1 지지기관(111)의 상면에 서로 교차배치되어 형성되는 제1 게이트라인(GL1)과 제1 데이터라인(DL), 및 제1 게이트라인(GL1)과 제1 데이터라인(DL)이 교차하는 영역에 형성되어, 제1 게이트라인(GL1)과 제1 데이터라인(DL)에 각각 게이트전극과 소스전극이 연결되는 복수의 제1 트랜지스터(1121, 1122)를 포함하여 이루어진다. 그리고, 복수의 제2 화소(P2)의 광투과율을 각각 제어하는 제2 트랜지스터 어레이(123)는 제2 지지기관(121)의 배면에 서로 교차배치되어 형성되는 제2 게이트라인(GL2)과 제2 데이터라인(DL), 및 제2 게이트라

인(GL2)과 제2 데이터라인(DL)이 교차하는 영역에 형성되어, 제2 게이트라인(GL2)과 제2 데이터라인(DL)에 각각 게이트전극과 소스전극이 연결되는 복수의 제2 트랜지스터(1231, 1232)를 포함하여 이루어진다.

[0021] 구체적으로, 도 6에 도시된 바와 같이, 복수의 제1 트랜지스터(1121, 1122) 각각은, 제1 지지기판(111)의 상면에 제1 게이트라인(미도시, 도 4에서 GL1에 해당됨)과 연결되어 형성되는 게이트전극(GX), 제1 게이트라인(미도시)과 게이트전극(GX)을 포함한 제1 지지기판(111)의 상면 전면에 형성되는 게이트절연층(GI), 게이트절연층(GI) 상에 게이트전극(GX)과 중첩되도록 형성되는 반도체층(Active), 반도체층(Active) 상에 게이트전극(GX)의 양측에 각각 중첩되고, 서로 이격되어 그 사이에 채널을 형성하는 소스전극(S)과 드레인전극(D)을 포함한다. 여기서, 복수의 제1 트랜지스터(1121, 1122) 각각의 소스전극(S)은 제1 데이터라인(미도시, 도 4에서 DL에 해당됨)와 연결된다.

[0022] 또한, 하부기판(110)은, 제1 트랜지스터 어레이(112)가 전기적으로 안정되도록 커버하기 위하여, 제1 트랜지스터 어레이(112)와 컬러필터층(CF) 사이에 형성되는 제1 보호층(Pass1), 컬러필터층(CF)을 포함한 제1 보호층(Pass1) 상의 전면에 평평하게 형성되는 오버코트층(OC), 제1 트랜지스터(1121, 1122)의 드레인전극(D)의 일부 영역에 각각 대응하여 제1 보호층(Pass1)과 오버코트층(OC)에 형성되는 콘택홀(CH), 오버코트층(OC) 상의 복수의 제1 화소영역(142, 144)에 각각 형성되고, 콘택홀(CH)을 통해 복수의 제1 트랜지스터(1121, 1122)의 드레인전극(D)과 각각 연결되는 복수의 제1 화소전극(PX), 및 오버코트층(OC) 상의 복수의 제1 화소영역(142, 144)에, 복수의 제1 화소전극(PX)과 교번하도록 각각 형성되는 복수의 제1 공통전극(CX)을 더 포함하여 이루어진다. 여기서, 복수의 제1 트랜지스터(1121, 1122) 각각의 턴온여부에 따라, 복수의 제1 화소전극(PX)에 복수의 제1 화소(142, 144)에 각각 대응하는 화소전압이 인가되고, 복수의 제1 공통전극(CX)에 전체 화소(P1, P2)에 대응하는 공통전압이 인가된다. 그리고, 제1 보호층(Pass1)은 복수의 제1 트랜지스터(1121, 1122) 각각의 소스전극과 드레인전극(S, D) 및 반도체층(Active)을 포함한 게이트절연층(GI) 상의 전면에 형성된다.

[0023] 이에 따라, 복수의 제1 화소(142, 144)는, 제1 트랜지스터(1121, 1122)가 제1 게이트라인(GL1)의 게이트신호에 대응하여 턴온하면, 제1 데이터라인(DL)의 데이터신호에 대응하여 제1 화소전극(PX)에 화소전압이 인가되어, 액정층(130) 아래의 제1 화소전극(PX)과 제1 공통전극(CX) 사이에서 발생된 소정의 전계에 의해, 제1 화소영역(142, 144)에 대응하는 액정층(130)의 액정 셀의 방향이 변동하면서 광투과율이 조절됨으로써, 제1 트랜지스터 어레이(112)에 의해 제어된 휘도를 표시한다.

[0024] 제1 트랜지스터 어레이(112)와 마찬가지로, 제2 트랜지스터 어레이(123)에 포함되는 복수의 제2 트랜지스터(1231, 1232) 각각은, 제2 지지기판(121)의 상면에 제2 게이트라인(미도시, 도 4에서 GL2에 해당됨)과 연결되어 형성되는 게이트전극(GX), 제2 게이트라인(미도시)과 게이트전극(GX)을 포함한 제2 지지기판(121)의 상면 전면에 형성되는 게이트절연층(GI), 게이트절연층(GI) 상에 게이트전극(GX)과 중첩되도록 형성되는 반도체층(Active), 반도체층(Active) 상에 게이트전극(GX)의 양측에 각각 중첩되고, 서로 이격되어 그 사이에 채널을 형성하는 소스전극(S)과 드레인전극(D)을 포함한다. 여기서, 복수의 제2 트랜지스터(1231, 1232) 각각의 소스전극(S)은 제2 데이터라인(미도시, 도 4에서 DL에 해당됨)와 연결된다.

[0025] 또한, 상부기판(120)은, 제2 트랜지스터 어레이(123)가 전기적으로 안정되도록 커버하기 위하여, 제2 트랜지스터 어레이(123)를 포함한 제2 지지기판(121)의 전면에 형성되는 제2 보호층(Pass2), 제2 보호층(Pass2) 상의 복수의 제2 화소영역(141, 143) 각각에 형성되고, 복수의 제2 트랜지스터(1231, 1232)의 드레인전극(D)과 각각 연결되는 복수의 제2 화소전극(PX) 및 제2 보호층(Pass2) 상의 복수의 제2 화소영역(141, 143) 각각에, 복수의 제2 화소전극(PX)과 교번하도록 형성되는 복수의 제2 공통전극(CX)을 더 포함하여 이루어진다. 여기서, 복수의 제2 트랜지스터(1231, 1232) 각각의 턴온여부에 따라, 복수의 제2 화소전극(PX)에 복수의 제2 화소(141, 143)에 각각 대응하는 화소전압이 인가되고, 복수의 제2 공통전극(CX)에 전체 화소에 대응하는 공통전압이 인가된다. 그리고, 제2 보호층(Pass2)은 복수의 제2 트랜지스터(1231, 1232) 각각의 소스전극과 드레인전극(S, D) 및 반도체층(Active)을 포함한 게이트절연층(GI) 상의 전면에 형성된다.

[0026] 이에 따라, 복수의 제2 화소(141, 143)는, 제2 트랜지스터(1231, 1232)가 제2 게이트라인(GL2)의 게이트신호에 대응하여 턴온하면, 제2 데이터라인(DL)의 데이터신호에 대응하여 제2 화소전극(PX)에 화소전압이 인가되어, 액정층(130) 상부의 제2 화소전극(PX)과 제2 공통전극(CX) 사이에서 발생된 소정의 전계에 의해, 제2 화소영역(141, 143)에 대응하는 액정층(130)의 액정 셀의 방향이 변동하면서 광투과율이 조절됨으로써, 제2 트랜지스터 어레이(123)에 의해 제어된 휘도를 표시한다.

[0027] 이상을 정리하면, 본 발명의 실시예에 따른 액정표시장치(100)는, 서로 대향하는 하부기판(110)과 상부기판(120), 하부기판(110)과 상부기판(120) 사이에 충전되는 액정층(130), 하부기판(110)에 서로 교차배치되어 형성

되는 제1 게이트라인(GL1)와 제1 데이터라인(DL) 및 제1 게이트라인(GL1)와 제1 데이터라인(DL)이 교차하는 영역에 형성되는 복수의 제1 트랜지스터(1121, 1122)를 포함하여, 복수의 제1 화소(P1, 142, 144) 각각의 광투과율을 제어하는 제1 트랜지스터 어레이(112), 그리고, 상부기관(120)에 서로 교차배치되어 형성되는 제2 게이트라인(GL2)와 제2 데이터라인(DL) 및 제2 게이트라인(GL2)와 제2 데이터라인(DL)이 교차하는 영역에 형성되는 복수의 제2 트랜지스터(1231, 1232)를 포함하여, 복수의 제2 화소(P2, 141, 143) 각각의 광투과율을 제어하는 제2 트랜지스터 어레이(123)을 포함하여 이루어진다. 여기서, 제1 트랜지스터 어레이(112)와 제2 트랜지스터 어레이(123)은 서로 중첩되도록 배치되어, 표시영역에 제1 트랜지스터 어레이(112)와 제2 트랜지스터 어레이(123)가 배치됨에 따른 실질적으로 광이 방출될 수 있는 화소영역의 면적이 감소되는 것을 최소화함으로써, 최대 개구율이 증가되도록 한다.

[0028] 그리고, 본 발명의 실시예에 따른 액정표시장치(100)는, 서로 중첩하는 제1 트랜지스터 어레이(112)와 제2 트랜지스터 어레이(123)에 대응하는 영역, 즉, 화소영역 외곽에서의 빛샘을 방지하도록, 상부기관(120)과 제2 트랜지스터 어레이(123) 사이에 형성되는 블랙매트릭스층(121), 제1 트랜지스터 어레이(112)를 포함한 제1 지지기관(111)의 전면에 형성되는 제1 보호층(Pass1), 복수의 제1 화소(142, 144)와 복수의 제2 화소(141, 143)에 각각 대응하는 과장영역의 광을 방출하도록, 제1 보호층(Pass1) 상에 형성되는 컬러필터층(CF), 컬러필터층(CF) 상에 평평하게 형성되는 오버코트층(OC), 오버코트층(OC) 상에 복수의 제1 화소(142, 144)에 각각 대응하고, 서로 교번하여 형성되는 복수의 제1 화소전극(PX)과 복수의 제1 공통전극(CX), 제2 트랜지스터 어레이(123)를 포함한 제2 지지기관(121)의 전면에 형성되는 제2 보호층(Pass2) 및 제2 보호층(Pass2) 상에 복수의 제2 화소(141, 143)에 각각 대응하고, 서로 교번하여 형성되는 복수의 제2 화소전극(PX)과 복수의 제2 공통전극(CX)을 더 포함하여 이루어진다.

[0029] 앞서 언급한 바와 같이, 본 발명의 실시예에 따르면, 액정표시장치의 전체 화소들이 복수의 제1 화소(P1)와 복수의 제2 화소(P2)로 구분된다.

[0030] 이에 따라, 도 4에 도시된 바와 같이, 본 발명의 실시예에 따른 액정표시장치는, 하부기관(110)과 상부기관(120) 각각에 서로 중첩하도록 형성되는 제1, 2 데이터라인(DL)에 동일한 데이터신호를 인가하고, 하부기관(110)과 상부기관(120) 각각에 서로 중첩하도록 형성되는 제1 게이트라인(GL1)과 제2 게이트라인(GL2)에 서로 다른 게이트신호를 인가함으로써, 전체 화소가 개개로 구동될 수 있다.

[0031] 즉, 제어부(200, Controller)의 제어신호에 따라, 게이트구동부(210, Gate Driver)는, 제1 게이트라인(GL1)을 통해 하부기관(110) 상에 형성되는 제1 트랜지스터 어레이(112)에 제1 게이트신호를 인가하고, 제2 게이트라인(GL2)을 통해 상부기관(120) 상에 형성되는 제2 트랜지스터 어레이(123)에 제2 게이트신호를 인가한다. 그리고, 제어부(200, Controller)의 제어신호에 따라, 소스구동부(220, Source Driver)는 제1 트랜지스터 어레이(112)와 제2 트랜지스터 어레이(123)에 제1, 2 데이터신호(DL)를 인가한다.

[0032] 그리고, 구체적으로 도시되어 있진 않으나, 게이트구동부(210)는 하부기관(110) 상에 제1 게이트라인(GL1)과 함께 형성되는 게이트패드(미도시)에 연결되고, 소스구동부(220)는 하부기관(110) 상에 형성되는 데이터패드(미도시)에 연결된다. 이때, 게이트패드(미도시)는 제1 트랜지스터 어레이(112)에 대응하는 제1 게이트패드와 제2 트랜지스터 어레이(123)에 대응하는 제2 게이트패드로 구분된다. 즉, 게이트구동부(210) 및 소스구동부(220)와 각각 연결되는 제1, 2 게이트패드 및 데이터패드(미도시)는 모두 하부기관(110) 상에 형성된다.

[0033] 이에 따라, 본 발명의 실시예에 따른 액정표시장치는, 하부기관(110) 상에 형성되는 제2 게이트패드(미도시)와 데이터패드(미도시)를, 상부기관(120)에 형성되는 제2 트랜지스터 어레이(123)와 연결하기 위한 연결블록을 더 포함하여 이루어진다.

[0034] 도 7은 도 6에 도시된 제1 트랜지스터 어레이 및 제2 트랜지스터 어레이와 게이트패드의 연결형태를 나타낸 모식도이고, 도 8은 도 6에 도시된 제1 트랜지스터 어레이 및 제2 트랜지스터 어레이와 데이터패드의 연결형태를 나타낸 모식도이다. 그리고, 도 9는 도 7 및 도 8에 도시된 연결블록의 사시도이다.

[0035] 즉, 도 7에서 점선으로 도시된 바와 같이, 하부기관(110) 상에 형성되어, 게이트구동부(210)와 연결되는 전체 게이트패드(211) 중에서, 제1 트랜지스터 어레이(112)에 대응하는 제1 게이트패드(2111)는 제1 게이트라인(DL1)과 연결되도록 함께 형성된다. 그리고, 전체 게이트패드(211) 중에서, 제2 트랜지스터 어레이(123)에 대응하는 제2 게이트패드(2112)는 연결블록(300)의 도전체(310)에 접촉하는 연장선과 연결된다. 또한, 도 7에서 실선으로 도시한 바와 같이, 연결블록(300)의 도전체(310)와 제2 트랜지스터 어레이(123)에 대응하는 제2 게이트라인(GL2)가 연결된다. 즉, 연결블록(300)의 도전체(310)는 하부기관(110) 상에서 제2 게이트패드(2112)의 연장선

과 접촉하고, 상부기관(120) 상에서 제2 게이트라인(GL2)과 접촉함으로써, 제2 게이트패드(2112)와 제2 게이트라인(GL2)은 연결블록(300)의 도전체(310)를 통해 서로 연결된다. 이와 같이, 연결블록(300)에 의해, 상부기관(120)에 형성되는 제2 트랜지스터 어레이(123)는 하부기관(110)에 형성되는 제2 게이트패드(2112)와 연결되어 제2 게이트라인(GL2)에 제2 게이트신호를 인가받을 수 있다. 이때, 연결블록(300)은, 복수의 제2 게이트라인(GL2)에 각각 대응하는 복수의 도전체(310)를 포함하여 이루어지고, 복수의 도전체(310)는 그 사이에 배치되는 복수의 부도체(320)에 의해 서로 절연된다.

[0036] 또한, 도 8에서 점선으로 도시된 바와 같이, 하부기관(110) 상에 형성되어, 소스구동부(220)와 연결되는 데이터패드(221)는, 제1 트랜지스터 어레이(112)의 제1 데이터라인(DL1)과 연결되도록 함께 형성되고, 연결블록(300)의 도전체(310)는 제1 데이터라인(DL1)과 접촉한다. 그리고, 도 8에서 실선으로 도시된 바와 같이, 연결블록(300)의 도전체(310)와 제2 트랜지스터 어레이(123)에 대응하는 제2 데이터라인(DL2)가 연결된다. 즉, 연결블록(300)의 도전체(310)는 하부기관(110) 상에서 제1 데이터라인(DL1)과 접촉하고, 상부기관(120) 상에서 제2 데이터라인(DL2)과 접촉함으로써, 데이터패드(221)와 제2 데이터라인(DL2)은 연결블록(300)의 도전체(310)를 통해 연결된다. 이때, 연결블록(300)은 복수의 데이터라인에 각각 대응하는 복수의 도전체(310)를 포함하여 이루어지고, 복수의 도전체(310)는 그 사이에 배치되는 복수의 부도체(320)에 의해 서로 절연된다.

[0037] 이와 같이, 하부기관(110)에 형성되는 제2 게이트패드(2112)/데이터패드(221)와 제2 게이트라인(GL2)/제2 데이터라인(DL2)에 각각 연결하도록 구비되는 연결블록(300)은, 도 9에 도시된 바와 같이, 직육면체 형상의 도전체(310)와 부도체(320)가 교번하여, 전체적으로 하부기관(110)과 상부기관(120) 사이의 간격에 해당하는 높이의 직육면체 형상을 갖는다. 이때, 사이에 부도체(320)를 두고 서로 이웃한 도전체(310) 사이의 간격, 즉, 부도체(320)의 두께는 제2 게이트패드(2112) 간의 이격거리 또는 데이터패드(221) 간의 이격거리에 대응한다.

[0038] 한편, 도 5 및 도 6에서는, 컬러필터층(CF)은 하부기관(110) 상에 형성되는 것으로 도시되었으나, 이와 달리, 컬러필터층(CF)이 상부기관(120) 상에 형성되는 것도 가능하다.

[0039] 도 10은 본 발명의 다른 실시예에 따른 액정표시장치의 단면도이다.

[0040] 도 10에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 액정표시장치(101)는, 컬러필터층(CF)이 하부기관(110)이 아닌 상부기관(120)에 형성되는 점을 제외하고는, 도 5 및 도 6에 도시된 액정표시장치와 동일하므로, 이하에서 중복되는 설명은 생략하기로 한다.

[0041] 즉, 본 발명의 다른 실시예에 따른 액정표시장치(101)는, 서로 대향하는 하부기관(110)과 상부기관(120), 하부기관(110)과 상부기관(120) 사이에 충전되는 액정층(130), 하부기관(110)에 서로 교차배치되어 형성되는 제1 게이트라인(미도시)과 제1 데이터라인(미도시) 및 제1 게이트라인(미도시)과 제1 데이터라인(미도시)이 교차하는 영역에 형성되는 복수의 제1 트랜지스터(1121, 1122)를 포함하여 복수의 제1 화소(142, 144) 각각의 광투과율을 제어하는 제1 트랜지스터 어레이(112), 그리고, 상부기관(120)에 서로 교차배치되어 형성되는 제2 게이트라인(미도시)과 제2 데이터라인(미도시) 및 제2 게이트라인(미도시)과 제2 데이터라인(미도시)이 교차하는 영역에 형성되는 복수의 제2 트랜지스터(1231, 1232)를 포함하여 복수의 제2 화소(141, 143) 각각의 광투과율을 제어하는 제2 트랜지스터 어레이(123)를 포함하여 이루어진다. 여기서, 제1 트랜지스터 어레이(112)와 제2 트랜지스터 어레이(123)은 서로 중첩되도록 형성된다.

[0042] 그리고, 본 발명의 다른 실시예에 따른 액정표시장치(101)는, 서로 중첩하는 제1 트랜지스터 어레이(112)와 제2 트랜지스터 어레이(123)에 대응하는 영역에서의 빛샘을 방지하도록 제2 지지기관(121)과 제2 트랜지스터 어레이(123) 사이에 형성되는 블랙매트릭스층(122) 및 제2 지지기관(121)에 제2 트랜지스터 어레이(123)와 중첩되도록 형성되어, 복수의 제1 화소(142, 144)와 복수의 제2 화소(141, 143)에 각각 대응하는 파장영역의 광을 방출하는 컬러필터층(CF)을 더 포함한다.

[0043] 즉, 도 6에서 구체적으로 도시되어 있지 않으나, 본 발명의 다른 실시예에 따른 액정표시장치(101)는, 제1 트랜지스터 어레이(112)를 포함한 하부기관(110)의 전면에 형성되는 제1 보호층(Pass1), 제1 보호층(Pass1) 상에 복수의 제1 화소(142, 144)에 각각 대응하고 서로 교번하여 형성되는 복수의 제1 화소전극(PX)과 복수의 제1 공통전극(CX), 제2 지지기관(121)의 배면과 제2 트랜지스터 어레이(123) 사이에 제1 트랜지스터 어레이(112)와 중첩하도록 형성되는 블랙매트릭스층(122), 제2 트랜지스터 어레이(123)를 포함한 상부기관(120)의 전면에 형성되는 제2 보호층(Pass2), 제2 보호층(Pass2) 상에 복수의 제1 화소(142, 144)와 복수의 제2 화소(141, 143)에 각각 대응하는 파장영역의 광을 방출하도록 형성되는 컬러필터층(CF), 컬러필터층(CF) 상에 평평하게 형성되는 오버코트층(OC) 및 오버코트층(OC) 상에 복수의 제2 화소(141, 143)에 각각 대응하고 서로 교번하여 형성되는

복수의 제2 화소전극(PX)과 복수의 제2 공통전극(CX)을 더 포함하여 이루어진다. 이때, 오버코트층(OC) 상에 형성되는 복수의 제2 화소전극(PX)은 제2 트랜지스터(1231, 1232)의 드레인전극(D)의 일부 영역에 각각 대응하여 제2 보호층(Pass2)과 오버코트층(OC)에 형성되는 콘택홀(미도시)을 통해 제2 트랜지스터(1231, 1232)의 드레인전극(D)과 각각 연결된다.

[0044] 이상과 같이, 본 발명의 실시예 및 다른 실시예에 따르면, 복수의 제1 화소(142, 144)와 복수의 제2 화소(141, 143)를 각각 제어하는 제1 트랜지스터 어레이(112)와 제2 트랜지스터 어레이(123)이 서로 중첩되도록 형성된다. 그리고, 표시영역 상에 배치되는 제1 트랜지스터 어레이(112)와 제2 트랜지스터 어레이(123)에 대응하는 영역에서, 빔샘을 차단하기 위하여, 블랙매트릭스층(122)이 제1 트랜지스터 어레이(112) 및 제2 트랜지스터 어레이(123)에 중첩하여 형성된다.

[0045] 도 11은, 도 4 내지 도 10에 도시된 액정표시장치에 있어서, 블랙매트릭스층을 나타낸 평면도이다.

[0046] 도 11에서, 실선은 제1, 2 게이트라인(GL1, GL2)과 제1, 2 데이터라인(DL1, DL2)를 커버하는 블랙매트릭스층(122)의 일부를 나타내고, 실선이 교차하는 영역에 배치되는 직사각형 부분은 제1 트랜지스터(1121, 1122) 및 2 트랜지스터(1231, 1232)를 커버하는 블랙매트릭스층(122)의 다른 일부를 나타낸다. 그리고 점선은, 제1, 2 게이트라인(GL1, GL2)이 중첩되어, 제1, 2 게이트라인(GL1, GL2)으로 정의되지 않는 복수의 제1 화소영역(P1)과, 제2 화소영역(P2)을 구분하기 위한 경계선이다.

[0047] 도 3에 도시된 바와 같이, 종래의 블랙매트릭스층(15)은 게이트라인, 데이터라인 및 트랜지스터 각각이 갖는 전체 면적에 대응하도록 형성되는 반면, 도 11에 도시된 바와 같이, 본 발명의 실시예에 따른 블랙매트릭스층(122)은 제1, 2 게이트라인, 제1, 2 트랜지스터가 갖는 전체 면적의 절반에 대응하도록 형성된다. 그러므로, 본 발명의 실시예에 따르면, 제1 트랜지스터 어레이(112)와 제2 트랜지스터 어레이(123)가 중첩되는 영역만큼, 블랙매트릭스층(122)의 면적이 감소되어, 최대개구율이 증가된다.

[0048] 이에 따라, 표시영역에서, 제1 트랜지스터 어레이(112)와 제2 트랜지스터 어레이(123)이 차지하는 영역이 감소되어, 블랙매트릭스층(122)에 의해 빔샘이 차단되는 영역이 감소되므로, 그만큼 표시영역에서 광이 방출되는 화소영역이 차지하는 면적이 증가하게 됨으로써, 최대개구율이 증가하고, 이에 따라 화질이 향상될 수 있다.

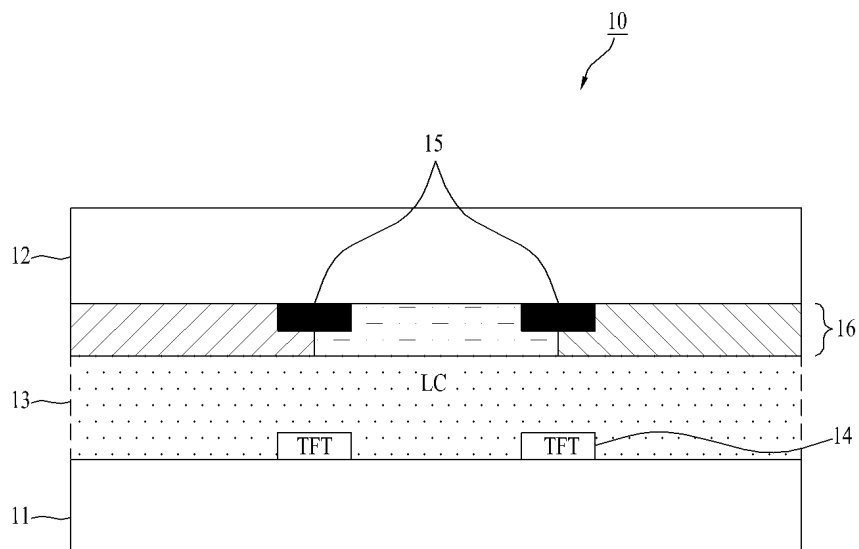
[0049] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다.

부호의 설명

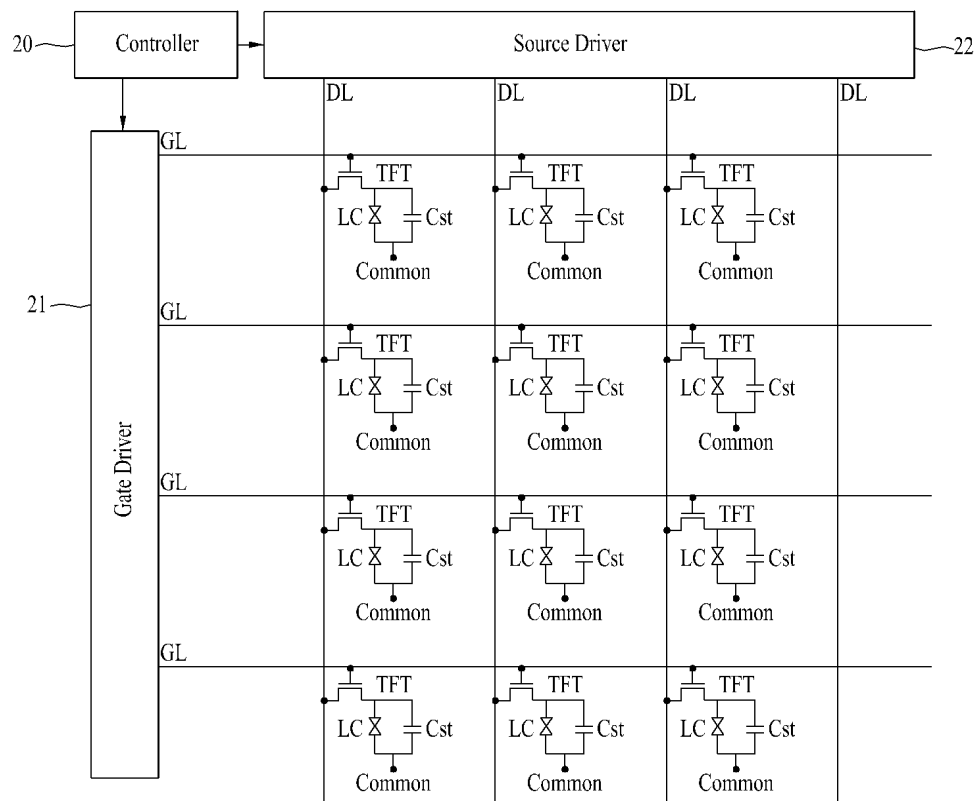
[0050]	100: 액정표시장치	110: 하부기판
	112: 제1 트랜지스터 어레이	120: 상부기판
	122: 블랙매트릭스층	123: 제2 트랜지스터 어레이
	P1, 142, 144: 제1 화소	P2, 141, 143: 제2 화소

도면

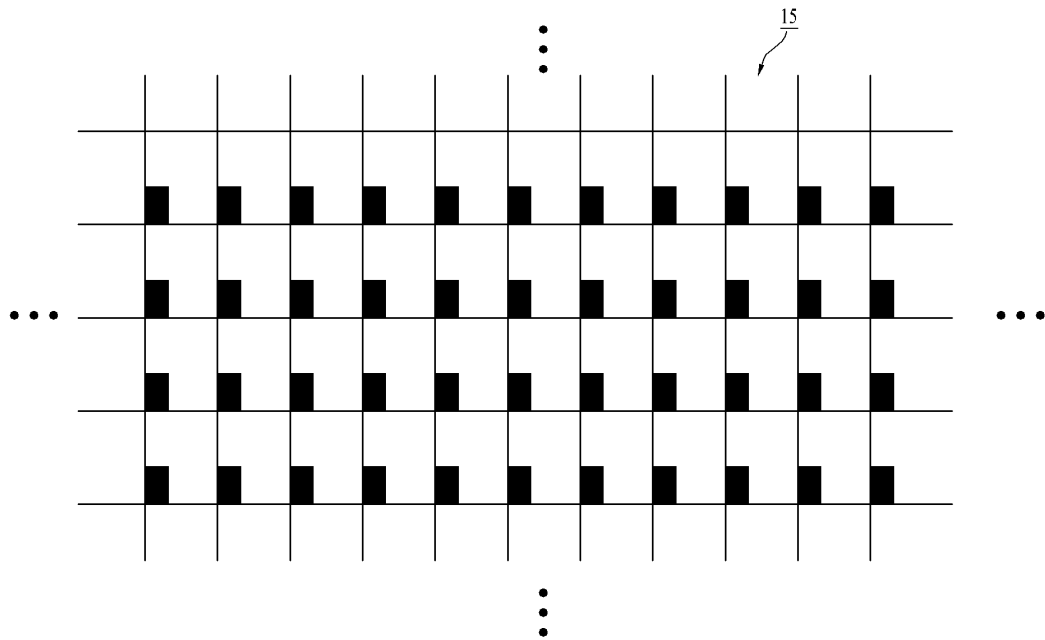
도면1



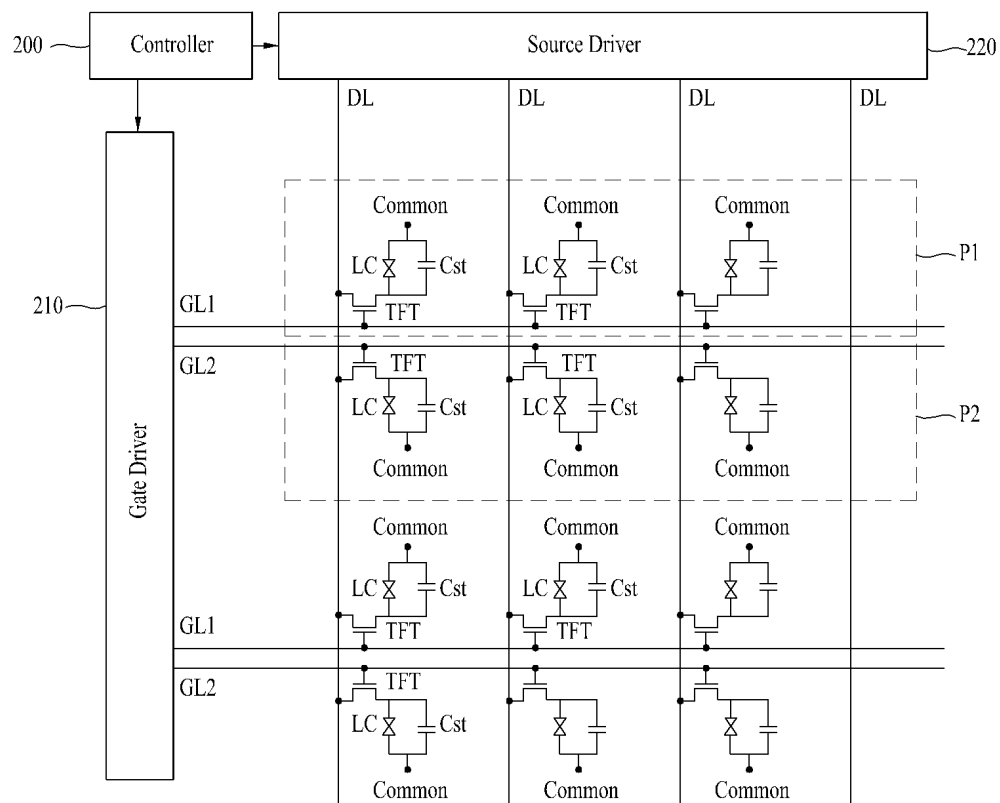
도면2



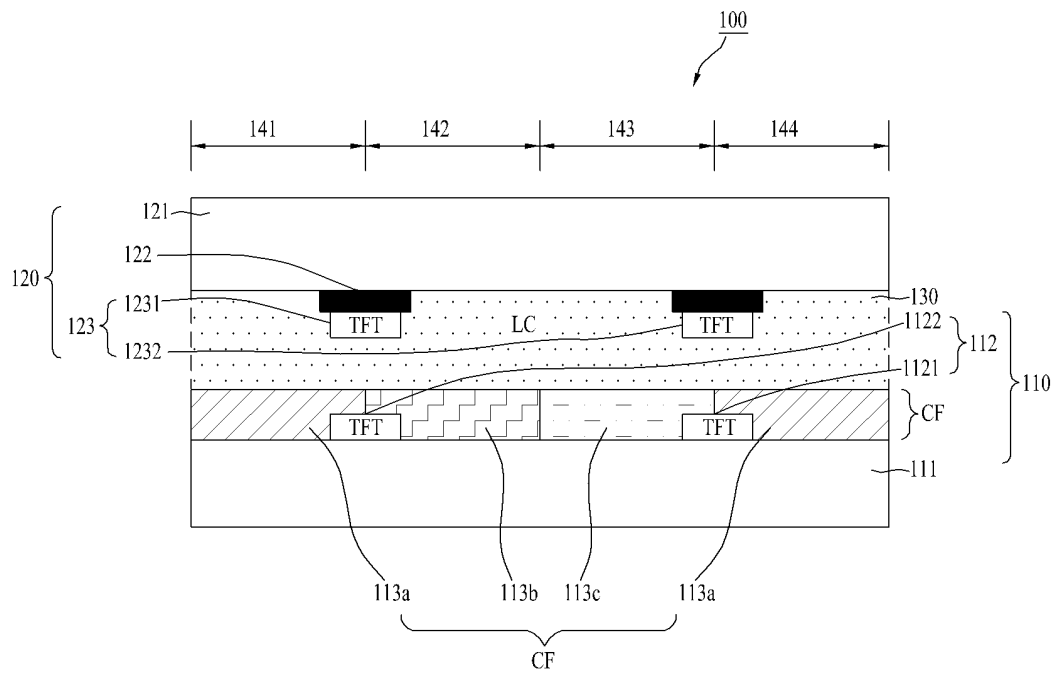
도면3



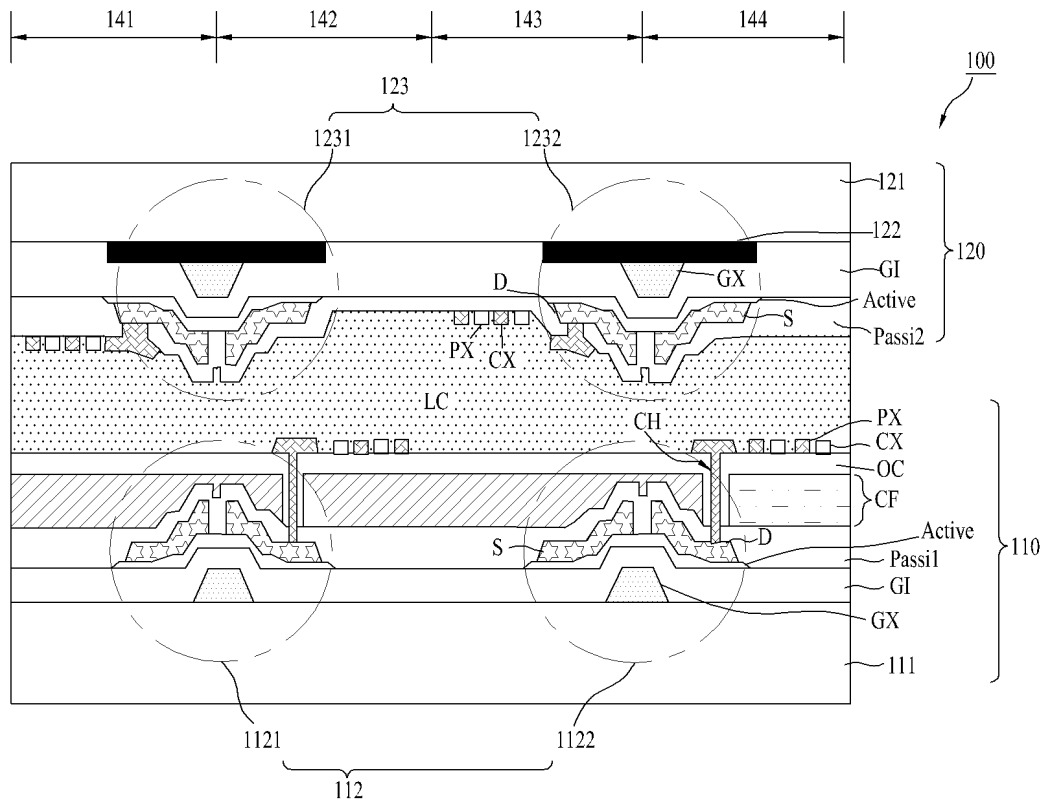
도면4



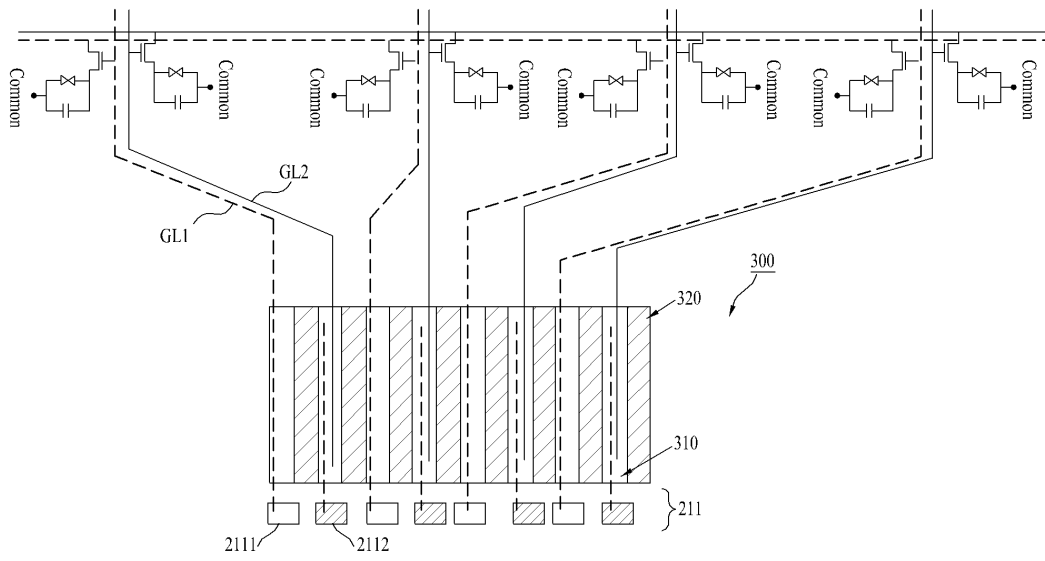
도면5



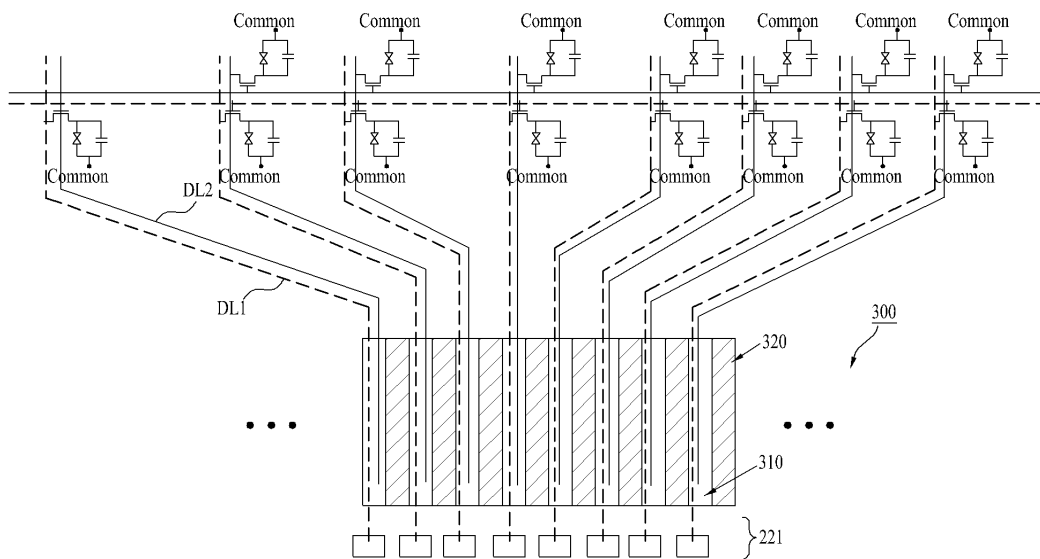
도면6



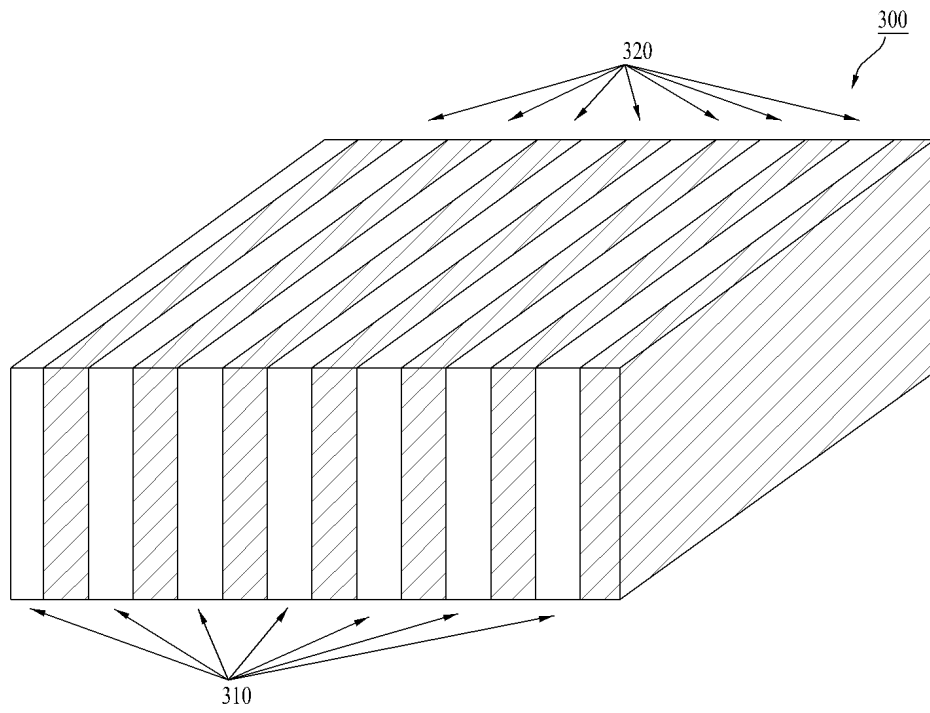
도면7



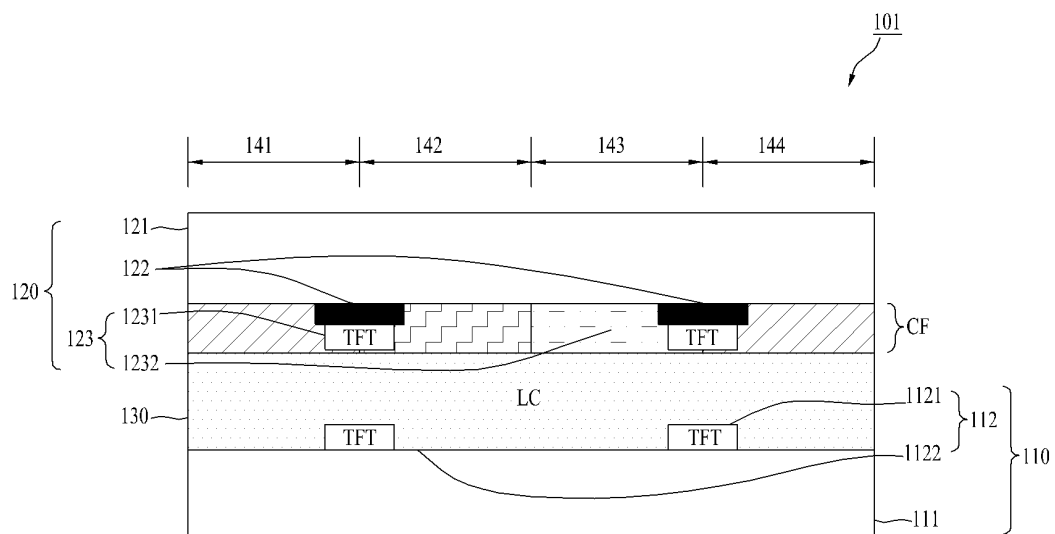
도면8



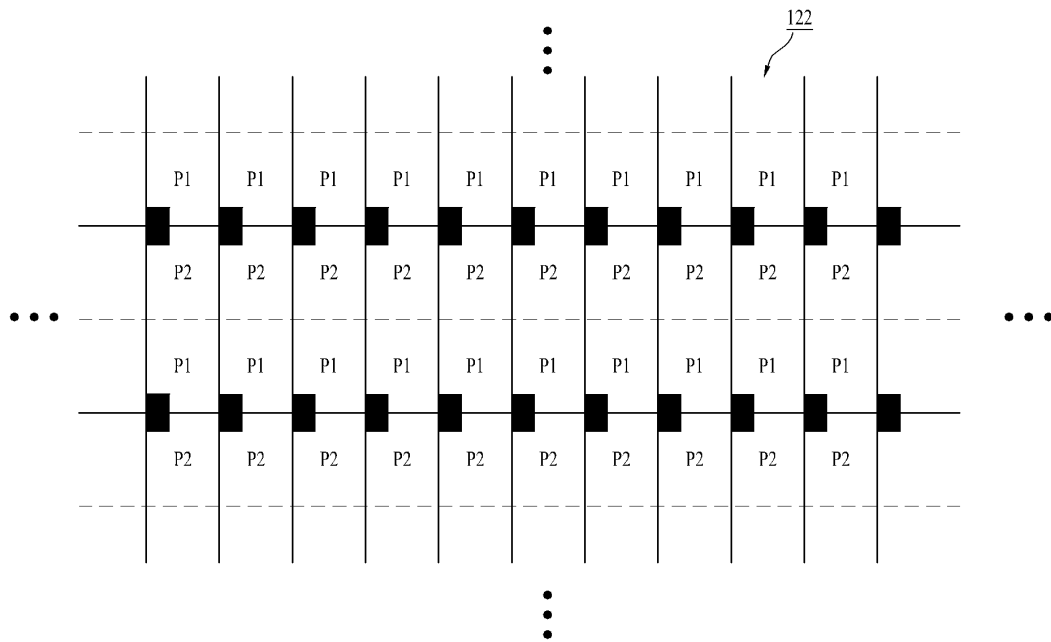
도면9



도면10



도면11



专利名称(译)	液晶显示器		
公开(公告)号	KR1020120008318A	公开(公告)日	2012-01-30
申请号	KR1020100069107	申请日	2010-07-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SE YOUNG 김세영		
发明人	김세영		
IPC分类号	G02F1/133 G02F1/1362 G02F1/1368 G02F1/1335 G02F1/1333 G09G3/36 G02F1/1345		
CPC分类号	G02F1/13306 G02F1/136209 G02F1/1368 G02F1/133514 G02F1/133345 G09G3/3648 G09G3/3655		
代理人(译)	Bakyoungbok		
其他公开文献	KR101675851B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置，以增加显示区域中像素区域的尺寸，与第一和第二晶体管阵列之间的重叠区域的尺寸一样多。结构：第一晶体管阵列（112）包括第一栅极线，第一数据线和多个第一晶体管（1121,1122）。第一晶体管阵列控制每个第一像素的透光率。第二晶体管阵列（123）包括第二栅极线，第二数据线和多个第二晶体管（1231,1232）。第二晶体管阵列控制放置在第一像素之后的每个第二像素的透光率。COPYRIGHT KIPO 2012

