



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0102673
(43) 공개일자 2011년09월19일

(51) Int. Cl.

G02F 1/1345 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2010-0021813

(22) 출원일자 2010년03월11일

심사청구일자 2010년03월11일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

이광세

충청남도 천안시 서북구 성성동 508번지

(74) 대리인

신영무

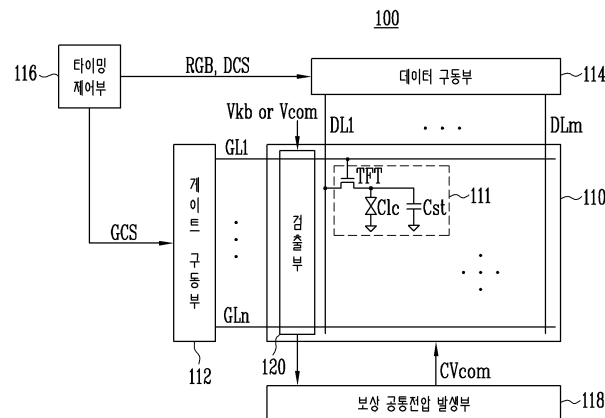
전체 청구항 수 : 총 9 항

(54) 액정표시장치

(57) 요약

본 발명의 실시예에 의한 액정표시장치는, 복수의 화소들이 형성된 액정표시패널과; 상기 액정표시패널 내의 일 측에 구비되어 킥백전압의 편차를 검출하는 검출부와; 상기 검출부에 의해 검출된 킥백전압의 편차 정도를 반영하여 상기 액정표시패널에 인가되는 공통전압을 조절하는 보상 공통 전압 발생부가 포함되며, 상기 검출부는 적어도 하나 이상의 검출 화소를 포함하며, 상기 검출 화소는 상기 액정표시패널에 배열된 게이트 라인 및 상기 액정표시패널 끝단의 데이터 라인에 인접하여 배열된 검출라인과 연결된다.

대표도 - 도3



특허청구의 범위

청구항 1

복수의 화소들이 형성된 액정표시패널과;

상기 액정표시패널 내의 일측에 구비되어 킥백전압의 편차를 검출하는 검출부와;

상기 검출부에 의해 검출된 킥백전압의 편차 정도를 반영하여 상기 액정표시패널에 인가되는 공통전압을 조절하는 보상 공통 전압 발생부가 포함되며,

상기 검출부는 적어도 하나 이상의 검출 화소를 포함하며, 상기 검출 화소는 상기 액정표시패널에 배열된 게이트 라인 및 상기 액정표시패널 끝단의 데이터 라인에 인접하여 배열된 검출라인과 연결됨을 특징으로 하는 액정표시장치.

청구항 2

제 1항에 있어서,

상기 검출 화소에는 상기 액정표시패널에 구비된 화소들과 동일한 공정으로 구현되는 박막트랜지스터가 포함됨을 특징으로 하는 액정표시장치.

청구항 3

제 1항에 있어서,

상기 검출부는 하나의 게이트 라인 및 검출라인과 연결된 하나의 검출 화소로 구현됨을 특징으로 하는 액정표시장치.

청구항 4

제 3항에 있어서,

상기 하나의 게이트 라인은 상기 액정표시패널 끝단에 배열된 게이트 라인임을 특징으로 하는 액정표시장치.

청구항 5

제 3항에 있어서,

상기 검출 화소는 상기 게이트 라인에 게이트 전극이 연결되고, 상기 검출 라인에 소스 전극이 연결되며, 드레인 전극으로 출력되는 전압 값을 상기 보상 공통전압 발생부로 제공하는 박막트랜지스터를 포함함을 특징으로 하는 액정표시장치.

청구항 6

제 3항에 있어서,

상기 검출라인으로 기 설정된 킥백 전압이 인가됨을 특징으로 하는 액정표시장치.

청구항 7

제 1항에 있어서,

상기 검출부는 복수의 게이트 라인들 및 검출라인과 각각 연결된 복수의 검출 화소들로 구현됨을 특징으로 하는 액정표시장치.

청구항 8

제 7항에 있어서,

상기 검출 화소들은 각각 대응되는 게이트 라인들에 게이트 전극이 연결되고, 상기 검출 라인에 소스 전극이 연결되며, 드레인 전극으로 출력되는 전압 값을 상기 보상 공통전압 발생부로 제공하는 박막트랜지스터를 포함함

을 특징으로 하는 액정표시장치.

청구항 9

제 7항에 있어서,

상기 검출라인으로 기 설정된 공통전압이 인가됨을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명의 실시예들은 액정표시장치에 관한 것으로, 특히 킥백 전압으로 인한 화질 저하를 최소화하는 액정표시장치에 관한 것이다.

배경기술

[0002] 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하는 평판표시장치이며, 이는 액정셀들이 매트릭스 형태로 배열된 액정표시패널과, 상기 액정표시패널을 구동하기 위한 구동회로를 구비한다.

[0003] 도 1은 액정표시패널에 구비된 화소를 등가적으로 나타내는 회로도이다.

[0004] 도 1을 참조하면, 액정표시패널은 게이트라인(GL) 및 이와 교차하는 데이터 라인(DL)과, 상기 게이트라인(GL) 및 데이터라인(DL)의 교차부에 형성되어 액정셀(Clc)을 구동하는 박막트랜지스터(Thin Film Transistor; TFT)를 구비한다. 또한, 액정표시패널은 액정셀(Clc)의 전압을 유지하기 위한 스토리지 캐패시터(Storage Capacitor: Cst)를 더 구비한다.

[0005] 상기 액정셀(Clc)은 화소전극에 데이터전압이 인가되고 공통전극에 공통전압(Vcom)이 인가될 때 액정층에 인가되는 전계에 의해 액정분자들의 배열이 바뀌면서 투과되는 빛의 광량을 조절하거나 빛을 차단하며, 상기 데이터전압은 액정셀(Clc)의 구동전압특성에 맞게 미리 설정된 감마전압으로 공급된다.

[0006] 도 2는 도 1에 도시된 화소 구동시 파형을 도시한 파형도로서, 이는 게이트라인(GL)에 공급되는 주사신호(SCP)와 액정셀에 충전되는 전압(Vlc)을 나타낸다.

[0007] 도 2를 참조하면, 주사신호(SCP)는 TFT를 턴-온(Turn-on)시키기 위한 전압으로 설정된 게이트 하이전압(Vgh)과, TFT를 턴-오프(Turn-off)시키기 위한 전압으로 설정된 게이트 로우전압(Vgl) 사이에서 스위칭된다.

[0008] 상기 주사신호(SCP)가 게이트 하이전압(Vgh)을 유지하는 주사기간 동안 액정셀(Vlc)은 감마전압으로 공급되는 데이터 신호(Vdata)를 충전하고, 상기 충전된 전압을 스토리지 캐패시터(Cst)에 충전된 전압으로 일정시간 유지한다.

[0009] 단, 액정셀에 동일한 극성의 전압이 지속적으로 인가되면 액정과 표시화상이 열화되므로, 액정표시장치는 극성이 주기적으로 반전되는 교류 데이터신호(Vdata)로 액정셀을 구동한다.

[0010] 이와 같은 반전 구동은 프레임 인버전, 라인 인버전, 도트 인버전 방식 등으로 구현되며, 일 예로 프레임 인버전 방식의 경우 상기 데이터신호는 도시된 바와 같이 한 프레임마다 극성이 반전된다.

[0011] 이 때, 공통전압(Vcom)은 동일한 레벨의 직류 전압으로 제공될 수도 있으나, 도시된 바와 같이 공통전압(Vcom)의 극성을 데이터신호(Vdata)의 극성과 반대되도록 반전되어 제공될 수 있다.

[0012] 그러나, 이 경우 TFT의 기생용량으로 인하여 발생하는 킥백 전압(Kickback Voltage, Vkb)은 액정표시장치의 화질을 저해하는 주요인으로 작용하며, 상기 킥백 전압(Vkb)은 하기된 [수학식 1]로 정의된다.

수학식 1

$$V_{kb} = \frac{C_{gd}}{C_{gd} + C_{lc} + C_{st}} (V_{gh} - V_{gl})$$

[0013]

[0014] 여기서, Cgd는 도 1에 도시된 바와 같이 게이트라인에 접속된 TFT의 게이트 전극과 드레인 전극 사이에 형성되는 기생용량이다. 또한, Clc는 액정용량이고, Cst는 스토리지 용량이다.

[0015] 상기 킥백 전압(Vkb)으로 인하여 액정셀의 화소전극에 인가되는 데이터 신호가 변동되어 표시화상에서 플리커와 잔상이 나타나는 단점이 발생된다. 예를 들면, 60Hz로 데이터신호(Vdata)의 극성이 반전된다면 킥백 전압으로 인하여 기수 프레임과 우수 프레임 사이에 휘도차가 발생되어 30Hz 플리커가 표시화상에 나타나게 되며, 이러한 상태로 장시간 액정표시장치가 동작하면 액정셀에 직류오프셋(DC offset)이 인가되어 액정셀의 전압 대 투과율 특성이 쉬프트되고 잔상(Image Sticking)이 발생할 수 있다.

[0016] 종래의 경우 상기 킥백 전압(Vkb)에 의한 문제점을 극복하기 위해 미리 발생될 킥백 전압을 계산하여 이를 데이터신호(Vdata)에 반영하였으나, 이는 상기 킥백 전압이 TFT 기판 제조 공정에서 발생하는 설계 오차에 의해 발생하는 편차를 반영하지 못한다는 단점이 있다.

발명의 내용

해결하려는 과제

[0017] 본 발명의 실시예들은 킥백 전압의 편차를 검출하여 이를 공통전압에 반영함으로써, 킥백 전압에 의한 화질 저하를 최소화하는 액정표시장치를 제공한다.

과제의 해결 수단

[0018] 본 발명의 실시예들에 따르면, 액정표시장치는, 복수의 화소들이 형성된 액정표시패널과; 상기 액정표시패널 내의 일측에 구비되어 킥백전압의 편차를 검출하는 검출부와; 상기 검출부에 의해 검출된 킥백전압의 편차 정도를 반영하여 상기 액정표시패널에 인가되는 공통전압을 조절하는 보상 공통 전압 발생부가 포함되며, 상기 검출부는 적어도 하나 이상의 검출 화소를 포함하며, 상기 검출 화소는 상기 액정표시패널에 배열된 게이트 라인 및 상기 액정표시패널 끝단의 데이터 라인에 인접하여 배열된 검출라인과 연결된다.

[0019] 이 때, 상기 검출 화소에는 상기 액정표시패널에 구비된 화소들과 동일한 공정으로 구현되는 박막트랜지스터가 포함된다.

[0020] 또한, 상기 검출부는 하나의 게이트 라인 및 검출라인과 연결된 하나의 검출 화소로 구현되며, 상기 하나의 게이트 라인은 상기 액정표시패널 끝단에 배열된 게이트 라인이다.

[0021] 또한, 상기 검출 화소는 상기 게이트 라인에 게이트 전극이 연결되고, 상기 검출 라인에 소스 전극이 연결되며, 드레인 전극으로 출력되는 전압 값을 상기 보상 공통전압 발생부로 제공하는 박막트랜지스터를 포함하며, 상기 검출라인으로 기 설정된 킥백 전압이 인가된다.

[0022] 또는, 상기 검출부가 복수의 게이트 라인들 및 검출라인과 각각 연결된 복수의 검출 화소들로 구현될 수 있으며, 이 경우 상기 검출 화소들은 각각 대응되는 게이트 라인들에 게이트 전극이 연결되고, 상기 검출 라인에 소스 전극이 연결되며, 드레인 전극으로 출력되는 전압 값을 상기 보상 공통전압 발생부로 제공하는 박막트랜지스터를 포함한다.

[0023] 이 때, 상기 검출라인으로 기 설정된 공통전압이 인가된다.

발명의 효과

[0024] 이와 같은 본 발명의 실시예에 의하면, 제조 공정 중 발생하는 킥백 전압의 편차를 시스템의 추가 또는 공정 시간의 연장 없이 액정패널을 통해 검출하여 이를 공통전압에 반영하여 보상함으로써, 액정표시패널 별로 공통 전압을 최적화할 수 있어 킥백 전압으로 인한 화질 저하 즉, 플리커 및 잔상을 최소화하는 장점이 있다.

도면의 간단한 설명

[0025] 도 1은 액정표시패널에 구비된 화소를 등가적으로 나타내는 회로도.

도 2는 도 1에 도시된 화소 구동시 파형을 도시한 파형도.

도 3은 본 발명의 실시예에 의한 액정표시장치의 구성을 나타내는 블록도.

도 4는 도 3에 도시된 액정표시패널의 제 1실시예의 구성을 나타내는 회로도.

도 5는 도 4의 실시예에 의한 화소 구동시 파형을 도시한 파형도.

도 6은 도 3에 도시된 액정표시패널의 제 2실시예의 구성을 나타내는 회로도.

도 7은 도 6의 실시예에 의한 화소 구동시 파형을 도시한 파형도.

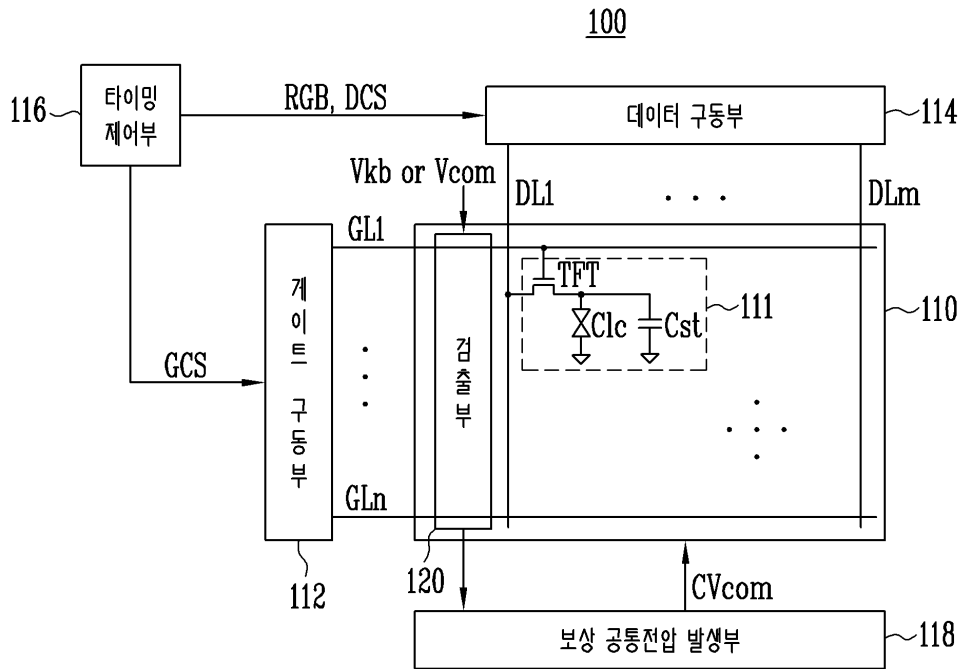
발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.
- [0027] 도 3은 본 발명의 실시예에 의한 액정표시장치의 구성을 나타내는 블록도이다.
- [0028] 도 3을 참조하면, 본 발명의 실시예에 의한 액정표시장치(100)는, 복수의 화소(111)들이 포함되는 액정표시패널(110)과, 상기 액정표시패널(110)의 데이터라인들(DL1 내지 DLm)에 데이터 신호를 공급하기 위한 데이터 구동부(114)와, 게이트라인들(GL1 내지 GLn)에 주사신호를 공급하기 위한 게이트 구동부(112)와, 외부로부터 공급되는 동기신호를 이용하여 데이터 구동부(114)와 게이트 구동부(112)를 제어하기 위한 타이밍 제어부(116)와, 액정표시패널(110) 내의 일측에 구비되어 킥백 전압의 편차를 검출하는 검출부(120)와; 상기 검출부(120)에 의해 검출된 킥백 전압 편차 정도를 반영하여 공통전압을 조절하는 보상 공통 전압 발생부(118)를 구비한다.
- [0029] 타이밍 제어부(116)는 외부 즉, 시스템의 그래픽 제어부로부터 입력되는 디지털 비디오 데이터(RGB)를 재정렬하여 데이터 구동부(114)에 공급하며, 또한 게이트 구동부(112)를 제어하기 위한 게이트 제어신호(Gate Control Signal, GCS)와 데이터 구동부(114)를 제어하기 위한 데이터 제어신호(Data Control Signal, DCS)를 발생한다.
- [0030] 이 때, 상기 게이트 구동부(112)를 제어하기 위한 게이트 제어신호(GCS)에는 게이트 스타트 펄스(Gate Start Pulse: GSP), 게이트 쉬프트 클럭(Gate Shift Clock: GSC), 게이트 출력 신호(Gate Output Enable: GOE) 등이 포함된다.
- [0031] 또한, 데이터 구동부(114)를 제어하기 위한 데이터 제어신호(DCS)에는 소스 스타트 펄스(Source Start Pulse: SSP), 소스 쉬프트 클럭(Source Shift Clock: SSC), 소스 출력 신호(Source Output Enable: SOE) 및 극성신호(Polarity: POL) 등이 포함된다.
- [0032] 상기 데이터 구동부(114)는 타이밍 제어부(116)로부터의 데이터 제어신호(DCS)에 응답하여 디지털 비디오 데이터(R,G,B)를 계조값에 대응하는 아날로그 감마 전압으로 변환하고 그 아날로그 감마전압을 데이터라인들(DL1 내지 DLm)에 공급한다.
- [0033] 또한, 상기 게이트 구동부(112)는 타이밍 제어부(116)로부터의 게이트 제어신호(GCS)에 응답하여 주사신호를 게이트라인들(GL1내지 GLn)에 순차적으로 공급한다. 이에 따라, 게이트 구동부(112)는 게이트라인(GL1 내지 GLn)에 접속된 박막트랜지스터(TFT)가 게이트라인(GL) 단위로 구동되게 한다.
- [0034] 상기 액정표시패널(110)에 구비된 복수의 화소(111)들은 상기 데이터라인들(DL1 내지 DLm) 및 게이트라인들(GL1 내지 GLn)의 교차부에 매트릭스 형태로 배치되며, 이는 각각 액정셀(C1c) 및 박막트랜지스터(TFT), 스토리지 캐패시터(Cst)를 구비한다.
- [0035] 단, 이 경우 앞서 설명한 바와 같이 각 화소(111)에 구비된 박막트랜지스터의 기생용량(Cgd)으로 인하여 발생하는 킥백 전압(Kickback Voltage, Vkb)에 의해 액정셀의 화소전극에 인가되는 데이터 신호가 변동되어 표시화상에서 플리커와 잔상이 나타날 수 있다.
- [0036] 또한, 상기 액정표시패널을 제조하는 공정 중 발생하는 막 두께 또는 얼라인의 편차 등에 기인하여 상기 박막트랜지스터의 기생용량에 편차가 발생될 수 있으며, 이러한 박막트랜지스터의 기생용량 편차는 상기 킥백 전압의 편차를 발생시킨다.
- [0037] 이에 본 발명의 실시예는 상기 박막트랜지스터 기생용량의 편차에 의해 발생하는 킥백 전압의 편차를 검출하여 이를 공통전압에 반영하여 보상함으로써, 킥백 전압 편차에 의해 발생하는 단점을 극복하고자 한다.
- [0038] 즉, 본 발명의 실시예는 도시된 바와 같이 액정표시패널(110) 내의 일측에 구비되어 킥백 전압의 편차를 검출하는 검출부가 구비됨을 특징으로 한다.
- [0039] 상기 검출부(120)는 액정표시패널(110) 내에 구비된 화소(111)들 측면에 적어도 하나 이상의 검출 화소(미도시)를 포함하여 구성되며, 상기 검출 화소는 상기 화소들과 동일한 공정으로 구현되는 박막트랜지스터와 스토리지 캐패시터를 포함한다.

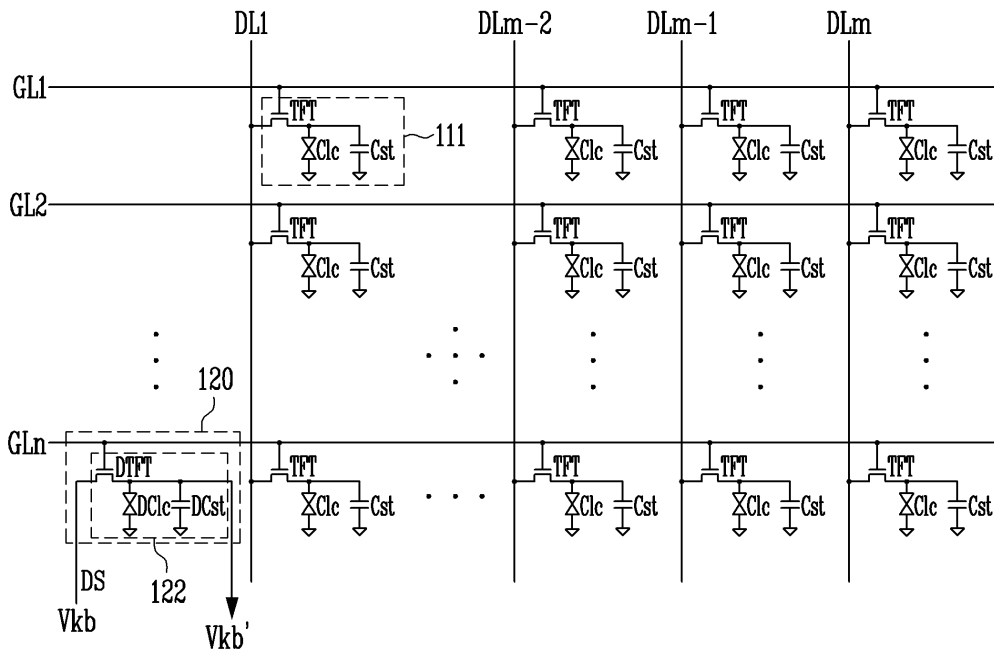
- [0040] 즉, 상기 검출 화소는 상기 액정표시패널에 형성된 적어도 하나 이상의 게이트 라인과 액정표시패널의 끝단에 배열된 데이터 라인(D1 또는 Dm)에 인접한 검출 라인과 전기적으로 연결된다.
- [0041] 상기 검출 화소에 구비되는 박막트랜지스터는 상기 액정표시패널의 각 화소에 구비된 박막트랜지스터와 동일한 공정을 통해 형성되므로, 박막트랜지스터의 기생 용량의 편차도 이와 동일하다.
- [0042] 따라서, 본 발명의 실시예는 상기 액정표시패널의 각 화소에 구비된 박막트랜지스터의 기생용량 편차를 상기 검출 화소의 박막트랜지스터를 통해 검출하고자 하는 것이며, 이 때, 상기 검출 화소는 화상을 표시하는 역할은 수행하지 않는다.
- [0043] 이를 위해 상기 검출부(120)는 상기 적어도 하나 이상 구비되는 검출 화소에 대하여 상기 검출 화소에 구비된 박막트랜지스터의 소스 전극으로 기 설정된 킥백 전압(Vkb) 또는 기 설정된 공통전압(Vcom)을 인가한다. 이에 박막트랜지스터가 턴 온되면, 박막트랜지스터의 드레인 전극으로는 상기 박막트랜지스터의 기생용량 편차가 반영된 값이 출력된다.
- [0044] 즉, 상기 박막트랜지스터의 소스 전극으로 기 설정된 킥백 전압이 인가된 경우라면 상기 기생용량의 편차에 의해 변경된 킥백 전압이 출력되며, 상기 변경된 킥백 전압을 반영하여 상기 액정표시패널에 인가되는 공통전압의 레벨을 조절함을 통해 앞서 언급한 킥백 전압 편차에 의해 발생하는 단점을 극복할 수 있다.
- [0045] 또한, 상기 박막트랜지스터의 소스 전극으로 기 설정된 공통전압 전압이 인가된 경우라면 상기 기생용량의 편차에 의해 변경된 공통전압 즉, 킥백전압 편차가 반영된 보상된 공통전압이 출력되며, 상기 보상된 공통전압을 액정표시패널에 제공함으로써 상기 킥백 전압 편차에 의해 발생하는 단점을 극복할 수 있다.
- [0046] 도 4는 도 3에 도시된 액정표시패널의 제 1 실시예의 구성을 나타내는 회로도이다.
- [0047] 도 4에 도시된 실시예는 상기 도 3에 도시된 검출부(120)가 하나의 검출 화소(122)로 구성되고, 상기 검출 화소(122)에 구비된 박막트랜지스터(DTFT)의 소스 전극으로 기 설정된 킥백 전압(Vkb)이 인가되는 경우를 그 예로 설명한다.
- [0048] 단, 이는 하나의 실시예로서 상기 검출부(120)는 복수의 검출화소들로 구성될 수도 있다.
- [0049] 도 4를 참조하면, 액정표시패널(110)은 복수의 데이터라인들(DL1 내지 DLm) 및 게이트라인들(GL1 내지 GLn)의 교차부에 매트릭스 형태로 배치되는 복수의 화소(111)를 구비하며, 상기 각각의 화소는 액정셀(Clc) 및 상기 액정셀과 연결되는 박막트랜지스터(TFT)와, 스토리지 캐패시터(Cst)가 형성된다.
- [0050] 여기서, 상기 박막트랜지스터(TFT)는 게이트라인(GL)으로부터 공급되는 스캔신호에 응답하여 데이터라인들(DL1 내지 DLm)로부터 공급되는 화소 전압 신호를 액정셀(Clc)로 공급하며, 상기 스토리지 캐패시터(Cst)는 액정셀(Clc)의 화소전극과 전단 게이트라인 사이에 형성되거나, 액정셀(Clc)의 화소전극과 스토리지 라인 사이에 형성되어 액정셀(Clc)에 충전된 전압을 일정하게 유지시킨다.
- [0051] 단, 상기 각 화소(111)에 구비된 박막트랜지스터의 기생용량(Cgd)으로 인하여 발생하는 킥백 전압(Kickback Voltage, Vkb)에 의해 액정셀의 화소전극에 인가되는 데이터 신호가 변동되어 표시화상에서 플리커와 잔상이 나타날 수 있으며, 이와 같은 킥백 전압은 상기 박막트랜지스터의 기생용량 편차에 의해 액정표시패널 별로 일정하지 않고 편차가 발생된다.
- [0052] 본 발명의 실시예는 상기 박막트랜지스터 기생용량의 편차에 의해 발생하는 킥백 전압의 편차를 검출하여 이를 공통전압에 반영하여 보상함으로써, 킥백 전압 편차에 의해 발생하는 단점을 극복하고자 한다.
- [0053] 즉, 본 발명의 실시예는 도시된 바와 같이 액정표시패널(110) 내의 일측에 구비되어 킥백 전압의 편차를 검출하는 검출부(120)가 구비되며, 도 4에 도시된 실시예에서는 상기 검출부(120)가 하나의 검출 화소(122)를 구비함을 특징으로 한다.
- [0054] 이 때, 상기 검출 화소(122)는 상기 액정표시패널(110)에 구비된 화소(111)들과 동일한 공정으로 구현되는 박막트랜지스터(DTFT)와 스토리지 캐패시터(DCst)를 포함한다.
- [0055] 즉, 상기 검출 화소(122)는 상기 액정표시패널에 형성된 게이트 라인 들 중 특정 게이트 라인(일 예로 n번째 게이트 라인, GLn)과 액정표시패널의 끝단에 배열된 데이터 라인(일 예로 첫번째 데이터 라인, DL1)에 인접한 검출라인(DS)과 연결된다.

- [0056] 보다 구체적으로 상기 검출 화소(122)에 구비된 박막트랜지스터(DTFT)는 게이트 전극이 n번째 게이트 라인(GLn)에 접속되고, 소스 전극이 검출라인(DS)에 접속되며, 드레인 전극은 스토리지 캐패시터(DCst)의 일 전극과 접속되며, 상기 소스 전극으로 입력된 전압에 대응되는 전압이 출력된다. 즉, 상기 드레인 전극으로 상기 박막트랜지스터(DTFT)의 기생용량 편차가 반영된 전압 값이 출력된다.
- [0057] 여기서, 상기 검출 라인(DS)으로는 기 설정된 킥백 전압(Vkb) 즉, 상기 킥백 전압이 일정함을 가정하여 미리 산출된 킥백 전압 값이 인가된다.
- [0058] 이에 따라 상기 n번째 게이트 라인에 스캔 신호가 인가되면, 상기 검출 화소(122)에 구비된 박막트랜지스터(DTFT)가 턴 온되며, 이에 상기 검출 라인(DS)을 통해 인가되는 기 설정된 킥백 전압(Vkb)이 박막트랜지스터의 소스 전극을 통해 드레인 전극으로 출력되는데, 상기 드레인 전극으로 출력되는 값은 상기 박막트랜지스터의 기생용량 편차에 의해 변경된 킥백 전압 값(Vkb')이 출력된다.
- [0059] 이에 상기 출력된 킥백 전압 즉, 편차가 반영된 킥백 전압(Vkb') 값은 도 3에 도시된 바와 같이 보상 공통전압 발생부(118)로 제공되며, 상기 보상 공통전압 발생부(118)는 상기 변경된 킥백전압(Vkb') 값을 반영하여 보상된 공통전압(CVcom)을 상기 액정표시패널(110)에 제공한다.
- [0060] 도 5는 도 4의 실시예에 의한 화소 구동시 파형을 도시한 파형도이며, 이를 종래의 파형도(도 2)와 비교하면, 상기 킥백 전압의 편차(Vkb')가 발생할 경우 종래에는 프레임 별로 데이터 신호가 반전되어 제공될 때, 각 프레임 별로 공통전압과 데이터 신호 간의 충전량 균형이 이루어지지 않으나($V_a \neq V_b$), 본 발명의 실시예에 의한 경우 도 5를 참조하면 공통전압의 레벨이 킥백 전압의 편차를 반영하여 보정된 공통전압(CVcom)의 레벨로 조절됨으로써 프레임 별로 데이터 신호가 반전되어 제공될 때, 각 프레임 별로 공통전압과 데이터 신호 간의 충전량 균형이 이루어질 수 있다($V_a' = V_b'$).
- [0061] 이와 같은 본 발명의 실시예에 의한 경우 우수 프레임 및 이와 인접한 기수 프레임의 충전 불균형에 의한 플리커 불량 문제를 극복할 수 있게 된다.
- [0062] 도 6은 도 3에 도시된 액정표시패널의 제 2실시예의 구성을 나타내는 회로도이다. 도 6에 도시된 실시예는 상기 도 3에 도시된 검출부가 복수의 검출 화소(122)들로 구성되고, 상기 검출 화소(122)에 구비된 박막트랜지스터(DTFT)의 소스 전극으로 기 설정된 공통전압(Vcom)이 인가되는 경우를 그 예로 설명한다.
- [0063] 단, 도 6은 도 4와 비교하여 검출부(120')의 구성이 상이할 뿐 액정표시패널의 각 화소(111)들은 동일하므로, 동일한 구성요소에 대해서는 동일한 도면부호를 사용하며 이에 대한 구체적인 설명을 생략하도록 한다.
- [0064] 도 6을 참조하면, 본 발명의 실시예는 도시된 바와 같이 액정표시패널(110) 내의 일측에 구비되어 킥백 전압의 편차를 검출하는 검출부(120')가 구비되며, 도 6에 도시된 실시예에서는 상기 검출부(120')가 복수의 검출 화소(122)들을 구비함을 특징으로 한다.
- [0065] 이 때, 상기 검출 화소(122)들은 상기 액정표시패널에 구비된 화소(111)들과 동일한 공정으로 구현되는 박막트랜지스터(DTFT)와 스토리지 캐패시터(Cst)를 포함한다.
- [0066] 즉, 상기 검출 화소(122)들은 상기 액정표시패널에 형성된 복수의 게이트 라인들(GL1 내지 GLn)과 액정표시패널의 끝단에 배열된 데이터 라인(일 예로 첫번째 데이터 라인, DL1)에 인접한 검출라인(DS)과 연결된다.
- [0067] 보다 구체적으로 상기 검출 화소(122)들 각각에 구비된 박막트랜지스터(DTFT)는 게이트 전극이 대응되는 각각의 게이트 라인(GL1 내지 GLn)에 접속되고, 소스 전극은 검출라인(DS)에 접속되며, 드레인 전극은 스토리지 캐패시터(DCst)의 일 전극과 접속되며, 상기 소스 전극으로 입력된 전압에 대응되는 전압이 출력된다. 즉, 상기 드레인 전극으로 상기 박막트랜지스터의 기생용량 편차가 반영된 전압 값이 출력된다.
- [0068] 여기서, 상기 검출 라인(DS)으로는 기 설정된 공통전압(Vcom)이 인가된다.
- [0069] 이에 따라 상기 게이트 라인들에 스캔 신호가 순차적으로 인가되면, 상기 검출 화소(122)에 구비된 박막트랜지스터(DTFT)가 턴 온되며, 이에 상기 검출 라인(DS)을 통해 인가되는 기 설정된 공통전압(Vcom)이 박막트랜지스터(DTFT)의 소스 전극을 통해 드레인 전극으로 출력되는데, 상기 드레인 전극으로 출력되는 값은 상기 박막트랜지스터(DTFT)의 기생용량 편차에 의해 변경된 공통전압(CVcom) 값이 출력된다.
- [0070] 이에 상기 출력된 공통전압 즉, 편차가 반영된 공통전압(CVcom) 값은 도 3에 도시된 바와 같이 보상 공통전압

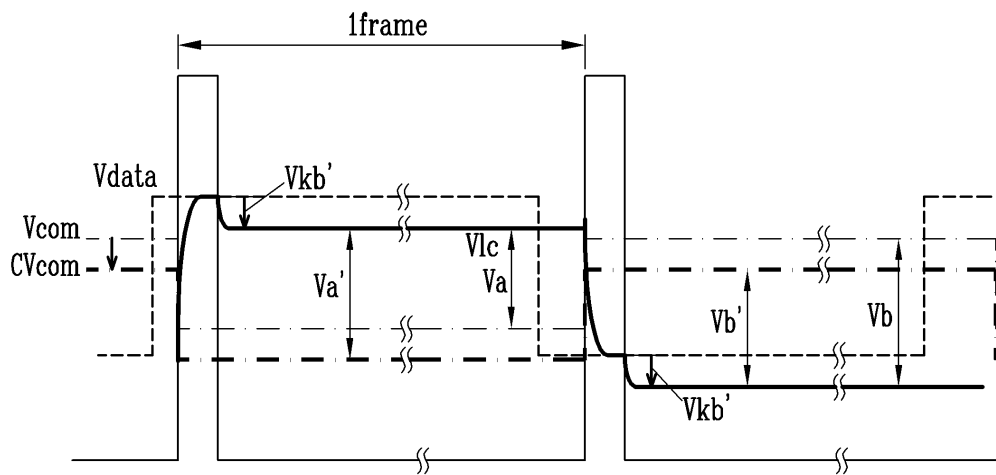
도면3



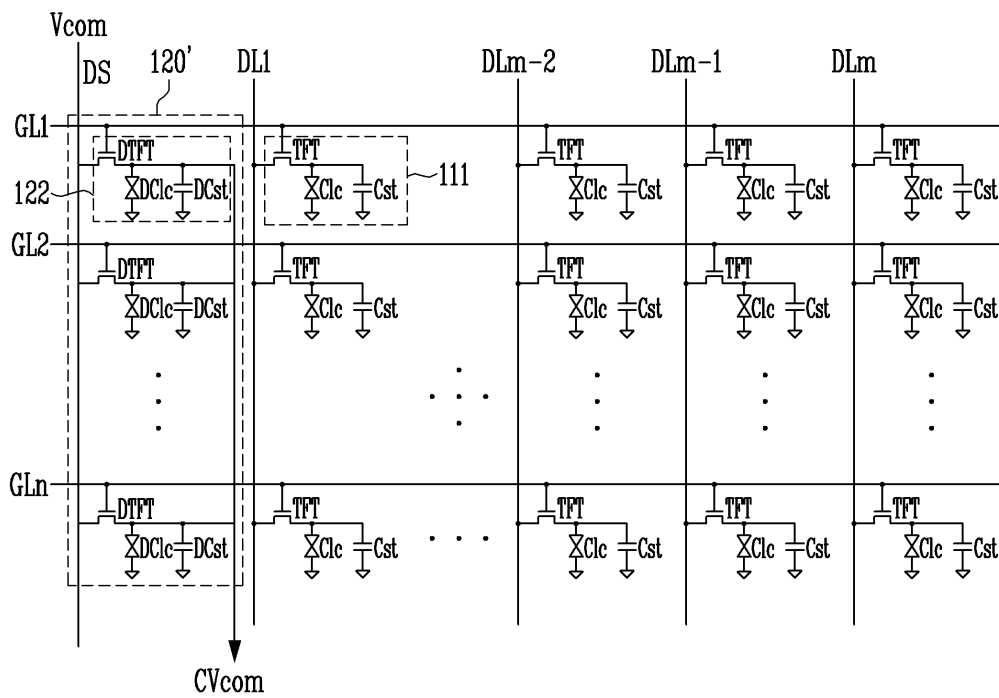
도면4



도면5



도면6



专利名称(译)	液晶显示器		
公开(公告)号	KR1020110102673A	公开(公告)日	2011-09-19
申请号	KR1020100021813	申请日	2010-03-11
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	KWANGSAE LEE 이광세		
发明人	이광세		
IPC分类号	G02F1/1345 G02F1/133		
CPC分类号	G09G3/36 G09G2320/029 G09G2320/0219 G09G3/3655		
代理人(译)	SHIN , YOUNG MOO		
其他公开文献	KR101132051B1		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的液晶显示装置包括：具有多个像素的液晶显示面板；检测单元，设置在液晶显示面板的一侧，用于检测反冲电压的偏差；补偿公共电压产生单元，用于根据检测单元检测到的反冲电压的偏差调整施加到液晶显示面板的公共电压，其中，检测单元包括至少一个或多个检测像素，布置在液晶显示面板中的栅极线和布置在液晶显示面板的端部处的数据线附近的检测线。

