



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0076016
(43) 공개일자 2011년07월06일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2009-0132604

(22) 출원일자 2009년12월29일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

조영직

경상북도 구미시 송정동 469-1(11/5) 그린하이츠 3F

이상욱

경기도 파주시 금촌동 한일유엔아이아파트 2차 201동 1003호

심다혜

서울특별시 양천구 목2동 533-15호 A동 101호

(74) 대리인

박영복, 김용인

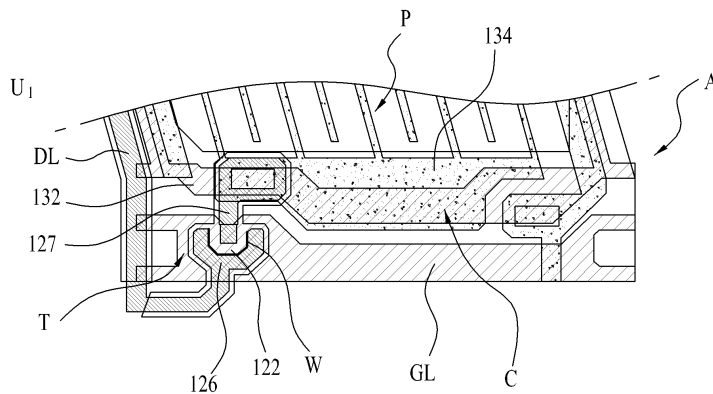
전체 청구항 수 : 총 10 항

(54) 액정 표시 패널 및 그 제조 방법

(57) 요약

본 발명은 스토리지 캐패시턴스의 변동에 따라 게이트 전극과 드레인 전극간의 기생 캐패시턴스 값을 변동시킴으로써, 플리커를 방지하여 안정된 화상을 얻는 액정 표시 패널 및 그 제조 방법에 관한 것으로, 본 발명에 따른 액정 표시 패널은 투명한 기판 상에 일 방향으로 연장된 게이트 라인과, 상기 게이트 라인과 교차하여 화소를 정의하는 데이터 라인과, 상기 게이트 라인과 상기 데이터 라인의 교차점에 형성되는 박막 트랜지스터와, 상기 게이트 라인과 평행하게 지나는 공통 라인과 화소 전극이 중첩되어 형성되는 스토리지 캐패시터 및 상기 화소는 하기의 수학식 1로 정의되는 킥백 전압을 갖고 [수학식 1] $\Delta V_p = C_{gs} \Delta V_g / (C_{gs} + C_{lc} + C_{st})$, 상기 $C_{gs} / (C_{gs} + C_{lc} + C_{st})$ 는 0.014 이상 0.02 이하인 것을 특징으로 한다.

대표도 - 도1b



특허청구의 범위

청구항 1

투명한 기관 상에 일 방향으로 연장된 게이트 라인;

상기 게이트 라인과 교차하여 화소를 정의하는 데이터 라인;

상기 게이트 라인과 상기 데이터 라인의 교차점에 형성되는 박막 트랜지스터;

상기 게이트 라인과 평행하게 지나는 공통 라인과 화소 전극이 중첩되어 형성되는 스토리지 캐패시터; 및

상기 화소는 하기의 수학적 식 1로 정의되는 킥백 전압을 갖고

[수학적 식 1]

$$\Delta V_p = C_{gs} \Delta V_g / (C_{gs} + C_{lc} + C_{st}),$$

상기 $C_{gs} / (C_{gs} + C_{lc} + C_{st})$ 는 0.014 이상 0.02 이하인 것을 특징으로 하는 액정 표시 패널.

청구항 2

제 1 항에 있어서, 상기 박막 트랜지스터는 상기 게이트 라인에 접속되는 게이트 전극과,

상기 데이터 라인에 접속되며 상기 게이트 전극과 중첩되는 소스 전극 및

상기 소스 전극과 이격되어 상기 게이트 전극과 중첩되는 드레인 전극을 포함하고,

채널의 폭은 상기 스토리지 캐패시터의 용량 값에 따라 가변되는 것을 특징으로 하는 액정 표시 패널.

청구항 3

제 2 항에 있어서, 상기 스토리지 캐패시터의 용량 값이 줄 경우 상기 채널의 폭은 상기 스토리지 캐패시터의 용량 값에 대응하여 줄어들고,

상기 채널의 폭이 줄면 상기 게이트 전극과 상기 소스 전극의 중첩 영역의 폭이 줄어들는 것을 특징으로 하는 액정 표시 패널.

청구항 4

제 2 항에 있어서, 상기 C_{st} 가 136 fF 일 때, 상기 채널의 폭은 20 μm 인 것을 특징으로 하는 액정 표시 패널.

청구항 5

제 2 항에 있어서, 상기 C_{st} 가 63 fF 일 때, 상기 채널의 폭은 17.5 μm 인 것을 특징으로 하는 액정 표시 패널.

청구항 6

제 2 항에 있어서, 상기 C_{st} 가 20 fF 일 때, 상기 채널의 폭은 15 μm 인 것을 특징으로 하는 액정 표시 패널.

청구항 7

제 1 항에 있어서, 상기 C_{st} 가 줄면 상기 C_{gs} 를 줄여 상기 킥백 전압을 일정하게 유지시키거나 감소시키는 것을 특징으로 하는 액정 표시 패널.

청구항 8

투명한 기관 상에 일 방향으로 연장된 게이트 라인, 게이트 전극 및 공통 라인을 형성하는 단계;

상기 게이트 라인과 교차하여 화소를 정의하는 데이터 라인, 상기 게이트 전극과 중첩되는 소스 전극 및 상기 소스 전극과 이격되어 형성되는 드레인 전극을 형성하는 단계; 및

상기 게이트 라인과 평행하게 지나는 상기 공통 라인에 중첩되는 화소 전극을 형성하여 스토리지 캐패시터를 형성하는 단계를 포함하고,

상기 화소는 하기의 수학적 식 1로 정의되는 킥백 전압을 갖고

[수학적 식 1]

$$\Delta V_p = C_{gs} \Delta V_g / (C_{gs} + C_{lc} + C_{st}),$$

상기 $C_{gs} / (C_{gs} + C_{lc} + C_{st})$ 는 0.014 이상 0.02 이하인 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 9

제 8 항에 있어서, 상기 C_{st} 가 줄 경우 채널 폭을 줄여 상기 킥백 전압을 일정하게 유지시키거나 감소시키는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 10

제 8 항에 있어서, 상기 C_{st} 가 136 fF 일 때 채널의 폭은 20 μm 이거나,

상기 C_{st} 가 63 fF 일 때 채널의 폭은 17.5 μm 이거나,

상기 C_{st} 가 20 fF 일 때, 채널의 폭은 15 μm 인 것을 특징으로 하는 액정 표시 패널의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정 표시 패널 및 그 제조 방법에 관한 것으로, 특히 스토리지 캐패시턴스의 변동에 따라 게이트 전극과 드레인 전극간의 기생 캐패시턴스 값을 변동시킴으로써, 플리커를 방지하여 안정된 화상을 얻는 액정 표시 패널 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 근래 정보화 사회의 발전과 더불어, 표시장치에 대한 다양한 형태의 요구가 증대되면서, LCD(Liquid Crystalline Display), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), FED(Field Emission Display), VFD(Vacuum Fluorescent Display)등 평판표시장치에 대한 연구가 활발히 진행되고 있다.

[0003] 그 중 고화질의 구현, 양산성, 구동수단의 용이성, 경량, 박형, 저소비 전력 등의 이유로 액정표시장치(LCD)가 각광을 받고 있다. 액정 표시 장치는 매트릭스(matrix) 형태로 배열된 화소들에 화상 정보에 따른 데이터 신호를 개별적으로 공급하여, 화소별로 광투과율을 조절함으로써 원하는 화상을 표시할 수 있도록 한 표시소자로서, 주로 액티브 매트릭스(Active Matrix; AM) 방식에 의해 구동된다.

[0004] 일반적으로 액정 표시 장치는 액정 패널을 이루기 위해 서로 대향하여 합착된 제 1 기판과 제 2 기판과, 기판들 사이에 충전된 액정층을 포함하여 이루어지며, 상기 제 1 기판 상에는 다수의 화소가 형성되어 있으며, 이 화소들은 배선들을 통해 인가되는 신호에 의해 액정을 구동시켜 표시를 행한다.

[0005] 각 화소는 하나의 게이트 라인 및 하나의 데이터 라인과 연결되어 있으며, 화소를 구동하기 위해 박막 트랜지스터 및 스토리지 캐패시터가 형성된다. 박막 트랜지스터는 게이트 라인과 데이터 라인의 교차부에 형성되며 게이트 라인으로부터 돌출된 게이트 전극과, 데이터 라인으로부터 돌출된 소스 전극 및 소스 전극과 이격되어 화소 전극과 연결되는 드레인 전극으로 이루어진다.

[0006] 스토리지 캐패시터는 게이트 라인과 평행하게 지나가는 공통 라인과 화소 전극이 오버랩된 부위에 형성된다. 한편, 드레인 전극과 공통 전극 사이에는 회로적으로, 액정 캐패시터가 형성된다. 스토리지 캐패시터는 액정을 구동하기 위한 보조 용량을 충분히 확보해야만 액정의 배열상태를 오래 유지할 수 있어 고화질을 구현할 수 있을 뿐 아니라, 박막 트랜지스터에서 발생하는 킥백 전압(Kickback voltage; ΔV_p)을 최소화 할 수 있는 장점이 있다.

[0007] 킥백 전압(ΔV_p)은 게이트 전극과 소스 또는 드레인 전극 간에 발생하는 기생 캐패시터(C_{gs})에 의해 액정에 인가되는 직류 성분의 전압으로 액정을 열화시키는 원인이 된다. 킥백 전압(ΔV_p)은 게이트 전극과 소스 또는 드레인 전극이 오버랩되는 구조에서는 필연적으로 발생하게 되는 성분으로 하기의 식 (1)을 참조하여 설명한다.

[0008] $\Delta V_p = C_{gs} \Delta V_g / (C_{gs} + C_{lc} + C_{st})$ - - - - - (1)

[0009] 여기서, ΔV_g 는 게이트 전압의 하이값(V_{gh})과 게이트 전압의 로우값(V_{gl})의 차이값이고, C_{lc} 는 액정 캐패시터값이고, C_{st} 는 스토리지 캐패시터값이고, C_{gs} 는 게이트 전극과 소스 또는 드레인 전극 간 기생 캐패시터에서 발생한 기생 용량값이다. 상술한 식에서 알 수 있듯이, ΔV_p 는 C_{gs} 와 ΔV_g 에 비례하고, C_{st} 에는 반비례한다. 일반적으로 C_{lc} 및 ΔV_g 는 고정값이므로 결국 킥백 전압(ΔV_p)은 C_{gs} 와 C_{st} 의 값의 변동에 의해 영향을 받음을 알 수 있다.

[0010] 근래에는 액정 표시 장치의 고속 구동에 따른 하나의 프레임 시간 감소에 적합한 화소를 설계하기 위하여 스토리지 캐패시터의 용량을 감소시키기 위하여 스토리지 캐패시터의 면적을 줄이는 추세로 나아가고 있다. 그러나, 상술한 식(1)에서 알 수 있듯이, 킥백 전압(ΔV_p)은 스토리지 캐패시터의 용량에 반비례하므로 스토리지 캐패시터의 용량을 감소시키면 킥백 전압(ΔV_p)은 증가하게 되어 플리커(flicker), 잔상 등과 같은 액정 표시 장치의 불량을 유발한다.

[0011] 한편, 킥백 전압(ΔV_p)을 감소시키기 위해 스토리지 캐패시터의 용량을 증가시키면 고속 구동에 적합하지 않을 뿐만 아니라 스토리지 캐패시터의 면적이 화소 영역을 과도하게 차지하기 때문에 개구율을 저하하는 원인이 되고 있으며 이를 통해, 휘도가 저하된다.

발명의 내용

해결 하고자하는 과제

[0012] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 스토리지 캐패시터의 변동에 따라 게이트 전극과 드레인 전극간의 기생 캐패시터 값을 변동시킴으로써, 플리커를 방지하여 안정된 화상을 얻는 액정 표시 패널 및 그 제조 방법을 제공하는데 목적이 있다.

과제 해결수단

[0013] 본 발명에 따른 액정 표시 패널은 투명한 기판 상에 일 방향으로 연장된 게이트 라인과, 상기 게이트 라인과 교차하여 화소를 정의하는 데이터 라인과, 상기 게이트 라인과 상기 데이터 라인의 교차점에 형성되는 박막 트랜지스터와, 상기 게이트 라인과 평행하게 지나가는 공통 라인과 화소 전극이 중첩되어 형성되는 스토리지 캐패시터 및 상기 화소는 하기의 수학적 식 1로 정의되는 킥백 전압을 갖고 [수학적 식 1] $\Delta V_p = C_{gs} \Delta V_g / (C_{gs} + C_{lc} + C_{st})$, 상기 $C_{gs} / (C_{gs} + C_{lc} + C_{st})$ 는 0.014 이상 0.02 이하이다.

[0014] 여기서, 상기 박막 트랜지스터는 상기 게이트 라인에 접속되는 게이트 전극과, 상기 데이터 라인에 접속되며 상기 게이트 전극과 중첩되는 소스 전극 및 상기 소스 전극과 이격되어 상기 게이트 전극과 중첩되는 드레인 전극을 포함하고, 채널의 폭은 상기 스토리지 캐패시터의 용량 값에 따라 가변된다.

[0015] 상기 스토리지 캐패시터의 용량 값이 줄 경우 상기 채널의 폭은 상기 스토리지 캐패시터의 용량 값에 대응하여 줄어들고, 상기 채널의 폭이 줄면 상기 게이트 전극과 상기 소스 전극의 중첩 영역의 폭이 줄어든다.

[0016] 본 발명에 따른 액정 표시 패널의 제조 방법은 투명한 기판 상에 일 방향으로 연장된 게이트 라인, 게이트 전극 및 공통 라인을 형성하는 단계와, 상기 게이트 라인과 교차하여 화소를 정의하는 데이터 라인, 상기 게이트 전극과 중첩되는 소스 전극 및 상기 소스 전극과 이격되어 형성되는 드레인 전극을 형성하는 단계 및 상기 게이트 라인과 평행하게 지나가는 상기 공통 라인에 중첩되는 화소 전극을 형성하여 스토리지 캐패시터를 형성하는 단계를 포함하고, 상기 화소는 하기의 수학적 식 1로 정의되는 킥백 전압을 갖고 [수학적 식 1] $\Delta V_p = C_{gs} \Delta V_g / (C_{gs} + C_{lc} + C_{st})$, 상기 $C_{gs} / (C_{gs} + C_{lc} + C_{st})$ 는 0.014 이상 0.02 이하이다.

[0017] 상기 C_{st} 가 136 fF 일 때, 상기 채널의 폭은 20 μm 이다.

[0018] 상기 C_{st} 가 63 fF 일 때, 상기 채널의 폭은 17.5 μm 이다.

[0019] 상기 C_{st} 가 20 fF 일 때, 상기 채널의 폭은 15 μm 이다.

[0020] 상기 C_{st} 가 줄 경우 채널 폭을 줄여 상기 킥백 전압을 일정하게 유지하거나 감소시킨다.

효과

[0021] 본 발명은 스토리지 캐패시터의 면적에 대응하여 채널의 폭을 가변시키고, 채널 폭에 대응하여 게이트 전극과

소스 전극 간 중첩 영역의 폭을 가변시킴으로써 잔상, 플리커 등을 방지할 수 있다.

[0022] 또한, 본 발명은 스토리지 캐패시터의 면적을 줄임으로써 개구율 및 화이트 휘도 값을 월등히 향상시킬 수 있다.

[0023] 아울러, 본 발명은 스토리지 캐패시터의 면적을 줄임과 동시에 채널 폭을 줄임으로써 수직 크로스 토크 발생률을 저하시켜 안정된 화상을 표현할 수 있다.

발명의 실시를 위한 구체적인 내용

[0024] 이하, 첨부된 도면을 통해 본 발명에 따른 액정 표시 패널 및 그 제조 방법을 구체적으로 살펴보면 다음과 같다.

[0025] 도 1a는 본 발명의 일실시예에 따른 액정 표시 패널용 어레이 기관의 서브 화소의 평면도이고, 도 1b는 도 1a에 도시된 서브 화소의 어레이 영역(A)을 확대한 평면도이다. 먼저, 본 발명에 따른 액정 표시 패널은 어레이 기관과, 컬러필터 기관 및 어레이 기관과 컬러필터 기관 사이의 액정층을 포함한다.

[0026] 액정 표시 패널용 어레이 기관은 투명한 기관(110)상에 일 방향으로 연장된 게이트 라인(GL)과, 게이트 라인(GL)과 교차하여 화소 영역(P)을 정의하는 데이터 라인(DL)과, 게이트 라인(GL)과 데이터 라인(DL)의 교차점에 형성되는 박막 트랜지스터(T) 및 게이트 라인(GL)과 평행하게 지나가는 공통 라인(132)과 화소 전극(134)이 중첩되어 형성되는 스토리지 캐패시터(C)를 포함한다.

[0027] 액정 표시 패널용 어레이 기관에서는 N개의 게이트 라인(GL)과 M개의 데이터 라인(DL)이 교차하여 M x N개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 하나의 화소를 나타내고 있다. 화소 영역(P)의 둘레를 어레이 영역(A)으로 정의하며, 어레이 영역(A)에는 게이트 라인(GL), 데이터 라인(DL), 공통 라인(132), 박막 트랜지스터(T) 및 스토리지 캐패시터(C)가 형성된다.

[0028] 화소 영역(P)에는 공통 라인(132)과 전기적으로 연결되는 공통 전극(미도시)과 더불어 전계를 생성하는 화소 전극(134)이 콘택홀을 통해 박막 트랜지스터(T)의 드레인 전극(127)과 전기적으로 연결되도록 형성된다. 화소 전극(134)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같이 투명한 도전 물질로 이루어져 있다.

[0029] 게이트 라인(GL)은 게이트 패드에 접속되는 게이트 드라이버(미도시)로부터 공급되는 게이트 신호를 박막 트랜지스터(T)의 게이트 전극(122)으로 전달한다. 데이터 라인(DL)은 데이터 패드에 접속되는 데이터 드라이버(미도시)로부터 공급되는 데이터 신호를 게이트 전극(122)의 온/오프에 연동하여 박막 트랜지스터(T)의 소스 전극(126) 및 드레인 전극(127)으로 전달하는 역할을 수행한다.

[0030] 박막 트랜지스터(T)는 각 화소를 스위칭하는 역할을 하는 것으로, 게이트 라인(GL)의 게이트 신호에 응답하여 데이터 라인(DL)의 화소 신호가 화소 전극(134)에 전달되도록 한다. 이를 위해, 박막 트랜지스터(T)는 게이트 라인(GL)의 연장선에 형성되는 게이트 전극(122)과, 데이터 라인(DL)으로부터 돌출 연장되어 형성된 소스 전극(126) 및 소스 전극(126)과 이격되어 화소 전극(134)과 연결되는 드레인 전극(127)을 포함한다.

[0031] 게이트 전극(122)은 게이트 라인(GL)으로부터 연장된 형태를 가진다. 소스 전극(126)은 "C"자 형상으로 패터닝되며, 게이트 전극(122) 상부에 오버랩된 구조를 가진다. 드레인 전극(127)은 소스 전극(126)과 일정 간격으로 이격되도록 배치되며, 게이트 전극(122) 상부에 오버랩된 구조를 가진다.

[0032] 박막 트랜지스터(T)의 게이트 전극(122)에는 게이트 전압이 공급되며, 소스 전극(126)에는 데이터 전압이 공급된다. 박막 트랜지스터(T)의 게이트 전극(122)에 문턱 전압 이상의 게이트 전압이 인가되면 소스 전극(126)과 드레인 전극(127) 사이에 채널이 형성되면서 데이터 전압이 박막 트랜지스터(T)의 소스 전극(126)과 드레인 전극(127) 및 화소 전극(134)을 경유하여 액정층과 스토리지 캐패시터(C)에 충전된다.

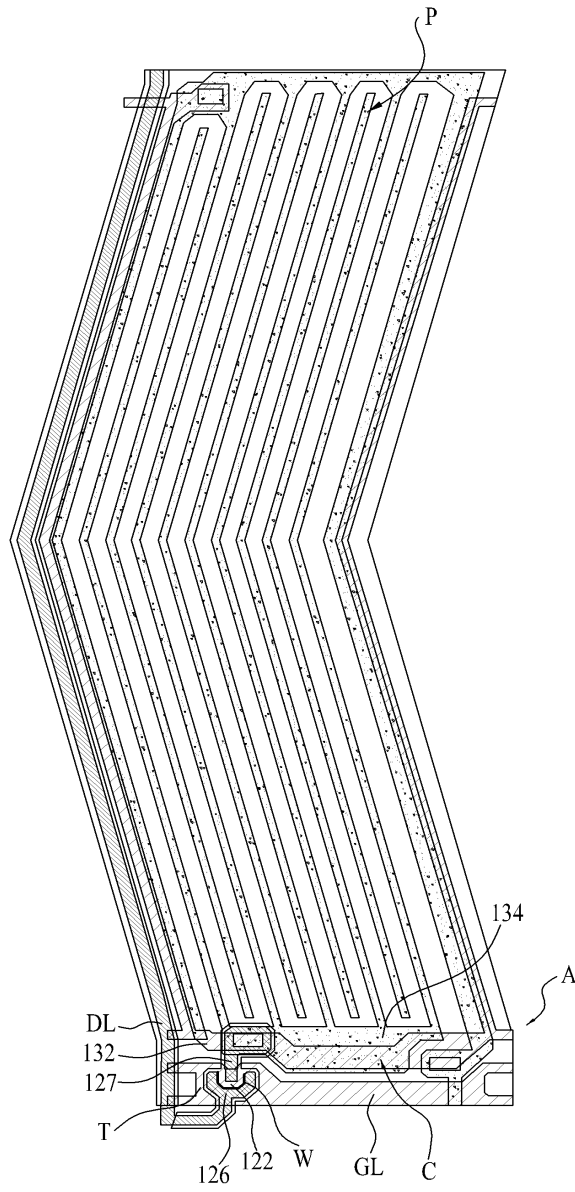
[0033] 여기서, 데이터 전압과 액정층에 충전되는 전압의 차인 킥백 전압(ΔV_p)은 $C_{gs} \Delta V_g / (C_{gs} + C_{lc} + C_{st})$ 로 표시될 수 있는데, 본 발명에서는 스토리지 캐패시터의 용량(C_{st})이 감소할수록 박막 트랜지스터(T)의 채널 폭(W)을 줄임으로써 게이트 전극(122)과 소스 전극(126) 간의 기생 캐패시턴스(C_{gs})를 줄여 킥백 전압(ΔV_p)의 편차를 방지함과 동시에 오프 커런트를 감소시켜 수직 크로스 토크 현상을 방지한다.

[0034] 즉, 게이트 전극(122)과 소스 전극(126)의 중첩 영역의 폭은 채널 폭(W)에 비례하므로, 채널 폭(W)을 줄임으로써 게이트 전극(122)과 소스 전극(126)의 중첩 영역의 폭이 줄어들어 게이트 전극(122)과 소스 전극(126) 간의 기생 캐패시턴스(C_{gs})를 줄일 수 있다.

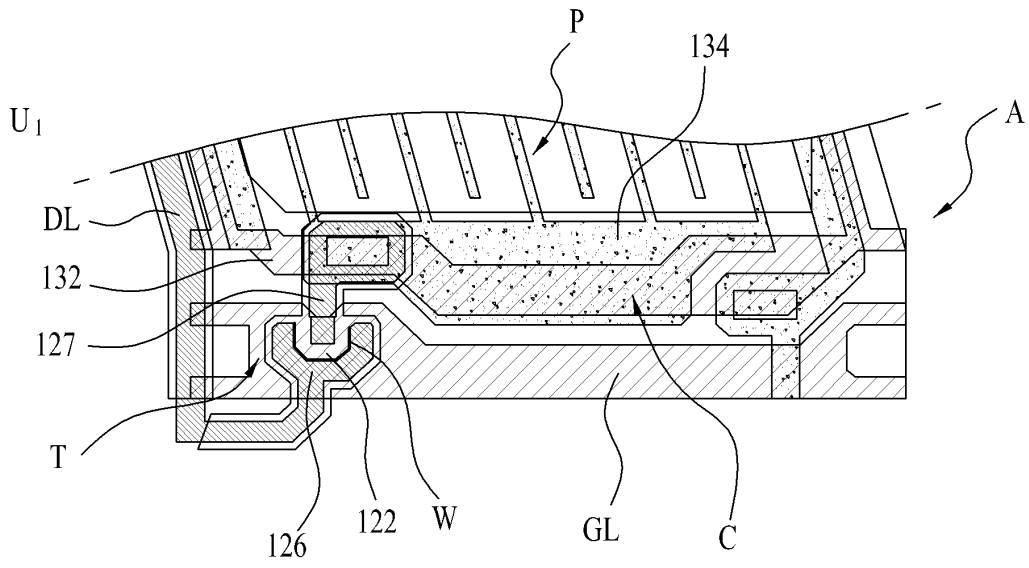
- [0035] 본 발명은 $C_{gs}/(C_{gs}+C_{lc}+C_{st})$ 값이 0.014 이상 0.02 이하가 되도록 스토리지 캐패시터의 용량(C_{st})에 따라 채널 폭(W)을 가변시키고, 채널 폭(W)에 대응하여 게이트 전극(122)과 소스 전극(126) 간 중첩 영역의 폭을 변경함으로써 킥백 전압(ΔV_p)을 유지시키거나 감소시켜 그 편차를 보상한다.
- [0036] 예를 들어, 도 1b에 도시된 바와 같이 스토리지 캐패시터(C)의 용량(C_{st})이 136 fF일 경우 채널의 폭(W)은 20 μm 가 되도록 한다. 이렇듯, 본 발명은 스토리지 캐패시터의 용량을 감소시켜 따라 채널 폭(W)을 줄여 게이트 전극과 소스 전극 사이의 중첩 영역에 형성되는 기생 캐패시터의 용량을 줄임으로써, 킥백 전압(ΔV_p)을 저하시킨다.
- [0037] 따라서, 본 발명은 킥백 전압(ΔV_p)에 의해 발생하는 플리커(flicker), 잔상 등과 같은 액정 표시 장치의 화질 불량을 방지한다. 또한, 본 발명은 스토리지 캐패시터의 용량을 감소시켜 고속 구동이 가능하게 할 뿐만 아니라 스토리지 캐패시터의 면적을 줄여 개구율 및 휘도를 향상시킬 수 있다. 아울러, 본 발명은 채널 폭을 줄임으로써 수직 크로스 토크 현상을 방지할 수 있다.
- [0038] 도 2는 본 발명의 다른 실시예에 따른 서브 화소의 어레이 영역(A)을 확대한 평면도로, 도 1b에 도시된 스토리지 캐패시터(C)의 용량보다 도 2에 도시된 스토리지 캐패시터(C')의 용량은 더욱 줄여 63 fF이다. 이때, 채널의 폭(W')은 도 1b에 도시된 폭보다 감소한 17.5 μm 가 되도록 한다. 또는, 도 3에 도시된 바와 같이 스토리지 캐패시터(C'')의 용량이 도 1b나 도 2의 스토리지 캐패시터의 용량보다 적은 20 fF일 경우 채널의 폭(W'')은 도 1b나 도 2의 폭보다 감소한 15 μm 가 되도록 한다.
- [0039] 이렇듯, 본 발명은 $C_{gs}/(C_{gs}+C_{lc}+C_{st})$ 값이 0.014 이상 0.02 이하가 되는 범위 안에서 스토리지 캐패시터의 용량 감소에 따라 채널 폭(W', W'')을 감소시키고, 채널 폭(W', W'')에 대응하여 게이트 전극과 소스 전극 사이에 형성되는 기생 캐패시터의 용량을 줄임으로써, 킥백 전압(ΔV_p)의 편차를 보상한다.
- [0040] 따라서, 본 발명은 킥백 전압(ΔV_p)에 의해 발생하는 플리커(flicker), 잔상 등과 같은 액정 표시 장치의 화질 불량을 방지한다. 또한, 본 발명은 스토리지 캐패시터의 용량을 감소시켜 고속 구동이 가능하게 할 뿐만 아니라 스토리지 캐패시터의 면적을 줄여 개구율 및 휘도를 향상시킬 수 있다. 아울러, 본 발명은 채널 폭을 줄임으로써 수직 크로스 토크 현상을 방지할 수 있다.
- [0041] 한편, 도 2 및 도 3에서 미설명된 게이트 전극(222, 322), 소스 전극(226, 326), 드레인 전극(227, 327), 공통 라인(232, 332) 및 화소 전극(234, 334)는 도 1b에서 설명된 구성요소와 동일하므로 그에 대한 구체적인 설명은 생략하기로 한다.
- [0042] 본 1a에 도시된 액정 표시 패널의 제조 방법은 투명 기판 상에 일 방향으로 연장된 게이트 라인(GL) 및 게이트 라인(GL)에 접속되는 게이트 전극(122)을 형성함과 동시에 게이트 라인(GL)에 평행한 공통 라인(132)을 형성한다. 이어서, 게이트 전극(122)을 덮는 게이트 절연막(미도시)을 형성한 후, 데이터 라인(DL)에 접속되며 게이트 전극(122)과 중첩되는 "C"자 형상의 소스 전극(126)과 소스 전극(126)과 이격되는 드레인 전극(127)을 형성한다.
- [0043] 이때, 채널의 폭(W)은 게이트 전극(122)과 소스 전극(126)의 중첩 영역의 폭이 킥백 전압을 표시하는 수학적 식 $\Delta V_p = C_{gs} \Delta V_g / (C_{gs} + C_{lc} + C_{st})$ 에서 $C_{gs}/(C_{gs} + C_{lc} + C_{st})$ 가 0.014 이상 0.02 이하가 되도록 조절된다. 즉, 스토리지 캐패시터의 용량(C_{st})이 감소하도록 설계할 경우 채널의 폭(W)을 감소시키고 이에 대응하여 게이트 전극(122)과 소스 전극(126) 간 중첩 영역의 폭을 줄여 게이트 전극(122)과 소스 전극(126) 간 기생 캐패시터의 용량(C_{gs})도 감소시킨다.
- [0044] 예를 들어, C_{st} 가 136 fF 일 때 채널의 폭이 20 μm 이 되도록 하거나, C_{st} 가 63 fF 일 때 채널의 폭이 17.5 μm 이 되도록 하거나, C_{st} 가 20 fF 일 때, 채널의 폭이 15 μm 가 되도록 한다.
- [0045] 다음으로, 소스 전극(126) 및 드레인 전극(127)을 덮는 동시에 다수의 콘택홀을 갖는 보호막을 형성한 후 콘택홀을 통해 드레인 전극(127)과 접속되는 화소 전극(134)을 형성함과 동시에 공통 라인(132)과 화소 전극(134)이 중첩되는 스토리지 캐패시터(C)를 형성한다.
- [0046] 도 4를 참조하면, 종래 기술(Reference)에 따른 박막 트랜지스터 구조에서는 ΔV_{com} 이 0.232 mV였으나, 본 발명의 실시예들(U1, U2, U3)에 따른 박막 트랜지스터 구조에서 ΔV_{com} 은 차례로 0.177 mV, 0.154 mV, 0.184 mV였다. 즉, 본 발명에서와 같이 채널의 폭을 줄임으로써 ΔV_{com} 이 종래 기술보다 낮아져 잔상, 플리커 등을 방지함을 알 수 있다.
- [0047] 도 5를 참조하면, 종래 기술(Reference)에 따른 박막 트랜지스터 구조에서는 화이트 휘도 값이 415 nit였으나,

도면

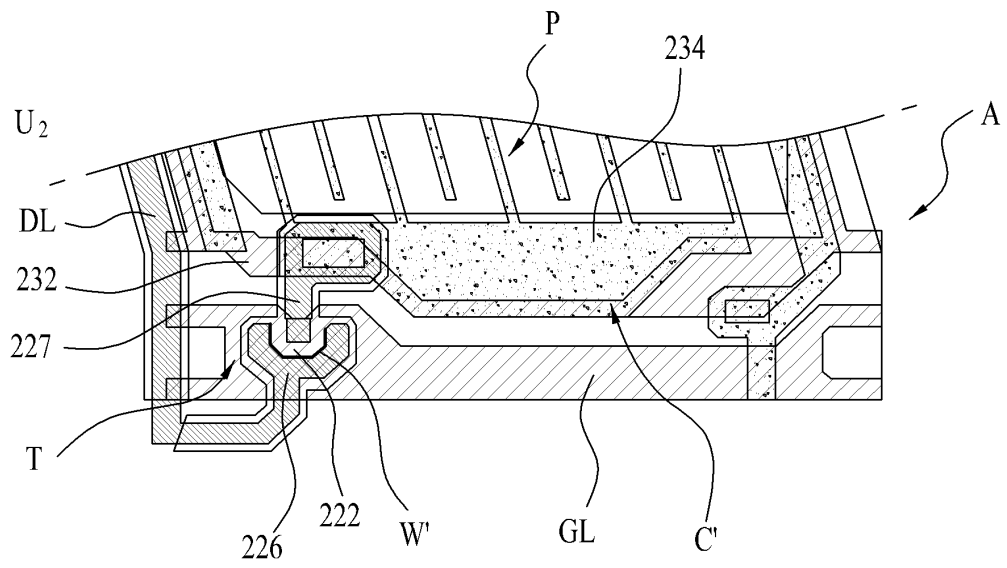
도면1a



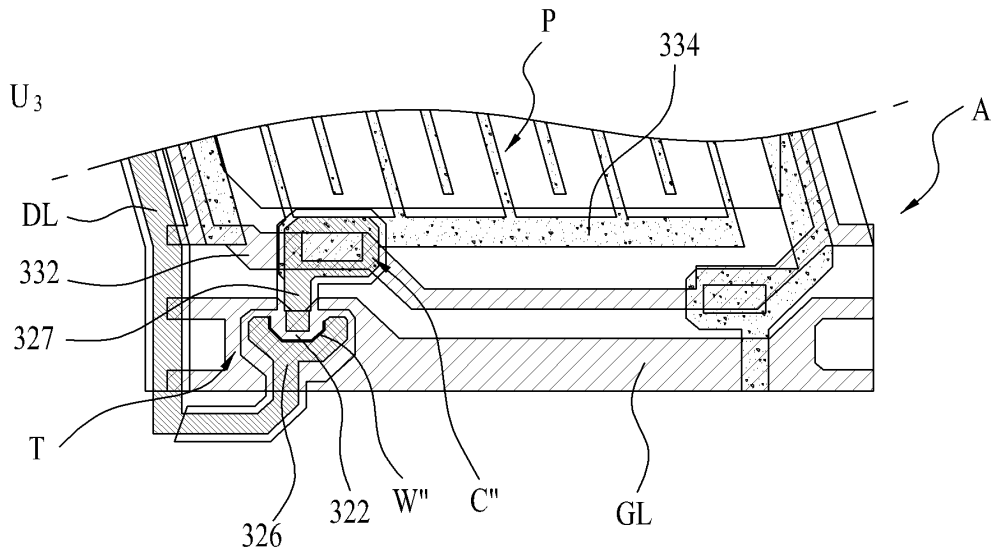
도면1b



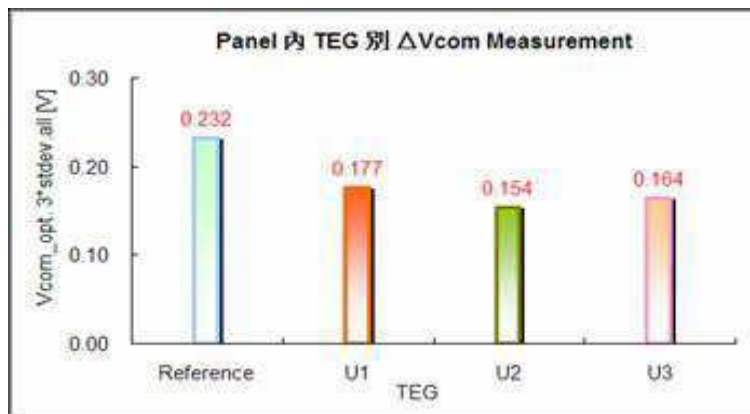
도면2



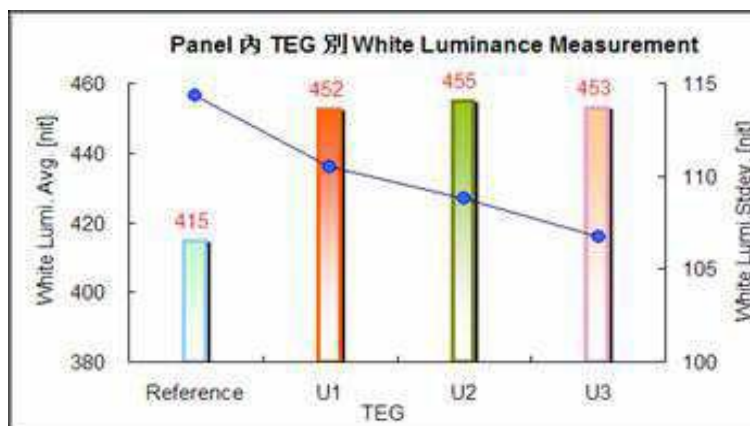
도면3



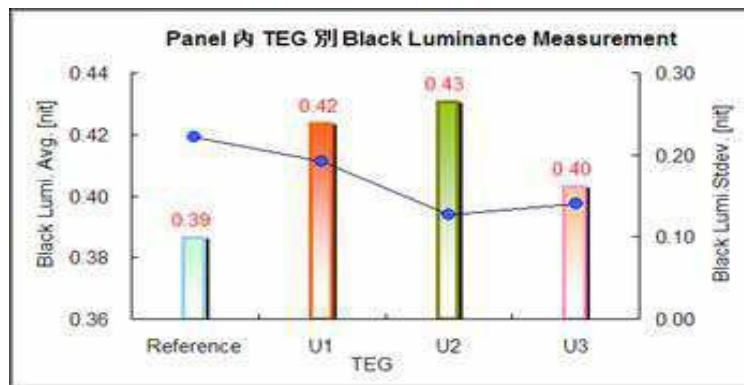
도면4



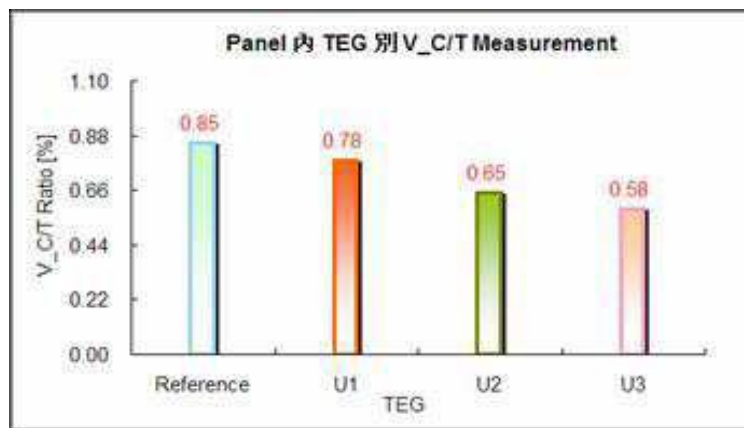
도면5



도면6



도면7



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	KR1020110076016A	公开(公告)日	2011-07-06
申请号	KR1020090132604	申请日	2009-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JO YOUNG JIK 조영직 LEE SANG WOOK 이상욱 SHIM DA HYE 심다혜		
发明人	조영직 이상욱 심다혜		
IPC分类号	G02F1/1362 G02F1/1343 G09G3/36 G02F1/133		
CPC分类号	G02F1/136213 G02F1/134363 G02F1/136286 G02F1/136227 G09G3/3655		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

液晶显示面板及其制造方法技术领域本发明涉及一种液晶显示面板及其制造方法，其中栅电极和漏电极之间的寄生电容值根据存储电容的变化而变化，一种液晶显示装置，包括：在基板上沿一个方向延伸的栅极线；与栅极线交叉以限定像素的数据线；形成在栅极线和数据线的交叉处的薄膜晶体管； $(C_{gs} + C_{lc} + C_{st})$ ， $C_{gs} / (C_{gs} + C_g + C_g)$ ，像素具有由以下等式1定义的反冲电压： $\Delta V_p = C_{gs} \Delta V_g / (C_{lc} + C_{st})$ 为0.014以上且0.02以下。

