



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0061773
(43) 공개일자 2011년06월10일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2009-0118281

(22) 출원일자 2009년12월02일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

안성훈

경상북도 구미시 고아읍 봉한리 삼우힐타운 708호

임경남

경상북도 칠곡군 약목면 701 오성APT 102-1315

김환

대구광역시 남구 이천동 361-16 대성유니드APT 105동 1406호

(74) 대리인

특허법인네이트

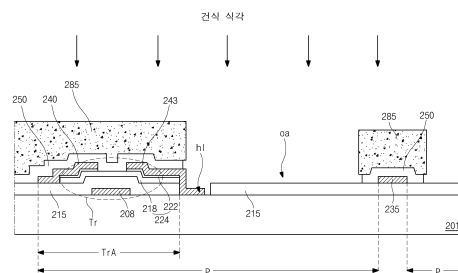
전체 청구항 수 : 총 10 항

(54) 액정표시장치용 어레이 기판 및 그 제조방법

(57) 요약

본 발명은, 소자영역을 갖는 화소영역이 정의된 기판 상에 일방향으로 연장하는 게이트 배선과 상기 소자영역에 상기 게이트 배선과 연결된 게이트 전극을 형성하는 단계와; 상기 게이트 전극 상부로 전면에 게이트 절연막과 순수 비정질 실리콘층과, 불순물 비정질 실리콘층을 순차적으로 형성하고, 상기 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 게이트 절연막을 패터닝하여 상기 각 화소영역 내에 상기 기판면을 노출시키는 게이트 홀을 형성하고, 동시에 상기 게이트 전극에 대응하여 섬형상의 순수 비정질 실리콘의 액티브층과 그 상부로 불순물 비정질 실리콘 패턴을 형성하는 단계와; 상기 불순물 비정질 실리콘 패턴 위로 전면에 금속층을 형성하고 이를 패터닝함으로써 상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선을 형성하고, 동시에 상기 불순물 비정질 실리콘 패턴 상부에 상기 데이터 배선과 연결된 소스 전극과, 상기 불순물 비정질 실리콘 패턴 상부에서 상기 소스 전극과 이격하여 상기 불순물 비정질 실리콘 패턴 중앙부를 노출시키며 그 타끝단은 상기 게이트 콘택홀까지 연장되어 상기 기판면과 접촉하는 드레인 전극을 형성하는 단계와; 제 1 건식식각을 진행하여 상기 소스 및 드레인 전극 사이로 노출된 상기 불순물 비정질 실리콘 패턴을 제거하여 상기 액티브층을 노출시키는 단계와; 상기 데이터 배선과 소스 및 드레인 전극 상부로 전면에 보호층을 형성하는 단계와; 상기 보호층 위로 상기 소자영역과 상기 화소영역의 경계에 대응하여 제 1 포토레지스트 패턴을 형성하는 단계와; 제 2 건식식각을 진행하여 상기 제 1 포토레지스트 패턴 외부로 노출된 상기 보호층을 제거하여 상기 각 화소영역 내에 상기 게이트 절연막과 상기 드레인 전극의 타끝단을 노출시키는 개구를 형성하는 단계와; 상기 제 1 포토레지스트 패턴 위로 전면에 투명 도전성 물질을 증착하여 상기 제 1 포토레지스트 패턴 끝단에서 자연적으로 끊김이 발생함으로써 상기 각 화소영역 내에 상기 게이트 홀 내부에서 상기 드레인 전극의 타끝단과 직접 접촉하는 화소전극을 상기 게이트 절연막 상에 형성하는 단계와; 스트립(strip)액에 노출시킴으로써 상기 제 1 포토레지스트 패턴 및 그 상부에 형성된 투명 도전성 물질층을 제거하는 리프트 오프(lift off) 공정을 진행하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조방법 및 이에 의해 제조된 액정표시장치용 어레이 기판을 제공한다.

대표도 - 도4k



특허청구의 범위

청구항 1

소자영역을 갖는 화소영역이 정의된 기판 상에 일방향으로 연장하는 게이트 배선과 상기 소자영역에 상기 게이트 배선과 연결된 게이트 전극을 형성하는 단계와;

상기 게이트 전극 상부로 전면에 게이트 절연막과 순수 비정질 실리콘층과, 불순물 비정질 실리콘층을 순차적으로 형성하고, 상기 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 게이트 절연막을 패터닝하여 상기 각 화소영역 내에 상기 기판면을 노출시키는 게이트 홀을 형성하고, 동시에 상기 게이트 전극에 대응하여 섬형상의 순수 비정질 실리콘의 액티브층과 그 상부로 불순물 비정질 실리콘 패터를 형성하는 단계와;

상기 불순물 비정질 실리콘 패터 위로 전면에 금속층을 형성하고 이를 패터닝함으로써 상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선을 형성하고, 동시에 상기 불순물 비정질 실리콘 패터 상부에 상기 데이터 배선과 연결된 소스 전극과, 상기 불순물 비정질 실리콘 패터 상부에서 상기 소스 전극과 이격하여 상기 불순물 비정질 실리콘 패터 중앙부를 노출시키며 그 타끝단은 상기 게이트 콘택홀까지 연장되어 상기 기판면과 접촉하는 드레인 전극을 형성하는 단계와;

제 1 건식식각을 진행하여 상기 소스 및 드레인 전극 사이로 노출된 상기 불순물 비정질 실리콘 패터를 제거하여 상기 액티브층을 노출시키는 단계와;

상기 데이터 배선과 소스 및 드레인 전극 상부로 전면에 보호층을 형성하는 단계와;

상기 보호층 위로 상기 소자영역과 상기 화소영역의 경계에 대응하여 제 1 포토레지스트 패터를 형성하는 단계와;

제 2 건식식각을 진행하여 상기 제 1 포토레지스트 패터 외부로 노출된 상기 보호층을 제거하여 상기 각 화소영역 내에 상기 게이트 절연막과 상기 드레인 전극의 타끝단을 노출시키는 개구를 형성하는 단계와;

상기 제 1 포토레지스트 패터 위로 전면에 투명 도전성 물질을 증착하여 상기 제 1 포토레지스트 패터 끝단에서 자연적으로 굽힘이 발생함으로써 상기 각 화소영역 내에 상기 게이트 홀 내부에서 상기 드레인 전극의 타끝단과 직접 접촉하는 화소전극을 상기 게이트 절연막 상에 형성하는 단계와;

스트립(strip)액에 노출시킴으로써 상기 제 1 포토레지스트 패터 및 그 상부에 형성된 투명 도전성 물질층을 제거하는 리프트 오프(lift off) 공정을 진행하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 2

제 1 항에 있어서,

상기 소스 및 드레인 전극의 서로 마주하는 일 끝단 이외의 타끝단 각각은 상기 불순물 비정질 실리콘 패터의 타 끝단 외측에 위치하도록 형성하는 것이 특징인 액정표시장치용 어레이 기판의 제조방법.

청구항 3

제 1 항에 있어서,

상기 보호층은 제 1 두께를 가지며, 상기 투명 도전성 물질층은 상기 제 1 두께보다 얇은 제 2 두께를 갖도록 증착하는 것이 특징인 액정표시장치용 어레이 기판의 제조방법.

청구항 4

제 1 항에 있어서,

상기 보호층 내에 개구 형성을 위한 제 2 건식식각은 과식각(over etch)으로 진행됨으로써 상기 포토레지스트 패턴 하부로 상기 보호층이 언더컷(under cut) 형태가 되도록 하는 것이 특징인 액정표시장치용 어레이 기판의 제조방법.

청구항 5

제 1 항에 있어서,

상기 게이트 전극 상부로 전면에 게이트 절연막과 순수 비정질 실리콘층과, 불순물 비정질 실리콘층을 순차적으로 형성하고, 상기 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 게이트 절연막을 패터닝하여 상기 각 화소영역 내에 상기 기판면을 노출시키는 게이트 홀을 형성하고, 동시에 상기 게이트 전극에 대응하여 섬형상의 순수 비정질 실리콘의 액티브층과 그 상부로 불순물 비정질 실리콘 패턴을 형성하는 단계는,

상기 불순물 비정질 실리콘층 위로 상기 불순물 비정질 실리콘 패턴이 형성되어야 하는 영역에는 제 1 두께의 제 2 포토레지스트 패턴을 형성하고, 상기 게이트 홀이 형성되어야 하는 영역에는 상기 불순물 비정질 실리콘층을 노출시키며, 그 외의 영역에는 상기 제 1 두께보다 얇은 제 2 두께의 제 3 포토레지스트 패턴을 형성하는 단계와;

상기 제 2, 3 포토레지스트 패턴 외부로 노출된 부분의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 게이트 절연막을 식각하여 상기 기판 면을 노출시키는 상기 게이트 홀을 형성하는 단계와;

애싱(ashing)을 실시함으로써 상기 제 2 두께의 제 3 포토레지스트 패턴을 제거하는 단계와;

상기 제 3 포토레지스트 패턴이 제거됨으로써 노출된 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층을 식각하여 제거함으로써 상기 게이트 절연막을 노출시키는 단계와;

상기 제 2 포토레지스트 패턴을 제거하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 6

제 1 항에 있어서,

상기 데이터 배선은 상기 게이트 절연막과 직접 접촉하며 형성하는 것이 특징인 액정표시장치용 어레이 기판의 제조방법.

청구항 7

제 1 항에 있어서,

상기 보호층내에 구비되는 상기 개구는 전단 게이트 배선과 일부 중첩하도록 형성하며, 상기 화소전극의 일끝단이 상기 전단 게이트 배선과 중첩하도록 형성함으로써 서로 중첩하는 상기 전단 게이트 배선과 게이트 절연막과 화소전극은 스토리지 커패시터를 이루도록 하는 것이 특징인 액정표시장치용 어레이 기판의 제조방법.

청구항 8

소자영역을 갖는 화소영역이 정의된 기판 상에 상기 화소영역의 경계에 일방향으로 연장하며 형성된 게이트 배선과;

상기 소자영역에 상기 게이트 배선과 연결되며 형성된 게이트 전극과;

상기 게이트 전극과 게이트 배선 상부로 상기 기판 전면에 형성되며 상기 각 화소영역 내에 상기 기판을 노출시키는 게이트 홀을 구비하며 형성된 게이트 절연막과;

상기 게이트 절연막 위로 상기 소자영역에 상기 게이트 전극에 대응하여 순차 적층된 섬 형상의 액티브층 및 서로 이격하는 오믹콘택층과;

상기 오믹콘택층 위로 이와 각각 접촉하며 서로 마주하는 일끝단 이외의 타끝단이 상기 오믹콘택층의 타끝단을 완전히 덮으며 그 외측에 각각 위치하도록 형성된 소스 및 드레인 전극과;

상기 게이트 절연막 위로 상기 소스 전극과 연결되며 상기 게이트 배선과 교차하여 상기 화소영역을 정의하며 형성된 데이터 배선과;

상기 데이터 배선 위로 각 화소영역에 대응하여 드레인 전극의 타 끝단 및 상기 게이트 절연막을 노출시키는 개구를 가지며 상기 소자영역과 상기 화소영역의 경계에 형성된 보호층과;

상기 각 화소영역 내의 상기 개구에 대응하여 상기 게이트 절연막 위로 상기 드레인 전극의 타끝단과 직접 접촉하며 형성된 화소전극

을 포함하며, 상기 드레인 전극의 타끝단은 상기 게이트 홀 내부에 상기 기판과 직접 접촉하며 형성되며, 상기 게이트 홀 내부에서 상기 화소전극과 접촉하는 것이 특징인 액정표시장치용 어레이 기판.

청구항 9

제 8 항에 있어서,

상기 보호층은 제 1 두께를 가지며, 상기 화소전극은 상기 제 1 두께보다 얇은 제 2 두께를 갖는 것이 특징인 액정표시장치용 어레이 기판.

청구항 10

제 8 항에 있어서,

상기 보호층 내에 구비되는 상기 개구는 전단 게이트 배선과 일부 중첩하도록 형성하며, 상기 화소전극의 일끝단이 상기 전단 게이트 배선과 중첩되도록 형성됨으로써 서로 중첩하는 상기 전단 게이트 배선과 게이트 절연막과 화소전극은 스토리지 커패시터를 이루는 것이 특징인 액정표시장치용 어레이 기판.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치용 어레이 기판에 관한 것이며, 특히, 언더컷 발생에 의한 화소전극의 접촉불량을 방지할 수 있는 4마스크 공정에 의한 액정표시장치용 어레이 기판의 제조방법 및 이에 의해 제조된 어레이 기판에 관한 것이다.

배경 기술

[0002] 최근에 액정표시장치는 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며, 부가가치가 높은 차세대 첨단 디스플레이(display)소자로 각광받고 있다.

[0003] 이러한 액정표시장치 중에서도 각 화소(pixel)별로 전압의 온(on),오프(off)를 조절할 수 있는 스위칭 소자인 박막트랜지스터가 구비된 액티브 매트릭스형 액정표시장치가 해상도 및 동영상 구현능력이 뛰어나 가장 주목받고 있다.

[0004] 일반적으로, 액정표시장치는 박막트랜지스터 및 화소전극을 형성하는 어레이 기판 제조 공정과 컬러필터 및 공통 전극을 형성하는 컬러필터 기판 제조 공정을 통해 각각 어레이 기판 및 컬러필터 기판을 형성하고, 이들 두 기판 사이에 액정을 개재하는 셀 공정을 거쳐 완성된다.

- [0005] 좀 더 자세히, 일반적인 액정표시장치의 분해사시도인 도 1을 참조하여 설명하면, 도시한 바와 같이, 액정층(30)을 사이에 두고 어레이 기관(10)과 컬러필터 기관(20)이 대면 합착된 구성을 갖는데, 이중 하부의 어레이 기관(10)은 투명한 기관(12)의 상면으로 중형 교차 배열되어 다수의 화소영역(P)을 정의하는 복수개의 게이트 배선(14)과 데이터 배선(16)을 포함하며, 이들 두 배선(14, 16)의 교차지점에는 박막트랜지스터(T)가 구비되어 각 화소영역(P)에 마련된 화소전극(18)과 일대일 대응 접속되어 있다.
- [0006] 또한, 상기 어레이 기관과 마주보는 상부의 컬러필터 기관(20)은 투명기관(22)의 배면으로 상기 게이트 배선(14)과 데이터 배선(16) 그리고 박막트랜지스터(T) 등의 비표시영역을 가리도록 각 화소영역(P)을 테두리하는 격자 형상의 블랙매트릭스(25)가 형성되어 있으며, 이들 격자 내부에서 각 화소영역(P)에 대응되게 순차적으로 반복 배열된 적, 녹, 청색 컬러필터층(26)이 형성되어 있으며, 상기 블랙매트릭스(25)와 적, 녹, 청색 컬러필터층(26)의 전면에 걸쳐 투명한 공통전극(28)이 구비되어 있다.
- [0007] 그리고, 도면상에 도시되지는 않았지만, 이들 두 기관(10, 20)은 그 사이로 개재된 액정층(30)의 누설을 방지하기 위하여 가장자리 따라 실링제(sealant) 등으로 봉함(封函)된 상태에서 각 기관(10, 20)과 액정층(30)의 경계 부분에는 액정의 분자배열 방향에 신뢰성을 부여하는 상, 하부 배향막이 개재되며, 각 기관(10, 20)의 적어도 하나의 외측면에는 편광판이 구비되어 있다.
- [0008] 또한, 어레이 기관의 외측면으로는 백라이트(back-light)가 구비되어 빛을 공급하는 바, 게이트 배선(14)으로 박막트랜지스터(T)의 온(on)/오프(off) 신호가 순차적으로 스캔 인가되어 선택된 화소영역(P)의 화소전극(18)에 데이터배선(16)의 화상신호가 전달되면 이들 사이의 수직전계에 의해 그 사이의 액정분자가 구동되고, 이에 따른 빛의 투과율 변화로 여러 가지 화상을 표시할 수 있다.
- [0009] 도 2는 종래의 액정표시장치용 어레이 기관 내의 하나의 화소영역을 박막트랜지스터를 포함하여 절단한 단면을 도시한 것이다.
- [0010] 도면에 나타나지 않았지만, 기관(59) 상에서 다수의 게이트 배선(미도시)과 데이터 배선(미도시)이 교차하여 정의되는 다수의 화소영역(P) 내에는 게이트 전극(60)이 형성되어 있으며, 상기 게이트 전극(60) 상부로 전면에서 게이트 절연막(68)이 형성되어 있으며, 그 위에 순차적으로 섬형태의 액티브층(70a)과 오믹콘택층(70b)으로 구성된 반도체층(70)이 형성되어 있다.
- [0011] 상기 오믹콘택층(70b) 위로는 소스 전극(76)과, 게이트 전극(60)을 중심으로 상기 소스 전극(76)으로부터 소정 간격 이격하여 마주 대하고 있는 드레인 전극(78)이 형성되어 있다. 이때, 반도체층(70)을 하나의 마스크 공정을 통해 패터닝하고, 이후 금속층을 형성 후, 또 다른 마스크 공정을 통해 소스 및 드레인 전극(76, 78)을 형성함으로써 상기 소스 및 드레인 전극(76, 78)의 각 끝단부가 상기 반도체층(70)의 에지부를 충분히 가리도록 연장되어 형성되어 있는 것이 특징이다.
- [0012] 또한, 상기 소스 및 드레인 전극(76, 78)과 노출된 액티브층(70a) 위로 전면에서 상기 드레인 전극(78)을 노출시키는 드레인 콘택홀(80)을 포함하는 보호층(86)이 형성되어 있으며, 상기 보호층(86) 상부에는 각 화소영역(P) 별로 독립되며, 상기 드레인 콘택홀(80)을 통해 상기 드레인 전극(78)과 접촉하는 화소전극(88)이 형성되어 있다.
- [0013] 이때, 전술한 액정표시장치용 어레이 기관의 배선 및 전극 패턴은 감광성 물질인 포토레지스트를 이용한 마스크 공정 더욱 정확히는 사진식각 공정에 의해 이루어진다.
- [0014] 사진식각 공정에서는 금속물질층, 절연물질층 또는 반도체 물질층 상부에 포토레지스트를 도포하는 단계와, 일정패턴을 가지는 마스크를 배치하여 노광하는 단계와, 노광 처리된 포토레지스트층을 현상하여 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 마스크로 하여 상기 금속물질층, 절연물질층 또는 반도체 물질층을 식각하여 배선 및 전극, 콘택홀 또는 반도체 패턴을 형성하는 공정을 거치게 된다.
- [0015] 이때, 상기 포토레지스트 물질은 노광된 부분이 현상되는 포지티브형(positive type)과, 노광된 부분이 남는 네가티브형(negative type)으로 나눌 수 있으며, 통상적으로 어레이 공정에서는 포지티브형 포토레지스트 물질이 이용된다.
- [0016] 상기 사진식각 공정은 마스크 수에 따라 공정수가 결정되기 때문에, 이하 마스크 공정으로 칭하기로 한다.
- [0017] 전술한 단면 구조를 갖는 액정표시장치용 어레이 기관의 제조 공정에 대해 설명하면, 기관(59) 상에 제 1 금속 물질을 증착한 후, 제 1 마스크 공정에 의해 게이트 전극(60)과 게이트 배선(미도시)을 형성하고, 다음, 제 1 절연물질, 순수 비정질 실리콘(a-Si), 불순물 비정질 실리콘(n+ a-Si)을 연속적으로 증착한 후, 제 1 절연물질

은 게이트 절연막(68)으로 이용하고, 순수 비정질 실리콘층, 불순물 비정질 실리콘층은 제 2 마스크 공정에 의해 게이트 전극(60)을 덮는 위치에 액티브층(70a), 오믹 콘택층(70b)으로 각각 형성하여 반도체층(70)을 구성한다.

[0018] 다음, 제 2 금속물질을 증착한 후, 제 3 마스크 공정에 의해 데이터 배선(73)과 상기 반도체층(70) 상부에서 서로 일정간격 이격되는 소스 및 드레인 전극(76, 78)을 형성한다. 이 단계에서는, 소스 및 드레인 전극(76, 78)을 마스크로 하여, 이격된 구간의 오믹콘택층(70b)을 제거하고, 그 하부층인 액티브층(70a)을 노출시켜 채널을 형성한다. 상기 게이트 전극(60), 반도체층(70), 소스 및 드레인 전극(76, 78)은 박막트랜지스터(Tr)를 이룬다.

[0019] 다음, 제 2 절연물질을 증착한 후, 제 4 마스크 공정에 의해 드레인 전극(78)의 일부를 노출시키는 드레인 콘택홀(80)을 가지는 보호층(86)을 형성한 후, 상기 보호층(86) 위로 투명 도전성 물질을 증착하고, 제 5 마스크 공정에 의해 패터닝함으로써 화소전극(88)을 형성한다.

[0020] 이와 같이, 기존의 액정표시장치용 어레이 공정에서는 통상 5 마스크 공정에 의해 어레이 기판을 제작하고 있다.

[0021] 하지만, 마스크 공정에서는 증착, 노광, 현상, 식각 공정별로 장비들이 필요하고, 물리적, 화학적 공정이 반복됨에 따라 공정비용이 높고, 공정 중 다른 소자에 손상을 줄 확률이 높으므로, 공정 효율이 떨어지는 단점이 있다.

[0022] 이러한 문제를 해결하고자 도 3(종래의 4마스크 공정에 의해 제조된 액정표시장치용 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 단면도)에 도시한 바와 같이, 기판(101)상에 게이트 전극(105) 및 게이트 배선(미도시)을 형성 후, 그 상부로 게이트 절연물질층과 비정질 실리콘 물질층과 불순물 비정질 물질층 그리고 금속물질층을 연속하여 형성하고 이를 회절노광을 이용하여 패터닝함으로써 순수 비정질 실리콘의 액티브층과 불순물 비정질 실리콘의 오믹콘택층(120b)으로 이루어진 반도체층(120)과, 소스 및 드레인 전극(130, 135)과 데이터 배선(127)을 하나의 마스크 공정에 의해 형성함으로써 총 4회의 마스크 공정을 통해 액정표시장치용 어레이 기판(101)을 제조하는 방법에 제안되었다.

[0023] 하지만, 전술한 4마스크 공정에 의해 제조된 액정표시장치는 하나의 마스크 공정을 줄이기 위해 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 금속층을 순차적으로 적층하고, 포토레지스트를 도포한 후, 회절노광 또는 하프톤 노광을 통해, 소스 및 드레인 전극(130, 135)과 액티브층(120a)과 오믹콘택층(120b)으로 구성된 반도체층(120)을 하나의 마스크 공정에 의해 형성함으로써 원치 않는 구조, 즉, 상기 소스 및 드레인 전극(130, 135) 양끝단의 외측으로 연장하여, 상기 소스 및 드레인 전극(130, 135) 외부로 노출되는 채널을 형성하는 액티브층(120) 이외의 액티브층(121)을 노출시키는 구조를 형성함으로써, 상기 소스 및 드레인 전극(130, 135)의 끝단 외부로 노출된 액티브층(121)이, 이러한 구조를 갖는 어레이 기판(101)을 이용하여 완성된 액정표시장치(미도시)의 구동 시, 하부에 구비된 백라이트(미도시) 등으로부터 입사된 빛, 또는 외부로부터 들어온 빛에 의해 여기(excite)되어 박막트랜지스터의 스위칭 또는 데이터 신호를 입력하는 데이터 배선(127)에 영향을 미쳐 화면상에 얼룩을 유발시키는 웨이비 노이즈(wavy noise) 문제가 발생하게 된다.

[0024] 더욱이, 데이터 배선(127) 하부에 있어서도 이들 데이터 배선(127)의 폭보다 더 넓은 폭을 갖는 순수 비정질 실리콘의 액티브 패턴(122a)을 포함하여 불순물 비정질 실리콘으로 이루어진 불순물 비정질 패턴(122b)으로 이루어진 반도체 패턴(122)이 형성되는 바, 이들 반도체 패턴(122)과의 기생 용량을 방지하기 위해 종래의 5마스크 공정에 의해 제조된 어레이 기판(도 2의 59)의 데이터 배선(도 2의 73)과 화소전극(도 2의 88)과의 이격간격(d1)보다 더 넓은 화소전극(150)과 데이터 배선(127)간의 이격간격(d2 > 도 2의 d1)을 갖도록 즉, 더욱 정확히는 상기 데이터 배선(127) 외부로 노출된 액티브 패턴(122a)의 끝단의 이격간격(d3)이 상기 5마스크 공정에 의해 제조된 어레이 기판(도 2의 59)상의 이격간격(도 2의 d1)과 같은 크기(도 3의 d3 = 도 2의 d1)가 되도록 상기 화소전극(150)을 형성하고 있다.

[0025] 이로인해 넓어진 이격간격(d2)을 통해 빛이 새어나오는 빛샘을 방지하고자 이와 대향하는 컬러필터 기판(미도시)에 형성하는 블랙매트릭스(미도시)의 폭을 종래의 5마스크 공정에 형성된 블랙매트릭스(미도시)의 폭보다 넓게 형성해야 하므로 종래의 5마스크 공정에 의해 제조된 어레이 기판 대비 개구율이 저하되는 문제가 발생한다.

발명의 내용

해결 하고자하는 과제

- [0026] 상기 문제점을 해결하기 위해서, 본 발명에서는 4마스크 공정으로 진행함으로써 5마스크 공정 진행대비 비용 절감 및 제조 공정을 단순화하는 것을 그 목적으로 한다.
- [0027] 또한, 5마스크 공정에서와 같이 소스 및 드레인 전극의 끝단 외부로 액티브층이 노출되지 않으며 더욱이 데이터 배선 하부에는 반도체 패턴이 형성되지 않도록 함으로써 광전류(photo current)에 의한 웨이비 노이즈(wavy noise)를 방지하며, 동시에 종래의 4마스크 공정에 의한 어레이 기판 대비 개구율을 향상시키는 것을 또 다른 목적으로 한다.

과제 해결수단

- [0028] 상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이 기판의 제조 방법은, 소자영역을 갖는 화소영역이 정의된 기판 상에 일방향으로 연장하는 게이트 배선과 상기 소자영역에 상기 게이트 배선과 연결된 게이트 전극을 형성하는 단계와; 상기 게이트 전극 상부로 전면에 게이트 절연막과 순수 비정질 실리콘층과, 불순물 비정질 실리콘층을 순차적으로 형성하고, 상기 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 게이트 절연막을 패터닝하여 상기 각 화소영역 내에 상기 기판면을 노출시키는 게이트 홀을 형성하고, 동시에 상기 게이트 전극에 대응하여 섬형상의 순수 비정질 실리콘의 액티브층과 그 상부로 불순물 비정질 실리콘 패턴을 형성하는 단계와; 상기 불순물 비정질 실리콘 패턴 위로 전면에 금속층을 형성하고 이를 패터닝함으로써 상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선을 형성하고, 동시에 상기 불순물 비정질 실리콘 패턴 상부에 상기 데이터 배선과 연결된 소스 전극과, 상기 불순물 비정질 실리콘 패턴 상부에서 상기 소스 전극과 이격하여 상기 불순물 비정질 실리콘 패턴 중앙부를 노출시키며 그 타끝단은 상기 게이트 콘택홀까지 연장되어 상기 기판면과 접촉하는 드레인 전극을 형성하는 단계와; 제 1 건식식각을 진행하여 상기 소스 및 드레인 전극 사이로 노출된 상기 불순물 비정질 실리콘 패턴을 제거하여 상기 액티브층을 노출시키는 단계와; 상기 데이터 배선과 소스 및 드레인 전극 상부로 전면에 보호층을 형성하는 단계와; 상기 보호층 위로 상기 소자영역과 상기 화소영역의 경계에 대응하여 제 1 포토레지스트 패턴을 형성하는 단계와; 제 2 건식식각을 진행하여 상기 제 1 포토레지스트 패턴 외부로 노출된 상기 보호층을 제거하여 상기 각 화소영역 내에 상기 게이트 절연막과 상기 드레인 전극의 타끝단을 노출시키는 개구를 형성하는 단계와; 상기 제 1 포토레지스트 패턴 위로 전면에 투명 도전성 물질을 증착하여 상기 제 1 포토레지스트 패턴 끝단에서 자연적으로 끊김이 발생함으로써 상기 각 화소영역 내에 상기 게이트 홀 내부에서 상기 드레인 전극의 타끝단과 직접 접촉하는 화소전극을 상기 게이트 절연막 상에 형성하는 단계와; 스트립(strip)액에 노출시킴으로써 상기 제 1 포토레지스트 패턴 및 그 상부에 형성된 투명 도전성 물질층을 제거하는 리프트 오프(lift off) 공정을 진행하는 단계를 포함한다.
- [0029] 이때, 상기 소스 및 드레인 전극의 서로 마주하는 일 끝단 이외의 타끝단 각각은 상기 불순물 비정질 실리콘 패턴의 타 끝단 외측에 위치하도록 형성하는 것이 특징이다.
- [0030] 또한, 상기 보호층은 제 1 두께를 가지며, 상기 투명 도전성 물질층은 상기 제 1 두께보다 얇은 제 2 두께를 갖도록 증착하는 것이 특징이다.
- [0031] 또한, 상기 보호층 내에 개구 형성을 위한 제 2 건식식각은 과식각(over etch)으로 진행됨으로써 상기 포토레지스트 패턴 하부로 상기 보호층이 언더컷(under cut) 형태가 되도록 하는 것이 특징이다.
- [0032] 한편, 상기 게이트 전극 상부로 전면에 게이트 절연막과 순수 비정질 실리콘층과, 불순물 비정질 실리콘층을 순차적으로 형성하고, 상기 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 게이트 절연막을 패터닝하여 상기 각 화소영역 내에 상기 기판면을 노출시키는 게이트 홀을 형성하고, 동시에 상기 게이트 전극에 대응하여 섬형상의 순수 비정질 실리콘의 액티브층과 그 상부로 불순물 비정질 실리콘 패턴을 형성하는 단계는, 상기 불순물 비정질 실리콘층 위로 상기 불순물 비정질 실리콘 패턴이 형성되어야 하는 영역에는 제 1 두께의 제 2 포토레지스트 패턴을 형성하고, 상기 게이트 홀이 형성되어야 하는 영역에는 상기 불순물 비정질 실리콘층을 노출시키며, 그 외의 영역에는 상기 제 1 두께보다 얇은 제 2 두께의 제 3 포토레지스트 패턴을 형성하는 단계와; 상기 제 2, 3 포토레지스트 패턴 외부로 노출된 부분의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 게이트 절연막을 식각하여 상기 기판 면을 노출시키는 상기 게이트 홀을 형성하는 단계와; 애싱(ashing)을 실시함으로써 상기 제 2 두께의 제 3 포토레지스트 패턴을 제거하는 단계와; 상기 제 3 포토레지스트 패턴이 제거됨으

로써 노출된 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층을 식각하여 제거함으로써 상기 게이트 절연막을 노출시키는 단계와; 상기 제 2 포토레지스트 패턴을 제거하는 단계를 포함한다.

[0033] 또한, 상기 데이터 배선은 상기 게이트 절연막과 직접 접촉하며 형성하는 것이 특징이며, 상기 보호층내에 구비되는 상기 개구는 전단 게이트 배선과 일부 중첩하도록 형성하며, 상기 화소전극의 일끝단이 상기 전단 게이트 배선과 중첩하도록 형성함으로써 서로 중첩하는 상기 전단 게이트 배선과 게이트 절연막과 화소전극은 스토리지 커패시터를 이루도록 하는 것이 특징이다.

[0034] 본 발명에 따른 어레이 기판은, 소자영역을 갖는 화소영역이 정의된 기판 상에 상기 화소영역의 경계에 일방향으로 연장하며 형성된 게이트 배선과; 상기 소자영역에 상기 게이트 배선과 연결되며 형성된 게이트 전극과; 상기 게이트 전극과 게이트 배선 상부로 상기 기판 전면에서 형성되며 상기 각 화소영역 내에 상기 기판을 노출시키는 게이트 홀을 구비하며 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 소자영역에 상기 게이트 전극에 대응하여 순차 적층된 섬 형상의 액티브층 및 서로 이격하는 오믹콘택층과; 상기 오믹콘택층 위로 이와 각각 접촉하며 서로 마주하는 일끝단 이외의 타끝단이 상기 오믹콘택층의 타끝단을 완전히 덮으며 그 외측에 각각 위치하도록 형성된 소스 및 드레인 전극과; 상기 게이트 절연막 위로 상기 소스 전극과 연결되며 상기 게이트 배선과 교차하여 상기 화소영역을 정의하며 형성된 데이터 배선과; 상기 데이터 배선 위로 각 화소영역에 대응하여 드레인 전극의 타 끝단 및 상기 게이트 절연막을 노출시키는 개구를 가지며 상기 소자영역과 상기 화소영역의 경계에 형성된 보호층과; 상기 각 화소영역 내의 상기 개구에 대응하여 상기 게이트 절연막 위로 상기 드레인 전극의 타끝단과 직접 접촉하며 형성된 화소전극을 포함하며, 상기 드레인 전극의 타끝단은 상기 게이트 홀 내부에 상기 기판과 직접 접촉하며 형성되며, 상기 게이트 홀 내부에서 상기 화소전극과 접촉하는 것이 특징이다.

[0035] 이때, 상기 보호층은 제 1 두께를 가지며, 상기 화소전극은 상기 제 1 두께보다 얇은 제 2 두께를 갖는 것이 특징이다.

[0036] 또한, 상기 보호층 내에 구비되는 상기 개구는 전단 게이트 배선과 일부 중첩하도록 형성하며, 상기 화소전극의 일끝단이 상기 전단 게이트 배선과 중첩되도록 형성됨으로써 서로 중첩하는 상기 전단 게이트 배선과 게이트 절연막과 화소전극은 스토리지 커패시터를 이루는 것이 특징이다.

효 과

[0037] 이와 같이, 본 발명에 따른 4 마스크의 액정표시장치용 어레이 기판 제조방법에 의해 5마스크 공정에 의해 완성하는 제조 방법대비 사용되는 마스크 수를 줄임으로써, 공정 효율을 높일 있고, 공정 단순화로 인하여 액정표시장치용 어레이 기판의 제조 비용을 절감하는 효과가 있다.

[0038] 또한, 액티브층과, 소스 및 드레인 전극을 포함하는 데이터 배선을 서로 다른 마스크 공정을 통해 이원화하여 형성하는 동시에 상기 액티브층의 끝단부를 가리도록 상기 소스 및 드레인 전극을 형성함으로써 상기 소스 및 드레인 전극 외부로 노출된 액티브층에 기인한 웨이비 노이즈(wavy noise) 등의 화질불량을 방지할 수 있는 효과가 있다.

[0039] 또한, 제조 공정 특성 상 데이터 배선 하부에 순수 및 불순물 비정질 실리콘으로 이루어진 반도체 패턴이 형성되지 않음으로 상기 데이터 배선과 화소전극과의 이격간격을 좁힘으로써 개구율 및 휘도를 향상시키는 효과가 있다.

[0040] 또한, 드레인 전극의 일끝단이 게이트 절연막 내에 구비된 기판 표면을 노출시키는 홈 내부에 위치하도록 하여 상기 드레인 전극 하부의 게이트 절연막 내에 언더컷 발생이 억제됨으로써 화소전극과 드레인 전극과의 접촉 불량을 방지하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0041] 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 설명한다.

[0042] 도 4a 내지 도 4l은 본 발명의 실시예에 따른 액정표시장치용 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도이다. 이때, 설명의 편의를 위해 각 화소영역(P) 내의 박막

트랜지스터(Tr)가 형성될 부분을 소자영역(TrA)이라 정의한다.

[0043] 우선, 도 4a에 도시한 바와 같이, 투명한 절연 기판(201)상에 제 1 금속물질예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금 및 크롬(Cr) 중 어느 하나 증착하여 제 1 금속층(미도시)을 형성한 후, 포토레지스트의 도포, 노광 마스크를 이용한 노광, 포토레지스트의 현상, 식각, 포토레지스트의 스트립(strip) 등의 공정을 포함하는 마스크 공정을 진행하여 상기 기판(201) 상에 일방향으로 연장하는 게이트 배선(미도시)을 형성하고, 동시에 상기 소자영역(TrA)에 있어서는 상기 게이트 배선(미도시)과 연결된 게이트 전극(208)을 형성한다. 이때, 상기 게이트 전극(208)은 상기 게이트 배선(미도시)이 그 자체로 이루어지거나 또는 상기 게이트 배선(미도시)에서 분기한 형태로 이루어질 수 있다.

[0044] 이때, 상기 제 1 금속층(미도시)은 도시한 바와같이 전술한 제 1 금속물질 중 어느 하나의 금속물질을 증착함으로써 단일층 구조를 이룰 수도 있지만, 상기 제 1 금속물질 중 서로 다른 금속물질을 연속 증착하여 이중층 이상으로 형성함으로써 이중층 또는 삼중층 구조를 갖도록 형성할 수도 있다. 이렇게 제 1 금속층이 이중층 또는 삼중층 구조를 이루도록 형성할 경우 상기 게이트 배선(미도시)과 게이트 전극(208)은 이중층 또는 삼중층 구조를 이루게 된다.

[0045] 다음, 도 4b에 도시한 바와 같이, 상기 게이트 배선(미도시)과 게이트 전극(208) 위로 상기 기판(201) 전면에 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착함으로써 게이트 절연막(215)을 형성한다. 이후, 상기 게이트 절연막(215) 위로 순수 비정질 실리콘과 불순물 비정질 실리콘을 연속하여 증착함으로써 순차적으로 순수 비정질 실리콘층(216)과 불순물 비정질 실리콘층(217)을 형성한다.

[0046] 이후, 상기 불순물 비정질 실리콘층(217) 위로 포토레지스트를 도포하여 포토레지스트층(280)을 형성한다. 이때, 본 발명에서는 상기 포토레지스트층(280)은 빛을 받은 부분이 현상 시 제거되는 특성을 갖는 포지티브 타입(positive type)을 사용하는 것을 예로서 설명하지만 이와 반대의 특성을 갖는 즉, 빛을 받은 부분이 현상 시 남게되는 네가티브 타입(negative type)인 경우도 이후 설명할 노광 마스크에 있어 투과영역과 차단영역의 위치를 바꾼 형태의 노광 마스크를 이용하면 동일한 결과를 얻을 수 있다.

[0047] 다음, 상기 포토레지스트층(280)이 형성된 기판(201)의 상부에 빛의 투과영역(TA)과 차단영역(BA) 그리고, 슬릿형태로 구성되거나 또는 상기 투과영역(TA) 대비 빛의 투과를 감소시키는 다중의 코팅막을 더욱 구비하여 통과하는 빛량을 조절할 수 있는 반투과영역(HTA)으로 구성된 노광 마스크(291)를 위치시킨 후, 상기 포토레지스트층(280)에 대해 상기 노광 마스크(291)를 통한 노광을 실시한다.

[0048] 이때, 상기 반투과영역(HTA)을 갖는 노광 마스크(291)를 이용하는 이유는 상기 반투과영역(HTA)이 구비된 노광 마스크(291)를 이용하여 노광함으로써 상기 포토레지스트층(280)에 도달되는 광량을 조절하는 회절노광 또는 하프톤 노광이 실시되도록 하여 최종적으로 두께를 달리하는 제 1 및 제 2 포토레지스트 패턴(281a, 281b)을 형성하기 위함이다.

[0049] 상기 노광 마스크(291)를 통해 노광 시 빛이 투과되는 정도는 투과영역(TA)에서는 거의 100% 빛이 투과하고, 차단영역(BA)에서는 빛이 전혀 투과하지 못하고 차단되며, 반투과영역(HTA)에서는 슬릿 구조 또는 코팅막의 두께(또는 코팅막의 개수)에 따라 통상적으로 10% 내지 90% 사이에서 결정되는 하나의 투과량을 갖는 빛이 투과된다.

[0050] 이때, 상기 노광은 상기 노광 마스크(291)의 차단영역(BA)이 소자영역(TrA) 내의 반도체층(도 4m의 224)이 형성될 부분 즉, 상기 게이트 전극(208)에 대응하는 부분과 대응되도록, 상기 투과영역(TA)은 각 화소영역(P) 내에서 추후 형성될 드레인 전극(4m의 243)의 타끝단이 위치하는 부분 즉, 기판(201) 표면을 노출시키는 게이트 홀(도 4m의 h1)이 형성될 부분에 대응되도록, 그리고 그 외의 영역에 대해서는 반투과영역(HTA)이 대응되도록 한 상태에서 진행한다.

[0051] 다음, 전술한 바와 같이 노광 마스크(291)를 기판(201)상의 포토레지스트층(280)과 대응하도록 하여 노광을 실시한 후, 노광된 포토레지스트층(280)을 현상하면, 도 4c에 도시한 바와 같이, 상기 불순물 비정질 실리콘층(217) 위로 상기 게이트 전극(208)에 대응해서는 제 1 두께를 갖는 제 1 포토레지스트 패턴(281a)이 형성되고, 상기 각 화소영역(P) 내의 게이트 홀(도 4m의 h1)이 형성되어야 할 부분에 대응해서는 상기 포토레지스트층(도 4b의 280)이 제거되어 상기 불순물 비정질 실리콘층(217)이 노출된 상태가 되며, 그 외의 영역에서는 상기 제 1 두께보다 얇은 제 2 두께를 갖는 제 2 포토레지스트 패턴(281b)이 형성된다.

[0052] 다음, 도 4d에 도시한 바와 같이, 상기 제 1, 2 포토레지스트 패턴(281a, 281b)을 식각 마스크로 하여

상기 불순물 비정질 실리콘층(217)과 그 하부의 순수 비정질 실리콘층(216)과 게이트 절연막(215)을 순차적으로 식각하여 제거함으로써 각 화소영역(P) 내에 추후 형성되는 드레인 전극(41의 243)의 끝단이 위치할 부분에 대응해서 상기 기판(201) 표면을 노출시키는 게이트 홀(h1)을 형성한다. 이때, 상기 게이트 홀(h1)은 현 단계에서는 상기 게이트 절연막(215)과 순수 비정질 실리콘층(216)과 불순물 비정질 실리콘층(217)에 대해 형성됨을 보이고 있지만, 상기 순수 및 불순물 비정질 실리콘층(216, 217)은 소자영역(TrA)을 제외한 부분에서는 이후 공정 진행에 의해 제거되므로 최종적으로는 상기 게이트 절연막(215)에 대해서 형성된다 할 것이다. 이렇게 게이트 절연막(215)에 게이트 홀(h1)을 형성함으로써 기판(201) 표면이 노출되도록 하는 이유는 추후 소스 및 드레인 전극(도 4m의 240, 243)을 형성하고, 그 상부에 보호층(도 4m의 250)을 형성한 후, 상기 드레인 전극(도 4m의 243)이 노출되도록 건식식각을 진행하여 상기 보호층(도 4m의 250)을 제거하는 과정에서 상기 드레인 전극(도 4m의 243)이 형성된 주변의 게이트 절연막(215)까지 함께 건식식각이 진행되어 상기 드레인 전극(도 4m의 243) 하부로 상기 게이트 절연막(215)내에 공극이 발생하게 되는 것을 방지하기 위함이다.

[0053] 한편, 상기 드레인 전극(도 4m의 243) 하부로 게이트 절연막(215)내에 공극이 발생할 경우 상기 드레인 전극(도 4m의 243)의 타끝단을 덮으며 형성되는 화소전극(도 4m의 260)의 끝길이 발생하여 드레인 전극(도 4m의 243)과 화소전극(도 4m의 260)간 접촉불량을 초래하게 되므로 이를 방지하기 위해 상기 게이트 홀(h1)을 형성하는 것이다. 상기 기판(201)은 보호층(도 4m의 250)의 건식식각 진행 시 전혀 영향을 받지 않으므로 상기 드레인 전극(도 4m의 243) 하부로 공극 등이 형성되지 않기 때문에 화소전극(도 4m의 260) 형성 시 끝길이 발생하지 않고 안정적으로 상기 드레인 전극(도 4m의 243)과 화소전극(도 4m의 260)간의 접촉을 이루도록 할 수 있다.

[0054] 한편, 상기 게이트 홀(h1)이 형성된 영역 이외의 영역에 있어서는 제 1 포토레지스트 패턴(281a) 또는 제 2 포토레지스트 패턴(281b)이 상기 불순물 비정질 실리콘층(217) 위로 형성되어 있으므로 여전히 불순물 비정질 실리콘층(217)을 비롯하여 순수 비정질 실리콘층(216)과 게이트 절연막(215)이 남아있게 된다.

[0055] 다음, 도 4e에 도시한 바와 같이, 화소영역(P)에 있어서는 게이트 홀(h1)이 형성된 기판(201)에 대해 애싱(ashing)을 진행하여 상기 제 2 포토레지스트 패턴(도 4d의 281b)을 제거함으로써 소자영역(TrA)을 제외한 영역에서 상기 불순물 비정질 실리콘층(217)을 노출시킨다. 이때, 상기 제 1 포토레지스트 패턴(281a) 또한 그 두께가 줄어들게 되지만 여전히 상기 소자영역(TrA)에 남아있게 된다.

[0056] 다음, 도 4f에 도시한 바와 같이, 상기 노출된 불순물 비정질 실리콘층(도 4e의 217)과 그 하부의 순수 비정질 실리콘층(도 4e의 216)을 순차적으로 건식식각하여 제거함으로써 상기 게이트 홀(h1)이 형성된 부분 및 상기 제 1 포토레지스트 패턴(281a)으로 여전히 덮혀있는 소자영역(TrA)을 제외한 영역에 있어 상기 게이트 절연막(215)을 노출시킨다. 이때, 이러한 소자영역(TrA)에 있어 상기 제 1 포토레지스트 패턴(281a) 하부로 상기 게이트 전극(208)에 대응해서 섬형상의 제 1 불순물 비정질 실리콘 패턴(221) 및 순수 비정질 실리콘의 액티브층(218)이 형성된다.

[0057] 다음, 도 4g에 도시한 바와 같이, 상기 소자영역(TrA)에 있어 상기 섬형상의 제 1 불순물 비정질 실리콘 패턴(221) 및 순수 비정질 실리콘의 액티브층(218)이 형성된 기판(201)에 대해 스트립(strip)을 진행함으로써 상기 제 1 포토레지스트 패턴(도 4f의 281a)을 제거한다.

[0058] 다음, 도 4h에 도시한 바와 같이, 상기 소자영역(TrA)에 있어 상기 게이트 전극(208) 상부로 액티브층(218)과 불순물 비정질 실리콘 패턴(도 4g의 221)이 형성된 기판(201)의 상기 불순물 비정질 실리콘 패턴(도 4g의 221) 위로 전면에서 제 2 금속물질 예를들면, 몰리브덴(Mo), 몰리브덴합금(MoTi), 크롬(Cr), 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금 중 하나를 증착하여 제 2 금속층(미도시)을 형성한다.

[0059] 이후, 상기 제 2 금속층 위로 포토레지스트를 도포하여 제 2 포토레지스트층(미도시)을 형성하고 이를 노광, 현상함으로써 화소영역(P)의 경계에 데이터 배선(235)이 형성되어야 할 부분 및 소자영역(TrA)에 있어 서로 이격하는 소스 및 드레인 전극(240, 243)이 형성되어야 할 부분에 대응하여 각각 제 3 포토레지스트 패턴(283)을 형성한다.

[0060] 이후, 상기 제 3 포토레지스트 패턴(283)을 식각 마스크로 하여 이의 외부로 노출된 상기 제 2 금속층(미도시)을 습식식각을 진행하여 제거함으로써 상기 게이트절연막(215) 상에 상기 게이트 배선(미도시)과 교차하여 화소영역(P)을 정의하는 데이터 배선(235)을 형성하고, 동시에 상기 소자영역(TrA)에는 상기 불순물 비정질 실리콘 패턴(도 4g의 221) 상부로 상기 데이터 배선(235)과 연결된 소스 전극(240)과, 상기 소스 전극(240)과 소정간격 이격하여 드레인 전극(243)을 형성한다. 이때, 상기 소스 및 드레인 전극(240, 243)은 그 하부의 불순물 비정질 실리콘 패턴(도 4g의 221) 상에서 서로 이격한 상태가 되며, 서로 마주하는 일끝단 이외의 각각

의 타끝단은 상기 불순물 비정질 실리콘 패턴(도 4g의 221)의 끝단을 완전히 덮는 형태로 즉, 상기 불순물 비정질 실리콘 패턴(도 4g의 221) 끝단 외측에 위치하도록 형성하는 것이 특징이다. 이때, 상기 드레인 전극(243)의 타끝단은 화소영역(P)까지 연장되어 상기 각 화소영역(P) 내에 구비된 게이트 홀(h1)의 내부의 상기 기판(201) 표면에 위치하도록 형성하는 것이 특징이다.

[0061] 다음, 도 4i에 도시한 바와 같이, 서로 이격하는 상기 소스 및 드레인 전극(240, 243)과 데이터 배선(235)을 형성 후에는 상기 소스 및 드레인 전극(240, 243) 사이로 노출된 불순물 비정질 실리콘 패턴(도 4h의 221)을 건식식각을 실시하여 제거함으로써 상기 액티브층(218) 상에서 서로 이격하는 형태의 오믹콘택층(222)을 형성한다. 이때, 상기 오믹콘택층(222)은 상기 액티브층(218) 상에서 서로 마주하는 일끝단이 그 상부에 형성된 소스 및 드레인 전극(240, 243) 각각의 일끝단과 일치하며, 각각의 타 끝단은 상기 소스 및 드레인 전극(240, 243)의 타 끝단에 의해 완전히 가려진 형태를 이루는 것이 특징이다. 따라서, 상기 게이트 절연막(215) 상에 순차 적층된 상기 액티브층(218)과 오믹콘택층(222)과 소스 및 드레인 전극(240, 243)이 전술한 형태를 이루게 됨으로써 웨이비 노이즈(wavy noise) 발생을 억제할 수 있으며, 데이터 배선(235)과 게이트 절연막(215) 사이에도 상기 액티브층(218)과 오믹콘택층(222)을 이루는 더미패턴이 형성되지 않으므로 상기 더미패턴이 상기 데이터 배선(235)의 외측으로 노출됨으로써 발생하는 개구율 저하를 방지할 수 있다.

[0062] 한편, 상기 소자영역(TrA)에 순차 적층된 상기 게이트 전극(208)과, 게이트 절연막(215)과, 액티브층(218)과 오믹콘택층(222)으로 구성된 반도체층(224)과 소스 및 드레인 전극(240, 243)은 박막트랜지스터(Tr)를 이룬다.

[0063] 다음, 도 4j에 도시한 바와 같이, 상기 데이터 배선(235)과 소스 및 드레인 전극(240, 243) 상에 남아 있는 상기 제 3 포토레지스트 패턴(도 4i의 283)을 스트립을 진행하여 제거한다. 이후, 상기 데이터 배선(235)과 소스 및 드레인 전극(240, 243) 위로 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착함으로써 보호층(250)을 형성한다.

[0064] 이후, 상기 보호층(250) 위로 포토레지스트를 도포하여 제 3 포토레지스트층(미도시)을 형성한 후, 이를 노광, 현상함으로써 상기 게이트 배선(205)과 데이터 배선(235) 상부 및 소자영역(TrA)에 대응하여 제 4 포토레지스트 패턴(285)을 형성한다. 즉, 화소전극(도 4m의 260)이 형성되어야 할 부분을 제외한 영역에 대응하여 상기 제 4 포토레지스트 패턴(285)을 형성한다. 이때, 상기 게이트 홀(h1)과 게이트 배선(미도시)의 일부에 대응해서는 상기 포토레지스트층(미도시)이 제거됨으로서 상기 보호층(250)이 노출된 상태가 되도록 한다.

[0065] 다음, 도 4k에 도시한 바와 같이, 상기 제 4 포토레지스트 패턴(285)을 식각 마스크로 하여 건식식각을 진행하여 상기 제 4 포토레지스트 패턴(285) 외부로 노출된 보호층(250)을 제거함으로써 상기 화소영역(P)에 있어서 상기 게이트 절연막(215)을 노출시키는 개구(oa)를 형성한다. 이때, 상기 게이트 홀(h1)은 상기 개구(oa)가 형성된 영역 내측에 위치함으로써 상기 보호층(250)이 제거되어 그 내부에서 상기 드레인 전극(243)의 타끝단이 노출된 상태가 된다.

[0066] 상기 제 4 포토레지스트 패턴(243) 외부로 노출된 상기 보호층(250)의 제거를 위한 건식식각 진행 시 실질적으로 과식각(over etch)을 진행하게 됨으로써 제거되는 보호층(250)의 하부에 위치하는 게이트 절연막(215)까지도 영향을 받게 되지만, 본 발명의 실시예의 경우, 드레인 전극(243)의 끝단이 위치하는 부분에는 게이트 홀(h1)이 형성되어 이미 상기 게이트 절연막(215) 자체가 모두 제거된 상태이므로 상기 보호층(250)의 건식식각 진행 시 전혀 영향을 받지 않는다. 따라서 상기 드레인 전극(243)의 타끝단 하부에는 게이트 절연막(215)이 존재하지 않으므로 공극 등이 형성되거나 하는 등의 문제는 발생하지 않는 것이 특징이다.

[0067] 한편, 상기 보호층(250)에 대해 과식각(over etch)을 진행하는 것은 상기 제 4 포토레지스트 패턴(285) 하부로 상기 보호층(250)이 언더컷(under cut) 형태를 이루도록 하기 위함이다. 이렇게 제 4 포토레지스트 패턴(285)에 대해 언더컷(under cut) 형태를 갖도록 보호층(250)을 형성하는 것은 추후 투명 도전성 물질을 증착하여 투명 도전성 물질층(도 4l의 258)을 형성함에 있어 상기 제 4 포토레지스트 패턴(285) 상부에 형성된 투명 도전성 물질층(도 4l의 258)과 상기 게이트 절연막(215) 상부에 형성되는 투명 도전성 물질층(실질적으로 화소전극(도 4l의 260))이 상기 언더컷(under cut)이 발생된 부분 즉, 상기 제 4 포토레지스트 패턴(285)의 끝단에서 끊김이 발생하여 연결되지 않도록 하기 위함이다.

[0068] 다음, 도 4l에 도시한 바와 같이, 상기 제 4 포토레지스트 패턴(285) 위로 전면에 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면에 증착함으로써 투명 도전성 물질층(258)을 형성한다. 이때, 상기 투명 도전성 물질층(258)은, 이후 진행될 리프트 오프(lift off)공정 특성 상 상기 보

호층(250)의 두께보다는 얇은 두께로 형성하는 것이 바람직하다.

[0069] 이는 상기 보호층(250)의 두께보다 얇은 두께를 갖는 상기 투명 도전성 물질층(258)은 이전 단계에서 형성된 상기 제 4 포토레지스트 패턴(285)과 그 하부의 언더컷(under cut) 형태를 가지며 형성된 상기 보호층(250)과의 구조적 특징에 의해 상기 언더컷(under)이 발생된 부분에서는 서로 연결되지 않도록 형성하기 위함이다.

[0070] 상기 제 4 포토레지스트 패턴(285)의 끝단에 대해 언더컷(under cut) 형태를 가지며 보호층(250)이 형성되었다 하더라도 상기 보호층(250)의 두께보다 상기 투명 도전성 물질층(258)의 두께가 더 두꺼운 경우 굽힘이 발생하지 않고 연결되며 형성될 수 있으며, 이 경우 리프트 오프(lift off) 공정 진행 시 상기 제 4 포토레지스트 패턴(285)이 제거되지 않는 불량이 발생할 수 있으며, 이를 방지하기 위함이다.

[0071] 한편, 전술한 바와같은 제조 방법 상의 특징에 의해 상기 투명 도전성 물질층(258)은 증착됨과 동시에 상기 제 4 포토레지스트 패턴(285)의 끝단의 언더컷(under cut)이 발생한 부분에서 굽힘이 발생함으로써 각 화소영역(P) 내의 개구(oa)에 대응하여 노출된 상기 게이트 절연막(215) 상에 화소전극(260)을 형성하게 된다. 이때, 상기 화소전극(260)은 게이트 홀(h1)까지 덮은 형태를 이루므로써 상기 게이트 홀(h1) 내부에서 상기 드레인 전극(243)의 타끝단과 굽힘없이 접촉한 상태를 이루게 된다.

[0072] 이때, 도면에 나타나지 않았지만, 상기 화소전극(260)의 일끝단은 전단의 게이트 배선(미도시)과 중첩하도록 형성됨으로써 서로 중첩하는 상기 게이트 배선(미도시)과 게이트 절연막(215) 및 화소전극(260)은 스토리지 커패시터(미도시)를 이루는 것이 특징이다.

[0073] 다음, 도 4m에 도시한 바와 같이, 상기 투명 도전성 물질층(도 41의 258)이 전면에 형성된 기판(201)을 스트립(strip)액 속에 담구거나 또는 스트립(strip)액을 상기 기판(201) 전면에 분사하여 상기 제 4 포토레지스트 패턴(도 41의 285)과 반응하도록 함으로써 상기 제 4 포토레지스트 패턴(도 41의 285) 및 그 상부에 형성된 투명 도전성 물질층(도 41의 258)을 상기 기판(201)으로부터 제거한다.

[0074] 상기 스트립(strip)액은 상기 제 4 포토레지스트 패턴(도 41의 285)에 대해 보호층(250)이 언더컷(under cut) 형태를 가지며 형성된 부분을 통해 상기 제 4 포토레지스트 패턴(도 41의 285)의 저면과 반응을 시작하며, 상기 제 4 포토레지스트 패턴(도 41의 285)과 보호층(250)과의 계면을 파고들며 그 접촉력을 약화시킴으로써 상기 제 4 포토레지스트 패턴(도 41의 285)을 상기 보호층(250)으로부터 떨어지도록 하는 것이다.

[0075] 이때, 상기 제 4 포토레지스트 패턴(도 41의 285)이 상기 보호층(250)으로부터 분리됨에 따라 그 상부 및 측면을 덮고 있는 투명 도전성 물질층(도 41의 258) 또한 함께 제거됨으로써 결과적으로 상기 기판(201) 상에는 상기 제 4 포토레지스트 패턴(도 41의 285) 이외의 상기 게이트 절연막(215) 및 드레인 전극(243)의 끝단 상부에 직접 형성된 투명 도전성 물질층만이 남아 있게 된다.

[0076] 따라서, 상기 기판(201) 상에 남게되는 투명 도전성 물질층은 상기 화소영역(P)에 있어서는 상기 게이트 절연막(215) 상에 상기 게이트 홀(h1) 내부에서 상기 드레인 전극(243)의 타 끝단과 접촉하는 화소전극(260)을 형성하게 된다.

[0077] 이러한 제 4 포토레지스트 패턴(도 41의 285)과 그 상부에 형성된 물질층(투명 도전성 물질층)을 함께 기판(201)으로부터 제거하는 공정을 리프트 오프(lift off) 공정이라 한다.

[0078] 본 발명의 실시예에 따른 어레이 기판(201)의 제조 방법에 의해 제조된 어레이 기판(201)은 이러한 리프트 오프(lift off) 공정을 진행함으로써 상기 보호층(250)과 화소전극(260)을 1회의 마스크 공정을 진행하여 형성하는 것을 특징으로 하여 총 4회의 마스크 공정을 진행하면서도 순수 비정질 실리콘으로 이루어진 액티브층(218)이 소자영역(TrA)에 대응해서만 섬형태로 형성되는 구성을 갖는다. 따라서, 상기 액티브층(218)이 소스 및 드레인 전극(240, 243)의 각 타끝단 외부로 노출되어 발생하는 웨이비 노이즈(wavy noise)가 없는 액정표시장치용 어레이 기판(201)을 이루는 것이 특징이다.

[0079] 즉, 본 발명의 실시예에 따른 어레이 기판(201)은 상기 액티브층(218)과 오믹콘택층(222)으로 이루어진 반도체층(227)과, 소스 및 드레인 전극(240, 243)과 데이터 배선(235)이 서로 다른 마스크 공정에서 형성되므로, 상기 데이터 배선(235) 하부에는 상기 데이터 배선(235)의 폭보다 더 넓은 폭을 갖는 반도체패턴이 형성되지 않으며, 상기 소스 및 드레인 전극(240, 243) 하부에 형성되는 액티브층(218)과 오믹 콘택층(222)에 있어서도 상기 소스 및 드레인 전극(240, 243)의 서로 마주하는 일끝단 이외의 타끝단이 상기 오믹콘택층(222) 및 그 하부의 액티브층(218) 끝단을 충분히 가리도록 형성된다. 따라서, 웨이비 노이즈를 방지하며, 개구율을

향상시키는 것이 특징이다.

또한, 이렇게 본 발명의 실시예에 따른 제조 방법에 의해 제조된 액정표시장치용 어레이 기판(201)은 게이트 절연막(215) 내에 기판(201) 면을 노출시키는 게이트 홀(h1)이 구비되고, 오믹콘택층(222) 상부에서 연장하여 상기 게이트 절연막(215) 상부에 형성되는 상기 드레인 전극(243)이 더욱 연장하여 그 타끝단이 상기 게이트 홀(h1) 내부의 노출된 기판(201) 상에 형성됨으로써 상기 드레인 전극(243)의 타끝단 하부에 공극이 형성되어 화소전극(260) 형성 시 끓김이 발생하는 등의 문제가 원천적으로 방지될 수 있는 것이 특징이다.

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 분해사시도.

도 2는 종래의 액정표시장치용 어레이 기판 내의 하나의 화소영역을 박막트랜지스터를 포함하여 절단한 단면을 도시한 도면,

도 3은 종래의 4마스크 공정에 의해 제조된 액정표시장치용 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 단면도.

도 4a 내지 도 4m은 본 발명의 실시예에 따른 액정표시장치용 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

201 : 기판 208 : 게이트 전극

215 : 게이트 절연막 218 : 액티브층

223 : 오믹콘택츠 224 : 반도체층

235 : 데이터 배선

243 : 드레인 전극 250 : 보호층

258 : 투명 도전성 물질층 260 : 화소전극

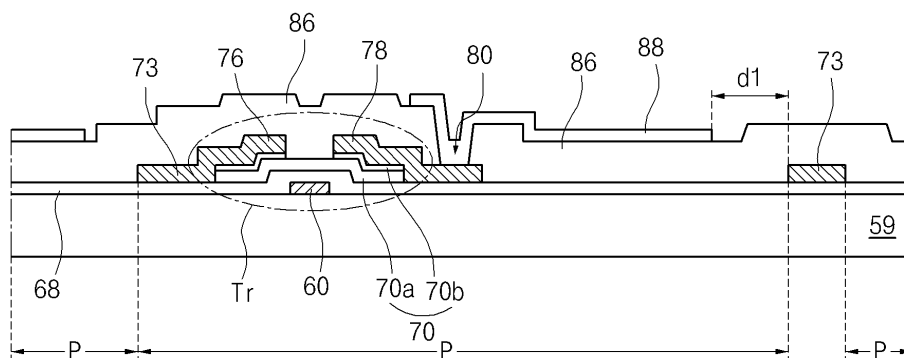
285 : 제 3 포토레지스트 패턴 h1 : 게이트 홀

P : 화소영역 Tr : 박막트랜지스터

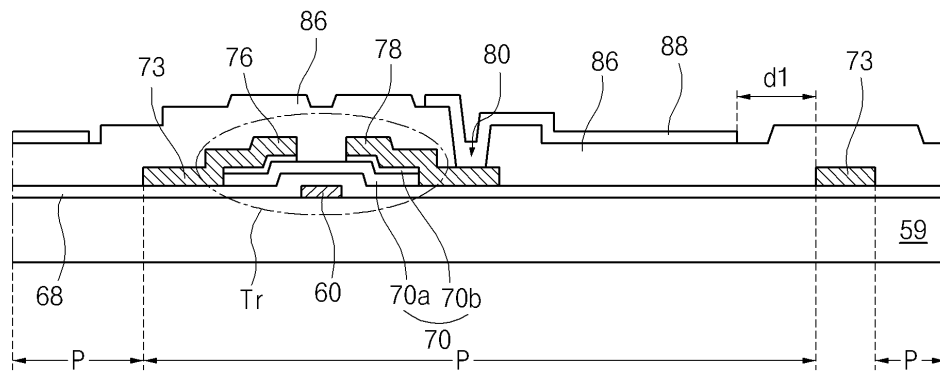
TrA : 소자영역

도면

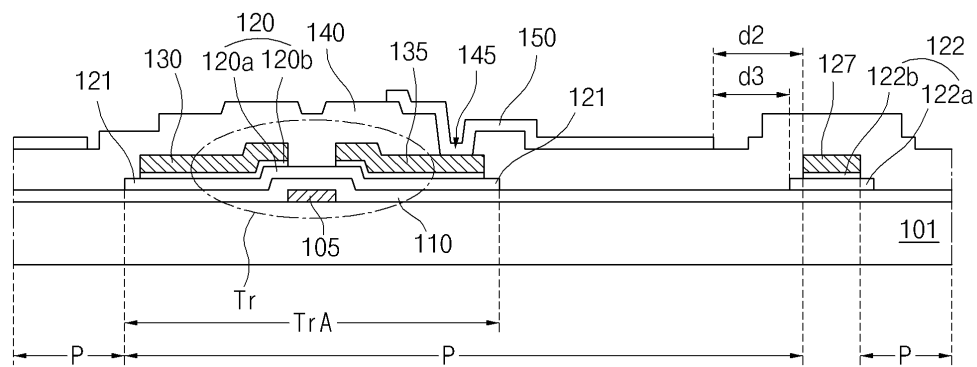
도면1



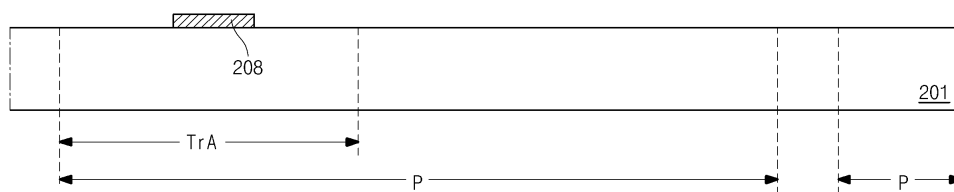
도면2



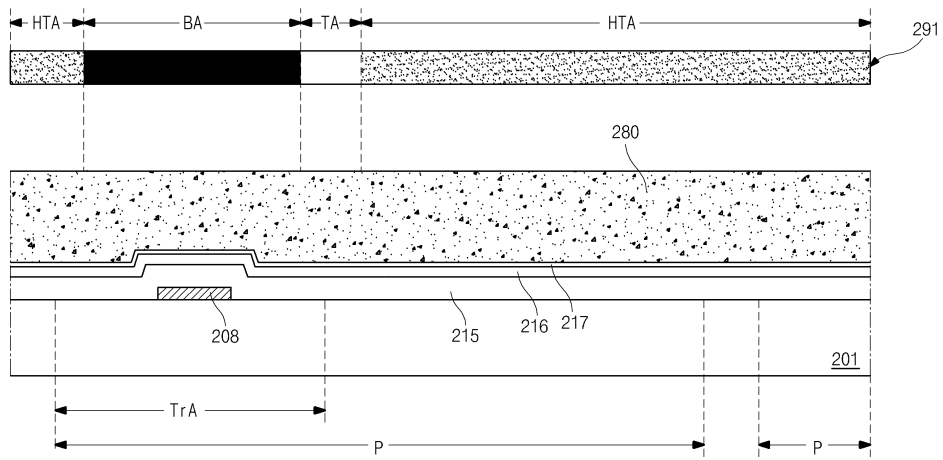
도면3



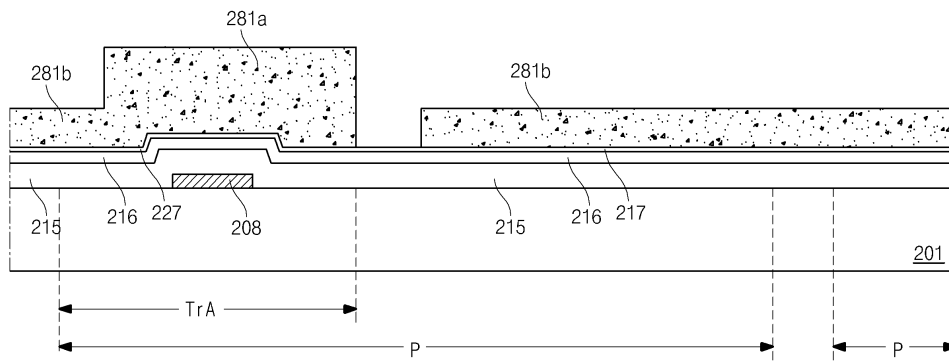
도면4a



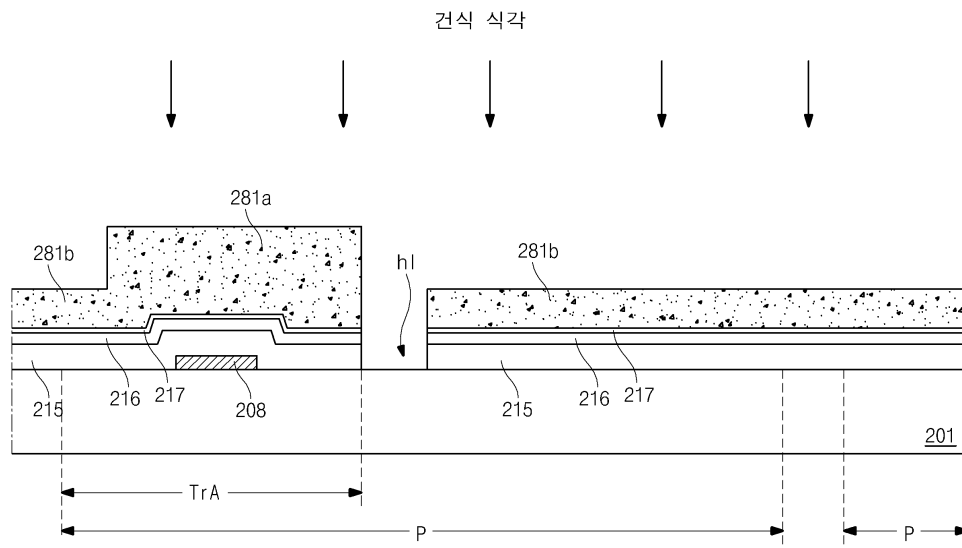
도면4b



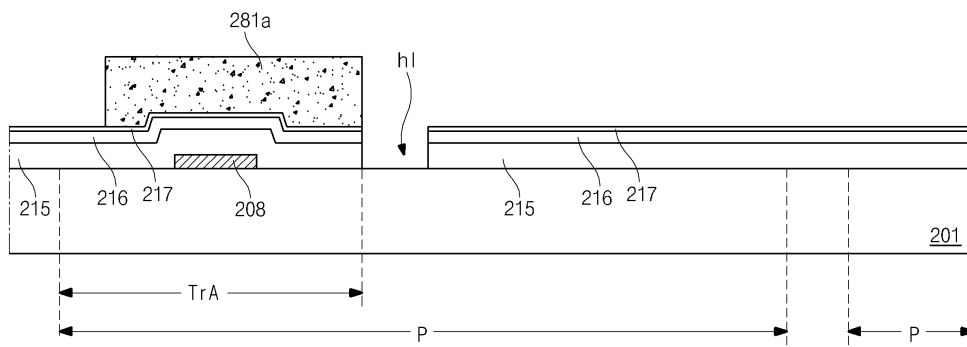
도면4c



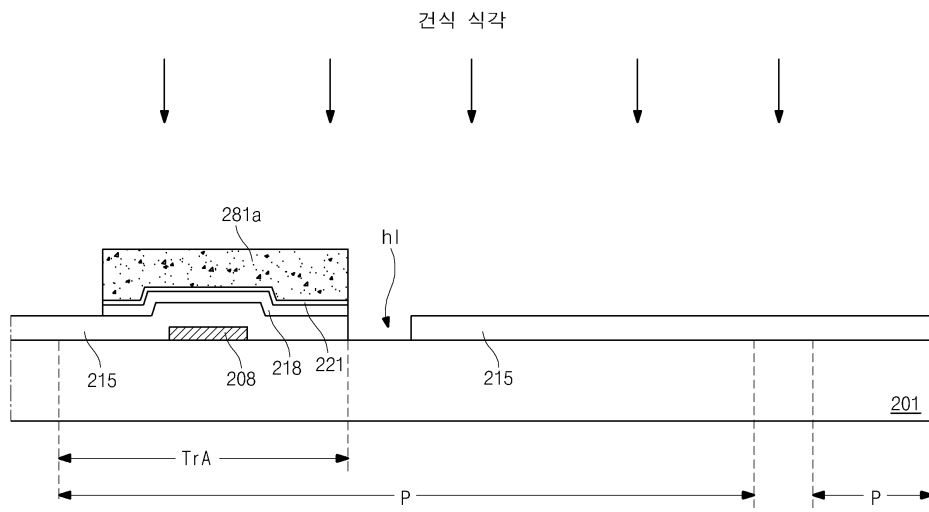
도면4d



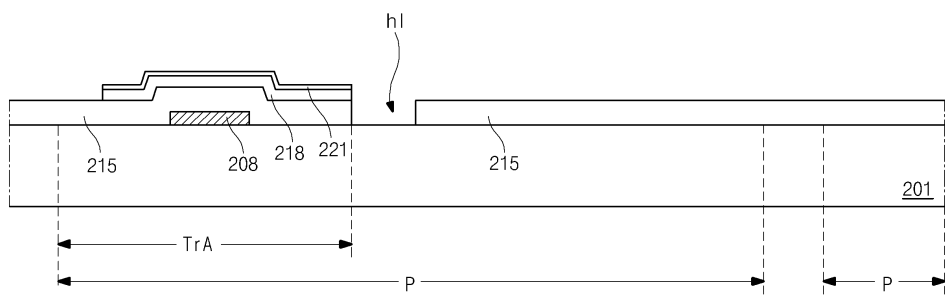
도면4e



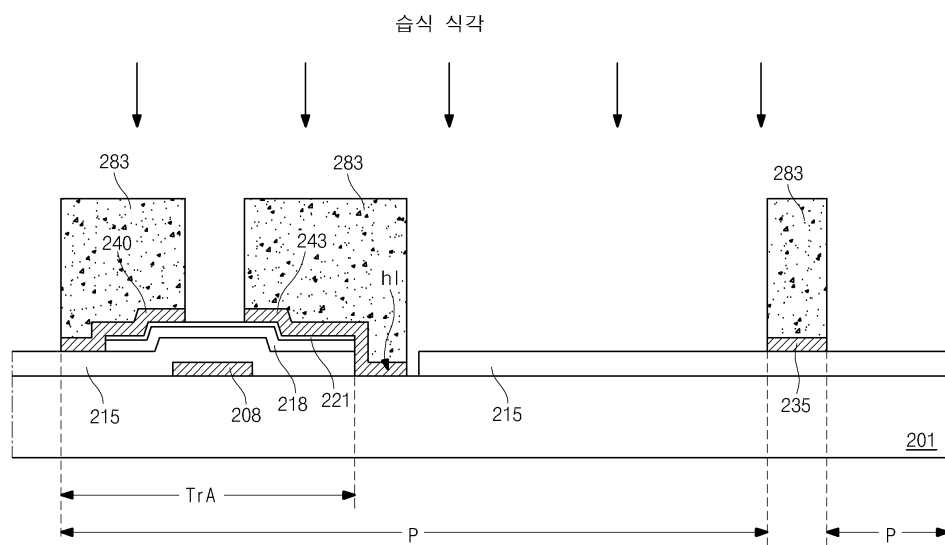
도면4f



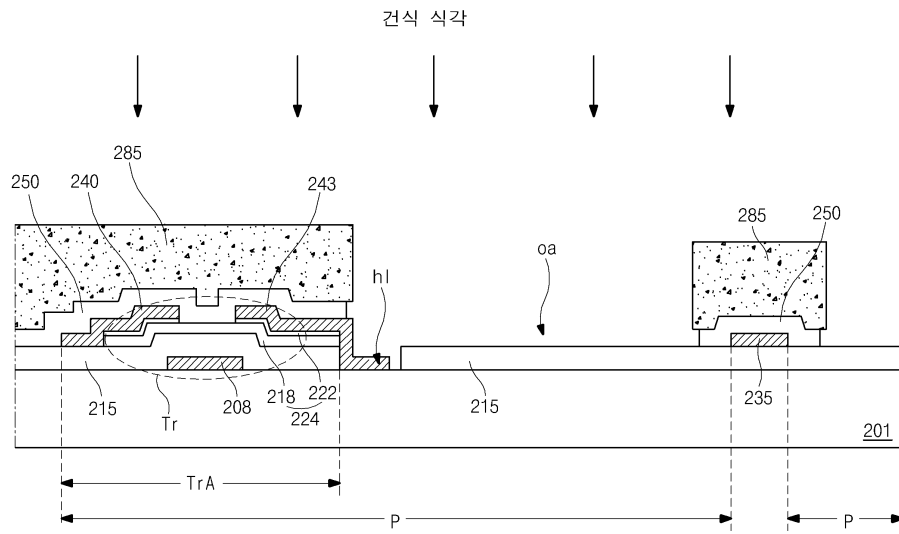
도면4g



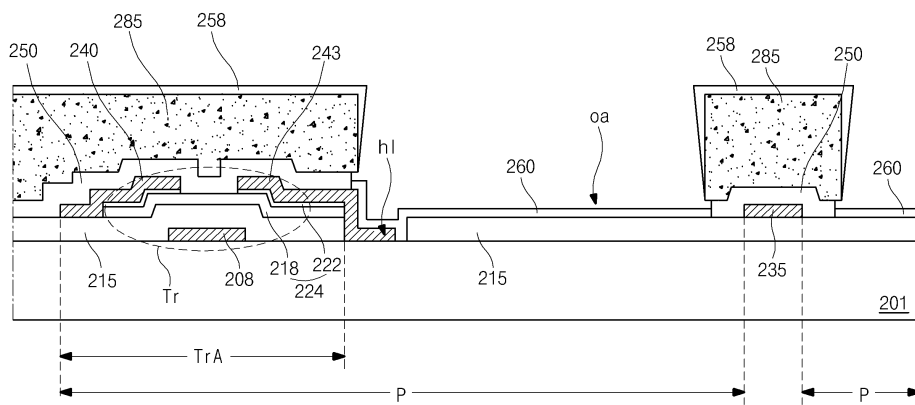
도면4h



도면4k



도면4l



도면4m

