



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0036456
(43) 공개일자 2011년04월07일

(51) Int. Cl.

G02F 1/1345 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2009-0094131

(22) 출원일자 2009년10월01일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

조수홍

경상북도 칠곡군 석적면 중리 171번지 금호어울림
아파트 105동 1005호

김가경

경상북도 구미시 송정동 푸르지오캐슬아파트 109
동 1701호

(74) 대리인

박장원

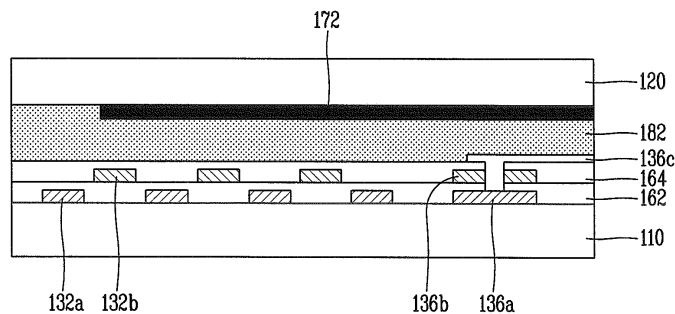
전체 청구항 수 : 총 7 항

(54) 액정표시소자

(57) 요약

본 발명의 액정표시소자에서는 더미영역의 공통전압 링크라인을 2층으로 형성하며 공통전압 링크라인의 폭을 감소시키며 게이트링크라인을 서로 다른 층에 형성하여 게이트링크라인 사이의 간격을 최소화하므로, 더미영역을 최소화하고 그 결과 액정표시소자의 면적을 최소화할 수 있게 된다.

대표도 - 도4b



특허청구의 범위

청구항 1

표시영역, 더미영역 및 패드영역을 포함하는 제1기관 및 제2기관;
 상기 표시영역의 제1기관에 배치되어 복수의 화소를 정의하는 복수의 게이트 및 데이터라인;
 각 화소에 배치된 박막트랜지스터;
 각 화소에 배치된 공통전극 및 화소전극;
 상기 더미영역에 형성된 구동부;
 상기 패드영역에 형성되어 구동부의 단자와 게이트라인을 연결하는 복수의 게이트링크라인;
 상기 패드영역에 형성되어 구동부의 단자와 데이터라인을 연결하는 복수의 데이터링크라인;
 상기 패드영역에 형성되어 구동부의 단자와 공통전극을 연결하는 공통전압 링크라인으로 구성되며,
 상기 공통전압 링크라인은 서로 다른 층에 배치되어 전기적으로 연결되는 제1공통전압 링크라인 및 제2공통전압 링크라인으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 2

제1항에 있어서, 상기 박막트랜지스터는,
 제1기관 위에 형성된 게이트전극;
 상기 게이트전극이 형성된 기관 전체에 걸쳐 적층된 절연층;
 상기 절연층 위에 형성된 반도체층;
 상기 반도체층 위에 형성된 소스전극 및 드레인전극; 및
 상기 소스전극 및 드레인전극이 형성된 기관 전체에 걸쳐 적층된 보호층으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 3

제2항에 있어서, 제1공통전압 링크라인은 제1기관에 형성되고 제2공통전압 링크라인은 게이트절연층에 형성되는 것을 특징으로 하는 액정표시소자.

청구항 4

제3항에 있어서, 보호층에 형성되어 보호층에 형성된 컨택홀을 통해 상기 제1공통전압 링크라인 및 제2공통전압 링크라인을 전기적으로 접속시키는 제3공통전압 링크라인을 추가로 포함하는 것을 특징으로 하는 액정표시소자.

청구항 5

제4항에 있어서, 상기 제3공통전압 링크라인은 투명한 도전물질로 이루어지는 것을 특징으로 하는 액정표시소자.

청구항 6

제1항에 있어서, 상기 게이트링크라인은,
 제1기관에 형성된 제1게이트링크라인; 및
 게이트절연층에 형성된 제2게이트링크라인으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 7

제1항에 있어서,

제2기판에 형성된 블랙매트릭스;

상기 제2기판의 표시영역에 형성된 컬러필터층;

표시영역의 제1기판 및 제2기판 사이에 형성된 액정층; 및

더미영역의 제1기판 및 제2기판 사이에 형성된 실런트를 추가로 포함하는 것을 특징으로 하는 액정표시소자.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시소자에 관한 것으로, 특히 더미영역의 공통전압 링크라인을 2층으로 형성하여 공통전압 링크라인의 폭을 감소시키고 부하를 감소시킬 수 있는 액정표시소자에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 집중하고 있으며, 이에 부응하여 근래에는 액정표시소자(Liquid Crystal Display device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display)등 여러 가지 평판표시장치가 연구되어 왔고 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.

[0003] 이러한 평판표시장치중에서 현재 화질이 우수하고 경량, 박형, 저소비전력 등의 장점으로 현재 액정표시소자가 가장 많이 사용되고 있으며, 이러한 액정표시소자는 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

[0004] 특히, 근래에는 휴대전화나 휴대영상기기 등과 작은 소형의 전자기기에 적용되는 액정표시소자가 개발되고 있다.

[0005] 도 1은 휴대전화나 휴대영상기기 등과 작은 소형 전자기기에 적용되는 종래 액정표시소자를 나타내는 도면이다.

[0006] 도 1에 도시된 바와 같이, 종래 액정표시소자(1)는 제1기판(10)과 제2기판(20) 및 그 사이에 형성된 액정층(도면표시하지 않음)으로 이루어진다. 이때, 상기 제1기판(10)은 제2기판(20) 보다 넓은 면적으로 이루어져 제1기판(10)의 일부 영역이 제2기판(20)으로부터 돌출된다. 이 돌출된 영역은 패드영역(12)으로써, 상기 패드영역(12)에는 구동부(30)가 실장된다. 또한, 상기 패드영역(12)에는 게이트링크라인(32)과 데이터링크라인(34) 및 공통전압 링크라인(36)이 형성되어 상기 구동부(30)의 출력단자와 연결된다.

[0007] 도면에는 자세히 도시하지 않았지만, 상기 제1기판(10)과 제2기판(20)은 서로 합착된다. 제1기판(10)과 제2기판(20)의 가장자리영역에는 더미영역(7)이 형성되어 게이트링크라인(32)과 데이터링크라인(34) 및 공통전압 링크라인(36)이 배치된다. 즉, 패드영역(12)으로부터 상기 게이트링크라인(32)과 데이터링크라인(34) 및 공통전압 링크라인(36)이 연장되어 형성된다. 또한, 상기 더미영역(7)에는 실재가 도포되어 상기 제1기판(10)과 제2기판(20)이 서로 합착된다.

[0008] 도면에는 도시하지 않았지만, 액정표시소자의 표시영역에는 제1기판(즉, 박막트랜지스터 어레이기판)에 일정 간격을 갖고 일방향으로 배열되는 복수의 게이트라인과, 상기 게이트라인과 수직한 방향으로 일정한 간격으로 배열되어 복수의 데이터라인과, 상기 게이트라인과 데이터라인이 교차되어 정의된 각 화소영역에 매트릭스 형태로 형성되는 복수의 화소전극과, 각각의 화소영역에 형성되어 게이트라인의 신호에 의해 스위칭되어 상기 데이터라인의 신호를 상기 각 화소전극에 전달하는 복수의 박막트랜지스터가 배치된다.

[0009] 또한, 표시영역의 제2기판(즉, 컬러필터기판)에는 상기 화소영역을 제외한 부분으로 투과되는 광을 차단하는 블랙 매트릭스와, 컬러 색상을 표현하기 위한 R,G,B 컬러필터과, 제1판의 공통전극과 대향하여 화상을 구현하는 공통전극이 형성된다.

[0010] 상기와 같이 박막트랜지스터가 형성된 제1기판 및 컬러필터가 형성된 제2기판은 스페이서(spacer)에 의해 액정층이 형성되는 일정 공간을 갖고 더미영역의 실재에 의해 합착되어 액정표시소자가 완성된다.

[0011] 상기와 같은 액정표시소자에서는 구동부(30)로부터 게이트링크라인(32)을 통해 표시영역의 게이트라인으로 주사 신호가 인가됨에 따라 각 화소의 박막트랜지스터가 턴온되며, 동시에 데이터링크라인(32)을 통해 데이터라인으

로 신호가 인가되어 액정층을 투과하는 광의 투과도를 조절함으로써 화상을 구현한다.

[0012] 대형의 액정표시소자에서는 게이트구동소자와 데이터구동소자가 별도로 패드영역에 배치되어 게이트라인 및 데이터라인에 신호를 인가하는데 반해, 상기와 같은 구조의 소형 액정표시소자에서는 패드영역(12)에 형성된 하나의 구동부(30)에서 게이트링크라인(32)과 데이터링크라인(34)을 통해 표시영역(5)의 게이트라인과 데이터라인에 신호를 인가하므로, 대형의 액정표시소자에 비해 패드영역(12)을 최소화할 수 있게 되어, 휴대용의 전자기기에 적절한 표시장치를 구현할 수 있게 된다.

[0013] 그러나, 상기와 같은 구조의 액정표시소자에서는 다음과 같은 문제가 있다.

[0014] 액정표시소자(1)의 패드영역(30)에 배치되는 구동부(30)의 신호가 표시영역(5)의 게이트라인으로 인가되기 위해서는 도면에 도시된 바와 같이 게이트링크라인(32) 및 공통전압 링크라인(36)이 액정표시소자(101)의 측면 더미영역(7)에 배치되어야만 하는데, 이러한 게이트링크라인(32) 및 공통전압 링크라인(36)의 배치는 상기 더미영역(7)의 면적 증가를 야기하므로, 액정표시소자(1)의 크기가 증가하는 원인이 된다.

[0015] 상기 더미영역(7)의 면적을 최소화하기 위해, 더미영역(7)에 형성되는 게이트링크라인(32) 및 공통전압 링크라인(36)의 폭을 최소화하는 경우 게이트링크라인(32) 및 공통전압 링크라인(36)에 부하가 증가하게 되며, 그 결과 소비전력이 증가하고 수평 및 수직 크로스토크(crosstalk)가 발생하는 문제가 있었다.

발명의 내용

해결 하고자하는 과제

[0016] 본 발명은 상기한 문제를 해결하기 위한 것으로, 더미영역의 공통전압 링크라인을 2층으로 형성하여 공통전압 링크라인의 폭을 감소시키고 부하를 감소시킬 수 있는 액정표시소자를 제공하는 것을 목적으로 한다.

과제 해결수단

[0017] 상기한 목적을 달성하기 위해, 본 발명에 따른 액정표시소자는 표시영역, 더미영역 및 패드영역을 포함하는 제1기판 및 제2기판; 상기 표시영역의 제1기판에 배치되어 복수의 화소를 정의하는 복수의 게이트 및 데이터라인; 각 화소에 배치된 박막트랜지스터; 각 화소에 배치된 공통전극 및 화소전극; 상기 더미영역에 형성된 구동부; 상기 패드영역에 형성되어 구동부의 단자와 게이트라인을 연결하는 복수의 게이트링크라인; 상기 패드영역에 형성되어 구동부의 단자와 데이터라인을 연결하는 복수의 데이터링크라인; 상기 패드영역에 형성되어 구동부의 단자와 공통전극을 연결하는 공통전압 링크라인으로 구성되며, 상기 공통전압 링크라인은 서로 다른 층에 배치되어 전기적으로 연결되는 제1공통전압 링크라인 및 제2공통전압 링크라인으로 이루어진 것을 특징으로 한다.

[0018] 상기 제1공통전압 링크라인은 제1기판에 형성되고 제2공통전압 링크라인은 게이트절연층에 형성되며, 상기 제1공통전압 링크라인과 제2공통전압 링크라인은 보호층에 형성된 제3공통전압 링크라인에 의해 콘택홀을 통해 전기적으로 연결된다.

[0019] 또한, 상기 게이트링크라인은 제1기판에 형성된 제1게이트링크라인과 게이트절연층에 형성된 제2게이트링크라인으로 이루어진다.

효 과

[0020] 본 발명에서는 더미영역의 공통전압 링크라인을 2층으로 형성하여 공통전압 링크라인의 폭을 감소시키고 부하를 감소시킬 수 있게 된다.

[0021] 따라서, 액정표시소자의 면적을 최소화할 수 있으며, 소비전력을 감소할 수 있게 된다. 또한, 크로스토크를 감소시킬 수 있게 된다.

발명의 실시를 위한 구체적인 내용

[0022] 이하, 첨부한 도면을 참조하여 본 발명에 대해 상세히 설명한다.

[0023] 도 2는 본 발명에 따른 액정표시소자의 구조를 나타내는 도면이다.

[0024] 도 2에 도시된 바와 같이, 본 발명에 따른 액정표시소자(101)는 제1기판(110)과 제2기판(120), 상기 제1기판

(110) 및 제2기판(120) 사이에 형성된 액정층(도면표시하지 않음)으로 이루어진다. 상기 제1기판(110)은 박막트랜지스터기판으로서 박막트랜지스터 및 화소전극이 형성되며, 제2기판(120)은 컬러필터기판으로서 컬러필터가 형성된다.

[0025] 상기 제1기판(110)에는 패드영역(112)이 형성된다. 상기 패드영역(112)은 제1기판(110)이 제2기판(120)의 일단으로부터 연장되어 형성되는 것으로, 이 패드영역(112)에 구동부(130) 및 상기 구동부(130)의 단자와 접속되는 게이트링크라인(132)과 데이터링크라인(134) 및 공통전압 링크라인(136)이 형성된다.

[0026] 상기 구동부(130)는 게이트링크라인(132)과 데이터링크라인(134) 및 공통전압 링크라인(136)을 통해 표시영역에 형성된 화소에 주사신호, 화상신호 및 공통전압을 인가한다. 상기 구동부(130)는 반도체층을 패드영역(112)에 실장할 수도 있고, FPC(Flexible Printed Circuit)를 제1기판(110)의 패드영역(112)과 연결한 후 상기 FPC에 실장할 수도 있으며, 제1기판(110)의 패드영역(112)에 직접 반도체층 등을 적층함으로써 형성할 수도 있다. 표시영역(105)에는 복수의 화소가 형성된다.

[0027] 도 3a 및 도 3b는 상기 화소의 구조를 나타내는 도면으로, 도 3a는 화소의 평면도이고 도 3b는 도 3a의 I-I'선 단면된다.

[0028] 도 3a에 도시된 바와 같이, 표시영역(105)에 형성되는 화소는 종횡으로 배치된 게이트라인(143) 및 데이터라인(144)에 의해 정의된다. 도면에는 비록 (n,m)번째의 화소만을 도시하고 있지만 실제의 표시영역(105)에는 상기한 게이트라인(143)과 데이터라인(144)이 각각 n개 및 m개 배치되어 표시영역(105) 전체에 걸쳐서 n×m개의 화소를 형성한다. 상기 게이트라인(143)과 데이터라인(144)의 교차영역에는 박막트랜지스터(150)가 형성되어 있다. 상기 박막트랜지스터(150)는 게이트라인(143)으로부터 주사신호가 인가되는 게이트전극(151)과, 상기 게이트전극(151) 위에 형성되어 주사신호가 인가됨에 따라 활성화되어 채널층을 형성하는 반도체층(152)과, 상기 반도체층(152) 위에 형성되어 데이터라인(154)을 통해 화상신호가 인가되는 소스전극(153) 및 드레인전극(154)으로 구성되어 외부로부터 입력되는 화상신호를 액정층에 인가한다.

[0029] 화소내에는 데이터라인(144)과 실질적으로 평행하게 배열된 복수의 공통전극(145)과 화소전극(147)이 배치되어 있다. 또한, 화소의 상부 영역에는 공통라인(156)이 형성되어 상기 공통전극(145)과 접속된다. 이때, 상기 공통라인(156)은 공통전극(145)과 일체로 형성되어 있지만, 다른 층에 형성되어 콘택홀을 통해 전기적으로 연결될 수도 있다. 또한, 상기 화소전극(147)은 제1컨택홀(158)을 통해 드레인전극(154)과 전기적으로 연결된다.

[0030] 상기와 같이 구성의 액정표시소자는 IPS(In Plane Switching)모드 액정표시소자이다. 이러한 IPS모드 액정표시소자에서는 액정분자가 공통전극(145) 및 화소전극(147)과 실질적으로 평행하게 배향되어 있다. 박막트랜지스터(150)가 작동하여 화소전극(147)에 신호가 인가되면, 공통전극(145)과 화소전극(147) 사이에는 제1기판(110)의 표면과 실질적으로 평행한 횡전계가 발생하게 된다. 액정분자는 상기 횡전계를 따라 동일 평면상에서 회전하게 되므로, 액정분자의 굴절을 이방성에 의한 계조반전을 방지할 수 있게 된다.

[0031] 도 3b에 도시된 바와 같이, 제1기판(110) 위에는 게이트전극(151)이 형성되어 있으며, 상기 제1기판(110) 전체에 걸쳐 게이트절연층(162)이 적층되어 있다. 상기 게이트절연층(162) 위에는 반도체층(152)이 형성되어 있으며, 그 위에 소스전극(153) 및 드레인전극(154)이 형성되어 있다. 또한, 상기 제1기판(110) 전체에 걸쳐 보호층(passivation layer; 164)이 형성되어 있다.

[0032] 또한, 보호층(164) 위에는 복수의 공통전극(145) 및 화소전극(147)이 형성되어, 상기 공통전극(145)과 화소전극(147) 사이에 횡전계가 발생한다.

[0033] 제2기판(120)에는 블랙매트릭스(172)와 컬러필터층(174)이 형성되어 있다. 상기 블랙매트릭스(172)는 액정분자가 동작하지 않는 영역으로 광이 누설되는 것을 방지하기 위한 것으로, 도면에 도시한 바와 같이 박막트랜지스터(150) 영역 및 화소와 화소 사이(즉, 게이트라인 및 데이터라인 영역)에 주로 형성된다. 컬러필터층(174)은 R(Red), B(Blue), G(Green)로 구성되어 실제 컬러를 구현하기 위한 것이다.

[0034] 상기 제1기판(110) 및 제2기판(120) 사이에는 액정층(180)이 형성된다.

[0035] 도면에서는 공통전극(145)과 화소전극(147)이 모두 보호층(164) 위에 형성되어 있지만, 본 발명의 화소가 이러한 구조에만 한정되는 것은 아니다. 예를 들어, 공통전극(145)이 제1기판(110) 위에 형성되고 화소전극(147)이 게이트절연층(162) 위에 형성되는 구조도 본 발명에 적용 가능할 것이다. 이 구조의 경우, 공통전극(145)은 박막트랜지스터의 게이트전극(151)과 동일한 금속으로 이루어지고 화소전극(147)은 박막트랜지스터의 소스전극(153)과 동일한 금속으로 이루어질 수 있다. 이때, 공통라인(156)은 보호층(164) 위에 형성되어 게이트절연층

(162) 및 보호층(164)에 형성된 콘택홀을 통해 공통전극(145)에 전기적으로 연결될 수도 있고, 상기 공통라인(150)이 제1기판(110)상에 게이트전극(151)과 동일한 금속으로 형성될 수도 있을 것이다.

[0036] 상기와 같은 구성의 표시영역에 형성된 게이트라인(143)은 게이트링크라인(132)을 통해 구동소자(130)와 연결되어 주사신호가 상기 게이트라인(143)으로 인가되고 데이터라인(144)은 데이터링크라인(134)을 통해 구동소자(130)와 연결되어 화상신호가 상기 데이터라인(144)으로 인가되며, 공통라인(156)은 공통전압 링크라인(146)을 통해 구동소자(130)와 연결되어 공통전압이 상기 공통라인(156)으로 인가된다.

[0037] 도 4a 및 도 4b는 본 발명에 따른 액정표시소자의 더미영역의 부분확대도로서, 도 4a는 평면도이고 도 4b는 도 4a의 II-II'선 단면도이다.

[0038] 도 4a에 도시된 바와 같이, 표시영역(105)의 측면에는 더미영역(107)이 형성된다. 상기 더미영역(107)에는 표시영역(105)의 게이트라인(143)과 접속되는 제1게이트링크라인(132a) 및 제2게이트링크라인(132b), 공통라인(156)과 접속되는 공통전압 링크라인(136)이 배치된다. 도면에서는 상기 제1게이트링크라인(132a) 및 제2게이트링크라인(132b)이 표시영역(105)의 근처에 형성되고 공통전압 링크라인(136)이 그 외부에 형성되지만, 공통전압 링크라인(136)이 표시영역(105) 근처에 형성되고 제1게이트링크라인(132a) 및 제2게이트링크라인(132b)이 표시영역(105) 외부에 형성될 수도 있을 것이다.

[0039] 상기 공통전압 링크라인(136)은 서로 다른 층에 형성되는 제1공통전압 링크라인(136a) 및 제2공통전압 링크라인(136b)과 제2콘택홀(137)을 통해 상기 제1공통전압 링크라인(136a) 및 제2공통전압 링크라인(136b)에 접속되는 제3공통전압 링크라인(136c)으로 이루어진다. 상기 제1공통전압 링크라인(136a) 및 제2공통전압 링크라인(136b)은 서로 다른 층에 형성되며 서로 전기적으로 접속되어있다. 도면에서는 제1공통전압 링크라인(136a)의 폭이 제2공통전압 링크라인(136b) 보다 크게 형성되어 있지만, 이는 설명의 편의를 위한 것이다. 제1공통전압 링크라인(136a)의 폭은 제2공통전압 링크라인(136b)의 폭과 동일하게 형성될 수도 있고 제2공통전압 링크라인(136b)의 폭 보다 작게 형성될 수도 있다.

[0040] 제3공통전압 링크라인(136a)은 상기 제1공통전압 링크라인(136a) 및 제2공통전압 링크라인(136b)과 연결되어 표시영역으로 연장되어 표시영역에 형성되는 공통라인(156)과 전기적으로 접속된다.

[0041] 도면에는 도시하지 않았지만, 상기 더미영역(107)에는 실런트가 도포되어 상기 제1기판(110) 및 제2기판(120)이 합착된다.

[0042] 도 4b에 도시된 바와 같이, 제1게이트링크라인(132a)은 제1기판(110) 위에 형성된다. 이때, 상기 제1게이트링크라인(132a)은 표시영역(105)의 게이트라인(143) 및 박막트랜지스터(150)의 게이트전극(152)와 동일한 공정에 의해 형성된다. 상기 게이트라인(143)과 게이트전극(152) 및 제1게이트링크라인(132a)은 Cr, Mo, Ta, Cu, Ti, Al 또는 Al합금 등의 도전성이 좋은 불투명한 물질을 적층한 후 사진식각방법에 의해 식각함으로써 형성된다.

[0043] 제1게이트링크라인(132a)이 형성된 제1기판(110)에는 SiO₂나 SiN₂와 같은 무기절연물질이 도포되어 게이트절연층(162)이 형성된다.

[0044] 제2게이트링크라인(132b)은 상기 게이트절연층(162) 위에 형성된다. 이때, 상기 제2게이트링크라인(132b)은 표시영역(105)의 데이터라인(144) 및 박막트랜지스터(110)의 소스전극(153)과 동일한 금속으로 형성된다. 이때, 상기 데이터라인(144), 소스전극(153) 및 제2게이트링크라인(132b)은 Cr, Mo, Ta, Cu, Ti, Al 또는 Al합금 등의 도전성이 좋은 불투명한 물질을 적층한 후 사진식각방법에 의해 식각함으로써 형성된다.

[0045] 상기 제1게이트링크라인(132a) 및 제2게이트링크라인(132b)은 표시영역(105)의 게이트라인(143)과 접속된다. 상기 게이트라인(143)은 제1기판(110)에 형성되고 제1게이트링크라인(132a)은 제1기판(110)에 형성되므로, 즉 동일한 층에 형성되므로, 상기 게이트라인(143)과 제1게이트링크라인(132a)은 일체로 형성될 수 있다. 반면에, 제2게이트링크라인(132b)은 게이트절연층(162)에 형성되므로, 게이트라인(143)과 제2게이트링크라인(132b)은 다른 층에 형성된다. 따라서, 본 발명에서는 게이트절연층(162)에 콘택홀(도면표시하지 않음)을 형성하고 상기 게이트라인(143)과 제2게이트링크라인(132b)을 전기적으로 연결한다.

[0046] 상기와 같이, 제1게이트링크라인(132a) 및 제2게이트링크라인(132b)을 각각 다른 층에 형성함으로써 제1게이트링크라인(132a) 및 제2게이트링크라인(132b) 사이의 간격을 최소화할 수 있을 뿐만 아니라, 심지어 제1게이트링크라인(132a) 및 제2게이트링크라인(132b)을 일부 오버랩되도록 형성할 수도 있다. 따라서, 제1게이트링크라인(132a) 및 제2게이트링크라인(132b)이 형성되는 더미영역(107)의 면적을 감소시킬 수 있게 된다.

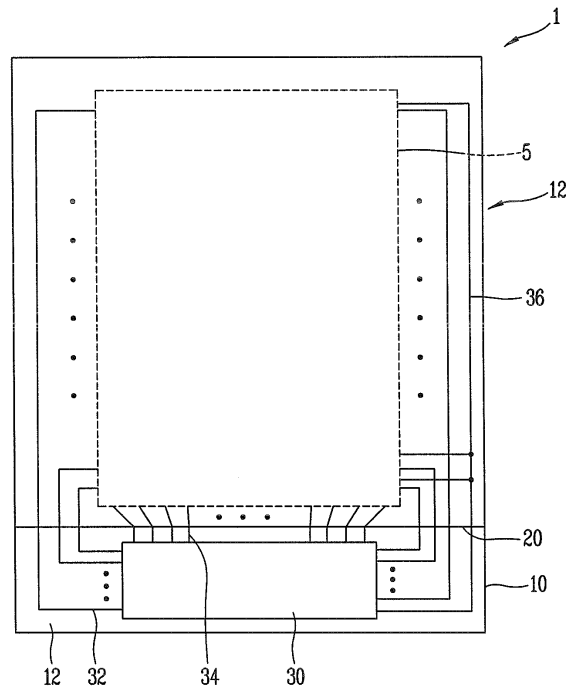
- [0047] 공통전압 링크라인은 제1공통전압 링크라인(136a), 제2공통전압 링크라인(136b) 및 제3공통전압 링크라인(136c)으로 이루어진다. 제1공통전압 링크라인(136a)은 제1기관(110) 위에 형성되고 제2공통전압 링크라인(136b)은 게이트절연층(162) 위에 형성된다. 이때, 상기 제1공통전압 링크라인(136a)은 박막트랜지스터(150)의 게이트전극(151)과 동일한 금속으로 형성되며, 제2공통전압 링크라인(136b)은 소스전극(153)과 동일한 금속으로 이루어진다.
- [0048] 제3공통전압 링크라인(136c)은 보호층(164) 위에 형성된다. 상기 보호층(164)은 BCB(Benzo Cyclo Butene)나 포토아크릴(photoacryl)과 같은 유기물질로 이루어진다. 제3공통전압 링크라인(136c)은 표시영역(105)의 공통전극(145)과 동일한 물질로 이루어지는데, ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide)와 같은 투명도전물질을 적층한 후 식각함으로써 형성된다.
- [0049] 상기 제3공통전압 링크라인(136c)은 게이트절연층(162)과 보호층(164) 및 제2공통전압 링크라인(136b)에 형성된 제2컨택홀(137)을 통해 상기 제1공통전압 링크라인(136a) 및 제2공통전압 링크라인(136b)을 전기적으로 연결할 뿐만 아니라 상기 제1공통전압 링크라인(136a) 및 제2공통전압 링크라인(136b)과 전기적으로 연결되어 상기 제1공통전압 링크라인(136a) 및 제2공통전압 링크라인(136b)을 표시영역(105) 내의 공통라인(156)과 전기적으로 연결시킨다.
- [0050] 이와 같이, 더미영역(107)내에 배치되는 공통전압 링크라인(136)을 서로 오버랩되는 제1공통전압 링크라인(136a) 및 제2공통전압 링크라인(136b)으로 형성하고 이들을 제3공통전압 링크라인(136c)에 의해 전기적으로 연결함에 따라, 더미영역(107) 내의 공통전압 링크라인(136)의 폭을 감소시킬 수 있게 된다. 즉, 공통전압이 흐르는 경로를 2개로 형성함에 따라 공통전압 링크라인(136)의 폭을 감소하는 경우에도 공통전압 링크라인(136)에 부하가 증가하는 것을 방지할 수 있게 된다.
- [0051] 상술한 바와 같이, 본 발명에서는 표시영역(105)의 측면에 형성되는 더미영역(107)의 게이트링크라인(132)을 서로 다른 층에 형성하여 그 간격을 최소화할 뿐만 아니라 공통전압 링크라인을 2층으로 형성하여 그 폭을 최소화할 수 있게 되므로, 상기 더미영역(107)의 면적을 최소화할 수 있게 된다. 따라서, 액정표시소자의 면적을 최소화할 수 있게 된다.
- [0052] 한편, 상술한 설명에서는 본 발명의 특정한 구조만이 도시되어 있지만, 본 발명이 이러한 구조에만 한정되는 것은 아니다. 예를 들면, 도면에서는 공통전극 및 화소전극의 배치가 특정한 층에만 형성되어 있지만, 본 발명이 이러한 구조에만 한정되는 것이 아니라 현재까지 알려진 다양한 구조의 화소를 액정표시소자에 적용될 수 있을 것이다. 또한, 이러한 화소의 구조에 따라 더미영역에서의 게이트링크라인이나 공통전압 링크라인의 배치도 달라질 것이다.
- [0053] 다시 말해서, 게이트링크라인을 서로 다른 층에 형성하여 게이트링크라인 사이의 간격을 감소시키고 공통전압 링크라인을 서로 다른 층에 형성되는 2층의 층으로 형성하여 그 폭을 감소시킬 수만 있다면, 어떠한 화소구조의 액정표시소자나 어떠한 더미구조의 액정표시소자는 본 발명에 포함될 것이다.
- [0054] 따라서, 본 발명의 다른 예나 변형에는 본 발명의 기본적인 개념을 이용한 액정표시소자는 본 발명이 속하는 기술분야에 종사하는 사람이라면 누구나 용이하게 창안할 수 있을 것이다.

도면의 간단한 설명

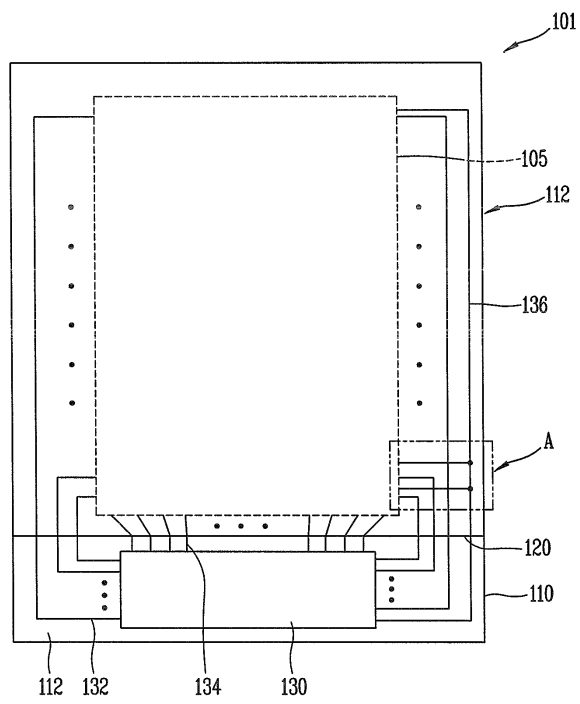
- [0055] 도 1은 종래 액정표시소자의 구조를 나타내는 도면.
- [0056] 도 2는 본 발명에 따른 액정표시소자의 구조를 나타내는 도면.
- [0057] 도 3a는 본 발명에 따른 화소의 구조를 나타내는 도면으로 평면도.
- [0058] 도 3b는 도 3a의 I-I'선 단면도.
- [0059] 도 4a는 도 2의 A영역 확대도.
- [0060] 도 4b는 도4a의 II-II'선 단면도.

도면

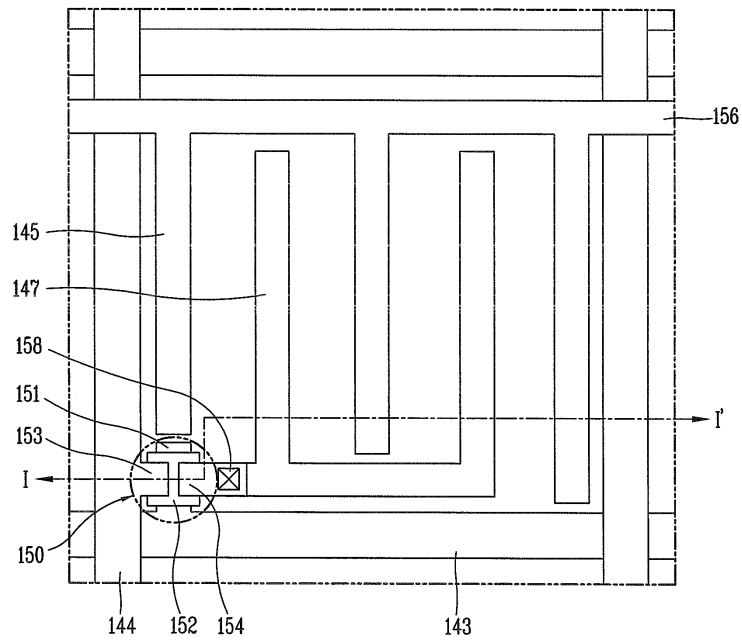
도면1



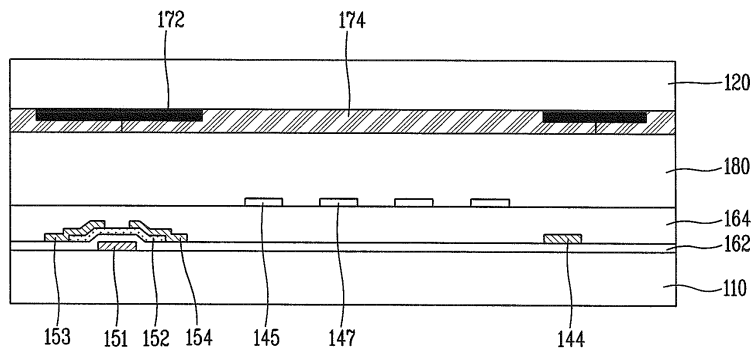
도면2



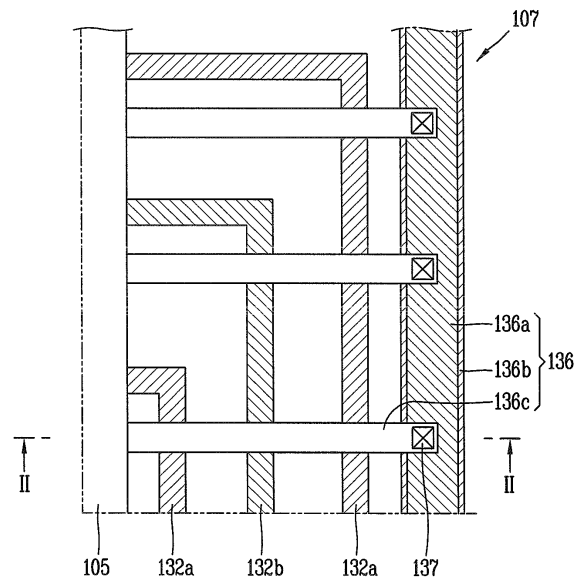
도면3a



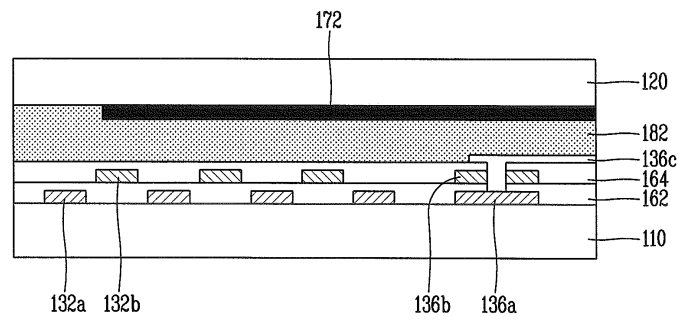
도면3b



도면4a



도면4b



专利名称(译)	液晶显示元件		
公开(公告)号	KR1020110036456A	公开(公告)日	2011-04-07
申请号	KR1020090094131	申请日	2009-10-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO SU HONG 조수홍 KIM KA KYUNG 김가경		
发明人	조수홍 김가경		
IPC分类号	G02F1/1345 G09G3/36		
CPC分类号	G02F1/13452 G02F1/13306 G09G3/3696		
代理人(译)	박장원		
外部链接	Espacenet		

摘要(译)

在本发明的液晶显示器中，由于虚设区域的公共电压连接线形成成为两层，所以公共电压连接线的宽度减小，并且栅极连接线形成在不同的层中，该面积可以最小化，结果，液晶显示元件的面积可以最小化。

