



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0004307
(43) 공개일자 2011년01월13일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2010-0064470

(22) 출원일자 2010년07월05일

심사청구일자 없음

(30) 우선권주장
1020090061485 2009년07월07일 대한민국(KR)

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

노영훈

경기도 파주시 월롱면 덕은리 파주LCD산업단지 정
다운마을 103동 1410호

강호철

경기도 고양시 일산서구 주엽2동 문촌마을1단지아파트 우성아파트 110동 801호

(74) 대리인

특허법인 네이트

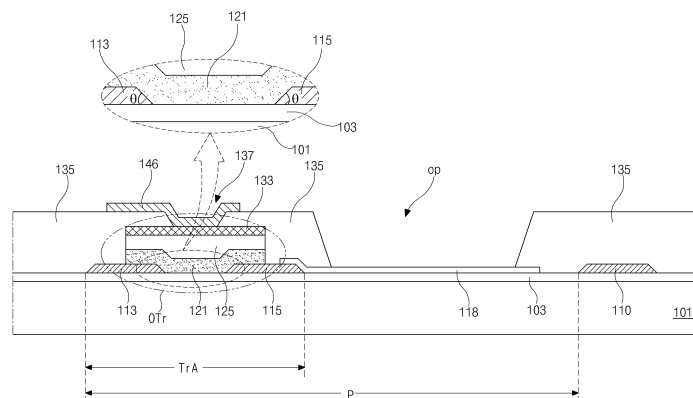
전체 청구항 수 : 총 13 항

(54) 액정표시장치용 어레이 기판 및 이의 제조 방법

(57) 요약

본 발명은, 스위칭 영역을 갖는 화소영역이 정의(定義)된 절연기관 상의 상기 화소영역의 경계에 일방향으로 연장하는 데이터 배선과; 상기 절연기관 상의 상기 스위칭 영역에 서로 이격하며 그 양 끝단은 각각 상기 끝단의 그 측면이 상기 기판면과 90도보다 작은 제 1 각도를 이루어 테이퍼 형태를 갖는 소스 및 드레인 전극과; 상기 화소영역에 상기 드레인 전극의 일끝단과 접촉하며 형성된 투명한 화소전극과; 상기 소스 및 드레인 전극의 서로 마주하는 일끝단과 이들 두 전극의 이격영역에 형성되어 상기 소스 및 드레인 전극과 보텀 콘택을 이루는 유기 반도체층과; 상기 유기 반도체층 위로 이와 동일한 형태 및 면적을 가지며 완전 중첩하며 순차 적층된 게이트 절연막 및 게이트 전극과; 상기 게이트 전극 위로 상기 게이트 전극을 노출시키는 게이트 콘택홀과 상기 화소전극을 노출시키는 오픈부를 가지며 형성된 제 1 보호층과; 상기 제 1 보호층 위로 상기 게이트 콘택홀을 통해 상기 게이트 전극과 접촉하며 상기 데이터 배선과 교차하며 상기 화소영역의 경계에 형성된 게이트 배선을 포함하는 액정표시장치용 어레이 기판 및 이의 제조 방법을 제공한다.

대표도 - 도3



특허청구의 범위

청구항 1

스위칭 영역을 갖는 화소영역이 정의(定義)된 절연기관 상의 상기 화소영역의 경계에 일방향으로 연장하는 데이터 배선과;

상기 절연기관 상의 상기 스위칭 영역에 서로 이격하며 그 양 끝단은 각각 상기 끝단의 그 측면이 상기 기판면과 90도보다 작은 제 1 각도를 이루어 테이퍼 형태를 갖는 소스 및 드레인 전극과;

상기 화소영역에 상기 드레인 전극의 일끝단과 접촉하며 형성된 투명한 화소전극과;

상기 소스 및 드레인 전극의 서로 마주하는 일끝단과 이들 두 전극의 이격영역에 형성되어 상기 소스 및 드레인 전극과 보텀 콘택을 이루는 유기 반도체층과;

상기 유기 반도체층 위로 이와 동일한 형태 및 면적을 가지며 완전 중첩하며 순차 적층된 게이트 절연막 및 게이트 전극과;

상기 게이트 전극 위로 상기 게이트 전극을 노출시키는 게이트 콘택홀과 상기 화소전극을 노출시키는 오픈부를 가지며 형성된 제 1 보호층과;

상기 제 1 보호층 위로 상기 게이트 콘택홀을 통해 상기 게이트 전극과 접촉하며 상기 데이터 배선과 교차하며 상기 화소영역의 경계에 형성된 게이트 배선

을 포함하는 액정표시장치용 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 제 1 보호층은 유기절연물질로 이루어지며, 상기 제 1 보호층과 상기 게이트 배선 사이에 상기 제 1 보호층과 동일한 형태 및 면적을 가지며 완전 중첩하는 형태로 무기절연물질로 이루어진 제 2 보호층이 형성된 것이 특징인 액정표시장치용 어레이 기판.

청구항 3

제 1 항에 있어서,

상기 소스 및 드레인 전극과 상기 기판 사이에 무기절연물질로 이루어진 버퍼층이 상기 기판 전면에 형성된 것이 특징인 액정표시장치용 어레이 기판.

청구항 4

스위칭 영역을 갖는 화소영역이 정의(定義)된 절연기관 상의 상기 화소영역의 경계에 일방향으로 연장하는 게이트 배선과;

상기 절연기관 상의 상기 스위칭 영역에 상기 게이트 배선과 연결되며 형성된 게이트 전극과;

상기 게이트 배선 및 게이트 전극 위로 전면에 평탄한 표면 상태를 가지며 형성된 게이트 절연막과;

상기 게이트 절연막 위로 상기 화소영역의 경계에 상기 게이트 배선과 교차하며 형성된 데이터 배선과;

상기 게이트 절연막 위로 상기 스위칭 영역에 상기 게이트 전극에 대응하여 서로 이격하며 그 양 끝단은 각각 상기 끝단의 그 측면이 상기 게이트 절연막과 90도보다 작은 제 1 각도를 이루어 테이퍼 형태를 갖는 소스 및 드레인 전극과;

상기 게이트 절연막 위로 상기 화소영역에 상기 드레인 전극의 일끝단과 접촉하며 형성된 투명한 화소전극과;

상기 소스 및 드레인 전극의 서로 마주하는 일끝단과 이들 두 전극의 이격영역에 형성되어 상기 소스 및 드레인 전극과 보텀 콘택을 이루는 유기 반도체층과;

상기 유기 반도체층 위로 이와 동일한 형태 및 면적을 가지며 완전 중첩하며 형성된 제 1 보호층과;

상기 제 1 보호층 위로 상기 화소전극을 노출시키는 오픈부를 가지며 형성된 제 2 보호층

을 포함하는 액정표시장치용 어레이 기판.

청구항 5

제 1 항 또는 제 4 항에 있어서,

상기 제 1 각도는 10도 내지 70도인 것이 특징인 액정표시장치용 어레이 기판.

청구항 6

스위칭 영역을 갖는 화소영역이 정의(定義)된 절연기판 상의 상기 화소영역의 경계에 일방향으로 연장하는 데이터 배선을 형성하고, 동시에 상기 스위칭 영역에 서로 이격하며 그 양 끝단은 각각 상기 끝단의 그 측면이 상기 기판면과 90도보다 작은 제 1 각도를 이루어 테이퍼 형태를 갖는 소스 및 드레인 전극을 형성하는 단계와;

상기 절연기판 상의 화소영역에 상기 드레인 전극의 일끝단과 접촉하는 투명한 화소전극을 형성하는 단계와;

상기 소스 및 드레인 전극의 서로 마주하는 일끝단과 이들 두 전극의 이격영역에 아일랜드 형태로 순차 적층된 유기 반도체층과 게이트 절연막 및 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위로 상기 게이트 전극을 노출시키는 게이트 콘택홀과 상기 화소전극을 노출시키는 오픈부를 갖는 제 1 보호층을 형성하는 단계와;

상기 제 1 보호층 위로 상기 화소영역의 경계에 상기 게이트 콘택홀을 통해 상기 게이트 전극과 접촉하며 상기 데이터 배선과 교차하는 게이트 배선을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 7

제 6 항에 있어서,

상기 그 끝단이 테이퍼 형태를 갖는 소스 및 드레인 전극을 형성하는 단계는,

상기 기판 상에 금(Au)을 증착하여 제 1 금속층을 형성하는 단계와;

상기 제 1 금속층 상부로 상기 소스 및 드레인 전극 각각에 대응하여 제 1 포토레지스트 패턴을 형성하는 단계와;

상기 제 1 포토레지스트 패턴 외부로 노출된 상기 제 1 금속층을 그 온도가 33℃ 내지 50℃인 식각액에 노출시켜 35Å/sec보다 큰 식각율을 유지하며 식각하는 단계와;

상기 제 1 포토레지스트 패턴을 제거하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 8

제 6 항에 있어서,

상기 그 끝단이 테이퍼 형태를 갖는 소스 및 드레인 전극을 형성하는 단계는,

상기 기판 상에 건식식각이 가능한 몰리브덴(Mo) 또는 몰리티타늄(MoTi)을 증착하여 제 1 금속층을 형성하는 단계와;

상기 제 1 금속층 상부로 상기 소스 및 드레인 전극 각각에 대응하여 제 1 포토레지스트 패턴을 형성하는 단계와;

상기 제 1 포토레지스트 패턴 외부로 노출된 상기 제 1 금속층에 대해 등방성 특성을 갖는 스퍼터 에칭(sputter etching) 또는 케미칼 에칭(chemical etching)을 실시하는 단계와;

상기 제 1 포토레지스트 패턴을 제거하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 9

제 6 항에 있어서,

상기 게이트 전극과, 게이트 절연막과, 유기 반도체층을 형성하는 단계는,

상기 화소전극 상부로 상기 기판 전면에서 순차적으로 유기 반도체 물질층과, 유기절연물질층과, 건식식각이 가능한 제 2 금속층을 형성하는 단계와;

상기 제 2 금속층 위로 상기 소스 및 드레인 전극 및 이들 두 전극 사이의 이격간격에 대응하여 제 2 포토레지스트 패턴을 형성하는 단계와;

상기 제 2 포토레지스트 패턴 외부로 노출된 상기 제 2 금속층과 그 하부의 상기 유기절연물질층과 상기 유기 반도체 물질층을 건식식각을 진행하여 패터닝하는 단계와;

상기 포토레지스트 패턴을 애싱(ashing)을 진행하여 제거하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 10

제 6 항에 있어서,

상기 소스 및 드레인 전극과 데이터 배선을 형성하기 전에 상기 기판 상에 무기절연물질로 이루어진 버퍼층을 상기 기판 전면에서 형성하는 것이 특징인 액정표시장치용 어레이 기판의 제조 방법.

청구항 11

스위칭 영역을 갖는 화소영역이 정의(定義)된 절연기판 상의 상기 화소영역의 경계에 일방향으로 연장하는 게이트 배선과, 상기 스위칭 영역에 상기 게이트 배선과 연결되며 형성된 게이트 전극을 형성하는 단계와;

상기 게이트 배선 및 게이트 전극 위로 전면에서 평탄한 표면 상태를 갖는 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 상기 화소영역의 경계에 상기 게이트 배선과 교차하는 데이터 배선과, 상기 스위칭 영역에 상기 게이트 전극에 대응하여 서로 이격하며 그 양 끝단은 각각 상기 끝단의 그 측면이 상기 게이트 절연막과 90도보다 작은 제 1 각도를 이루어 테이퍼 형태를 갖는 소스 및 드레인 전극을 형성하는 단계와;

상기 게이트 절연막 위로 상기 화소영역에 상기 드레인 전극의 일끝단과 접촉하는 투명한 화소전극을 형성하는 단계와;

상기 소스 및 드레인 전극의 서로 마주하는 일끝단과 이들 두 전극의 이격영역에 순차 적층된 유기 반도체층과 제 1 보호층을 형성하는 단계와;

상기 제 1 보호층 위로 상기 화소전극을 노출시키는 오픈부를 갖는 제 2 보호층을 형성하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 12

제 11 항에 있어서,

상기 그 끝단이 테이퍼 형태를 갖는 소스 및 드레인 전극을 형성하는 단계는,

상기 게이트 절연막 상에 금(Au)을 증착하여 금속층을 형성하는 단계와;

상기 금속층 상부로 상기 소스 및 드레인 전극 각각에 대응하여 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴 외부로 노출된 상기 금속층을 그 온도가 33℃ 내지 50℃인 식각액에 노출시켜 35Å/sec 보다 큰 식각율을 유지하며 식각하는 단계와;

상기 포토레지스트 패턴을 제거하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 13

제 11 항에 있어서,

상기 그 끝단이 테이퍼 형태를 갖는 소스 및 드레인 전극을 형성하는 단계는,

상기 게이트 절연막 상에 건식식각이 가능한 폴리브덴(Mo) 또는 폴리티타늄(MoTi)을 증착하여 금속층을 형성하는 단계와;

상기 금속층 상부로 상기 소스 및 드레인 전극 각각에 대응하여 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴 외부로 노출된 상기 금속층에 대해 등방성 특성을 갖는 스퍼터 에칭(sputter etching) 또는 케미칼 에칭(chemical etching)을 실시하는 단계와;

상기 포토레지스트 패턴을 제거하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조방법.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 좀 더 자세하게는 유기 반도체 물질을 이용한 유기 반도체층을 갖는 유기 박막트랜지스터를 스위칭 소자로 하며, 소스 및 드레인 전극과 반도체층의 접촉저항이 낮은 특성을 갖는 액정표시장치용 어레이 기판의 제조방법에 관한 것이다.

배경기술

[0002] 근래에 들어 사회가 본격적인 정보화 시대로 접어들어 따라 대량의 정보를 처리 및 표시하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 최근에는 특히 박형화, 경량화, 저소비전력화의 우수한 성능을 지닌 박막트랜지스터(Thin Film Transistor : TFT)형 액정표시장치(TFT-LCD)가 개발되어 기존의 브라운관(Cathode Ray Tube : CRT)을 대체하고 있다.

[0003] 액정표시장치의 화상구현원리는 액정의 광학적 이방성과 분극성질을 이용하는 것으로, 주지된 바와 같이 액정은 분자구조가 가늘고 길며 배열에 방향성을 갖는 광학적 이방성과 전기장 내에 놓일 경우에 그 크기에 따라 분자 배열 방향이 변화되는 분극성질을 띤다. 이에 액정표시장치는 액정층을 사이에 두고 서로 마주보는 면으로 각각 화소전극과 공통전극이 형성된 어레이 기판(array substrate)과 컬러필터 기판(color filter substrate)을 합착시켜 구성된 액정패널을 필수적인 구성요소로 하며, 이들 전극 사이의 전기장 변화를 통해서 액정분자의 배열

방향을 인위적으로 조절하고 이때 변화되는 빛의 투과율을 이용하여 여러 가지 화상을 표시하게 된다.

- [0004] 최근에는 특히 화상표현의 기본단위인 화소(pixel)를 행렬 방식으로 배열하고 스위칭 소자를 각 화소에 배치시켜 독립적으로 제어하는 능동행렬방식(active matrix type)이 해상도 및 동영상 구현능력에서 뛰어나 주목받고 있는데, 이 같은 스위칭 소자로 박막 트랜지스터(Thin Film Transistor : TFT)를 사용한 것이 잘 알려진 TFT-LCD(Thin Firm Transistor Liquid Crystal Display device) 이다.
- [0005] 좀 더 자세히, 일반적인 액정표시장치의 분해사시도인 도 1에 나타난 바와 같이 액정층(30)을 사이에 두고 어레이 기관(10)과 컬러필터 기관(20)이 대면 합착된 구성을 갖는데, 이중 하부의 어레이 기관(10)은 제 1 투명기관(12) 및 이의 상면으로 중첩 교차 배열되어 다수의 화소영역(P)을 정의하는 복수개의 게이트 배선(14)과 데이터 배선(16)을 포함하며, 이들 두 배선(14, 16)의 교차지점에는 박막 트랜지스터(Tr)가 구비되어 각 화소영역(P)에 마련된 화소전극(18)과 일대일 대응 접속되어 있다.
- [0006] 또한 이와 마주보는 상부의 컬러필터 기관(20)은 제 2 투명기관(22) 및 이의 배면으로 상기 게이트 배선(14)과 데이터 배선(16) 그리고 박막트랜지스터(Tr) 등의 비표시영역을 가리도록 각 화소영역(P)을 두르는 격자 형상의 블랙매트릭스(25)가 형성되어 있으며, 이들 격자 내부에서 각 화소영역(P)에 대응되게 순차적으로 반복 배열된 적, 녹, 청색 컬러필터패턴(26a, 26b, 26c)을 포함하는 컬러필터층(26)이 형성되어 있으며, 상기 블랙매트릭스(25)와 컬러필터층(26)의 전면에 걸쳐 투명한 공통전극(28)이 마련되어 있다.
- [0007] 그리고 도면상에 명확하게 도시되지는 않았지만, 이들 두 기관(10, 20)은 그 사이로 개재된 액정층(30)의 누설을 방지하기 위하여 가장자리 따라 실링재 등으로 봉합(封函)된 상태에서 각 기관(10, 20)과 액정층(30)의 경계 부분에는 액정의 분자배열 방향에 신뢰성을 부여하는 상, 하부 배향막이 개재되며, 각 기관(10, 20)의 적어도 하나의 외측면에는 편광판이 부착된다.
- [0008] 더불어 액정패널 배면으로는 백라이트(back-light)가 구비되어 빛을 공급하는 바, 게이트 배선(14)으로 박막트랜지스터(T)의 온(on)/오프(off) 신호가 순차적으로 스캔 인가되어 선택된 화소영역(P)의 화소전극(18)에 데이터 배선(16)의 화상신호가 전달되면 이들 사이의 수직전계에 의해 그 사이의 액정분자가 구동되고, 이에 따른 빛의 투과율 변화로 여러 가지 화상을 표시할 수 있다.
- [0009] 한편, 이 같은 액정표시장치에 있어 어레이 기관(10)과 컬러필터 기관(20)의 모체가 되는 제 1 및 제 2 투명기관(12, 22)은 전통적으로 유리 기관이 사용되었지만, 최근 들어 노트북이나 PDA(personal digital assistant)와 같은 소형의 휴대용 단말기가 널리 보급됨에 따라 이들에 적용 가능하도록 유리보다 가볍고 경량임과 동시에 유연한 특성을 지니고 있어 파손위험이 적은 플라스틱 기관을 이용한 액정패널이 소개된 바 있다.
- [0010] 하지만, 플라스틱 기관을 이용한 액정패널은 액정표시장치의 제조 특성상 특히 스위칭 소자인 박막 트랜지스터가 형성되는 어레이 기관의 제조에는 200℃ 이상의 고온을 필요로 하는 고온 공정이 많아 내열성 및 내화학성이 유리기관 보다 떨어지는 플라스틱 기관으로 상기 어레이 기관을 제조하는 데에는 어려움이 있다. 따라서 상부기관을 이루는 컬러필터 기관만을 플라스틱 기관으로 제조하고 하부기관인 어레이 기관은 통상적인 유리 기관을 이용하여 액정표시장치를 제조하고 있는 실정이다.
- [0011] 이러한 문제를 해결하고자 최근에는 유기 반도체 물질 등을 이용하여 200℃ 이하의 저온 공정을 진행하여 박막 트랜지스터를 형성하는 것을 특징으로 하는 어레이 기관을 제조 하는 기술이 제안되었다. 이러한 저온 공정에 의한 어레이 기관의 제조는 주로 코팅 장치를 이용하므로 값비싼 진공 증착 장비를 이용하여 제조하는 것보다 초기 설비 투자 비용이 매우 저렴하여 결과적으로 제조 비용의 절감을 달성할 수 있는 장점이 있다. 이러한 유기 반도체 물질을 이용한 박막트랜지스터의 제조 공정은 플라스틱 기관을 이용한 제조에만 한정되는 것이 아니라 유기 기관을 이용하여 제작할 수 있음은 당연하다.
- [0012] 이후에는 200℃이하의 저온 공정을 진행되는 유기 반도체 물질을 이용한 어레이 기관의 제조 방법에 대해 간단히 설명한다.
- [0013] 200℃ 이하의 저온 공정으로 배선 및 박막트랜지스터를 포함하는 화소를 형성함에 있어서, 전극과 배선을 이루는 금속물질과 보호층 등의 형성은 저온 증착 또는 코팅의 방법 등을 통해 형성하여도 박막트랜지스터의 특성에 별 영향을 주지 않지만, 캐리어의 이동 통로가 되는 채널을 그 내부에 형성하게 되는 반도체층의 경우, 일반적으로 이용되는 반도체 물질인 비정질 실리콘을 사용하여 이를 200℃ 이하의 저온 공정에서 증착하여 형성하면 내부 구조가 치밀하지 못하여 이동도 등의 중요 특성이 급격히 저하되는 문제가 발생한다.
- [0014] 따라서, 이를 극복하고자 비정질 실리콘 등의 종래의 반도체 물질 대신 반도체 특성을 갖는 유기 물질을 이용하

여 유기 반도체층을 형성하는 것이 제안되고 있다.

- [0015] 유기 반도체층이 구비된 박막트랜지스터를 구성하는 경우, 소스 및 드레인 전극에 대해 상기 유기 반도체층이 어떻게 접촉하는가에 따라 탑 콘택 구조와 보텀 콘택 구조로 나뉘어지고 있다. 탑 콘택 구조는 소스 및 드레인 전극이 먼저 형성되고 이후 상기 유기 발광층이 상기 소스 및 드레인 전극과 접촉하도록 형성됨으로써 상기 소스 및 드레인 전극의 상면과 유기 발광층의 하면이 접촉하는 구성을 갖는 것이고, 보텀 콘택 구조는 유기 반도체층을 형성 후 소스 및 드레인 전극을 형성함으로써 유기 반도체층의 상면과 소스 및 드레인 전극의 하면이 콘택홀을 구성을 갖는 것이다.
- [0016] 한편, 이러한 유기 반도체층을 이루는 유기 반도체 물질은 특히 코팅 타입으로 형성할 수 있는 특성을 갖는 유기 반도체 물질은 패터닝을 위해 주로 사용되는 포토레지스트의 현상액이나 금속물질을 식각하기 위한 식각액에 매우 취약하며, 이에 노출될 시 심각한 소자 특성 저하가 발생하는 문제가 있다.
- [0017] 따라서, 유기 반도체층을 이용하여 박막트랜지스터를 형성하는 경우, 식각액등을 이용한 패터닝을 필요로 하는 소스 및 드레인 전극을 먼저 형성한 후, 상기 소스 및 드레인 전극 상부에 유기 반도체층을 형성함으로써 주로 보텀 콘택(bottom contact) 구조를 갖는 박막트랜지스터를 형성하고 있다.
- [0018] 하지만, 보텀 콘택(bottom contact) 구조의 박막트랜지스터의 경우, 상기 소스 및 드레인 전극과 유기 반도체층과의 접촉저항이 매우 높아지는 문제가 발생하고 있다.
- [0019] 이렇게 보텀 콘택(bottom contact) 구조 박막트랜지스터를 구현하는 경우 소스 및 드레인 전극과 유기 반도체층과의 접촉저항이 높아지는 하나의 주요한 이유로 소스 및 드레인 전극에 있어 서로 마주하는 끝단 부분이 역테이퍼 형태(기판면을 기준으로 상기 기판 면과 상기 소스 및 드레인 전극의 끝단을 이루는 측면이 둔각을 이루는 형태)를 이루기 때문이다.
- [0020] 도 2는 종래의 유기 반도체층을 이용한 액정표시장치에 있어서 기판 상에 소스 및 드레인 전극을 형성한 상태에서 상기 소스 전극의 끝단을 확대 촬영한 것을 나타낸 도면이다.
- [0021] 도시한 바와같이, 종래의 유기 반도체층을 이용한 액정표시장치에 있어 소스 전극의 끝단이 역테이퍼 형태를 이루고 있음을 알 수 있다.
- [0022] 이렇게 소스 및 드레인 전극의 서로 마주하는 끝단이 역테이퍼 구조를 가질 경우, 주로 코팅 장치에 의해 그 상부에 형성되는 유기 발광층은 상기 소스 및 드레인 전극의 끝단에 의해 퍼짐이 원활하게 이루어지지 않음으로서 상기 소스 및 드레인 전극 끝단분에서 상대적으로 큰 두께를 갖도록 형성되며, 이 경우 상기 유기 반도체층 내부의 결정 영역간 경계가 발생하게 되고 이러한 결정 영역간 경계가 캐리어 이동시의 장벽으로 작용하여 이동도 특성 등을 저하시키는 등의 문제가 발생함으로써 소스 및 드레인 전극과 유기 반도체층과의 접촉저항이 높아지게 되는 것이다.
- [0023] 또한, 상기 소스 및 드레인 전극의 끝단이 역테이퍼 구조를 이루는 경우, 상기 소스 및 드레인 전극 형성 후 유기 반도체층을 형성하기 위한 공정 장치로 이동하는 과정에서 이물 등이 부착되고, 특히 이러한 이물이 상기 소스 및 드레인 전극 끝단의 역테이퍼 형태를 이루는 부분(끝단의 측면과 기판 사이 영역)으로 개재되는 경우 세정을 실시한다 하여도 이물이 제거되지 않음으로써 유기 발광층 형성 시 돌기를 형성하거나 또는 부착된 이물에 의해 소스 및 드레인 전극 사이에서 끊김 등이 발생하여 불량률을 상승시키는 문제가 발생하고 있는 실정이다.

발명의 내용

해결하려는 과제

- [0024] 본 발명은 이물이 제거되지 않는 등에 의한 유기 반도체층 형성 불량률을 줄이며, 나아가 보텀 콘택(bottom contact) 구조를 갖는 박막트랜지스터를 구성하면서도 소스 및 드레인 전극과 유기 발광층간의 접촉저항을 낮추어 유기 박막트랜지스터의 특성이 우수한 액정표시장치용 어레이 기판 및 이의 제조 방법을 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

- [0025] 상기와 같은 목적을 달성하기 위한 본 발명의 일 실시예에 따른 액정표시장치용 어레이 기판은, 스위칭 영역을 갖는 화소영역이 정의(定義)된 절연기판 상의 상기 화소영역의 경계에 일방향으로 연장하는 데이터 배선과; 상기 절연기판 상의 상기 스위칭 영역에 서로 이격하며 그 양 끝단은 각각 상기 끝단의 그 측면이 상기 기판면과 90도보다 작은 제 1 각도를 이루어 테이퍼 형태를 갖는 소스 및 드레인 전극과; 상기 화소영역에 상기 드레인 전극의 일끝단과 접촉하며 형성된 투명한 화소전극과; 상기 소스 및 드레인 전극의 서로 마주하는 일끝단과 이들 두 전극의 이격영역에 형성되어 상기 소스 및 드레인 전극과 보텀 콘택을 이루는 유기 반도체층과; 상기 유기 반도체층 위로 이와 동일한 형태 및 면적을 가지며 완전 중첩하며 순차 적층된 게이트 절연막 및 게이트 전극과; 상기 게이트 전극 위로 상기 게이트 전극을 노출시키는 게이트 콘택홀과 상기 화소전극을 노출시키는 오픈부를 가지며 형성된 제 1 보호층과; 상기 제 1 보호층 위로 상기 게이트 콘택홀을 통해 상기 게이트 전극과 접촉하며 상기 데이터 배선과 교차하며 상기 화소영역의 경계에 형성된 게이트 배선을 포함한다.
- [0026] 상기 제 1 보호층은 유기절연물질로 이루어지며, 상기 제 1 보호층과 상기 게이트 배선 사이에 상기 제 1 보호층과 동일한 형태 및 면적을 가지며 완전 중첩하는 형태로 무기절연물질로 이루어진 제 2 보호층이 형성된 것이 특징이다.
- [0027] 상기 소스 및 드레인 전극과 상기 기판 사이에 무기절연물질로 이루어진 버퍼층이 상기 기판 전면에 형성된 것이 특징이다.
- [0028] 본 발명의 또 다른 실시예에 따른 액정표시장치용 어레이 기판은, 스위칭 영역을 갖는 화소영역이 정의(定義)된 절연기판 상의 상기 화소영역의 경계에 일방향으로 연장하는 게이트 배선과; 상기 절연기판 상의 상기 스위칭 영역에 상기 게이트 배선과 연결되며 형성된 게이트 전극과; 상기 게이트 배선 및 게이트 전극 위로 전면에 평탄한 표면 상태를 가지며 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 화소영역의 경계에 상기 게이트 배선과 교차하며 형성된 데이터 배선과; 상기 게이트 절연막 위로 상기 스위칭 영역에 상기 게이트 전극에 대응하여 서로 이격하며 그 양 끝단은 각각 상기 끝단의 그 측면이 상기 게이트 절연막과 90도보다 작은 제 1 각도를 이루어 테이퍼 형태를 갖는 소스 및 드레인 전극과; 상기 게이트 절연막 위로 상기 화소영역에 상기 드레인 전극의 일끝단과 접촉하며 형성된 투명한 화소전극과; 상기 소스 및 드레인 전극의 서로 마주하는 일끝단과 이들 두 전극의 이격영역에 형성되어 상기 소스 및 드레인 전극과 보텀 콘택을 이루는 유기 반도체층과; 상기 유기 반도체층 위로 이와 동일한 형태 및 면적을 가지며 완전 중첩하며 형성된 제 1 보호층과; 상기 제 1 보호층 위로 상기 화소전극을 노출시키는 오픈부를 가지며 형성된 제 2 보호층을 포함한다.
- [0029] 이때, 상기 제 1 각도는 10도 내지 70도인 것이 특징이다.
- [0030] 본 발명의 일 실시예에 따른 액정표시장치용 어레이 기판의 제조 방법은, 스위칭 영역을 갖는 화소영역이 정의(定義)된 절연기판 상의 상기 화소영역의 경계에 일방향으로 연장하는 데이터 배선을 형성하고, 동시에 상기 스위칭 영역에 서로 이격하며 그 양 끝단은 각각 상기 끝단의 그 측면이 상기 기판면과 90도보다 작은 제 1 각도를 이루어 테이퍼 형태를 갖는 소스 및 드레인 전극을 형성하는 단계와; 상기 절연기판 상의 화소영역에 상기 드레인 전극의 일끝단과 접촉하는 투명한 화소전극을 형성하는 단계와; 상기 소스 및 드레인 전극의 서로 마주하는 일끝단과 이들 두 전극의 이격영역에 아일랜드 형태로 순차 적층된 유기 반도체층과 게이트 절연막 및 게이트 전극을 형성하는 단계와; 상기 게이트 전극 위로 상기 게이트 전극을 노출시키는 게이트 콘택홀과 상기 화소전극을 노출시키는 오픈부를 갖는 제 1 보호층을 형성하는 단계와; 상기 제 1 보호층 위로 상기 화소영역의 경계에 상기 게이트 콘택홀을 통해 상기 게이트 전극과 접촉하며 상기 데이터 배선과 교차하는 게이트 배선을 형성하는 단계를 포함한다.
- [0031] 이때, 상기 그 끝단이 테이퍼 형태를 갖는 소스 및 드레인 전극을 형성하는 단계는, 상기 기판 상에 금(Au)을 증착하여 제 1 금속층을 형성하는 단계와; 상기 제 1 금속층 상부로 상기 소스 및 드레인 전극 각각에 대응하여 제 1 포토레지스트 패턴을 형성하는 단계와; 상기 제 1 포토레지스트 패턴 외부로 노출된 상기 제 1 금속층을 그 온도가 33℃ 내지 50℃인 식각액에 노출시켜 35Å/sec보다 큰 식각율을 유지하며 식각하는 단계와; 상기 제 1 포토레지스트 패턴을 제거하는 단계를 포함한다.
- [0032] 또한, 상기 그 끝단이 테이퍼 형태를 갖는 소스 및 드레인 전극을 형성하는 단계는, 상기 기판 상에 건식식각이 가능한 몰리브덴(Mo) 또는 몰리비타늄(MoTi)을 증착하여 제 1 금속층을 형성하는 단계와; 상기 제 1 금속층 상부로 상기 소스 및 드레인 전극 각각에 대응하여 제 1 포토레지스트 패턴을 형성하는 단계와; 상기 제 1 포토레지스트 패턴 외부로 노출된 상기 제 1 금속층에 대해 등방성 특성을 갖는 스퍼터 에칭(sputter etching) 또는 케미칼 에칭(chemical etching)을 실시하는 단계와; 상기 제 1 포토레지스트 패턴을 제거하는 단계를 포함한다.

- [0033] 또한, 상기 게이트 전극과, 게이트 절연막과, 유기 반도체층을 형성하는 단계는, 상기 화소전극 상부로 상기 기관 전면에서 순차적으로 유기 반도체 물질층과, 유기절연물질층과, 건식식각이 가능한 제 2 금속층을 형성하는 단계와; 상기 제 2 금속층 위로 상기 소스 및 드레인 전극 및 이들 두 전극 사이의 이격간격에 대응하여 제 2 포토레지스트 패턴을 형성하는 단계와; 상기 제 2 포토레지스트 패턴 외부로 노출된 상기 제 2 금속층과 그 하부의 상기 유기절연물질층과 상기 유기 반도체 물질층을 건식식각을 진행하여 패터닝하는 단계와; 상기 포토레지스트 패턴을 애싱(ashing)을 진행하여 제거하는 단계를 포함한다.
- [0034] 또한, 상기 소스 및 드레인 전극과 데이터 배선을 형성하기 전에 상기 기관 상에 무기절연물질로 이루어진 버퍼층을 상기 기관 전면에서 형성하는 것이 특징이다.
- [0035] 본 발명의 또 다른 실시예에 따른 액정표시장치용 어레이 기관의 제조방법은, 스위칭 영역을 갖는 화소영역이 정의(定義)된 절연기관 상의 상기 화소영역의 경계에 일방향으로 연장하는 게이트 배선과, 상기 스위칭 영역에 상기 게이트 배선과 연결되며 형성된 게이트 전극을 형성하는 단계와; 상기 게이트 배선 및 게이트 전극 위로 전면에서 평탄한 표면 상태를 갖는 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 상기 화소영역의 경계에 상기 게이트 배선과 교차하는 데이터 배선과, 상기 스위칭 영역에 상기 게이트 전극에 대응하여 서로 이격하며 그 양 끝단은 각각 상기 끝단의 그 측면이 상기 게이트 절연막과 90도보다 작은 제 1 각도를 이루어 테이퍼 형태를 갖는 소스 및 드레인 전극을 형성하는 단계와; 상기 게이트 절연막 위로 상기 화소영역에 상기 드레인 전극의 일끝단과 접촉하는 투명한 화소전극을 형성하는 단계와; 상기 소스 및 드레인 전극의 서로 마주하는 일끝단과 이들 두 전극의 이격영역에 순차 적층된 유기 반도체층과 제 1 보호층을 형성하는 단계와; 상기 제 1 보호층 위로 상기 화소전극을 노출시키는 오픈부를 갖는 제 2 보호층을 형성하는 단계를 포함한다.
- [0036] 상기 그 끝단이 테이퍼 형태를 갖는 소스 및 드레인 전극을 형성하는 단계는, 상기 게이트 절연막 상에 금(Au)을 증착하여 금속층을 형성하는 단계와; 상기 금속층 상부로 상기 소스 및 드레인 전극 각각에 대응하여 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴 외부로 노출된 상기 금속층을 그 온도가 33℃ 내지 50℃인 식각액에 노출시켜 35Å/sec보다 큰 식각율을 유지하며 식각하는 단계와; 상기 포토레지스트 패턴을 제거하는 단계를 포함한다.
- [0037] 또한, 상기 그 끝단이 테이퍼 형태를 갖는 소스 및 드레인 전극을 형성하는 단계는, 상기 게이트 절연막 상에 건식식각이 가능한 폴리브덴(Mo) 또는 폴리티타늄(MoTi)을 증착하여 금속층을 형성하는 단계와; 상기 금속층 상부로 상기 소스 및 드레인 전극 각각에 대응하여 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴 외부로 노출된 상기 금속층에 대해 등방성 특성을 갖는 스퍼터 에칭(sputter etching) 또는 케미칼 에칭(chemical etching)을 실시하는 단계와; 상기 포토레지스트 패턴을 제거하는 단계를 포함한다.

발명의 효과

- [0038] 본 발명에서는 소스 및 드레인 전극의 서로 마주하는 끝단이 테이퍼 형태를 갖도록 형성함으로써 상기 소스 및 드레인 전극 위로 형성되는 유기 반도체층과의 접촉저항을 낮추어 보텀 컨택(bottom contact) 구조를 갖는 유기 박막트랜지스터의 특성을 향상시키는 효과가 있다.
- [0039] 또한 소스 및 드레인 전극 형성 후 이물이 부착된다 하여도 상기 소스 및 드레인 전극의 끝단이 테이퍼 구조를 가지므로 세정에 의해 용이하게 제거됨으로써 이물 부착에 따른 불량 발생을 저감시키는 효과가 있다.

도면의 간단한 설명

- [0040] 도 1은 일반적인 액정표시장치의 분해사시도.
- 도 2는 종래의 유기 반도체층을 이용한 액정표시장치에 있어서 기관 상에 소스 및 드레인 전극을 형성한 상태에서 상기 소스 전극의 끝단을 확대 촬영한 것을 나타낸 도면.
- 도 3은 본 발명의 제 1 실시예에 따른 보텀 컨택(bottom contact) 구조의 유기 박막트랜지스터를 갖는 액정표시장치용 어레이 기관의 유기 박막트랜지스터를 포함하는 하나의 화소영역에 대한 단면도.
- 도 4는 소스 및 드레인 전극의 끝단이 역테이퍼 형태를 갖는 유기 박막트랜지스터가 구비된 종래의 어레이 기관에 있어 유기 박막트랜지스터의 I-V 특성 커브를 나타낸 그래프.

도 5는 소스 및 드레인 전극의 끝단이 테이퍼 형태를 갖는 유기 박막트랜지스터가 구비된 본 발명의 실시예에 따른 어레이 기판에 있어 유기 박막트랜지스터의 I-V 특성 커브를 나타낸 그래프.

도 6a 내지 도 6f는 본 발명의 제 1 실시예에 따른 보텀 콘택 구조의 유기 박막트랜지스터를 구비한 액정표시장치용 어레이 기판에 있어 상기 유기 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도.

도 7a 내지 7c는 금(Au)으로 이루어진 상기 제 1 금속층을 각각 25℃, 33℃ 및 43℃ 의 온도를 갖는 식각액에 대해 노출시켜 식각을 진행하였을 경우, 최종적으로 패터닝 되어 형성된 소스 및 드레인 전극의 끝단을 확대 도시한 사진.

도 8은 본 발명의 제 2 실시예 따른 보텀 콘택 구조의 유기 박막트랜지스터를 갖는 액정표시장치용 어레이 기판의 유기 박막트랜지스터를 포함하는 하나의 화소영역에 대한 단면도.

도 9는 소스 및 드레인 전극의 끝단이 역테이퍼 형태를 갖는 유기 박막트랜지스터가 구비된 종래의 어레이 기판에 있어 유기 박막트랜지스터의 게이트 전극에 인가되는 전압 대비 소스 및 드레인 전극간에 흐르는 전류 크기를 나타낸 그래프.

도 10은 소스 및 드레인 전극의 끝단이 테이퍼 형태를 갖는 유기 박막트랜지스터가 구비된 본 발명의 실시예에 따른 어레이 기판에 있어 유기 박막트랜지스터의 게이트 전극에 인가되는 전압 대비 소스 및 드레인 전극간에 흐르는 전류 크기를 나타낸 그래프.

발명을 실시하기 위한 구체적인 내용

[0041] 이하, 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

[0042] <제 1 실시예>

[0043] 도 3은 본 발명의 제 1 실시예에 따른 보텀 콘택(bottom contact) 구조의 유기 박막트랜지스터를 갖는 액정표시장치용 어레이 기판의 유기 박막트랜지스터를 포함하는 하나의 화소영역에 대한 단면도이다. 이때 설명의 편의를 위해 상기 유기 박막트랜지스터(OTr)가 형성되는 영역을 스위칭 영역(TrA)이라 정의(定義)한다

[0044] 도시한 바와 같이, 유리 또는 플라스틱 재질의 투명한 절연기판(101) 상에 무기절연물질로서 버퍼층(103)이 전면에 형성되어 있다. 이때 상기 버퍼층(103)은 유기 반도체층(121)과의 접합특성을 향상시키기 위해 형성하는 것이며, 기판(101)의 재질에 따라 생략될 수도 있다. 상기 기판(101)이 유리재질로 이루어진 경우, 상기 유리재질의 기판(101)과 유기 반도체층(121)과의 접합력보다는 무기절연물질로 이루어진 버퍼층(103)과 유기 반도체층(121)과의 접합력이 우수하기 때문이다.

[0045] 또한 상기 버퍼층(103) 위로 제 1 금속물질 예를들면, 금(Au), 은(Ag), 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 니켈(Ni), 몰리비타늄(MoTi) 중 어느 하나의 물질로 이루어지며 일방향으로 연장하는 데이터 배선(110)이 형성되어 있으며, 상기 스위칭 영역(TrA)에 있어서는 상기 데이터 배선(110)에서 분기한 형태로 소스 전극(113)과, 이와 이격하며 드레인 전극(115)이 형성되어 있다. 이때, 상기 소스 및 드레인 전극(113, 115)은 그 끝단이 모두 상기 버퍼층(103)을 기준으로 10도 내지 70도 정도의 각도를 가지며 테이퍼 구조를 가지며 형성되고 있는 것이 특징이다. 이렇게 소스 및 드레인 전극(113, 115)의 끝단을 테이퍼 구조를 갖도록 형성하는 방법에 대해서는 추후 제조 방법을 통해 상세히 설명한다.

[0046] 한편, 상기 화소영역(P)에 있어서는 상기 버퍼층(103) 위로 상기 드레인 전극(115)의 일 끝단과 접촉하며 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로써 화소전극(118)이 형성되어 있다. 이때 상기 드레인 전극(115)의 일끝단은 테이퍼 구조를 가지므로, 상기 화소전극(118)과 접촉하는 부분에서 역테이퍼 구조를 이루으로써 발생할 수 있는 빈 공간 등이 형성됨 없이 완전 밀착하여 형성되고 있다. 따라서, 상기 드레인 전극(115)과 화소전극(118)간의 접합특성 또한 역테이퍼 구조를 갖는 종래의 드레인 전극과 화소전극간의 접합특성 대비 향상됨을 알 수 있다.

[0047] 상기 스위칭 영역(TrA)에 있어서는 서로 이격한 상기 소스 및 드레인 전극(113, 115)의 서로 마주한 일 끝단과 각각 접촉하며, 이들 두 전극(113, 115)의 이격한 영역에 대응하여 유기 반도체 물질 예를들면 펜타신

(pentacene) 또는 폴리사이오펜(polythiophene)으로 이루어진 유기 반도체층(121)이 상기 화소전극(118)과 이격하며 형성되어 있다. 이때 상기 소스 및 드레인 전극(113, 115)의 서로 마주하는 끝단이 테이퍼 구조를 가짐으로써 이물 등이 부착되어도 상기 유기 반도체층(121) 형성 전 실시하는 세정공정 진행에 의해 완전히 제거될 수 있으므로, 이물 부착에 의한 유기 반도체층(121) 내의 돌기 형성 또는 유기 반도체층(121)과 접촉되는 끝단 부분에서 빈 공간이 형성되거나, 또는 굽힘 등이 발생없이 비교적 고른 두께를 가지며 상기 유기 반도체층(121)이 형성되고 있는 것이 특징이다.

[0048] 종래와 같이 소스 및 드레인 전극의 끝단이 역테이퍼 구조를 갖게되면 소스 및 드레인 전극 끝단의 측면과는 완전 접촉이 되지 않고 빈 공간이 형성될 수 있으며 이렇게 형성되는 소스 및 드레인 전극 끝단부에서의 빈 공간에 의해 접촉저항 등이 증가되게 된다. 하지만, 본 발명의 실시예에 따른 어레이 기판(101)의 경우 소스 및 드레인 전극(113, 115)의 끝단이 테이퍼 구조를 가짐으로써 상기 소스 및 드레인 전극(113, 115)의 끝단의 측면까지도 유기 반도체층(121)과 완전히 접촉하게 됨을 알 수 있다. 따라서 접촉저항을 낮출 수 있다.

[0049] 다음, 상기 스위칭 영역(TrA)에 있어, 상기 유기 반도체층(121) 위로 상기 유기 반도체층(121)과 동일한 형태 및 동일한 면적을 가지며 완전히 중첩하며 상기 유기 반도체층(121)과의 계면 특성이 매우 우수한 유기 절연물질 예를들면 불소계 고분자 물질 또는 불소계 단량체를 이용한 공중합 고분자 물질로써 게이트 절연막(125)이 형성되어 있다.

[0050] 또한, 상기 게이트 절연막(125) 위로는 상기 게이트 절연막(125)과 동일한 패턴 형태 및 면적을 가지며 건식식각이 가능한 제 2 금속물질 예를들면 폴리브덴(Mo), 크롬(Cr), 티타늄(Ti) 중 하나의 물질로 이루어진 게이트 전극(133)이 상기 게이트 절연막(125)과 완전 중첩하며 형성되어 있다.

[0051] 상기 게이트 전극(133) 위로는 상기 기판(101) 전면에서 유기절연물질 예를들면 포토아크릴 또는 PVA(polyvinyl alcohol)로써 제 1 보호층(135)이 형성되어 있다. 이때 상기 제 1 보호층(135)에는 상기 스위칭 영역(TrA)에 있어서 상기 게이트 전극(133)을 노출시키는 게이트 콘택홀(137)이 구비되고 있으며, 상기 화소영역(P) 내에 구비된 화소전극(118) 대부분을 노출시키는 오픈부(op)가 구비되고 있다.

[0052] 한편, 상기 게이트 콘택홀(137) 및 오픈부(op)를 갖는 제 1 보호층(135) 상부로는 제 3 금속물질 예를들면, 금(Au), 은(Ag), 구리(Cu), 몰리브덴(MoTi), 알루미늄(Al), 알루미늄네오디뮴(AlNd), 니켈(Ni) 중 어느 하나의 물질로 상기 게이트 콘택홀(137)을 통해 상기 게이트 전극(133)과 접촉하며, 동시에 상기 데이터 배선(110)과 교차하여 상기 화소영역(P)을 정의하는 게이트 배선(미도시)이 형성됨으로써 본 발명에 따른 유기 박막트랜지스터(OTr)를 갖는 액정표시장치용 어레이 기판(101)이 완성되고 있다.

[0053] 이때, 도면에 나타내지 않았지만, 상기 제 1 보호층(135)과 상기 게이트 배선(미도시) 사이에 상기 제 1 보호층(135)과 동일한 형태를 가지며 무기절연물질로 이루어진 제 2 보호층(미도시)이 더욱 구비될 수도 있다. 이러한 제 2 보호층(미도시)은 상기 유기절연물질로 이루어진 제 1 보호층(135)과 그 상부에 형성되는 게이트 배선(미도시)과의 접합특성을 향상시키기 위해 형성되는 것이다. 금속물질은 유기절연물질과의 접합력보다는 무기절연물질과의 접합력이 더 우수하기 때문이다.

[0054] 한편, 상기 게이트 배선(미도시) 위로는 상기 게이트 배선(미도시)의 부식 등을 방지하기 위해 유기절연물질 또는 무기절연물질로 이루어진 제 3 보호층(미도시)이 더욱 형성될 수도 있다.

[0055] 도 4는 소스 및 드레인 전극의 끝단이 역테이퍼 형태를 갖는 유기 박막트랜지스터가 구비된 종래의 어레이 기판에 있어 유기 박막트랜지스터의 I-V 특성 커브를 나타낸 그래프이며, 도 5는 소스 및 드레인 전극의 끝단이 테이퍼 형태를 갖는 유기 박막트랜지스터가 구비된 본 발명의 실시예에 따른 어레이 기판에 있어 유기 박막트랜지스터의 I-V 특성 커브를 나타낸 그래프이다.

[0056] 이들 두 그래프를 비교하면, 소스 및 드레인 전극의 끝단이 역테이퍼 형태를 갖는 유기 박막트랜지스터가 구비된 종래의 어레이 기판의 경우 I-V 커브가 거의 직선 형태로 나타나고 있는 반면, 본 발명의 실시예에 따른 어레이 기판의 경우 I-V 커브는 초반에 급격히 증가하다 점진적으로 완화되어 세추레이션(saturation) 되는 형태가 됨을 알 수 있다.

[0057] 박막트랜지스터를 스위칭 소자로 활용하기 위해서는 소스 드레인 전압이 인가되는 초기에 급격히 소스 및 드레인 전류의 크기가 증가하다 특정 크기의 전압을 기준으로 거의 그 전류값의 변화가 없는 형태를 갖는 I-V 커브가 이루어져야 한다.

[0058] 소스 및 드레인 전극의 끝단이 역테이퍼 형태를 갖는 유기 박막트랜지스터가 구비된 종래의 어레이 기판의 경우

I-V커브가 거의 선형적으로 증가하는 형태를 보이고 있으므로 스위칭 소자로서 특성은 좋지 않다고 할 수 있는 반면, 본 발명의 실시예에 따른 어레이 기판의 경우 I-V 커브는 초반에 급격히 증가하다 점진적으로 완화되어 특정 값으로 수렴되는 형태를 이룸으로써 스위칭 소자로서 요구되는 I-V커브 특성을 갖는 유기 박막트랜지스터가 형성되었으며, 종래대비 그 특성 향상이 이루어졌음을 알 수 있다.

[0059] 또한, 도 4와 도 5를 비교하면, 본 발명에 따른 어레이 기판이 종래의 어레이 기판 대비 소스 및 드레인 전극과 유기 반도체층의 접촉저항이 향상되었음을 알 수 있다.

[0060] 일례로, 소스 드레인 전압(V_{ds})이 $-18V$ 인 시점에서 I-V 커브 중 게이트 전압(V_g)이 $-40V$ 가 인가된 것을 나타낸 I-V커브를 비교하면, 종래의 경우 $-1.5\mu A$ 정도의 소스 드레인 전류(I_{ds})가 형성된 것을 보이고 있는 반면, 본 발명의 경우 $-12\mu A$ 의 전류가 생성되었음을 알 수 있다. 이 경우 본 발명에 따른 어레이 기판의 소스 드레인 전류 값이 종래대비 8배 정도 더 큰 값을 가지며, 이는 소스 및 드레인 전극과 유기 반도체층과의 접촉저항이 개선됨으로써 채널층 내에서의 이동도 특성이 향상된 것이 기인한다 할 것이다.

[0061] 도 9는 소스 및 드레인 전극의 끝단이 역테이퍼 형태를 갖는 유기 박막트랜지스터가 구비된 종래의 어레이 기판에 있어 유기 박막트랜지스터의 게이트 전극에 인가되는 전압(V_g) 대비 소스 전극과 드레인 전극 간에 흐르는 소스 드레인 전류(I_{ds}) 크기를 나타낸 그래프이며, 도 10은 소스 및 드레인 전극의 끝단이 테이퍼 형태를 갖는 유기 박막트랜지스터가 구비된 본 발명의 실시예에 따른 어레이 기판에 있어 유기 박막트랜지스터의 게이트 전극에 인가되는 전압(V_g) 대비 소스 전극과 드레인 전극 간에 흐르는 소스 드레인 전류(I_{ds}) 크기를 나타낸 그래프이다.

[0062] 소스 전극 및 드레인 전극의 끝단이 역테이퍼 형태를 갖는 유기 박막트랜지스터가 구비된 종래의 어레이 기판에 있어서는 게이트 전극에 $-35V$ 정도의 전압(V_g)이 인가되고 소스 전극과 드레인 전극 간에는 $-1V$ 내지 $-30V$ 의 전압이 인가되는 경우 소스 드레인 전류(I_{ds})는 $0.01\mu A$ 내지 $1\mu A$ 정도의 크기를 가짐을 보이고 있지만, 소스 전극 및 드레인 전극의 끝단이 테이퍼 형태를 갖는 유기 박막트랜지스터가 구비된 본 발명의 실시예에 따른 어레이 기판에 있어서는 게이트 전극에 $-35V$ 정도의 전압(V_g)이 인가되고 소스 전극과 드레인 전극 간에는 $-1V$ 내지 $-30V$ 의 전압이 인가되는 경우 소스 드레인 전류(I_{ds})는 $0.3\mu A$ 내지 $10\mu A$ 정도의 크기를 가짐을 알 수 있다.

[0063] 따라서, 전술한 바와같이 도 9 및 도 10을 비교해 보아도, 게이트 전극에 일정한 제 1 전압이 인가되고, 소스 전극과 드레인 전극간에도 일정한 제 2 전압이 인가될 때, 소스 및 드레인 전극의 끝단이 테이퍼 형태를 갖는 것을 특징으로 하는 본 발명에 따른 어레이 기판이 소스 및 드레인 전극의 끝단이 역테이퍼 형태를 갖는 종래의 어레이 기판 대비 소스 전극과 드레인 전극 간에 흐르는 소스 드레인 전류(I_{ds})값이 10배 내지 30배 정도 더 큰 값을 가짐을 알 수 있다. 이러한 결과 역시 소스 및 드레인 전극과 유기 반도체층과의 접촉저항이 개선됨으로써 채널층 내에서의 이동도 특성이 향상된 것이라 할 것이다.

[0064] 이후에는 전술한 구조를 갖는 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기판의 제조 방법에 대해 설명한다.

[0065] 도 6a 내지 도 6f는 본 발명의 제 1 실시예에 따른 보텀 콘택 구조의 유기 박막트랜지스터를 구비한 액정표시장치용 어레이 기판에 있어 상기 유기 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도이다. 이때, 설명의 편의상 상기 화소영역(P)내의 상기 유기 박막트랜지스터(OTr)가 형성되는 영역을 스위칭 영역(TrA)이라 정의한다.

[0066] 우선, 도 6a에 도시한 바와 같이, 유리 또는 플라스틱 재질의 투명한 절연기판(101) 상부로 무기절연물질 예를 들면 산화실리콘(SiO_2) 또는 질화실리콘($SiNx$)을 전면 증착함으로써 버퍼층(103)을 형성한다. 이때 상기 버퍼층(103)은 기판의 재질에 따라 생략할 수도 있다.

[0067] 다음, 상기 버퍼층(103) 위로 저저항 금속물질 예를들면 금(Au), 은(Ag), 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 니켈(Ni), 몰리비덴(MoTi) 중 하나를 증착함으로써 제 1 금속층(미도시)을 형성하고, 이를 포토레지스트의 도포, 노광 마스크를 이용한 노광, 포토레지스트의 현상, 상기 제 1 금속층(미도시)의 식각 및 포토레지스트의 스트립(strip) 등 소정의 단계를 포함하는 마스크 공정을 실시하여 패터닝함으로써 일방향으로 연장하는 데이터 배선(110)과, 화소영역(P)별로 상기 데이터 배선(미도시)과 연결된 소스 전극(113)과, 상기 소스 전극(113)에서 소정간격 이격하며 이와 서로 마주하는 드레인 전극(115)을 형성한다. 이때 상기 소스 및 드레인 전극(113, 115)은 그 끝단이 상기 버퍼층(103)을 기준으로 10도 내지 70도 정도의 각도(θ)를 갖는 테이

퍼 구조를 이루도록 형성하는 것이 특징이다.

- [0068] 이때, 상기 소스 및 드레인 전극(113, 115)의 끝단부가 테이퍼 구조를 갖도록 형성하는 방법에 대해 설명한다.
- [0069] 일례로 상기 제 1 금속층(미도시)이 금(Au)으로 이루어진 경우, 상기 제 1 금속층(미도시) 위로 포토레지스트의 도포, 노광 마스크를 이용한 노광 및 현상을 진행하여 포토레지스트 패턴(미도시)을 형성한다. 이후, 상기 포토레지스트 패턴(미도시) 외부로 노출된 상기 제 1 금속층(미도시)을 식각액을 이용하여 식각을 실시할 때, 상기 금(Au)과 반응하여 상기 금(Au)을 녹이는 상기 식각액의 온도를 상온보다 높은 30℃ 내지 50℃가 되도록 가열한 상태에서, 상기 제 1 금속층(미도시)이 상기 30℃ 내지 50℃의 온도를 갖는 상기 식각액에 노출되도록 한다. 이 경우 상기 금(Au)으로 이루어진 제 1 금속층(미도시)은 전술한 온도를 갖는 상기 식각액에 대해서는 35Å/sec 내지 80Å/sec 정도의 식각율을 가지며 반응하게 되는데, 35Å/sec 내지 80Å/sec 정도의 식각율로 금(Au)이 식각액에 녹게되면 그 끝단이 테이퍼 구조를 이루게 된다.
- [0070] 도 7a 내지 7c는 금(Au)으로 이루어진 상기 제 1 금속층을 각각 25℃, 33℃ 및 43℃ 의 온도를 갖는 식각액에 대해 노출시켜 식각을 진행하였을 경우, 최종적으로 패터닝 되어 형성된 소스 및 드레인 전극의 끝단을 확대 도시한 사진이다.
- [0071] 우선, 상온에 근접하는 온도인 25℃의 식각액을 이용하여 제 1 금속층의 식각을 진행한 것을 나타낸 도 7a를 참조하면, 상온에 근접하는 온도를 갖는 25℃의 식각액을 이용하여 금으로 이루어진 제 1 금속층의 식각을 진행한 경우 25Å/sec정도의 식각율로써 상기 제 1 금속층의 식각이 진행되며, 이 경우 최종적으로 패터닝된 소스 및 드레인 전극 끝단은 역테이퍼 구조를 가짐을 알 수 있다.
- [0072] 한편, 33℃의 식각액을 이용하여 제 1 금속층의 식각을 진행한 것을 나타낸 도 7b를 참조하면, 이 경우 35Å/sec정도의 식각율로써 상기 제 1 금속층의 식각이 진행되며, 도시한 바와 같이 소스 및 드레인 전극의 끝단은 기판면(버퍼층)을 기준으로 70도 정도의 각을 갖는 테이퍼 구조를 이루게 됨을 알 수 있다.
- [0073] 또한, 43℃의 식각액을 이용하여 제 1 금속층의 식각을 진행한 것을 나타낸 도 7c를 참조하면, 이 경우 70Å/sec정도의 식각율로써 상기 제 1 금속층의 식각이 진행되며, 도시한 바와 같이 소스 및 드레인 전극의 끝단은 기판면(버퍼층)을 기준으로 약 30도 내지 45도 정도의 각을 갖는 테이퍼 구조를 이루게 됨을 알 수 있다.
- [0074] 따라서, 금(Au)으로 이루어진 제 1 금속층의 경우, 식각액의 온도를 33℃ 내지 50℃ 정도로 유지한 상태에서 식각을 진행함으로써 기판 면에 대해 끝단의 측면이 10도 내지 70도 정도의 각도를 갖는 테이퍼 구조를 갖는 소스 및 드레인 전극을 형성할 수 있다.
- [0075] 한편, 본 발명의 실시예에 있어서는 일례로 소스 및 드레인 전극이 금(Au)으로 이루어진 경우를 일례로 보이고 있지만, 금(Au) 이외에 언급한 다른 금속물질 중 일부에 대해서도 식각액의 온도를 변화시켜 식각율을 높임으로써 전술한 금(Au)으로 이루어진 소스 및 드레인 전극과 같은 유사한 결과를 도출할 수 있을 것이다.
- [0076] 또 다른 일례로 전술한 소스 및 드레인 전극을 형성하는 금속물질 중 건식식각이 가능한 금속물질인 몰리브덴(Mo) 또는 몰리타늄(MoTi)으로 상기 제 1 금속층을 형성한 경우, 등방성 특성을 갖는 스퍼터 에칭(sputter etching) 또는 케미칼 에칭(chemical etching)을 적정 온도에서 실시함으로써 그 끝단이 테이퍼 구조를 갖는 소스 및 드레인 전극을 형성할 수 있다.
- [0077] 다음, 도 6b에 도시한 바와 같이, 그 끝단이 테이퍼 구조를 가지며 서로 이격하며 형성된 상기 소스 및 드레인 전극(113, 115)과 데이터 배선(110) 위로 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면에 증착하고, 이를 마스크 공정을 진행하여 패터닝함으로써 화소영역(P)별로 상기 드레인 전극(115)의 일끝단과 접촉하는 화소전극(118)을 형성한다. 이때 상기 화소전극(118)은 상기 드레인 전극(115)의 일끝단이 테이퍼 구조를 이루므로 빈 공간없이 상기 드레인 전극(115)의 일끝단의 측면과도 완전 접촉하며 형성된다.
- [0078] 다음, 도 6c에 도시한 바와 같이, 상기 데이터 배선(110)과 소스 및 드레인 전극(113, 115)과 상기 화소전극(118) 위로 전면에 액상의 유기 반도체 물질 예를들면 액상의 펜타신(pentacene) 또는 폴리사이오펜(polythiophene)을 잉크젯 장치, 노즐(nozzle) 코팅 장치, 바(bar) 코팅 장치, 슬릿 slit) 코팅장치, 스핀(spin) 코팅장치 등을 이용하여 전면에 코팅함으로써 유기 반도체 물질층(120)을 형성한다. 이렇게 다양한 코팅장치 또는 잉크젯 장치를 통해 상기 소스 및 드레인 전극(113, 115) 위로 형성된 상기 유기 반도체 물질층(120)은 상기 소스 및 드레인 전극(113, 115)의 서로 마주하는 끝단에 대해서도 상기 두 전극(113, 115)의 끝단부

가 테이퍼 형태를 가지므로 상기 소스 및 드레인 전극(113, 115)의 끝단의 측면과 빈 공간 형성없이 완전히 접촉하도록 형성되게 된다. 또한, 이때 상기 소스 및 드레인 전극(113, 115)의 끝단부가 상기 버퍼층(103)과 10도 내지 70도의 완만한 경사를 가지며 형성됨으로서 상기 소스 및 드레인 전극(113, 115)의 끝단부에 있어서 상기 유기 반도체 물질의 코팅 진행시 그 두께가 상대적으로 증가하거나 또는 낮아지는 등의 문제는 발생하지 않게 되는 것이 특징이다. 또한 상기 소스 및 드레인 전극(113, 115)의 끝단이 테이퍼 형태를 이룸으로써 종래의 역 테이퍼 구조를 이룰 시 이물이 상기 소스 및 드레인 전극의 끝단과 버퍼층 사이에 끼여 제거되지 않는 등의 문제 또한 발생하지 않게 된다.

[0079] 이후, 연속하여 상기 유기 반도체 물질층(120) 위로 유기 절연물질 예를들면 불소계 고분자 물질 또는 불소계 단량체를 이용한 공중합 고분자 물질을 전술한 잉크젯 장치, 노즐(nozzle) 코팅 장치, 바(bar) 코팅 장치, 슬릿(slit) 코팅장치, 스핀(spin) 코팅장치 등을 이용하여 전면에 코팅함으로써 그 표면이 평탄한 형태를 갖는 게이트 절연물질층(124)을 형성한다.

[0080] 다음, 상기 게이트 절연물질층(124) 위로 건식식각이 용이한 금속물질 예를들면 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti) 중 하나를 증착함으로써 제 2 금속층(131)을 형성한다.

[0081] 다음, 도 6d에 도시한 바와 같이, 상기 제 2 금속층(도 6c의 131) 위로 감광성 물질 예를들면 일반적인 포토아크릴 재질의 포토레지스트 또는 PAC 재질의 포토레지스트를 기판(101) 전면에 도포하고 이를 노광, 현상함으로써 상기 스위칭 영역(TrA)에 서로 이격하는 상기 소스 및 드레인 전극(113, 115)과 이들 두 전극(113, 115) 사이에 이격영역에 대응하도록 포토레지스트 패턴(181)을 형성한다.

[0082] 다음, 상기 포토레지스트 패턴(181)을 블록킹 마스크로하여 건식식각을 진행하여 상기 포토레지스트 패턴 외부로 노출된 제 2 금속층(도 6c의 131)과 그 하부에 위치하는 상기 게이트 절연물질층(도 6c의 124) 및 유기 반도체 물질층(도 6c의 120)을 동시에 제거함으로써 상기 스위칭 영역(TrA)에 아일랜드 형상의 게이트 전극(133)과 이와 동일한 형태 및 면적을 가지며 완전히 중첩하는 아일랜드 형상의 게이트 절연막(125) 및 유기 반도체층(121)을 형성한다. 이때 상기 스위칭 영역(TrA)에 순차 적층 형성된 상기 소스 및 드레인 전극(113, 115)과 유기 반도체층(121)과 게이트 절연막(125)과 게이트 전극(133)은 유기 박막트랜지스터(OTr)를 이룬다.

[0083] 다음, 도 6e에 도시한 바와 같이, 애싱(Ashing)을 진행하여 상기 게이트 전극(133) 상부에 남아있는 상기 포토레지스트패턴(도 6d의 181)을 제거함으로써 상기 게이트 전극(133)을 노출시킨다.

[0084] 이후 노출된 상기 게이트 전극(133) 위로 전면에 유기절연물질 예를들면 포토아크릴 또는 PVA(polyvinyl alcohol)를 도포하여 유기절연물질층(미도시)을 형성하고, 이를 패터닝함으로써 상기 게이트 전극(133)을 노출시키는 게이트 콘택홀(137)과 상기 화소영역(P) 내의 상기 화소전극(118) 대부분을 노출시키는 오픈부(op)를 갖는 제 1 보호층(135)을 형성한다.

[0085] 다음, 도 6f에 도시한 바와 같이, 상기 게이트 콘택홀(137)과 오픈부(op)를 갖는 상기 제 1 보호층(135) 위로 저저항 금속물질 예를들면 금(Au), 은(Ag), 구리(Cu), 몰리브덴(MoTi), 알루미늄(Al), 알루미늄 합금(AlNd), 니켈(Ni) 중 어느 하나의 물질을 증착하여 제 3 금속층(미도시)을 형성하고, 이를 마스크 공정을 진행하여 패터닝함으로써 상기 게이트 콘택홀(137)을 통해 상기 게이트 전극(133)과 접촉하며 상기 데이터 배선(미도시)과 교차하여 상기 화소영역(P)을 정의하는 게이트 배선(146)을 형성함으로써 본 발명의 제 1 실시예에 따른 유기 박막트랜지스터(OTr)를 갖는 액정표시장치용 어레이 기판(101)을 완성한다.

[0086] 이때, 상기 게이트 배선(146)은 상기 화소전극(118)과 그 일부가 중첩하도록 형성함으로써 상기 중첩된 게이트 배선(146)과 화소전극(118) 및 이들 사이에 형성된 상기 제 1 보호층(135)을 포함하여 스토리지 커패시터(미도시)를 이루도록 한다.

[0087] 한편, 도면에서는 나타나지 않았지만, 상기 제 1 보호층(135) 위로 상기 제 3 금속층(미도시)을 형성하기 전에, 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착하여 무기절연물질층(미도시)을 형성하고, 상기 무기절연물질층(미도시)과 그 하부에 유기절연물질층(미도시)을 동시에 패터닝함으로써 상기 게이트 콘택홀(137)과 화소전극(118)을 노출시키는 오픈부(op)를 갖는 유기절연물질로 이루어진 상기 제 1 보호층(135)과 무기절연물질로 이루어진 제 2 보호층(미도시)을 형성할 수도 있다.

[0088] 또한, 상기 게이트 배선(146) 위로 무기절연물질을 증착하고 이를 패터닝함으로써 상기 게이트 배선(146)을 덮는 형태로 제 3 보호층(미도시)을 더욱 형성할 수도 있다.

[0089] 전술한 바와 같이, 본 발명의 제 1 실시예에 따라 제조된 액정표시장치용 어레이 기판(101)은, 탑 게이트 구조

의 유기 박막트랜지스터(OTr)를 구비한 것이 특징이며, 소스 및 드레인 전극(113, 115)의 끝단이 테이퍼 형태를 가짐으로써 그 상부로 유기 반도체층(121)과의 사이에 빈공간이 형성되거나 또는 세정에 의해 제거되지 않는 이물이 개재된 상태로 형성되는 것을 방지하며, 나아가 소스 및 드레인(113, 115) 전극의 끝단의 측면까지 완전히 접촉하며 형성됨으로써 접촉저항을 낮출 수 있는 것이 특징이라 할 것이다.

[0090] <제 2 실시예>

[0091] 도 8은 본 발명의 제 2 실시예 따른 보텀 콘택 구조의 유기 박막트랜지스터를 갖는 액정표시장치용 어레이 기판의 유기 박막트랜지스터를 포함하는 하나의 화소영역에 대한 단면도이다. 본 발명의 제 2 실시예에 있어서 소스 및 드레인 전극의 서로 마주하는 양끝단이 테이퍼 구조를 이루며, 유기 반도체층이 상기 소스 및 드레인 전극 위로 보텀 콘택을 이루면 형성되고 있는 것에 대해서는 제 1 실시예와 동일한 구성을 가지므로, 차별적인 구성을 위주로 설명한다.

[0092] 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판(201)은 제 1 금속물질 예를들면 금(Au), 은(Ag), 구리(Cu), 몰리비덴(MoTi), 알루미늄(Al), 알루미늄 합금(AlNd), 니켈(Ni) 중 어느 하나의 물질로서 일방향으로 연장하는 게이트 배선(미도시)이 형성되어 있으며, 스위칭 영역(TrA)에는 상기 게이트 배선(미도시)과 연결되며 게이트 전극(205)이 형성되어 있다.

[0093] 상기 게이트 배선(미도시) 및 게이트 전극(205) 위로 상기 기판(101) 전면에 유기 반도체층(221)과의 계면 특성이 우수한 유기절연물질 예를들면 불소계 고분자 물질 또는 불소계 단량체를 이용한 공중합 고분자 물질로서 그 표면이 평탄한 상태를 이루며 게이트 절연막(208)이 형성되고 있다.

[0094] 또한, 상기 평탄한 표면을 갖는 게이트 절연막(208) 위로 제 2 금속물질 예를들면 금(Au), 은(Ag), 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 니켈(Ni), 몰리비덴(MoTi) 중 어느 하나의 물질로서 상기 게이트 배선(미도시)과 교차하여 화소영역(P)을 정의하며 데이터 배선(210)이 형성되어 있으며, 상기 스위칭 영역(TrA)에 있어서는 상기 데이터 배선(미도시)에서 분기한 형태로 소스 전극(213)과, 이와 이격하며 드레인 전극(215)이 형성되어 있다. 이때, 상기 소스 및 드레인 전극(213, 215)은 그 끝단이 모두 상기 게이트 절연막(208)을 기준으로 10도 내지 70도 정도의 각도(θ)를 이루며 테이퍼 구조를 가지며 형성되고 있는 것이 특징이다.

[0095] 또한, 상기 화소영역(P)에 있어서는 상기 게이트 절연막(208) 위로 상기 드레인 전극(215)의 일 끝단과 접촉하며 투명 도전성 물질로써 화소전극(218)이 형성되어 있다. 이때 상기 드레인 전극(215)의 일끝단은 테이퍼 구조를 가지므로, 상기 화소전극(218)과 빈 공간 등이 형성됨 없이 완전 밀착하여 형성되고 있다.

[0096] 또한, 상기 서로 이격한 소스 및 드레인 전극(213, 215)의 서로 마주한 끝단과 각각 접촉하며, 이들 두 전극(213, 215)의 이격한 영역 대응하여 유기 반도체 물질 예를들면 펜타신(pentacene) 또는 폴리사이오벤(polythiophene)으로 이루어진 유기 반도체층(221)이 상기 화소전극(218)과 이격하며 형성되어 있다. 이때 상기 소스 및 드레인 전극(213, 215)의 서로 마주하는 끝단이 테이퍼 구조를 가짐으로써 이물 등이 부착되어도 상기 유기 반도체층(221) 형성 전 실시하는 세정공정 진행에 의해 완전히 제거될 수 있으므로 이물 부착에 의한 유기 반도체층(221) 내의 돌기 형성 또는 유기 반도체층(221)과 접촉되는 끝단 부분에서 빈 공간이 형성되거나 또는 긁힘 등의 발생없이 비교적 고른 두께를 가지며 상기 유기 반도체층(221)이 형성되고 있는 것이 특징이다. 이때, 스위칭 영역(TrA)에 있어 기판(201) 상에 순차 적층된 상기 게이트 전극(205)과, 게이트 절연막(208)과, 소스 및 드레인 전극(213, 215)과, 유기 반도체층(221)은 유기 박막트랜지스터(OTr)를 이룬다.

[0097] 또한, 상기 유기 반도체층(221) 위로는 상기 유기 반도체층(221)과 동일한 형태 및 면적을 가지고 완전 중첩하며 제 1 보호층(225)이 형성되어 있으며, 상기 제 1 보호층(225) 위로 상기 기판(201) 전면에 상기 각 화소영역(P) 내의 화소전극(218)을 노출시키는 오픈부(op)를 가지며 제 2 보호층(235)이 구성됨으로써 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판(201)이 완성되고 있다.

[0098] 전술한 구성을 갖는 제 2 실시예에 따른 액정표시장치용 어레이 기판(201)은 유기 박막트랜지스터(OTr)가 보텀 게이트 구조를 이룸으로써 게이트 전극(205)이 소스 및 드레인 전극(213, 215) 하부에 형성되고 있다는 것과, 게이트 배선(미도시)과 게이트 전극(205)이 동일한 층에 구비되고 있다는 것이 제 1 실시예와 차별적인 구성이 되고 있다.

- [0099] 전술한 구성을 갖는 제 2 실시예에 따른 액정표시장치용 어레이 기판의 제조 방법에 대해서 도 8을 참조하여 간단히 설명한다.
- [0100] 우선, 유리 또는 플라스틱 재질의 투명한 절연기판(201) 상에 제 1 금속물질 예를들면 금(Au), 은(Ag), 구리(Cu), 몰리비덴(MoTi), 알루미늄(Al), 알루미늄 합금(AlNd), 니켈(Ni) 중 어느 하나의 물질을 증착하여 제 1 금속층(미도시)을 형성한 후, 이를 마스크 공정을 실시하여 패터닝함으로써 일 방향으로 연장하는 게이트 배선(미도시)을 형성하고, 스위칭 영역(TrA)에 있어서는 상기 게이트 배선(미도시)과 연결된 게이트 전극(205)을 형성한다.
- [0101] 이후, 상기 게이트 배선(미도시)과 게이트 전극(205) 위로 유기 반도체층(221)과의 계면 특성이 우수한 유기절연물질 예를들면 불소계 고분자 물질 또는 불소계 단량체를 이용한 공중합 고분자 물질을 잉크젯 장치, 노즐(nozzle) 코팅 장치, 바(bar) 코팅 장치, 슬릿 slit 코팅장치, 스핀(spin) 코팅장치 등을 이용하여 전면 코팅함으로써 그 표면이 평탄한 형태를 갖는 게이트 절연막(208)을 형성한다.
- [0102] 다음, 상기 게이트 절연막(208) 위로 제 2 금속물질 예를들면 금(Au), 은(Ag), 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 니켈(Ni), 몰리비덴(MoTi) 중 하나를 증착하여 제 2 금속층(미도시)을 형성하고, 이를 패터닝하여 상기 게이트 배선(미도시)과 교차하여 화소영역(P)을 정의하는 데이터 배선(210)을 형성하고, 상기 스위칭 영역(TrA)에 그 끝단이 상기 게이트 절연막(208)을 기준으로 10도 내지 70도 정도의 각도(θ)를 가져 테이퍼 형태를 갖는 서로 마주하는 소스 및 드레인 전극(213, 215)을 형성한다. 이때 상기 소스 전극(213)과 상기 데이터 배선(210)은 서로 연결된 상태가 되도록 형성한다.
- [0103] 그 끝단이 테이퍼 구조를 갖는 소스 및 드레인 전극(213, 215)을 형성하는 방법은 전술한 제 1 실시예와 동일하므로 이에 대해서는 상세한 설명을 생략한다.
- [0104] 다음, 상기 소스 및 드레인 전극(213, 215)과 데이터 배선(210) 위로 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면 코팅하고, 이를 마스크 공정을 진행하여 패터닝함으로써 화소영역(P)별로 상기 드레인 전극(215)의 일끝단과 접촉하는 화소전극(218)을 형성한다.
- [0105] 다음, 상기 화소전극(218) 위로 전면 코팅 액상의 유기 반도체 물질 예를들면 액상의 펜타센(pentacene) 또는 폴리사이오펜(polythiophene)을 잉크젯 장치, 노즐(nozzle) 코팅 장치, 바(bar) 코팅 장치, 슬릿 slit 코팅장치, 스핀(spin) 코팅장치 등을 이용하여 전면 코팅함으로써 유기 반도체 물질층(미도시)을 형성한다. 이후, 연속하여 상기 유기 반도체 물질층(미도시) 위로 유기 절연물질 예를들면 PVA(polyvinyl alcohol)를 도포하여 유기 절연물질층(미도시)을 형성한다.
- [0106] 다음, 상기 유기절연물질층(미도시)과 그 하부의 상기 유기 반도체 물질층(미도시)을 건식식각을 포함하는 패터닝을 진행하여 상기 스위칭 영역(TrA)에 상기 소스 및 드레인 전극(213, 215)과 이들 두 전극(213, 215)의 이격 영역에 순차적으로 동일한 형태를 갖는 유기 반도체층(221)과 제 1 보호층(225)을 형성한다.
- [0107] 다음, 상기 제 1 보호층(225) 위로 유기절연물질 예를들면 벤조사이클로부텐 또는 토아크릴을 도포하거나, 또는 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착하고 이를 패터닝함으로써 상기 화소전극(218)을 노출시키는 오픈부(op)를 갖는 제 2 보호층(235)을 형성함으로써 본 발명의 제 2 실시예에 따른 유기 박막트랜지스터(OTr)를 갖는 액정표시장치용 어레이 기판(201)을 완성한다.

[0108]

부호의 설명

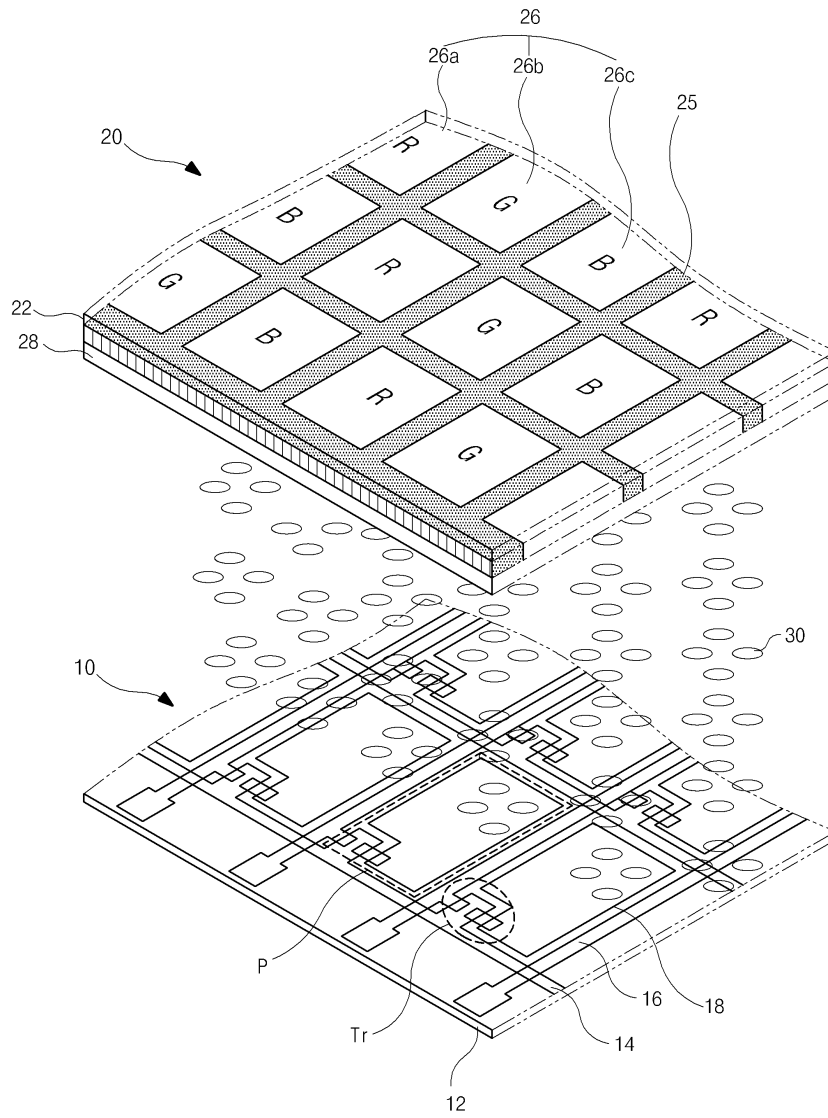
- | | |
|----------------------|---------------|
| [0109] 101 : (어레이)기판 | 103 : 버퍼층 |
| 110 : 데이터 배선 | 113 : 소스 전극 |
| 115 : 드레인 전극 | 118 : 화소전극 |
| 121 : 유기 반도체층 | 125 : 게이트 절연막 |
| 133 : 게이트 전극 | 135 : 제 1 보호층 |
| 137 : 게이트 콘택홀 | 146 : 게이트 배선 |
| op : 오픈부 | P : 화소영역 |

OTr : 유기 박막트랜지스터

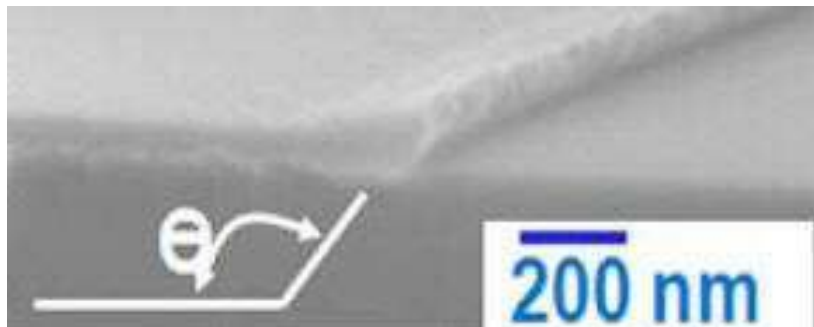
TrA : 스위칭 영역

도면

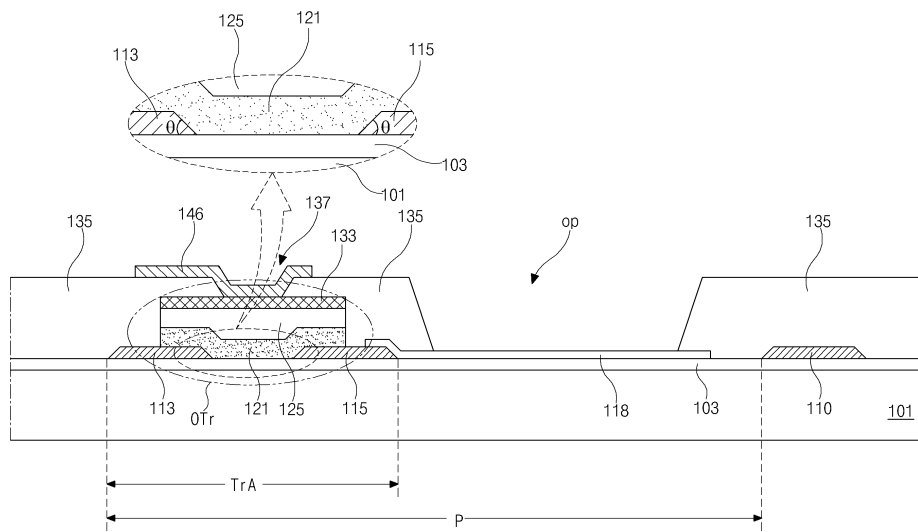
도면1



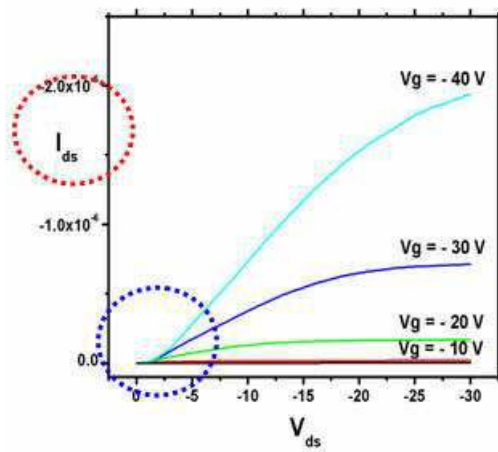
도면2



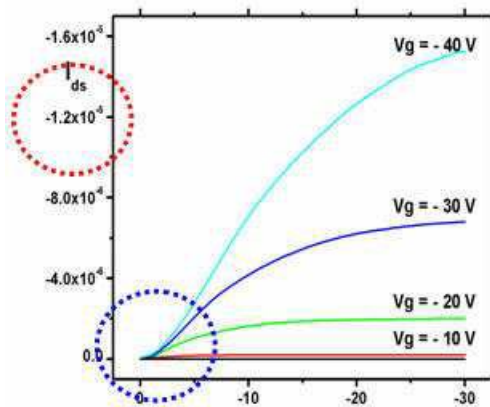
도면3



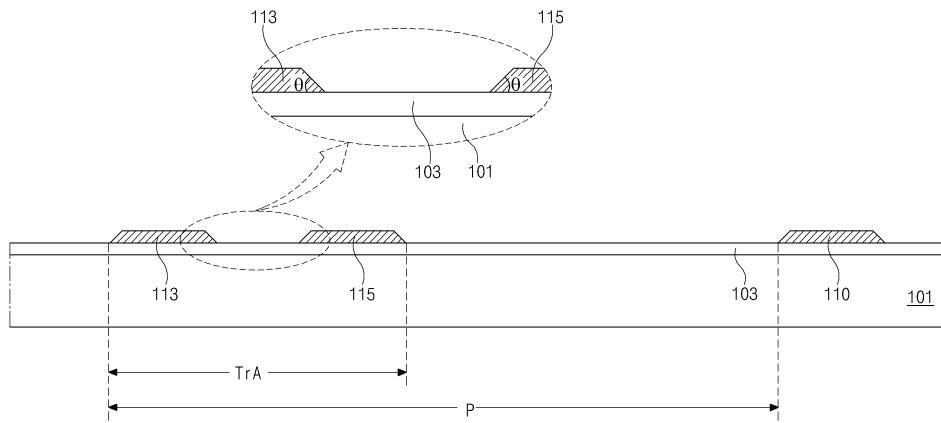
도면4



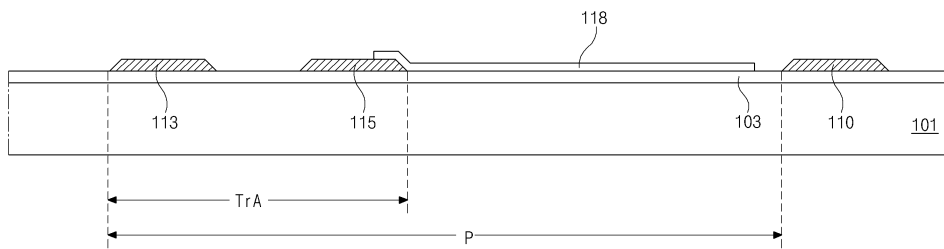
도면5



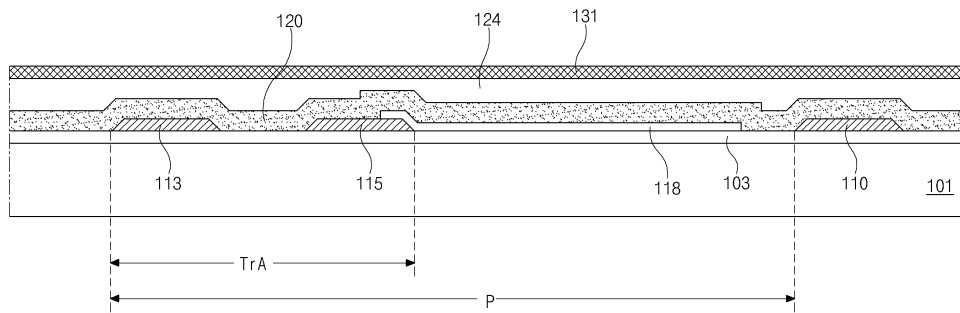
도면6a



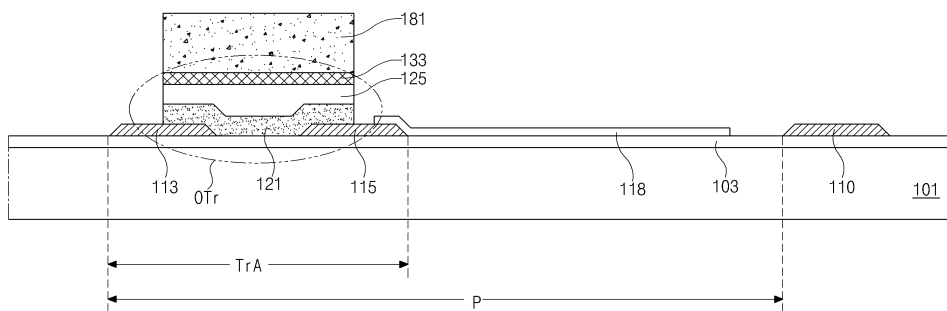
도면6b



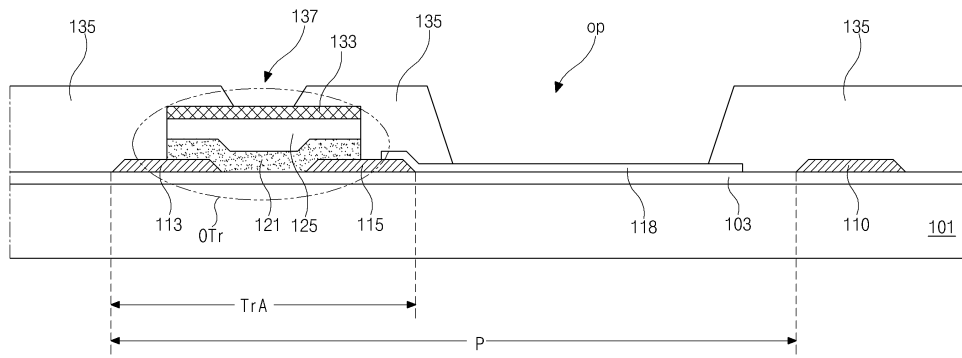
도면6c



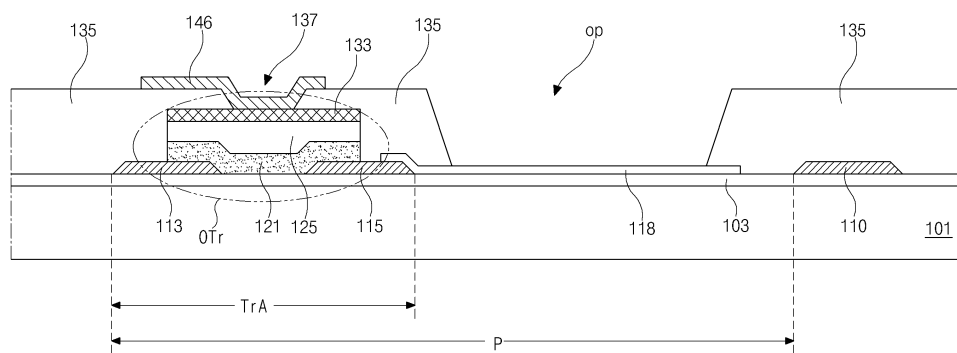
도면6d



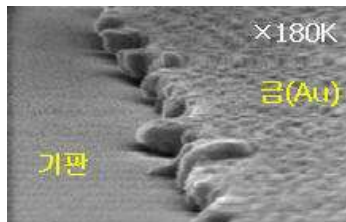
도면6e



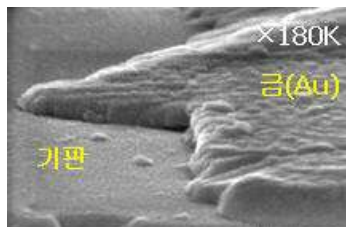
도면6f



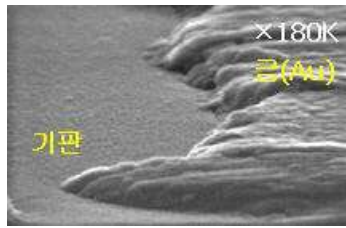
도면7a



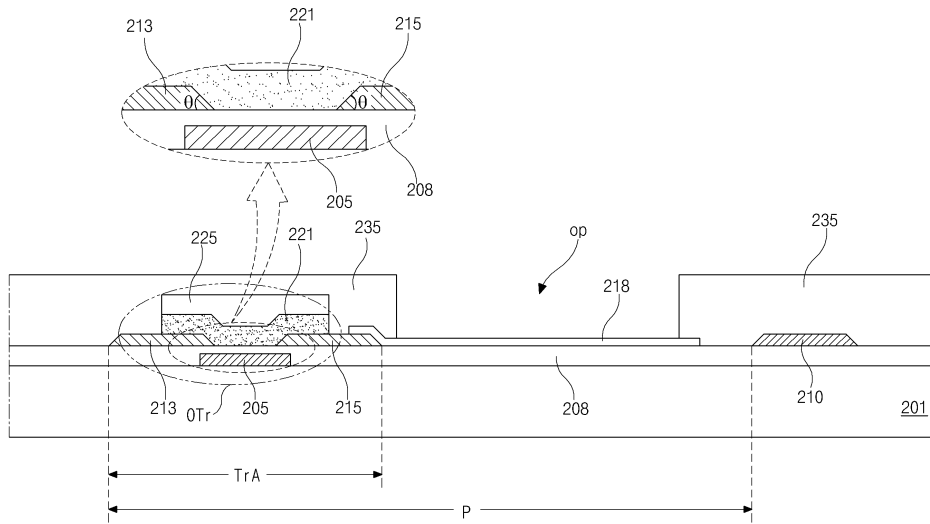
도면7b



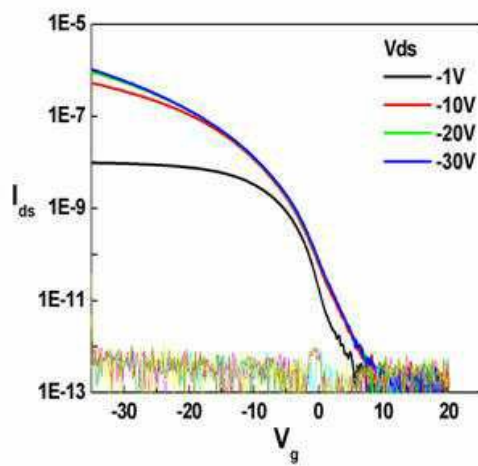
도면7c



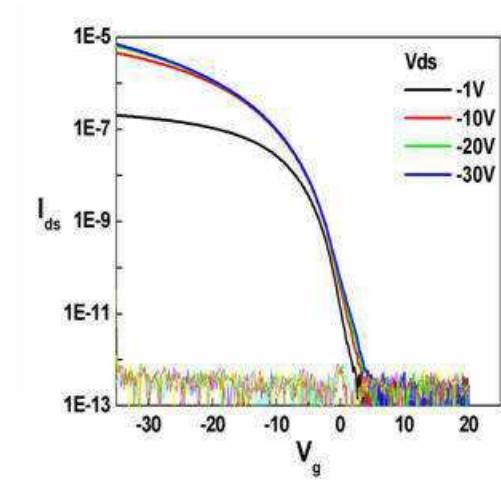
도면8



도면9



도면10



本发明提供一种液晶显示装置，包括：在绝缘基板上的像素区域的边界上沿一个方向延伸的数据线，所述绝缘基板具有限定的开关区域的像素区域；源极和漏极在绝缘基板上的开关区域中彼此间隔开，并且在其两端具有锥形形状，与基板的表面成小于90度的第一角度；透明像素电极形成在像素区域中，与漏电极的一端接触；有机半导体层形成在源极和漏极的一端上，彼此相对并与两个电极间隔开，以形成与源极和漏极的底部接触；栅极绝缘层和栅电极依次堆叠在有机半导体层上，并具有与有机半导体层相同的形状和面积；第一钝化层，具有在栅电极上暴露栅电极的栅极接触孔和暴露像素电极的开口部分；第一保护层向上通过在与栅电极接触的栅极接触孔，并相交的数据线提供了一种液晶显示阵列基板和包括形成在像素区域的边界上的栅极布线的方法。

