



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0129803  
(43) 공개일자 2009년12월17일

(51) Int. Cl.

G02F 1/1345 (2006.01) G02F 1/13 (2006.01)

(21) 출원번호 10-2008-0055901

(22) 출원일자 2008년06월13일

심사청구일자 2008년06월13일

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김병구

경상북도 구미시 구평동 부영아파트 104동 1401호

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 9 항

(54) 액정표시장치용 어레이 기판

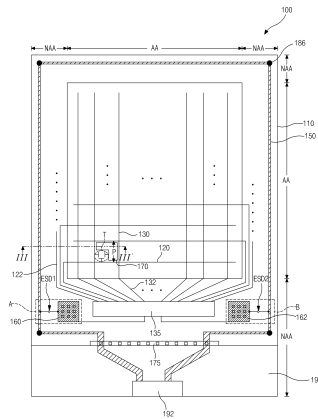
(57) 요약

본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 정전기에 의한 불량을 방지할 수 있는 액정표시장치 및 그 어레이 기판에 관한 것이다.

이를 위한 본 발명에 따른 액정표시장치용 어레이 기판은 표시 영역과 비표시 영역으로 구분된 기판과; 상기 표시 영역에 대응된 다수의 게이트 배선 및 데이터 배선, 박막트랜지스터 및 화소 전극과; 상기 비표시 영역에 대응된 드라이브 IC와; 상기 드라이브 IC와 이격된 양측에 위치하는 제 1 및 제 2 검사 패드와; 상기 비표시 영역의 가장자리를 따라 구성된 공통전압배선과; 상기 제 1 및 제 2 검사 패드와 공통전압배선을 각각 연결하는 제 1 및 제 2 정전기 방지수단을 포함하는 것을 특징으로 한다.

전술한 구성에서, 액정표시장치를 제작하는 공정 중에 정전기가 발생하더라도, 상기 제 1 및 제 2 검사 패드와 각각 연결된 제 1 및 제 2 정전기 방지수단이 설계되어 있기 때문에, 상기 제 1 및 제 2 검사 패드와 드라이브 IC로 유입되는 정전기를 공통전압배선으로 방출할 수 있는 바, 액정 패널을 등전위로 만들 수 있어 정전기에 의한 피해를 최소화할 수 있는 장점이 있다.

대표도 - 도2



**특허청구의 범위**

**청구항 1**

표시 영역과 비표시 영역으로 구분된 기판과;  
 상기 표시 영역에 대응된 다수의 게이트 배선 및 데이터 배선, 박막트랜지스터 및 화소 전극과;  
 상기 비표시 영역에 대응된 드라이브 IC와;  
 상기 드라이브 IC와 이격된 양측에 위치하는 제 1 및 제 2 검사 패드와;  
 상기 비표시 영역의 가장자리를 따라 구성된 공통전압배선과;  
 상기 제 1 및 제 2 검사 패드와 공통전압배선을 각각 연결하는 제 1 및 제 2 정전기 방지수단을 포함하는 액정표시장치용 어레이 기판.

**청구항 2**

제 1 항에 있어서,  
 상기 제 1 검사 패드는 상기 데이터 배선과 동일층에서 동일한 물질로 형성된 것을 특징으로 하는 액정표시장치용 어레이 기판.

**청구항 3**

제 1 항에 있어서,  
 상기 제 1 정전기 방지수단은 절연물질로 이루어진 게이트 절연막을 사이에 두고, 상기 공통전압배선과 제 1 검사 패드의 이격된 사이 공간에 위치하는 제 1 반도체 패턴과, 상기 제 1 반도체 패턴과 접촉되며 양측으로 이격 구성된 제 1 및 제 2 방전 배선을 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판.

**청구항 4**

제 3 항에 있어서,  
 상기 제 1 반도체 패턴과 제 1 및 제 2 방전 배선의 상부에는, 상기 공통전압배선과 제 1 방전 배선의 일 측을 각각 노출하는 제 1 및 제 2 콘택홀과, 상기 제 1 검사 패드를 노출하는 다수의 검사 패드 오픈홀을 포함하는 보호막이 형성되고, 상기 보호막 상부에는 상기 제 1 및 제 2 콘택홀을 통해 상기 공통전압배선과 제 1 방전 배선을 연결하는 제 1 투명 연결패턴이 형성된 것을 특징으로 하는 액정표시장치용 어레이 기판.

**청구항 5**

제 1 항에 있어서,  
 상기 제 2 검사 패드는 상기 게이트 배선 및 공통전압배선과 동일층에서 동일한 물질로 형성된 것을 특징으로 하는 액정표시장치용 어레이 기판.

**청구항 6**

제 1 항에 있어서,  
 상기 제 2 정전기 방지수단은 절연물질로 이루어진 게이트 절연막을 사이에 두고, 상기 공통전압배선과 제 2 검사 패드의 이격된 사이 공간에 위치하는 제 2 반도체 패턴과, 상기 제 2 반도체 패턴과 접촉되며 양측으로 이격 구성된 제 3 및 제 4 방전 배선을 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판.

**청구항 7**

제 6 항에 있어서,  
 상기 제 2 반도체 패턴과 제 3 및 제 4 방전 배선의 상부에는, 상기 공통전압배선과 제 3 방전 배선의 일 측을 각각 노출하는 제 3 및 제 4 콘택홀과, 상기 제 4 방전 배선과 제 2 검사 패드의 일 측을 각각 노출하는 제 5

및 제 6 콘택홀과, 상기 제 2 검사 패드를 노출하는 다수의 제 2 검사 패드 오픈홀을 포함하는 보호막이 형성되고, 상기 보호막 상부에는 상기 제 3 및 제 4 콘택홀을 통해 상기 공통전압배선과 제 3 방전 배선을 연결하는 제 2 투명 연결패턴과, 상기 제 5 및 제 6 콘택홀을 통해 상기 제 4 방전 배선과 제 2 검사 패드를 연결하는 제 3 투명 연결패턴이 각각 형성된 것을 특징으로 하는 액정표시장치용 어레이 기판.

**청구항 8**

제 1 항에 있어서,

상기 제 1 및 제 2 검사 패드는 다수 개 형성되며, 상기 제 1 및 제 2 정전기 방지수단은 상기 제 1 및 제 2 검사 패드의 수에 대응되는 것을 특징으로 하는 액정표시장치용 어레이 기판.

**청구항 9**

제 1 항에 있어서,

상기 공통 전극과 평행하게 이격 구성된 공통 전극 또는 상기 게이트 배선과 평행하게 이격 구성된 스토리지 배선과 전기적으로 연결되며, 상기 제 1 또는 제 2 검사 패드와 이격된 일 측에 형성된 제 3 검사 패드를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 정전기에 의한 불량을 방지할 수 있는 액정표시장치 및 그 어레이 기판에 관한 것이다.

**배경기술**

- <2> 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용하는 바, 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- <3> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- <4> 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소 전극이 행렬방식으로 배열된 능동행렬 액정표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- <5> 이하, 첨부한 도면을 참조하여 종래에 따른 액정표시장치에 대해 설명하도록 한다.
- <6> 도 1은 종래에 따른 중소형 모델의 액정표시장치를 개략적으로 나타낸 평면도이다.
- <7> 도시한 바와 같이, 종래에 따른 액정표시장치(1)는 화상을 구현하는 표시 영역(AA)과, 상기 표시 영역(AA)을 제외한 비표시 영역(NAA)으로 각각 구분된 컬러필터 기판(미도시) 및 어레이 기판(10)과, 상기 컬러필터 기판 및 어레이 기판(10)의 이격된 사이 공간에 개재된 액정층(미도시)을 포함한다. 상기 컬러필터 기판 및 어레이 기판(10)과 액정층을 포함하여 액정 패널(미도시)이라 한다.
- <8> 도면으로 상세히 제시하지는 않았지만, 상기 컬러필터 기판의 하부 면에는 비표시 영역(NAA)에 대응하여 백라이트 유닛(미도시)으로부터 입사되는 빛을 차폐하는 블랙 매트릭스(미도시)와, 상기 표시 영역(AA)에 대응하여 순차적으로 패터닝된 적(R), 녹(G), 청(B) 서브 컬러필터를 포함하는 컬러필터층(미도시)과, 상기 컬러필터층의 하부 전면으로 공통 전극(미도시)이 차례로 구성된다.
- <9> 한편, 상기 어레이 기판(10) 상의 표시 영역(AA)에는 일 방향으로 스캔 신호를 인가받는 다수의 게이트 배선(20)과, 상기 다수의 게이트 배선(20)과 수직 교차하여 다수의 화소 영역(P)을 정의하며, 데이터 신호를 인가받는 다수의 데이터 배선(30)과, 상기 다수의 게이트 및 데이터 배선(20, 30)의 교차지점에 각각 대응 구성된 다수의 박막 트랜지스터(T)와, 상기 다수의 박막트랜지스터(T)와 일대일 대응 연결된 다수의 화소 전극(70)이 구

성된다.

- <10> 또한, 상기 어레이 기관(10) 상의 비표시 영역(NAA)에는 표시 영역(AA)에 대응된 다수의 게이트 배선(20)과 다수의 데이터 배선(30)과 각각 연결되어 드라이브 IC(35)로부터의 스캔 신호와 데이터 신호를 다수의 게이트 배선(20)과 데이터 배선(30)에 각각 인가하는 다수의 게이트 연장배선(22)과 데이터 연장배선(32)이 구성된다.
- <11> 상기 비표시 영역(NAA)의 가장자리를 따라 FPC(Flexible Printed Circuit: 90)를 통해 외부의 공통 전압발생부(미도시)로부터의 공통 신호를 액정 패널의 네 모퉁이에 각각 위치하는 다수의 도통 수단(86)을 통해 컬러필터 기관의 전면에 구성된 공통 전극에 인가하는 공통전압배선(50)이 위치한다. 상기 드라이브 IC(35)와 이격된 양측으로는 게이트 연장배선(22) 및 데이터 연장배선(32)으로 게이트, 데이터의 전압 및 신호 파형을 각각 검사하는 제 1 및 제 2 검사 패드(60, 62)와, 상기 FPC(90)와 연결하기 위한 패드부(75)가 위치한다. 상기 FPC(90)와 연결된 패드부(75)는 FPC 커넥터(92)를 통해 외부의 시스템(미도시)으로부터의 구동 전압을 각각 인가받게 된다. 상기 도통 수단(86)은 은(Ag) 도트가 이용될 수 있다.
- <12> 전술한 액정표시장치(1)는 공통 전극에 인가된 공통 전압과 드라이브 IC(35)를 통해 선택기간에 박막트랜지스터(T)를 통해 화소 전극(70)으로 인가된 데이터 신호 간의 전위차에 의해 액정의 분자배열을 변화시키게 되고, 이러한 액정의 분자배열에 따라 액정층을 투과하는 빛의 양을 조절하여 영상을 구현하게 된다.
- <13> 이때, 상기 어레이 기관(10)은 실리카 계열의 유리로 이루어져 있어 직접적으로 정전기가 유입되는 것은 아니나, 어레이 기관(10) 상에 각 전극 및 배선을 형성하는 과정에서 챔버 내부에 부유하는 이물질이나 갑작스런 순간 전류로 드라이브 IC(35)와 제 1 및 제 2 검사 패드(60, 62)로 정전기가 유입되는 경우가 종종 발생하고 있다.
- <14> 이러한 드라이브 IC(35) 및 제 1 및 제 2 검사 패드(60, 62)로 유입된 정전기는 게이트 및 데이터 배선(20, 30)으로 흘러들어가 표시 영역(AA)에 대응된 박막트랜지스터(T)의 구동을 마비시키는 문제를 유발하여 생산 수율을 급격히 저해하고 있는 상황이다.

**발명의 내용**

**해결 하고자하는 과제**

- <15> 본 발명은 전술한 문제를 해결하기 위해 안출된 것으로, 드라이브 IC 및 검사 패드로 유입되는 정전기에 의한 소자의 파괴를 미연에 방지하는 것을 통해 생산 수율을 개선하는 것을 목적으로 한다.

**과제 해결수단**

- <16> 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이 기관은 표시 영역과 비표시 영역으로 구분된 기관과; 상기 표시 영역에 대응된 다수의 게이트 배선 및 데이터 배선, 박막트랜지스터 및 화소 전극과; 상기 비표시 영역에 대응된 드라이브 IC와; 상기 드라이브 IC와 이격된 양측에 위치하는 제 1 및 제 2\_검사 패드와; 상기 비표시 영역의 가장자리를 따라 구성된 공통전압배선과; 상기 제 1 및 제 2 검사 패드와 공통전압배선을 각각 연결하는 제 1 및 제 2 정전기 방지수단을 포함하는 것을 특징으로 한다.
- <17> 이때, 상기 제 1 검사 패드는 상기 데이터 배선과 동일층에서 동일한 물질로 형성된다. 상기 제 1 정전기 방지수단은 절연물질로 이루어진 게이트 절연막을 사이에 두고, 상기 공통전압배선과 제 1 검사 패드의 이격된 사이 공간에 위치하는 제 1 반도체 패턴과, 상기 제 1 반도체 패턴과 접촉되며 양측으로 이격 구성된 제 1 및 제 2 방전 배선을 포함한다.
- <18> 또한, 상기 제 1 반도체 패턴과 제 1 및 제 2 방전 배선의 상부에는, 상기 공통전압배선과 제 1 방전 배선의 일측을 각각 노출하는 제 1 및 제 2 콘택홀과, 상기 제 1 검사 패드를 노출하는 다수의 검사 패드 오픈홀을 포함하는 보호막이 형성되고, 상기 보호막 상부에는 상기 제 1 및 제 2 콘택홀을 통해 상기 공통전압배선과 제 1 방전 배선을 연결하는 제 1 투명 연결패턴이 형성된 것을 특징으로 한다.
- <19> 이때, 상기 제 2 검사 패드는 상기 게이트 배선 및 공통전압배선과 동일층에서 동일한 물질로 형성된다. 상기 제 2 정전기 방지수단은 절연물질로 이루어진 게이트 절연막을 사이에 두고, 상기 공통전압배선과 제 2 검사 패드의 이격된 사이 공간에 위치하는 제 2 반도체 패턴과, 상기 제 2 반도체 패턴과 접촉되며 양측으로 이격 구성된 제 3 및 제 4 방전 배선을 포함한다.
- <20> 또한, 상기 제 2 반도체 패턴과 제 3 및 제 4 방전 배선의 상부에는, 상기 공통전압배선과 제 3 방전 배선의 일

측을 각각 노출하는 제 3 및 제 4 콘택홀과, 상기 제 4 방전 배선과 제 2 검사 패드의 일 측을 각각 노출하는 제 5 및 제 6 콘택홀과, 상기 제 2 검사 패드를 노출하는 다수의 제 2 검사 패드 오픈홀을 포함하는 보호막이 형성되고, 상기 보호막 상부에는 상기 제 3 및 제 4 콘택홀을 통해 상기 공통전압배선과 제 3 방전 배선을 연결하는 제 2 투명 연결패턴과, 상기 제 5 및 제 6 콘택홀을 통해 상기 제 4 방전 배선과 제 2 검사 패드를 연결하는 제 3 투명 연결패턴이 각각 형성된 것을 특징으로 한다.

- <21> 상기 제 1 및 제 2 검사 패드는 다수 개 형성되며, 상기 제 1 및 제 2 정전기 방지수단은 상기 제 1 및 제 2 검사 패드의 수에 대응된다.
- <22> 상기 공통 전극과 평행하게 이격 구성된 공통 전극 또는 상기 게이트 배선과 평행하게 이격 구성된 스토리지 배선과 전기적으로 연결되며, 상기 제 1 또는 제 2 검사 패드와 이격된 일 측에 형성된 제 3 검사 패드를 포함한다.

**효 과**

- <23> 본 발명에서는 게이트, 데이터, 공통의 전압 및 신호를 검사하는 다수의 검사 패드와 공통전압배선을 다수의 정전기 방지수단과 각각 연결하는 것을 통해 정전기에 의한 피해를 최소화할 수 있다.

**발명의 실시를 위한 구체적인 내용**

- <24> --- 실시예 ---
- <25> 본 발명은 게이트, 데이터, 공통의 신호 및 파형을 검사하는 다수의 검사 패드와 공통전압배선을 다수의 정전기 방지수단과 각각 연결한 것을 특징으로 한다.
- <26> 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치에 대해 설명하도록 한다.
- <27> 도 2는 본 발명에 따른 중소형 모델의 액정표시장치를 개략적으로 나타낸 평면도이고, 도 3은 도 1의 III-III'선을 따라 절단하여 나타낸 단면도이다.
- <28> 도 2와 도 3에 도시한 바와 같이, 본 발명에 따른 액정표시장치(100)는 화상을 구현하는 표시 영역(AA)과, 상기 표시 영역(AA)을 제외한 비표시 영역(NAA)으로 각각 구분된 컬러필터 기관(105) 및 어레이 기관(110)과, 상기 컬러필터 기관(105) 및 어레이 기관(110)의 이격된 사이 공간에 개재된 액정층(115)을 포함하는 액정 패널(125)과, 상기 어레이 기관(110)과 이격된 배면에서 내부광을 발산하는 백라이트 유닛(196)을 포함한다.
- <29> 상기 컬러필터 기관(105)의 투명 기관(101) 하부 면에는 비표시 영역(NAA)과, 상기 표시 영역(AA)에 대응된 화소 영역(P) 간 경계부에 대응하여 백라이트 유닛(196)으로부터 입사되는 빛을 차폐하는 블랙 매트릭스(112)와, 상기 표시 영역(AA)의 블랙 매트릭스(112)를 경계로 순차적으로 패터닝된 적(R), 녹(G), 청(B) 서브 컬러필터(116a, 116b, 116c)를 포함하는 컬러필터층(116)과, 상기 컬러필터층(116)을 덮는 오버 코트층(114)과, 상기 오버 코트층(114)의 하부 전면에 구성된 공통 전극(180)을 포함한다.
- <30> 한편, 상기 어레이 기관(110)의 투명 기관(102) 상부 면에는 표시 영역(AA)에 대응된 일 방향으로 스캔 신호를 인가받는 다수의 게이트 배선(120)과, 상기 다수의 게이트 배선(120)과 수직 교차하여 다수의 화소 영역(P)을 정의하며, 데이터 신호를 인가받는 다수의 데이터 배선(130)과, 상기 다수의 게이트 및 데이터 배선(120, 130)의 교차지점에 각각 대응 구성된 다수의 박막트랜지스터(T)와, 상기 다수의 박막트랜지스터(T)와 일대일 대응 연결된 다수의 화소 전극(170)을 구성한다.
- <31> 또한, 상기 어레이 기관(110)의 투명 기관(102) 상부 면의 비표시 영역(NAA)에는 표시 영역(AA)에 대응된 다수의 게이트 배선(120)과 다수의 데이터 배선(130)과 각각 연결되어 드라이브 IC(135)로부터의 스캔 신호와 데이터 신호를 다수의 게이트 배선(120)과 데이터 배선(130)에 각각 인가하는 다수의 게이트 연장배선(122)과 데이터 연장배선(132)을 구성한다.
- <32> 또한, 상기 비표시 영역(NAA)의 가장자리를 따라 FPC(190)를 통해 외부의 공통 전압발생부(미도시)로부터의 공통 신호를 액정 패널(125)의 네 모퉁이에 각각 위치하는 다수의 도통 수단(186)을 통해 컬러필터 기관(105)의 전면에 구성된 공통 전극(180)에 공통 신호를 인가하는 공통전압배선(150)과, 상기 드라이브 IC(135)와 이격된 양측으로 게이트 연장배선(120) 및 데이터 연장배선(130)으로 인가되는 게이트, 데이터의 전압 및 신호 파형을 각각 검사하는 제 1 및 제 2 검사 패드(160, 162)와, 상기 제 1 및 제 2 검사 패드(160, 162)와 공통전압배선(150)과 각각 연결된 제 1 및 제 2 정전기 방지수단(ESD1, ESD2)과, 상기 FPC(190)와 연결하기 위한 패드부

(175)가 형성된다. 상기 FPC(190)와 연결된 패드부(175)는 FPC 커넥터(192)를 통해 외부의 시스템(미도시)으로부터의 구동 전압을 각각 인가받게 된다.

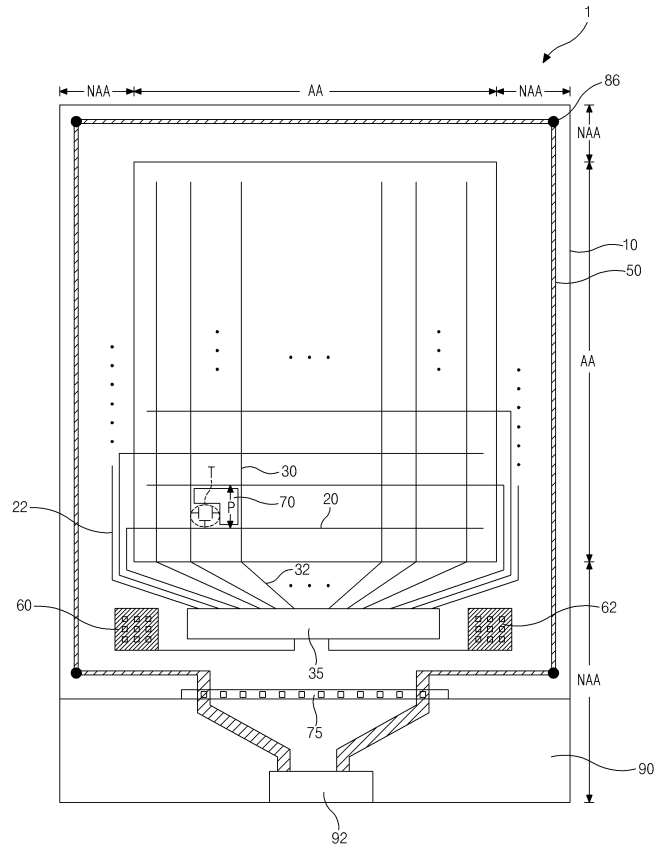
- <33> 상기 도통 수단(186)은 금볼, 은 도트 및 은 페이스트 중 선택된 어느 하나가 이용될 수 있다. 이때, 상기 게이트, 데이터의 전압 및 파형을 검사하는 제 1 및 제 2 검사 패드(160, 162)만을 도시하고 있으나, 어레이 기관(110)에 공통 전극(180)과 화소 전극(170)이 함께 형성되는 횡전계 방식의 액정표시장치나 스토리지 온 커먼 방식으로 스토리지 커패시터를 설계하기 위해 표시 영역(AA)에 대응된 게이트 배선(120)과 평행하게 이격하여 스토리지 배선(미도시)을 설계하는 액정표시장치의 경우 제 1 및 제 2 검사 패드(160, 162)와 이격된 일 측으로 공통의 전압 및 파형을 검사하는 제 3 검사 패드(미도시)가 형성될 수 있다. 이러한 제 1 및 제 2 검사 패드(160, 162)와 제 3 검사 패드는 그 수에 있어서 액정표시장치의 설계 모델에 따라 달라질 수 있다.
- <34> 즉, 상기 제 1 및 제 2 검사 패드(160, 162)는 다수 개 형성될 수 있으며, 상기 제 1 및 제 2 정전기 방지수단(ESD1, ESD2)은 상기 제 1 및 제 2 검사 패드(160, 162)의 수에 대응되도록 형성된다.
- <35> 전술한 구성은 어레이 기관(110) 상에 각 전극 및 배선을 형성하는 과정에서 챔버 내부에 부유하는 이물질이나 갑작스런 순간 전류로 드라이브 IC(135) 및 제 1 및 제 2 검사 패드(160, 162)로 정전기가 유입되더라도, 제 1 및 제 2 검사 패드(160, 162)와 공통전압배선(150)에 각각 연결된 제 1 및 제 2 정전기 방지수단(ESD1, ESD2)을 통해 공통전압배선(150)으로 원활히 방출할 수 있게 된다.
- <36> 따라서, 어레이 기관(110)의 가장자리를 따라 설계되는 공통전압배선(150)으로 정전기를 방출하는 것을 통해 액정 패널(125)의 전 영역으로 정전기를 균일하게 분산시킬 수 있게 되는 바, 액정 패널(125) 내에서 등전위가 이루어지므로 정전기로부터의 피해를 최소화할 수 있게 된다.
- <37> 이하, 첨부한 도면을 참조하여 제 1 및 제 2 정전기 방지수단에 대해 보다 상세히 설명하도록 한다.
- <38> 도 4는 도 2의 A 부분을 확대한 평면도이고, 도 5는 도 4의 V-V'선을 따라 절단하여 나타낸 단면도로, 데이터 전압 및 파형을 검사하는 제 1 검사 패드를 나타낸 것이다.
- <39> 도 4와 도 5에 도시한 바와 같이, 기관(110) 상의 비표시 영역(NAA)에는 게이트 메탈 물질로 이루어진 공통전압 배선(150)이 형성되고, 상기 공통전압배선(150)의 상부 전면으로는 산화 실리콘(SiO<sub>2</sub>)과 질화 실리콘(SiNx)을 포함하는 무기절연물질 그룹 중 선택된 하나로 게이트 절연막(145)이 형성된다.
- <40> 상기 게이트 절연막(145) 상에는 상기 공통전압배선(150)과 이격된 일 측으로 순수 비정질 실리콘(a-Si:H)으로 이루어진 제 1 반도체 패턴(140)과, 상기 제 1 반도체 패턴(140)과 접촉된 상부로 제 1 반도체 패턴(140)을 사이에 두고 양측으로 분리된 제 1 방전 배선(182) 및 제 2 방전 배선(184)과, 상기 제 2 방전 배선(182)과 동일 패턴으로 연장된 제 1 검사 패드(160)가 각각 형성된다. 상기 제 1 및 제 2 방전 배선(182, 184)과 제 1 반도체 패턴(140)을 포함하여 제 1 정전기 방지수단(ESD1)이라 한다.
- <41> 상기 제 1 정전기 방지수단(ESD1)이 형성된 기관(110) 상에는 공통전압배선(150)과 제 1 방전 배선(182)을 노출하는 제 1 및 제 2 콘택홀(CH1, CH2)과, 상기 제 1 검사 패드(150)를 노출하는 다수의 제 1 검사 패드 오픈홀(DPH1)을 포함하는 보호막(155)이 형성된다.
- <42> 상기 제 1 및 제 2 콘택홀(CH1, CH2)과 다수의 제 1 검사 패드 오픈홀(DPH1)을 포함하는 보호막(155) 상에는 제 1 및 제 2 콘택홀(CH1, CH2)을 통해 공통전압배선(150)과 제 1 방전 배선(182)을 연결하는 제 1 투명 연결패턴(172)이 형성된다.
- <43> 전술한 구성을 도 2와 연계하여 설명하면, 액정 패널의 제조 과정 중 챔버 내부에 부유하는 이물질이나 갑작스런 순간 전류로 드라이브 IC(135) 및 제 1 검사 패드(160)로 정전기가 유입될 경우, 드라이브 IC(135)를 타고 게이트 연장배선(122) 및 게이트 배선(120), 데이터 연장 배선(132) 및 데이터 배선(130)으로 흘러들어가는 것이 아니라, 제 1 정전기 방지수단(ESD1)의 제 1 반도체 패턴(140)이 열리면서 공통전압배선(150)으로 정전기를 효율적으로 방출할 수 있게 된다.
- <44> 이와 같이, 공통전압배선(150)을 통해 액정 패널의 전 영역으로 정전기를 분산시키는 것을 통해 등전위가 이루어지므로 정전기에 의한 피해를 최소화할 수 있는 장점이 있다.
- <45> 도 6은 도 2의 B 부분을 확대한 평면도이고, 도 7은 도 6의 VII-VII'선을 따라 절단하여 나타낸 단면도로, 게이트 전압 및 파형을 검사하는 제 2 검사 패드를 나타낸 것이다.
- <46> 도 6과 도 7에 도시한 바와 같이, 기관(110) 상의 비표시 영역(NAA)에는 게이트 메탈 물질로 이루어진 공통전압



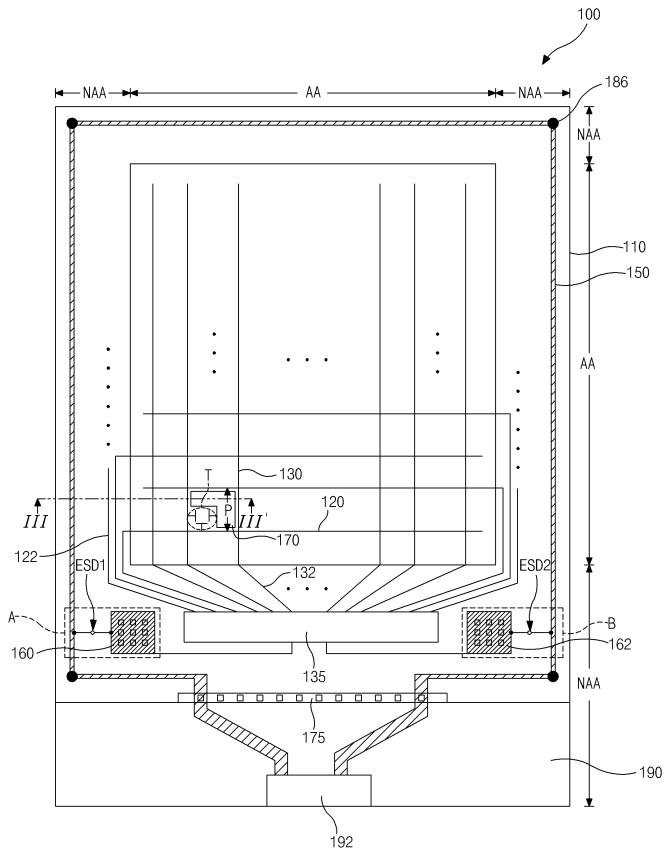
- <66> 160, 162 : 제 1 및 제 2 검사 패드      170 : 화소 전극
- <67> 186 : 도통 수단                              190 : FPC
- <68> 192 : FPC 커넥터                            T : 박막트랜지스터
- <69> ESD1, ESD2 : 제 1 및 제 2 정전기 방지수단

**도면**

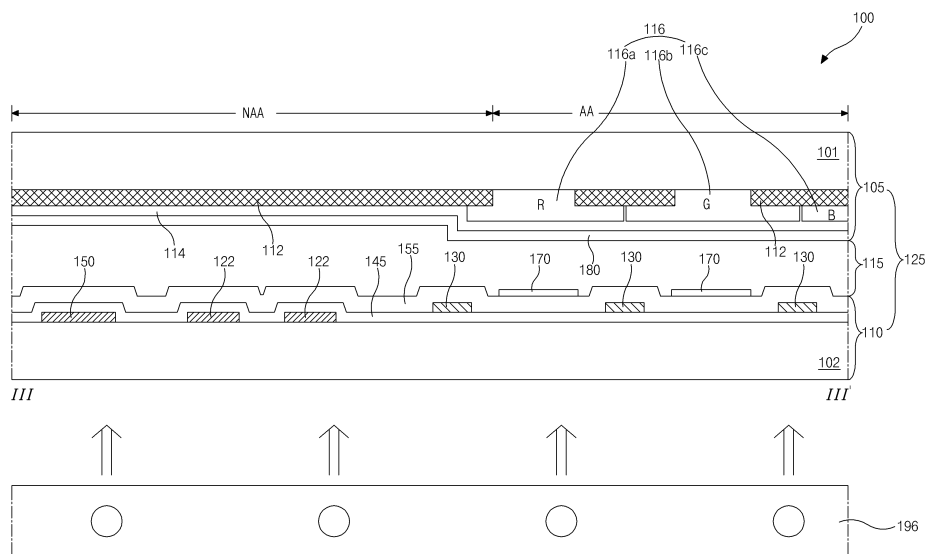
**도면1**



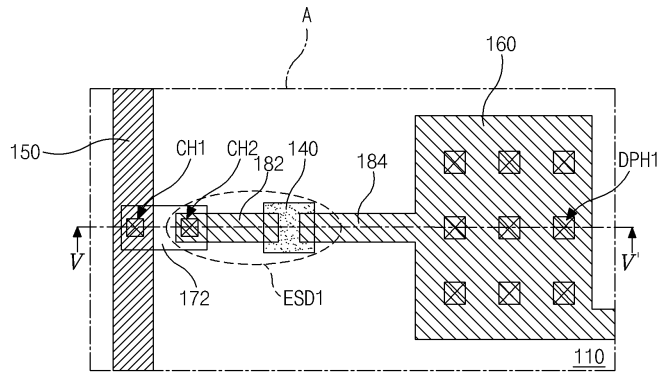
도면2



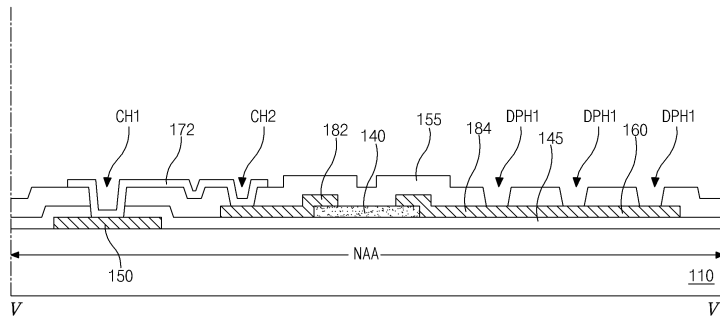
도면3



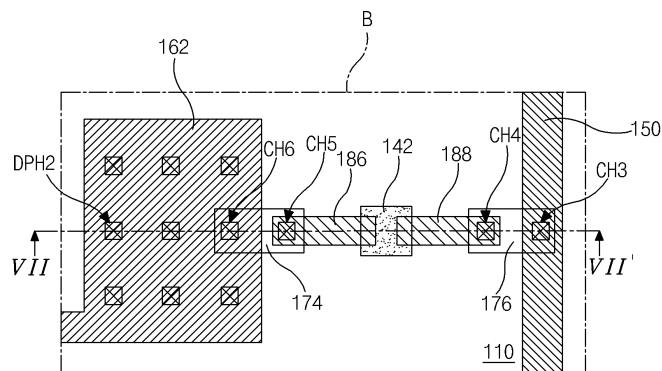
도면4



도면5



도면6



도면7

