



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0125501
(43) 공개일자 2009년12월07일

(51) Int. Cl.

G02F 1/1345 (2006.01) G02F 1/1339 (2006.01)

(21) 출원번호 10-2008-0051644

(22) 출원일자 2008년06월02일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

윤진모

경기도 고양시 덕양구 화정동 옥빛 주공 15단지
1508동 1403호

공인영

서울특별시 강서구 화곡2동 161-34(18/2)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 10 항

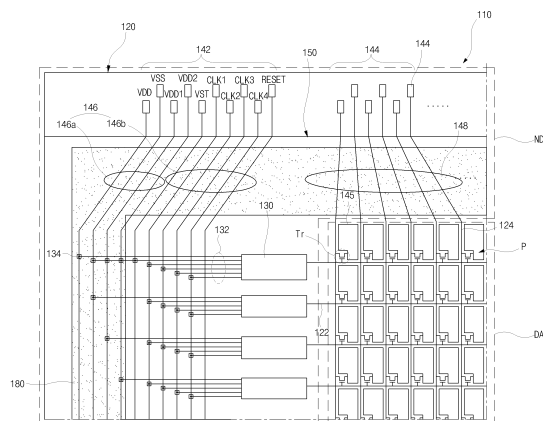
(54) 액정표시장치 및 그 제조방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 좀 더 상세하게는 게이트 인 패널 타입(Gate In Panel Type)의 액정표시장치에 관한 것이다.

본 발명에 따른 GIP 타입 액정표시장치는, 서로 마주보며 이격되며, 표시 영역과 비표시 영역이 정의된 제1 및 제2기판과; 상기 제1기판의 표시 영역에 형성되며, 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선에 연결된 박막트랜지스터와, 상기 박막트랜지스터에 연결된 화소전극과; 상기 비표시 영역에 형성되며, 외부의 직류신호 및 교류신호를 입력받는 게이트 패드 및 데이터 패드와; 상기 게이트 패드에 연결되어, 상기 직류신호를 전달하고 서로 이웃하도록 평행하게 이격되는 다수의 제1게이트링크배선과, 상기 교류신호를 전달하고 서로 이웃하도록 평행하게 이격되는 다수의 제2게이트링크배선을 포함하는 게이트링크배선과; 상기 게이트 링크배선과 연결되는 연결배선과; 상기 연결배선과 연결되며, 상기 직류신호 및 상기 교류신호를 이용하여 게이트 신호를 생성하여 상기 게이트 배선에 공급하는 회로블럭과; 상기 제1 및 제2기판 사이에 형성되며, 상기 게이트링크배선과 중첩하는 셀패턴을 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

서로 마주보며 이격되며, 표시 영역과 비표시 영역이 정의된 제1 및 제2기판과;

상기 제1기판의 표시 영역에 형성되며, 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선에 연결된 박막트랜지스터와, 상기 박막트랜지스터에 연결된 화소전극과;

상기 비표시 영역에 형성되며, 외부의 직류신호 및 교류신호를 입력받는 게이트 패드 및 데이터 패드와;

상기 게이트 패드에 연결되어, 상기 직류신호를 전달하고 서로 이웃하도록 평행하게 이격되는 다수의 제1게이트 링크배선과, 상기 교류신호를 전달하고 서로 이웃하도록 평행하게 이격되는 다수의 제2게이트링크배선을 포함하는 게이트링크배선과;

상기 게이트 링크배선과 연결되는 연결배선과;

상기 연결배선과 연결되며, 상기 직류신호 및 상기 교류신호를 이용하여 게이트 신호를 생성하여 상기 게이트 배선에 공급하는 회로블럭과;

상기 제1 및 제2기판 사이에 형성되며, 상기 게이트링크배선과 중첩하는 쉘패턴

을 포함하는 GIP 타입 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 쉘패턴은, 상기 다수의 제1게이트링크배선과 중첩되고, 상기 다수의 제2게이트링크배선을 노출하는 GIP 타입 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 쉘패턴은, 상기 다수의 제1게이트링크배선을 노출하고, 상기 다수의 제2게이트링크배선과 중첩되는 GIP 타입 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 쉘패턴은, 상기 다수의 제1게이트링크배선 및 상기 다수의 제2게이트링크배선과 중첩되는 GIP 타입 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 게이트 회로블럭은 다수의 쉬프트레지스터 스테이지를 포함하는 쉬프트레지스터인 GIP 타입 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 직류신호는 상기 게이트 회로블럭의 전원전압신호(VDD), 기저전압신호(VSS), 제1전원전압신호(VDD1), 제2전원전압신호(VDD2)를 포함하는 GIP 타입 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 교류신호는 상기 게이트 회로블럭의 스타트신호(VST), 제1 내지 제4클럭신호(CLK1, CLK2, CLK3, CLK4), 리셋신호(RESET)를 포함하는 GIP 타입 액정표시장치.

청구항 8

제 1 항에 있어서,

상기 데이터 패드와 상기 데이터 배선을 연결하는 데이터 링크배선을 더욱 포함하는 GIP 타입 액정표시장치.

청구항 9

제1기판의 표시 영역에, 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선에 연결된 박막트랜지스터와, 상기 박막트랜지스터에 연결된 화소전극을 형성하는 단계와;

상기 표시 영역 둘레의 비표시 영역에, 외부의 직류신호 및 교류신호를 입력받는 게이트 패드 및 데이터 패드를 형성하는 단계와;

상기 게이트 패드에 연결되어, 상기 직류신호를 전달하고 서로 이웃하도록 평행하게 이격되는 다수의 제1게이트 링크배선과, 상기 교류신호를 전달하고 서로 이웃하도록 평행하게 이격되는 다수의 제2게이트링크배선을 포함하는 게이트링크배선을 형성하는 단계와;

상기 게이트 링크배선과 연결되는 연결배선을 형성하는 단계와;

상기 연결배선과 연결되며, 상기 직류신호 및 상기 교류신호를 이용하여 게이트 신호를 생성하여 상기 게이트 배선에 공급하는 회로블럭을 형성하는 단계와;

상기 제1기판을 상기 게이트링크배선과 중첩하는 쉘패턴을 이용하여 제2기판과 합착하는 단계

를 포함하는 GIP 타입 액정표시장치의 제조방법.

청구항 10

제 9 항에 있어서,

상기 쉘패턴은, 상기 다수의 제1게이트링크배선 또는 상기 다수의 제2게이트링크배선과 중첩되는 GIP 타입 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 액정표시장치에 관한 것으로, 좀 더 상세하게는 게이트 인 패널 타입(Gate In Panel Type: GIP Type)의 액정표시장치 및 그 제조방법에 관한 것이다.

배경 기술

<2> 최근 정보화 사회로 시대가 급발전함에 따라 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판 표시 장치(flat panel display)의 필요성이 대두되었는데, 이 중 액정 표시 장치(liquid crystal display)가 해상도, 컬러표시, 화질 등에서 우수하여 노트북이나 데스크탑 모니터에 활발하게 적용되고 있다.

<3> 일반적으로 액정표시장치는 전극이 각각 형성되어 있는 두 기판을 상기 두 전극이 서로 대하도록 배치하고, 상기 두 전극 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 재배열함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.

<4> 이러한 액정표시장치는 두 기판 사이에 액정이 주입되어 있는 액정패널과 액정패널 하부에 배치되고 광원으로 이용되는 백라이트, 그리고 액정패널 외곽에 위치하며 액정패널을 구동시키기 위한 구동회로부로 이루어진다.

<5> 통상적으로 상기 구동회로부는 인쇄회로기판(printed circuit board : PCB)에 구현되며, 이러한 구동회로부는 상기 액정패널의 게이트 배선과 연결되어 게이트신호 등을 인가하는 게이트 구동회로부와, 데이터 배선과 연결되어 데이터신호 등을 인가하는 데이터 구동회로부로 구분할 수 있다. 이러한 구동회로부는, 액정패널의 일측면 또는 2측면에 테이프 캐리어 패키지 (tape carrier package : TCP) 형태로 실장될 수 있다.

<6> 하지만, 게이트 구동회로부 및 데이터 구동회로부 각각을 실장하면 액정표시장치의 부피 및 무게가 증가하므로,

게이트 구동회로부의 일부 회로를 액정패널의 스위칭소자 제조 시 함께 형성하고, 게이트 구동회로부의 나머지 회로와 데이터 구동회로부를 하나로 통합하여 액정패널의 일측면에만 실장하는 것을 특징으로 GIP 타입 액정표시장치가 제안되고 있는데, 이를 도면을 참조하여 설명한다.

- <7> 도 1은 종래의 GIP 타입 액정표시장치의 평면도이다.
- <8> 도 1에 도시한 바와 같이, GIP 타입 액정표시장치(10)는 하부의 제1기판(20)과, 상부의 제2기판(50)과, 상기 두 기판(20, 50) 사이에 액정층(미도시)을 포함한다.
- <9> 이때, 어레이 기판으로 불리는 제1기판(20)은 크게 영상을 표시하는 표시 영역(DA)과, 각종 회로 및 배선 등이 형성되어 영상 표시에 사용되지 않는 비표시 영역(NDA)을 포함한다.
- <10> 제1기판(20)의 표시 영역(DA)에는, 게이트 배선, 데이터 배선, 박막트랜지스터 및 화소전극이 형성된다. 게이트 배선(22) 및 데이터 배선(24)은 서로 교차하여 화소 영역(P)을 정의하고, 스위칭 소자인 박막트랜지스터(Tr)는 게이트 배선(22) 및 데이터 배선(24)과 연결되며, 화소 전극(45)은 박막트랜지스터(Tr)와 연결된다.
- <11> 또한, 제1기판(20)의 비표시 영역(NDA)에는, 게이트 패드(42), 데이터 패드(44), 게이트 회로블럭(30), 데이터 링크배선(48), 게이트링크배선(46), 연결배선(32)이 형성된다. 데이터 패드(44)는 표시 영역(DA)의 데이터 배선(24)의 연장부인 데이터링크배선(48)의 일끝단에 형성되어 외부의 구동회로부(미도시)와 연결된다. 게이트 패드(42)는 게이트링크배선(46)의 일끝단에 형성되어 외부의 구동회로부(미도시)와 연결되며, 게이트링크배선(46)은 연결패턴(34)을 통하여 연결배선(32)과 연결된다. 연결배선(32)은 게이트 회로블럭(30)과 연결되며, 게이트 회로블럭(30)은 표시 영역(DA)의 게이트 배선(22)의 일끝단과 연결된다.
- <12> 이러한 액정표시장치(10)에서, 외부의 구동회로부는 게이트 패드(42) 및 데이터 패드(44)를 통하여 게이트 제어 신호 및 데이터 신호를 공급하는데, 게이트 제어신호는 클럭신호(CLK1, CLK2, CLK3, CLK4), 전원전압신호(VDD), 기저전압신호(VSS), 제1전원전압신호(VDD1), 제2전원전압신호(VDD2), 스타트신호(VST), 리셋신호(RESET) 등을 포함하고 데이터 신호는 각 화소영역(P)에 대응되는 영상신호를 포함한다.
- <13> 게이트 회로블럭(30)은 쉬프트레지스터(shift register)를 포함하는데, 연결배선(32)을 통하여 외부의 구동회로부로부터 공급받은 게이트 제어신호를 이용하여 박막트랜지스터(Tr)를 턴-온(turn-on)하는 게이트 신호를 순차적으로 생성하여 게이트 배선(22)에 공급한다.
- <14> 제1 및 제2기판(20, 50)은 셀패턴(80)을 이용하여 합착되는데, 셀패턴(80)은 비표시 영역(NDA)의 가장자리 쪽에 형성된다. 즉, 셀패턴(80)은 제2기판(50)의 가장자리에 대응하여 좌우로는 게이트링크배선(46)의 외곽부에 형성되고 상하로는 표시 영역(DA)의 외곽부에 형성된다.
- <15> 셀패턴(80)의 폭(W)은 약 1.2 mm이고 셀패턴(80)으로부터 게이트 회로블럭(30)까지의 거리는 약 2 mm인데, 셀패턴(80)이 형성되는 부분은 영상을 표시하거나 영상표시에 필요한 회로를 형성하는 부분이 아니므로 액정표시장치 제조 후 프레임 등으로 가려지게 된다. 이러한 부분을 베젤(bezel)이라고 부르는데, 액정표시장치의 비표시 영역을 확장함으로써 상대적으로 액정표시장치의 표시 영역의 비율을 감소시키는 단점으로 작용한다.
- <16> 셀패턴(80)을 게이트링크배선(46)과 연결배선(32)이 연결되는 부분의 상부에 형성할 경우 게이트링크배선(46) 및 연결배선(32) 각각이 셀패턴(80)을 유전체로 한 기생커패시터(parasitic capacitor)로 작용하여 게이트링크배선(46) 및 연결배선(32)을 통하여 전달되는 게이트 신호에 지연(delay) 등의 불량을 발생시킨다.
- <17> 도 2는 종래의 GIP 타입 액정표시장치의 게이트 신호의 지연을 도시한 도면이고, 도 3은 종래의 GIP 타입 액정표시장치의 게이트 신호의 오동작을 도시한 도면이다.
- <18> 도 2에 도시한 바와 같이, 종래의 GIP 타입 액정표시장치에서 셀패턴을 클럭신호가 전달되는 게이트링크배선(도 1의 46) 상부에 형성할 경우 기생용량에 의한 RC지연(resistance-capacitance delay)에 의하여 클럭신호가 왜곡되고, 게이트 회로블럭(도 1의 30)이 왜곡된 클럭신호를 이용하여 게이트 신호를 생성하게 되어 정상적인 게이트 신호(G1)의 상승시간(rising time) 및 하강시간(falling time)이 각각 지연되어 왜곡된 게이트 신호(G2)가 게이트 배선으로 공급되어 화질을 악화시킨다.
- <19> 또한, 도 3에 도시한 바와 같이, 게이트 회로블럭(도 1의 30)이 왜곡된 클럭신호를 이용하여 게이트 신호를 생성하게 되어, 정상적인 게이트 하이전압이 생성되지 않는 오동작이 발생하기도 한다.
- <20> 게이트링크배선(도 1의 46)에 의하여 전달되는 게이트 제어신호는 다수의 직류(DC)신호 및 다수의 교류(AC)신호를 포함하는데, 이 신호들은 전압값과 주기 등 형태면에서 서로 상이하다. 다양한 형태의 게이트 제어신호는 동

일한 기생용량에 대해서 상이한 지연효과를 가져오게 되고, 게이트링크배선(46)의 위치별로 기생용량에 의한 신호왜곡의 편차를 유발하고, 그 결과 게이트 하이전압 생성에서 오동작을 발생시킨다.

- <21> 그러므로 종래의 GIP 타입 액정표시장치에서는 쉘패턴을 게이트링크배선 외곽에 형성하게 되는데, 영상 표시에 필요하지 않은 쉘패턴 형성영역을 별도로 설정하여야 하므로, 액정표시장치의 외관의 품위가 저하되고 액정표시장치의 표시영역을 상대적으로 감소되는 단점이 있다.

발명의 내용

해결 하고자하는 과제

- <22> 본 발명은 상기와 같은 문제를 해결하기 위하여 안출된 것으로, 게이트 제어신호를 전달하는 게이트링크배선이 기생용량에 의한 신호왜곡의 편차가 발생하지 않도록 배치된 GIP 타입 액정표시장치를 제공하는 것을 목적으로 한다.

과제 해결수단

- <23> 상기와 같은 목적을 달성하기 위하여 본 발명은, 서로 마주보며 이격되며, 표시 영역과 비표시 영역이 정의된 제1 및 제2기판과; 상기 제1기판의 표시 영역에 형성되며, 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선에 연결된 박막트랜지스터와, 상기 박막트랜지스터에 연결된 화소전극과; 상기 비표시 영역에 형성되며, 외부의 직류신호 및 교류신호를 입력받는 게이트 패드 및 데이터 패드와; 상기 게이트 패드에 연결되어, 상기 직류신호를 전달하고 서로 이웃하도록 평행하게 이격되는 다수의 제1 게이트링크배선과, 상기 교류신호를 전달하고 서로 이웃하도록 평행하게 이격되는 다수의 제2게이트링크배선을 포함하는 게이트링크배선과; 상기 게이트 링크배선과 연결되는 연결배선과; 상기 연결배선과 연결되며, 상기 직류신호 및 상기 교류신호를 이용하여 게이트 신호를 생성하여 상기 게이트 배선에 공급하는 회로블럭과; 상기 제1 및 제2기판 사이에 형성되며, 상기 게이트링크배선과 중첩하는 쉘패턴을 포함하는 GIP 타입 액정표시장치를 제공한다.
- <24> 상기 쉘패턴은, 상기 다수의 제1게이트링크배선과 중첩되고 상기 다수의 제2게이트링크배선을 노출하거나, 상기 다수의 제1게이트링크배선을 노출하고 상기 다수의 제2게이트링크배선과 중첩되거나, 상기 다수의 제1게이트링크배선 및 상기 다수의 제2게이트링크배선과 중첩된다.
- <25> 상기 게이트 회로블럭은 다수의 쉬프트레지스터 스테이지를 포함하는 쉬프트레지스터를 포함하며, 상기 직류신호는 상기 게이트 회로블럭의 전원전압신호(VDD), 기저전압신호(VSS), 제1전원전압신호(VDD1), 제2전원전압신호(VDD2)를 포함하고, 상기 교류신호는 상기 게이트 회로블럭의 스타트신호(VST), 제1 내지 제4클럭신호(CLK1, CLK2, CLK3, CLK4), 리셋신호(RESET)를 포함한다.
- <26> GIP 타입 액정표시장치는 상기 데이터 패드와 상기 데이터 배선을 연결하는 데이터 링크배선을 더욱 포함할 수 있다.
- <27> 한편, 본 발명은, 제1기판의 표시 영역에, 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선에 연결된 박막트랜지스터와, 상기 박막트랜지스터에 연결된 화소전극을 형성하는 단계와; 상기 표시 영역 둘레의 비표시 영역에, 외부의 직류신호 및 교류신호를 입력받는 게이트 패드 및 데이터 패드를 형성하는 단계와; 상기 게이트 패드에 연결되어, 상기 직류신호를 전달하고 서로 이웃하도록 평행하게 이격되는 다수의 제1게이트링크배선과, 상기 교류신호를 전달하고 서로 이웃하도록 평행하게 이격되는 다수의 제2게이트링크배선을 포함하는 게이트링크배선을 형성하는 단계와; 상기 게이트 링크배선과 연결되는 연결배선을 형성하는 단계와; 상기 연결배선과 연결되며, 상기 직류신호 및 상기 교류신호를 이용하여 게이트 신호를 생성하여 상기 게이트 배선에 공급하는 회로블럭을 형성하는 단계와; 상기 제1기판을 상기 게이트링크배선과 중첩하는 쉘패턴을 이용하여 제2기판과 합착하는 단계를 포함하는 GIP 타입 액정표시장치의 제조방법을 제공한다.
- <28> 상기 쉘패턴은, 상기 다수의 제1게이트링크배선 또는 상기 다수의 제2게이트링크배선과 중첩된다.

효과

- <29> 본 발명에 따른 GIP 타입 액정표시장치에서는, 직류신호를 전달하는 다수의 제1게이트링크배선을 서로 이웃하여 평행하게 이격되도록 형성하고, 교류신호를 전달하는 다수의 제2게이트링크배선을 서로 이웃하여 평행하게 이격

되도록 형성하고, 쉘패턴을 다수의 제1게이트링크배선 및/또는 다수의 제2게이트링크배선과 중첩되도록 형성한다.

<30> 따라서 쉘패턴을 위한 별도의 형성 영역을 생략할 수 있으며, 동시에 기생용량의 신호 왜곡 및 신호 왜곡의 편차를 최소화하여 정상적인 게이트 신호를 생성 공급할 수 있다.

<31> 그 결과 액정표시장치의 표시 영역의 상대적 비율을 증가시키고 베젤(bezel)의 폭을 감소시키며, 액정표시장치의 외관 품위를 개선한다.

발명의 실시를 위한 구체적인 내용

<32> 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

<33> 도 4는 본 발명의 제1실시예에 따른 GIP 타입 액정표시장치의 평면도이고, 도 5는 본 발명의 제1실시예에 따른 GIP 타입액정표시장치의 게이트 제어신호의 파형도이다.

<34> 도 4에 도시한 바와 같이, GIP 타입 액정표시장치(110)는 하부의 제1기관(120)과, 상부의 제2기관(150)과, 상기 두 기관(120, 150) 사이에 액정층(미도시)을 포함한다.

<35> 이때, 어레이 기관으로 불리는 제1기관(120)은 크게 영상을 표시하는 표시 영역(DA)과, 각종 회로 및 배선 등이 형성되어 영상 표시에 사용되지 않는 비표시 영역(NDA)을 포함한다.

<36> 제1기관(120)의 표시 영역(DA)에는, 게이트 배선(122), 데이터 배선(124), 박막트랜지스터(Tr) 및 화소전극(145)이 형성된다. 게이트 배선(122) 및 데이터 배선(124)은 서로 교차하여 화소 영역(P)을 정의하고, 스위칭 소자인 박막트랜지스터(Tr)는 게이트 배선(122) 및 데이터 배선(124)과 연결되며, 화소 전극(145)은 박막트랜지스터(Tr)와 연결된다.

<37> 또한, 제1기관(120)의 비표시 영역(NDA)에는, 게이트 패드(142), 데이터 패드(144), 게이트 회로블럭(130), 데이터링크배선(148), 게이트링크배선(146), 연결배선(132)이 형성된다. 데이터 패드(144)는 표시 영역(DA)의 데이터 배선(124)의 연장부인 데이터링크배선(148)의 일끝단에 형성되어 외부의 구동회로부(미도시)와 연결된다. 게이트 패드(142)는 게이트링크배선(146)의 일끝단에 형성되어 외부의 구동회로부(미도시)와 연결되며, 게이트링크배선(146)은 연결패턴(134)을 통하여 연결배선(132)과 연결된다. 연결배선(132)은 게이트 회로블럭(130)과 연결되며, 게이트 회로블럭(130)은 표시 영역(DA)의 게이트 배선(122)의 일끝단과 연결된다.

<38> 도시하지는 않았지만, 박막트랜지스터(Tr)는 순차적으로 형성되는 도전성물질의 게이트전극, 절연성물질의 게이트절연막, 반도체물질의 활성층, 도전성물질의 소스 및 드레인전극을 포함하고, 박막트랜지스터(Tr) 상부에는 유기 또는 무기절연물질의 보호층이 형성된다. 보호층에는 드레인전극을 노출하는 드레인콘택홀이 형성되며, 투명도전성물질의 화소전극(145)은 드레인콘택홀을 통하여 드레인전극에 연결된다.

<39> 게이트링크배선(146)은 박막트랜지스터(Tr)의 게이트 전극과 동일층, 동일물질로 형성될 수 있으며, 연결배선(132)은 박막트랜지스터(Tr)의 소스 및 드레인 전극과 동일층, 동일물질로 형성될 수 있으며, 연결패턴(134)은 화소전극(145)과 동일층, 동일물질로 형성될 수 있다.

<40> 그리고 도시하지 않았지만, 제2기관(150) 하부에는 화소영역에 대응되는 적색, 녹색, 청색 컬러필터를 포함하는 컬러필터층이 형성되고, 컬러필터층 하부에는 공통전극이 형성된다.

<41> 제1 및 제2기관(120, 150)은 액정층을 사이에 두고 화소전극(145)과 공통전극이 마주보도록 합착된다.

<42> 이러한 액정표시장치(110)에서, 외부의 구동회로부는 게이트 패드(142) 및 데이터 패드(144)를 통하여 게이트 제어신호 및 데이터 신호를 공급하는데, 게이트 제어신호는 클럭신호(CLK1, CLK2, CLK3, CLK4), 전원전압신호(VDD), 기저전압신호(VSS), 제1전원전압신호(VDD1), 제2전원전압신호(VDD2), 스타트신호(VST), 리셋신호(RESET) 등을 포함하고 데이터 신호는 각 화소영역(P)에 대응되는 영상신호를 포함한다.

<43> 게이트 회로블럭(130)은 다수의 쉬프트레지스터단(shift register stage)로 구성되는 쉬프트레지스터(shift register)를 포함하는데, 연결배선(132)을 통하여 외부의 구동회로부로부터 공급받은 게이트 제어신호를 이용하여 박막트랜지스터(Tr)를 턴-온(turn-on)하는 게이트 신호를 순차적으로 생성하여 게이트 배선(122)에 공급한다.

<44> 여기서, 도 5를 참조하면, 게이트 제어신호는, 전원전압신호(VDD), 기저전압신호(VSS), 제1전원전압신호(VDD1), 제2전원전압신호(VDD2)를 포함하는 다수의 직류(DC)신호와, 스타트신호(VST), 제1 내지 제4클럭신호(CLK1,

CLK2, CLK3, CLK4), 리셋신호(RESET)를 포함하는 다수의 교류(AC)신호로 구분할 수 있으며, 이에 따라 게이트 제어신호를 전달하는 게이트링크배선(146)은 다수의 직류신호를 전달하는 제1게이트링크배선(146a)과 다수의 교류신호를 전달하는 제2게이트링크배선(146b)으로 구분할 수 있다. 즉, 제1게이트링크배선(146a)은 각각 직류신호를 전달하며 서로 이웃하도록 평행하게 이격되어 형성되며, 제2게이트링크배선(146b)은 각각 교류신호를 전달하며 서로 이웃하도록 평행하게 이격되어 형성된다.

<45> 구체적으로, 전원전압신호(VDD)와 기저전압신호(VSS)는 게이트 회로블럭(130)의 전원으로 사용되는 직류전압이며 제1전원전압신호(VDD1), 제2전원전압신호(VDD2)는 게이트 회로블럭의 스위칭소자의 스트레스를 최소화하기 위하여 서로 교번 사용되는 직류전압으로, 전원전압신호(VDD)와 제2전원전압신호(VDD2)는 하이레벨 전압이고 기저전압신호(VSS)와 제1전원전압신호(VDD1)는 로우레벨 전압이다. 한편, 스타트신호(VST)는 각 프레임의 시작에 동기(synchronization)하여 게이트 회로블럭(130)의 구동을 시작하게 하는 교류전압이며, 제1 내지 제4클럭신호(CLK1, CLK2, CLK3, CLK4)는 게이트 회로블럭(130)의 게이트신호 생성에 사용되는 교류전압이며, 리셋신호(RESET)는 게이트 회로블럭(130)의 리셋에 사용되는 교류전압이다.

<46> 이와 같이, 액정표시장치(110)의 제1기판(120)에는 직류신호를 전달하는 다수의 제1게이트링크배선(146a)이 서로 이웃하여 배치되어 하나의 군(group)을 이루고, 교류신호를 전달하는 다수의 제2게이트링크배선(146b)이 서로 이웃하여 배치되어 하나의 군을 이룬다.

<47> 제1 및 제2기판(120, 150)은 셀패턴(180)을 이용하여 합착되는데, 이 때 셀패턴(180)은 표시 영역(DA)을 둘러싸며 비표시 영역(NDA)의 가장자리에 형성된다. 즉, 셀패턴(180)은 제2기판(150)의 가장자리에 대응하여 표시 영역(DA)의 외곽부에 형성되는데, 직류신호를 전달하는 제1게이트링크배선(146a)과 중첩되도록 형성된다. 다시 말해서, 액정표시장치(110)의 좌측부의 비표시 영역(NDA)에서 셀패턴(180)은 서로 이웃하여 배치된 다수의 제1게이트링크배선(146a)을 덮으면서 형성된다.

<48> 셀패턴(180)을 다수의 제1게이트링크배선(146a)과 중첩하도록 형성함으로써, 셀패턴(180)을 위한 별도의 형성영역을 생략할 수 있으며, 이에 따라 액정표시장치(110)의 비표시 영역(NDA)의 폭을 감소시킬 수 있으며, 상대적으로 액정표시장치(110)의 표시 영역(DA)의 비율을 확대할 수 있다.

<49> 셀패턴(180)이 다수의 제1게이트링크배선(146a) 상부에 형성되어 기생용량이 생성된다. 그러나 기생용량에 의한 상승시간 지연 및 하강시간 지연 등으로 직류신호가 왜곡되는 정도는 미미하므로, 기생용량에 의한 다수의 제1게이트링크배선(146a)으로 전달되는 직류신호의 왜곡은 최소화되고, 그 결과 게이트 회로블럭(130)이 생성하는 게이트 신호에서의 오동작이 방지된다.

<50> 도 6은 본 발명의 제1실시예에 따른 GIP 타입 액정표시장치의 게이트 회로블럭이 생성한 게이트 신호의 파형도이다.

<51> 도 6에 도시한 바와 같이, 본 발명의 제1실시예에 따른 GIP 타입 액정표시장치(도 4의 110)에서는, 직류신호를 전달하는 다수의 제1게이트링크배선(도 4의 146a)이 서로 이웃하도록 형성되고 셀패턴(180)이 다수의 제1게이트링크배선(146a) 상부에 형성되므로, 직류신호의 왜곡은 최소화되고, 게이트 회로블럭(도 4의 130)은 오동작이 없는 정상적인 게이트 신호를 생성하여 게이트 배선(도 4의 122)에 공급한다.

<52> 따라서 액정표시장치의 표시 영역의 상대적 비율을 증가시키고 베젤(bezel)을 감소시킴으로써 외관의 품위를 개선한다.

<53> 도 7은 본 발명의 제2실시예에 따른 GIP 타입 액정표시장치의 평면도이다.

<54> 도 7에 도시한 바와 같이, GIP 타입 액정표시장치(210)는 하부의 제1기판(220)과, 상부의 제2기판(250)과, 상기 두 기판(220, 250) 사이에 액정층(미도시)을 포함한다.

<55> 이때, 어레이 기판으로 불리는 제1기판(220)은 크게 영상을 표시하는 표시 영역(DA)과, 각종 회로 및 배선 등이 형성되어 영상 표시에 사용되지 않는 비표시 영역(NDA)을 포함한다.

<56> 제1기판(220)의 표시 영역(DA)에는, 게이트 배선(222), 데이터 배선(224), 박막트랜지스터(Tr) 및 화소전극(245)이 형성된다. 게이트 배선(222) 및 데이터 배선(224)은 서로 교차하여 화소 영역(P)을 정의하고, 스위칭소자인 박막트랜지스터(Tr)는 게이트 배선(222) 및 데이터 배선(224)과 연결되며, 화소 전극(245)은 박막트랜지스터(Tr)와 연결된다.

<57> 또한, 제1기판(220)의 비표시 영역(NDA)에는, 게이트 패드(242), 데이터 패드(244), 게이트 회로블럭(230), 데

이터링크배선(248), 게이트링크배선(246), 연결배선(232)이 형성된다. 데이터 패드(244)는 표시 영역(DA)의 데이터 배선(224)의 연장부인 데이터링크배선(248)의 일끝단에 형성되어 외부의 구동회로부(미도시)와 연결된다. 게이트 패드(242)는 게이트링크배선(246)의 일끝단에 형성되어 외부의 구동회로부(미도시)와 연결되며, 게이트링크배선(246)은 연결패턴(234)을 통하여 연결배선(232)과 연결된다. 연결배선(232)은 게이트 회로블럭(230)과 연결되며, 게이트 회로블럭(230)은 표시 영역(DA)의 게이트 배선(222)의 일끝단과 연결된다.

<58> 도시하지는 않았지만, 박막트랜지스터(Tr)는 순차적으로 형성되는 도전성물질의 게이트전극, 절연성물질의 게이트절연막, 반도체물질의 활성층, 도전성물질의 소스 및 드레인전극을 포함하고, 박막트랜지스터(Tr) 상부에는 유기 또는 무기절연물질의 보호층이 형성된다. 보호층에는 드레인전극을 노출하는 드레인콘택홀이 형성되며, 투명도전성물질의 화소전극(245)은 드레인콘택홀을 통하여 드레인전극에 연결된다.

<59> 게이트링크배선(246)은 박막트랜지스터(Tr)의 게이트 전극과 동일층, 동일물질로 형성될 수 있으며, 연결배선(232)은 박막트랜지스터(Tr)의 소스 및 드레인 전극과 동일층, 동일물질로 형성될 수 있으며, 연결패턴(234)은 화소전극(245)과 동일층, 동일물질로 형성될 수 있다.

<60> 그리고 도시하지 않았지만, 제2기판(250) 하부에는 화소영역에 대응되는 적색, 녹색, 청색 컬러필터를 포함하는 컬러필터층이 형성되고, 컬러필터층 하부에는 공통전극이 형성된다.

<61> 제1 및 제2기판(220, 250)은 액정층을 사이에 두고 화소전극(245)과 공통전극이 마주보도록 합착된다.

<62> 이러한 액정표시장치(210)에서, 외부의 구동회로부는 게이트 패드(242) 및 데이터 패드(244)를 통하여 게이트 제어신호 및 데이터 신호를 공급하는데, 게이트 제어신호는 클럭신호(CLK1, CLK2, CLK3, CLK4), 전원전압신호(VDD), 기저전압신호(VSS), 제1전원전압신호(VDD1), 제2전원전압신호(VDD2), 스타트신호(VST), 리셋신호(RESET) 등을 포함하고 데이터 신호는 각 화소영역(P)에 대응되는 영상신호를 포함한다.

<63> 게이트 회로블럭(230)은 다수의 쉬프트레지스터단(shift register stage)로 구성되는 쉬프트레지스터(shift register)를 포함하는데, 연결배선(232)을 통하여 외부의 구동회로부로부터 공급받은 게이트 제어신호를 이용하여 박막트랜지스터(Tr)를 턴-온(turn-on)하는 게이트 신호를 순차적으로 생성하여 게이트 배선(222)에 공급한다.

<64> 게이트 제어신호는, 전원전압신호(VDD), 기저전압신호(VSS), 제1전원전압신호(VDD1), 제2전원전압신호(VDD2)를 포함하는 다수의 직류(DC)신호와, 스타트신호(VST), 제1 내지 제4클럭신호(CLK1, CLK2, CLK3, CLK4), 리셋신호(RESET)를 포함하는 다수의 교류(AC)신호로 구분할 수 있으며, 이에 따라 게이트 제어신호를 전달하는 게이트링크배선(246)은 다수의 직류신호를 전달하는 제1게이트링크배선(246a)과 다수의 교류신호를 전달하는 제2게이트링크배선(246b)으로 구분할 수 있다. 즉, 제1게이트링크배선(246a)은 각각 직류신호를 전달하며 서로 이웃하여 배치되며, 제2게이트링크배선(246b)은 각각 교류신호를 전달하며 서로 이웃하여 배치된다.

<65> 구체적으로, 전원전압신호(VDD)와 기저전압신호(VSS)는 게이트 회로블럭(230)의 전원으로 사용되는 직류전압이며 제1전원전압신호(VDD1), 제2전원전압신호(VDD2)는 게이트 회로블럭의 스위칭소자의 스트레스를 최소화하기 위하여 서로 교번 사용되는 직류전압으로, 전원전압신호(VDD)와 제2전원전압신호(VDD2)는 하이레벨 전압이고 기저전압신호(VSS)와 제1전원전압신호(VDD1)는 로우레벨 전압이다. 한편, 스타트신호(VST)는 각 프레임의 시작에 동기(synchronization)하여 게이트 회로블럭(230)의 구동을 시작하게 하는 교류전압이며, 제1 내지 제4클럭신호(CLK1, CLK2, CLK3, CLK4)는 게이트 회로블럭(230)의 게이트신호 생성에 사용되는 교류전압이며, 리셋신호(RESET)는 게이트 회로블럭(230)의 리셋에 사용되는 교류전압이다.

<66> 이와 같이, 액정표시장치(210)의 제1기판(220)에는 직류신호를 전달하는 다수의 제1게이트링크배선(246a)이 서로 이웃하여 배치되어 하나의 군(group)을 이루고, 교류신호를 전달하는 다수의 제2게이트링크배선(246b)이 서로 이웃하여 배치되어 하나의 군을 이룬다.

<67> 제1 및 제2기판(220, 250)은 셀패턴(280)을 이용하여 합착되는데, 이 때 셀패턴(280)은 표시 영역(DA)을 둘러싸며 비표시 영역(NDA)의 가장자리에 형성된다. 즉, 셀패턴(280)은 제2기판(250)의 가장자리에 대응하여 표시 영역(DA)의 외곽부에 형성되는데, 교류신호를 전달하는 제2게이트링크배선(246b)과 중첩되도록 형성된다. 다시 말해서, 액정표시장치(210)의 좌측부의 비표시 영역(NDA)에서 셀패턴(280)은 서로 이웃하여 배치된 다수의 제2게이트링크배선(246b)을 덮으면서 형성된다.

<68> 셀패턴(280)을 다수의 제2게이트링크배선(246b)과 중첩되도록 형성함으로써, 셀패턴(280)을 위한 별도의 형성영역을 생략할 수 있으며, 이에 따라 액정표시장치(210)의 비표시 영역(NDA)의 폭을 감소시킬 수 있으며, 상대적

으로 액정표시장치(210)의 표시 영역(DA)의 비율을 확대할 수 있다.

- <69> 셀패턴(280)이 다수의 제2게이트링크배선(246b) 상부에 형성되어 기생용량이 생성된다. 그러나 셀패턴(280)이 중첩하는 다수의 제2게이트링크배선(246b)으로는 모두 교류신호가 전달되므로 기생용량에 의한 상승시간 지연 및 하강시간 지연 등의 정도가 각 배선에서 실질적으로 동일하므로, 기생용량에 의한 다수의 제2게이트링크배선(246b)으로 전달되는 교류신호의 왜곡의 편차는 최소화되고, 그 결과 게이트 회로블럭(230)은 오동작이 없는 게이트 신호를 생성하여 게이트 배선(222)에 공급한다.
- <70> 따라서 액정표시장치의 표시 영역의 상대적 비율을 증가시키고 베젤(bezel)을 감소시킴으로써 외관의 품위를 개선한다.
- <71> 도 8은 본 발명의 제3실시예에 따른 GIP 타입 액정표시장치의 평면도이다.
- <72> 도 8에 도시한 바와 같이, GIP 타입 액정표시장치(310)는 하부의 제1기관(320)과, 상부의 제2기관(350)과, 상기 두 기관(320, 350) 사이에 액정층(미도시)을 포함한다.
- <73> 이때, 어레이 기관으로 불리는 제1기관(320)은 크게 영상을 표시하는 표시 영역(DA)과, 각종 회로 및 배선 등이 형성되어 영상 표시에 사용되지 않는 비표시 영역(NDA)을 포함한다.
- <74> 제1기관(320)의 표시 영역(DA)에는, 게이트 배선(322), 데이터 배선(324), 박막트랜지스터(Tr) 및 화소전극(345)이 형성된다. 게이트 배선(322) 및 데이터 배선(324)은 서로 교차하여 화소 영역(P)을 정의하고, 스위칭 소자인 박막트랜지스터(Tr)는 게이트 배선(322) 및 데이터 배선(324)과 연결되며, 화소 전극(345)은 박막트랜지스터(Tr)와 연결된다.
- <75> 또한, 제1기관(320)의 비표시 영역(NDA)에는, 게이트 패드(342), 데이터 패드(344), 게이트 회로블럭(330), 데이터링크배선(348), 게이트링크배선(346), 연결배선(332)이 형성된다. 데이터 패드(344)는 표시 영역(DA)의 데이터 배선(324)의 연장부인 데이터링크배선(348)의 일끝단에 형성되어 외부의 구동회로부(미도시)와 연결된다. 게이트 패드(342)는 게이트링크배선(346)의 일끝단에 형성되어 외부의 구동회로부(미도시)와 연결되며, 게이트링크배선(346)은 연결패턴(334)을 통하여 연결배선(332)과 연결된다. 연결배선(332)은 게이트 회로블럭(330)과 연결되며, 게이트 회로블럭(330)은 표시 영역(DA)의 게이트 배선(322)의 일끝단과 연결된다.
- <76> 도시하지는 않았지만, 박막트랜지스터(Tr)는 순차적으로 형성되는 도전성물질의 게이트전극, 절연성물질의 게이트절연막, 반도체물질의 활성층, 도전성물질의 소스 및 드레인전극을 포함하고, 박막트랜지스터(Tr) 상부에는 유기 또는 무기절연물질의 보호층이 형성된다. 보호층에는 드레인전극을 노출하는 드레인콘택홀이 형성되며, 투명도전성물질의 화소전극(345)은 드레인콘택홀을 통하여 드레인전극에 연결된다.
- <77> 게이트링크배선(346)은 박막트랜지스터(Tr)의 게이트 전극과 동일층, 동일물질로 형성될 수 있으며, 연결배선(332)은 박막트랜지스터(Tr)의 소스 및 드레인 전극과 동일층, 동일물질로 형성될 수 있으며, 연결패턴(334)은 화소전극(345)과 동일층, 동일물질로 형성될 수 있다.
- <78> 그리고 도시하지 않았지만, 제2기관(350) 하부에는 화소영역에 대응되는 적색, 녹색, 청색 컬러필터를 포함하는 컬러필터층이 형성되고, 컬러필터층 하부에는 공통전극이 형성된다.
- <79> 제1 및 제2기관(320, 350)은 액정층을 사이에 두고 화소전극(345)과 공통전극이 마주보도록 합착된다.
- <80> 이러한 액정표시장치(310)에서, 외부의 구동회로부는 게이트 패드(342) 및 데이터 패드(344)를 통하여 게이트 제어신호 및 데이터 신호를 공급하는데, 게이트 제어신호는 클럭신호(CLK1, CLK2, CLK3, CLK4), 전원전압신호(VDD), 기저전압신호(VSS), 제1전원전압신호(VDD1), 제2전원전압신호(VDD2), 스타트신호(VST), 리셋신호(RESET) 등을 포함하고 데이터 신호는 각 화소영역(P)에 대응되는 영상신호를 포함한다.
- <81> 게이트 회로블럭(330)은 다수의 쉬프트레지스터단(shift register stage)로 구성되는 쉬프트레지스터(shift register)를 포함하는데, 연결배선(332)을 통하여 외부의 구동회로부로부터 공급받은 게이트 제어신호를 이용하여 박막트랜지스터(Tr)를 턴-온(turn-on)하는 게이트 신호를 순차적으로 생성하여 게이트 배선(322)에 공급한다.
- <82> 게이트 제어신호는, 전원전압신호(VDD), 기저전압신호(VSS), 제1전원전압신호(VDD1), 제2전원전압신호(VDD2)를 포함하는 다수의 직류(DC)신호와, 스타트신호(VST), 제1 내지 제4클럭신호(CLK1, CLK2, CLK3, CLK4), 리셋신호(RESET)를 포함하는 다수의 교류(AC)신호로 구분할 수 있으며, 이에 따라 게이트 제어신호를 전달하는 게이트링크배선(346)은 다수의 직류신호를 전달하는 제1게이트링크배선(346a)과 다수의 교류신호를 전달하는 제2게이트

링크배선(346b)으로 구분할 수 있다. 즉, 제1게이트링크배선(346a)은 각각 직류신호를 전달하며 서로 이웃하여 배치되며, 제2게이트링크배선(346b)은 각각 교류신호를 전달하며 서로 이웃하여 배치된다.

<83> 구체적으로, 전원전압신호(VDD)와 기저전압신호(VSS)는 게이트 회로블럭(330)의 전원으로 사용되는 직류전압이며 제1전원전압신호(VDD1), 제2전원전압신호(VDD2)는 게이트 회로블럭의 스위칭소자의 스트레스를 최소화하기 위하여 서로 교번 사용되는 직류전압으로, 전원전압신호(VDD)와 제2전원전압신호(VDD2)는 하이레벨 전압이고 기저전압신호(VSS)와 제1전원전압신호(VDD1)는 로우레벨 전압이다. 한편, 스타트신호(VST)는 각 프레임의 시작에 동기(synchronization)하여 게이트 회로블럭(330)의 구동을 시작하게 하는 교류전압이며, 제1 내지 제4클럭신호(CLK1, CLK2, CLK3, CLK4)는 게이트 회로블럭(330)의 게이트신호 생성에 사용되는 교류전압이며, 리셋신호(RESET)는 게이트 회로블럭(330)의 리셋에 사용되는 교류전압이다.

<84> 이와 같이, 액정표시장치(310)의 제1기판(320)에는 직류신호를 전달하는 다수의 제1게이트링크배선(346a)이 서로 이웃하여 배치되어 하나의 군(group)을 이루고, 교류신호를 전달하는 다수의 제2게이트링크배선(346b)이 서로 이웃하여 배치되어 하나의 군을 이룬다.

<85> 제1 및 제2기판(320, 350)은 쉘패턴(380)을 이용하여 합착되는데, 이 때 쉘패턴(380)은 표시 영역(DA)을 둘러싸며 비표시 영역(NDA)의 가장자리에 형성된다. 즉, 쉘패턴(380)은 제2기판(350)의 가장자리에 대응하여 표시 영역(DA)의 외곽부에 형성되는데, 직류신호를 전달하는 제1게이트링크배선(346a) 및 교류신호를 전달하는 제2게이트링크배선(346b)과 중첩되도록 형성된다. 다시 말해서, 액정표시장치(310)의 좌측부의 비표시 영역(NDA)에서 쉘패턴(380)은 서로 이웃하여 배치된 다수의 제1게이트링크배선(346a) 및 다수의 제2게이트링크배선(346b)을 덮으면서 형성된다.

<86> 쉘패턴(380)이 서로 이웃하게 형성된 다수의 제1게이트링크배선(346a) 및 서로 이웃하게 형성된 다수의 제2게이트링크배선(346b)과 중첩되도록 형성함으로써, 쉘패턴(380)을 위한 별도의 형성영역을 생략할 수 있으며, 이에 따라 액정표시장치(310)의 비표시 영역(NDA)의 폭을 감소시킬 수 있으며, 상대적으로 액정표시장치(310)의 표시 영역(DA)의 비율을 확대할 수 있다. 또한, 다수의 제1게이트링크배선(346a) 및 다수의 제2게이트링크배선(346b)을 덮도록 형성함으로써, 쉘패턴(380)의 폭을 충분히 확보할 수 있으며 그 결과 제1 및 제2기판(320, 350)의 합착력을 증가시킬 수 있다.

<87> 쉘패턴(380)이 다수의 제1게이트링크배선(346a) 및 다수의 제2게이트링크배선(346b) 상부에 형성되어 기생용량이 생성된다. 그러나 다수의 제1게이트링크배선(346a)으로는 전달되는 직류신호는 기생용량에 의하여 왜곡되는 정도가 미미하고, 다수의 제2게이트링크배선(346b)으로 전달되는 교류신호는 이웃하여 형성되므로 기생용량에 의한 왜곡의 편차가 최소화된다. 그 결과 게이트 회로블럭(330)은 오동작이 없는 게이트 신호를 생성하여 게이트 배선(322)에 공급한다.

<88> 따라서 액정표시장치의 표시 영역의 상대적 비율을 증가시키고 베젤(bezel)을 감소시킴으로써 외관의 품위를 개선한다.

<89> 본 발명은 상술한 실시예로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

도면의 간단한 설명

<90> 도 1은 종래의 GIP 타입 액정표시장치의 평면도

<91> 도 2는 종래의 GIP 타입 액정표시장치의 클럭신호의 지연을 도시한 도면

<92> 도 3은 종래의 GIP 타입 액정표시장치의 게이트 신호의 오동작을 도시한 도면

<93> 도 4는 본 발명의 제1실시예에 따른 GIP 타입 액정표시장치의 평면도

<94> 도 5는 본 발명의 제1실시예에 따른 GIP 타입액정표시장치의 게이트 제어신호의 파형도

<95> 도 6은 본 발명의 제1실시예에 따른 GIP 타입 액정표시장치의 게이트 회로블럭이 생성한 게이트 신호의 파형도

<96> 도 7은 본 발명의 제2실시예에 따른 GIP 타입 액정표시장치의 평면도

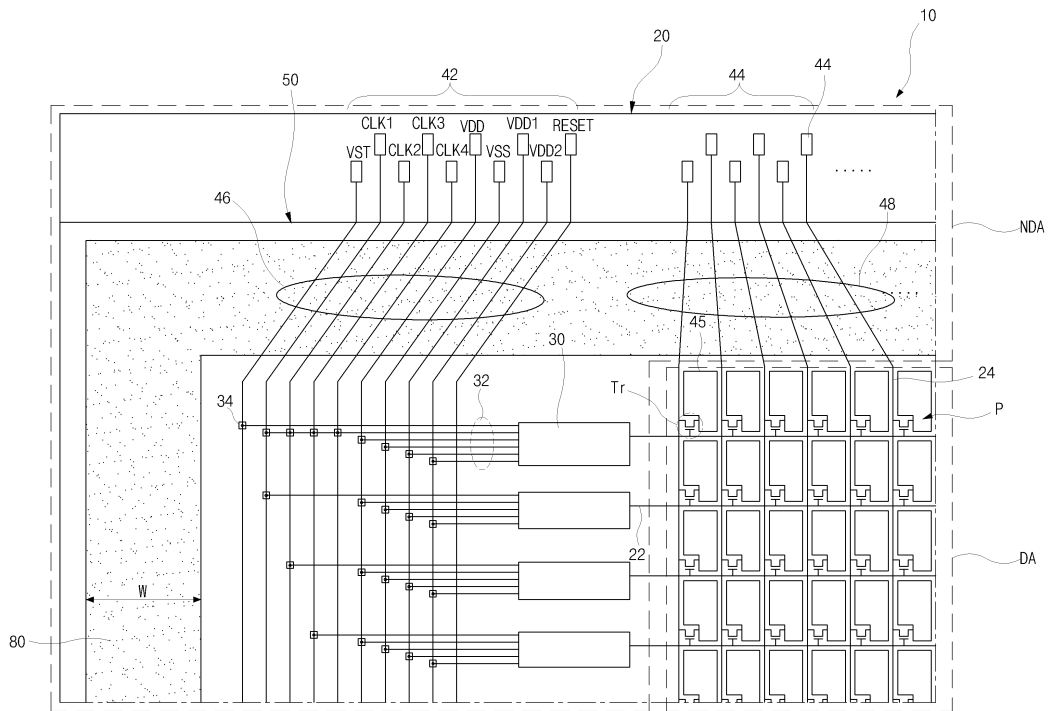
<97> 도 8은 본 발명의 제3실시예에 따른 GIP 타입 액정표시장치의 평면도

<98> <도면의 주요부분에 대한 간단한 설명>

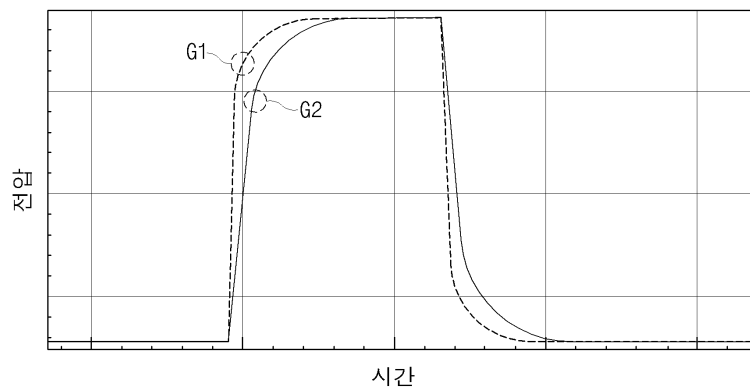
- <99> 110: 액정표시장치 120: 제1기판
- <100> 150: 제2기판 DA: 표시 영역
- <101> NDA: 비표시 영역 130: 게이트 회로블럭
- <102> 132: 연결배선 146: 게이트링크배선

도면

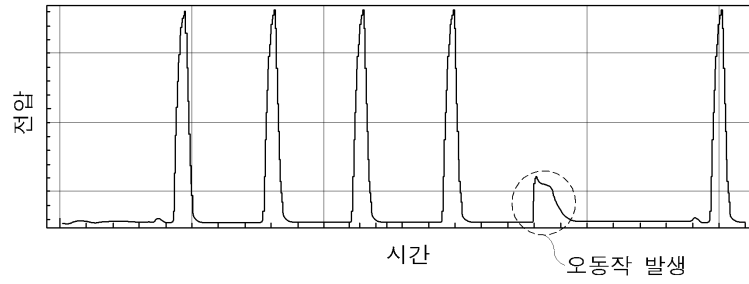
도면1



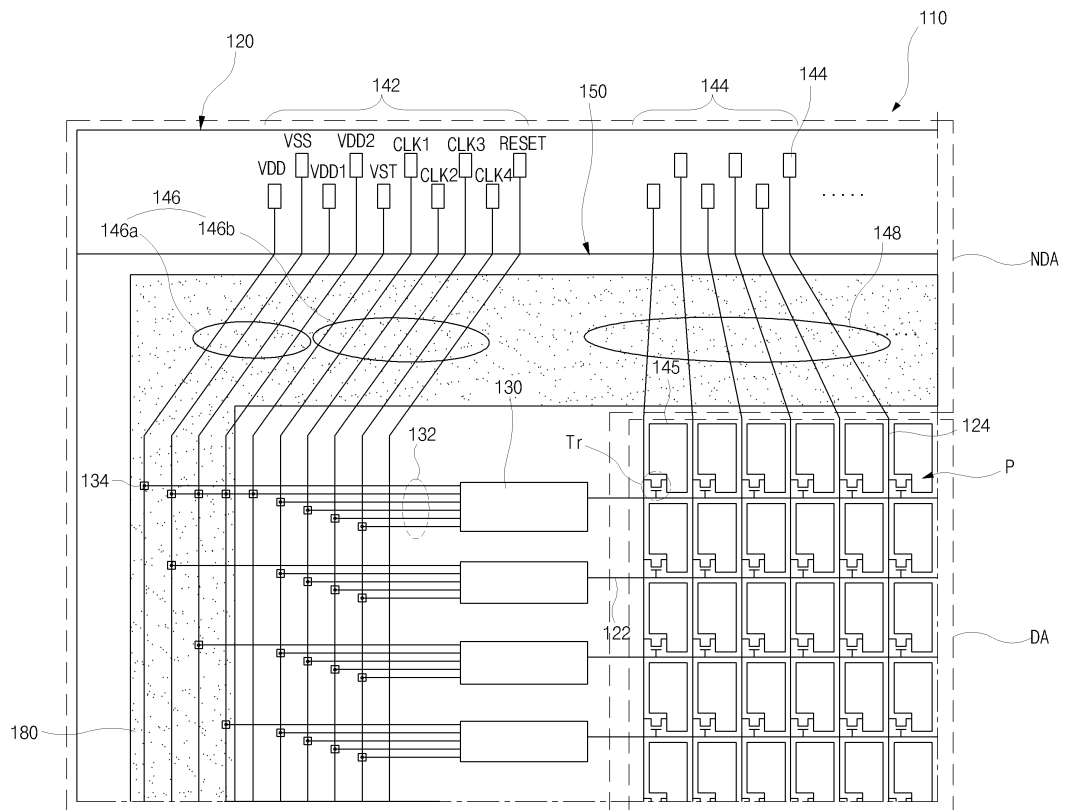
도면2



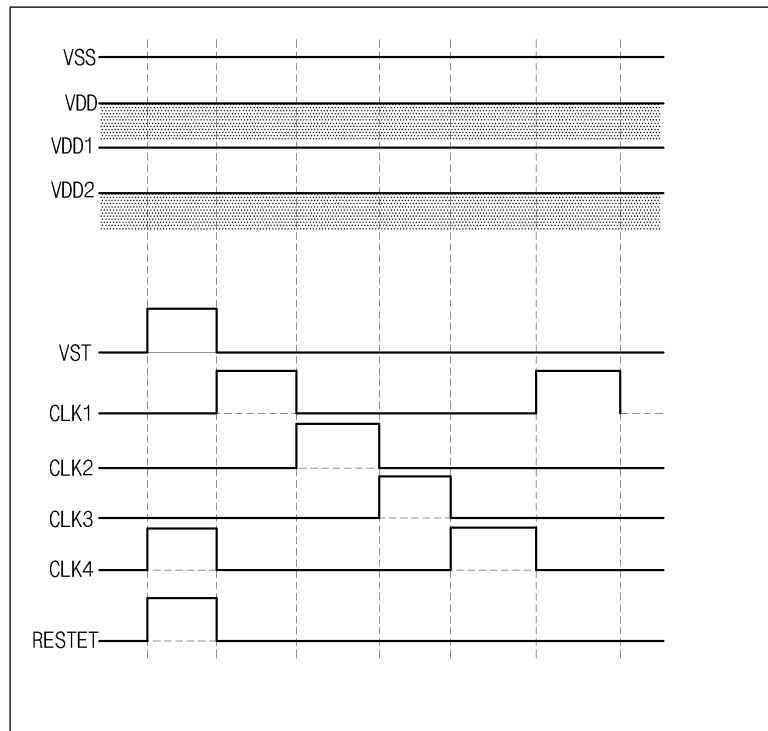
도면3



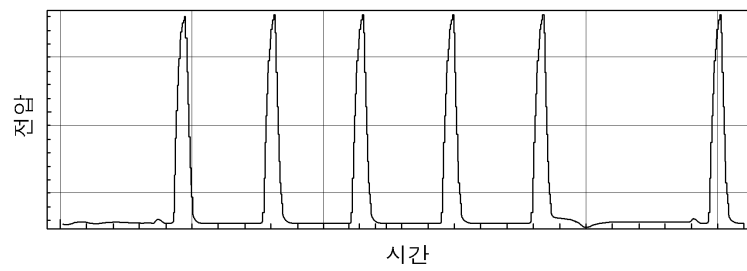
도면4



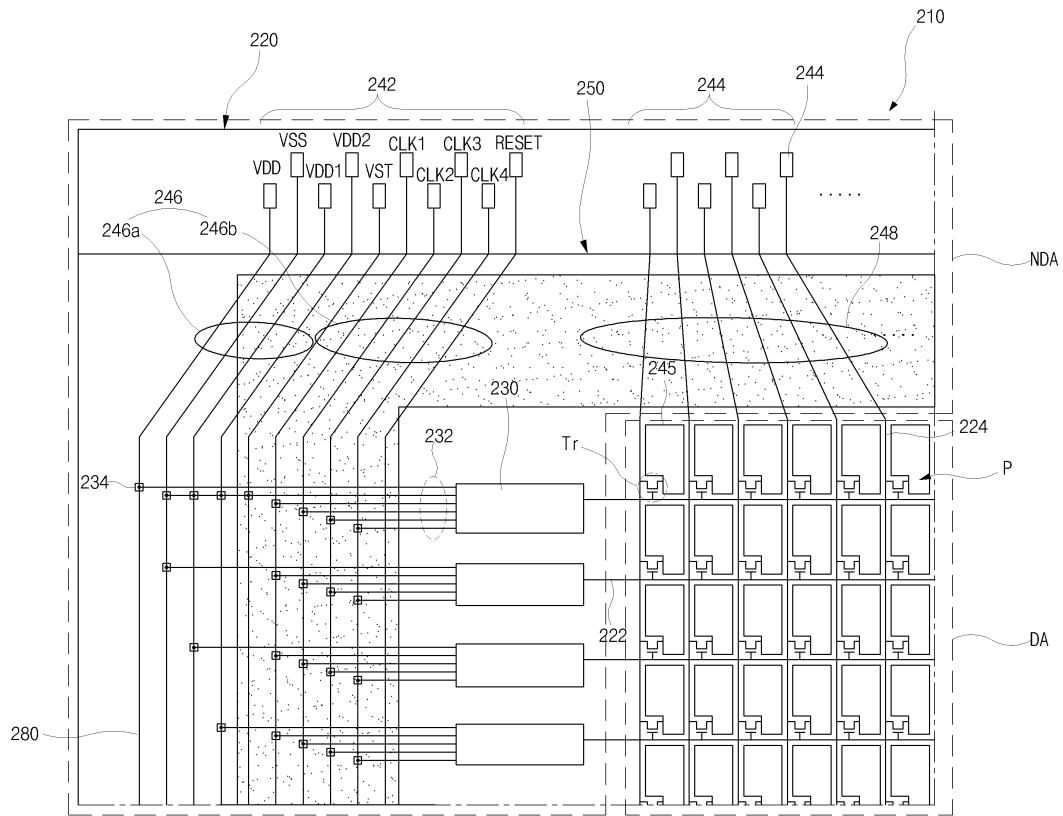
도면5



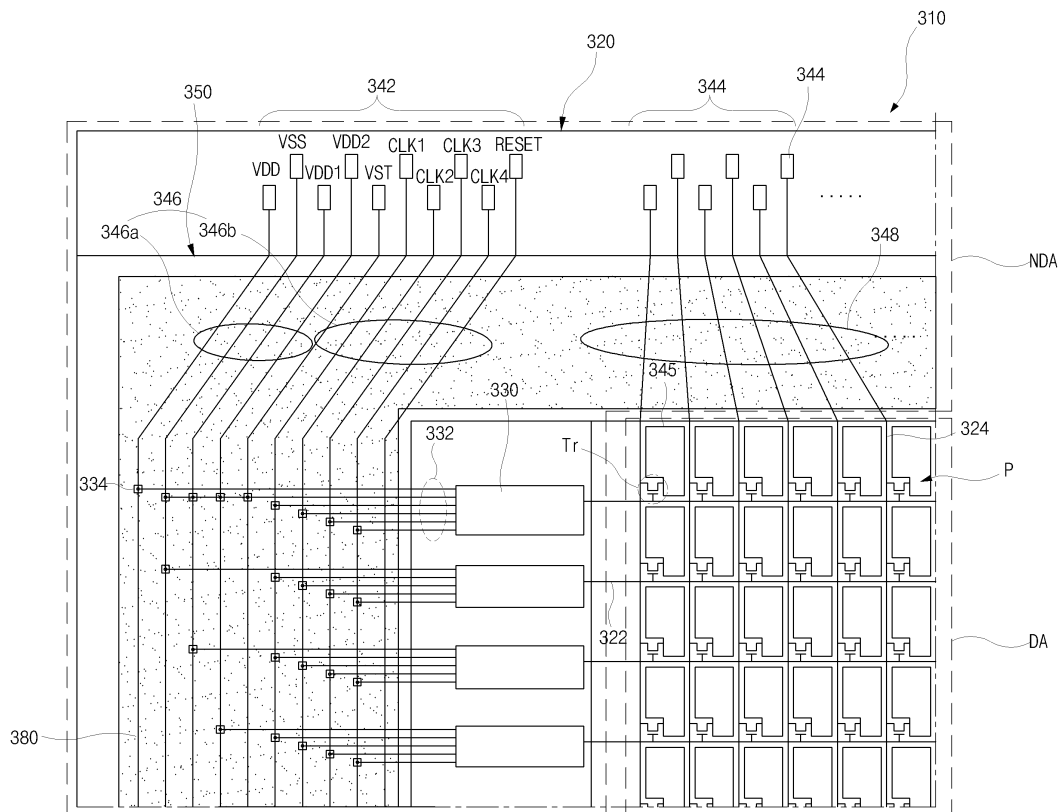
도면6



도면7



도면8



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020090125501A	公开(公告)日	2009-12-07
申请号	KR1020080051644	申请日	2008-06-02
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOON JIN MO 윤진모 KONG IN YEONG 공인영		
发明人	윤진모 공인영		
IPC分类号	G02F1/1345 G02F1/1339		
CPC分类号	G02F1/1339 G02F1/1345		
其他公开文献	KR101248901B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器，更具体地说，涉及面板型栅极的液晶显示器。根据本发明的GIP型液晶显示器包括显示区域和第一和第二基板，其中限定了非显示区域，使其分离。限定与栅极布线交叉的像素区域的栅极布线形成在第一基板和数据线的显示区域中，栅极布线和薄膜晶体管连接到数据线，并且像素电极连接到薄膜晶体管；外部直流信号在非显示区域形成；和栅极连接布线：包括栅极焊盘和数据焊盘，多个第一个栅极连接布线，多个第二栅极连接布线连接布线，连接到栅极连接布线的电路块，它提供给栅极布线，它使用直流信号产生栅极信号，交流信号连接到连接布线和密封图案形成在第一和第二基板之间并与栅极连接布线重叠。输入AC信号的栅极焊盘和数据焊盘。多个第一栅极连接布线连接到栅极焊盘并且平行地分开以便传递直流信号并且它们彼此相邻。并联的多个第二栅极链路布线被分离以便传递AC信号并且它们与每个相邻其他。

