



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0108861
(43) 공개일자 2009년10월19일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2008-0034178

(22) 출원일자 2008년04월14일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이민직

경북 구미시 황상동 황상금봉타운1차 103동 907호

이병현

경북 칠곡군 석적면 중리 226-17 구름하늘선 506호

(74) 대리인

김용인, 박영복

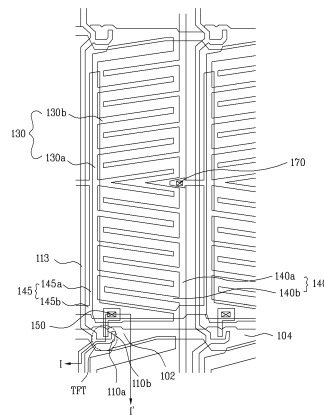
전체 청구항 수 : 총 7 항

(54) 인플레인 스위칭 모드의 액정표시장치

(57) 요약

본 발명은 인플레인 스위칭 모드의 액정표시장치에 관한 것으로, 기판 상에 형성되는 복수의 게이트 라인과, 상기 게이트 라인과 교차하도록 형성되어 화소 영역을 정의하는 복수의 데이터 라인과, 상기 게이트 라인 및 상기 데이터 라인과 접속된 박막 트랜지스터와, 상기 박막 트랜지스터와 접속되며, 상기 게이트 라인과 나란한 핑거부들을 구비하는 화소 전극과, 상기 화소 전극과 수평 전계를 이루며, 상기 화소 전극의 핑거부들과 교번되어 형성되는 핑거부들을 구비하는 공통 전극을 구비하며, 상기 현재단 화소 전극의 최상단 핑거부와 전단 게이트 라인과 중첩되어 형성되는 것을 특징으로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

기관 상에 형성되는 복수의 게이트 라인과,

상기 게이트 라인과 교차하도록 형성되어 화소 영역을 정의하는 복수의 데이터 라인과,

상기 게이트 라인 및 상기 데이터 라인과 접속된 박막 트랜지스터와,

상기 박막 트랜지스터와 접속되며, 상기 게이트 라인과 나란한 핑거부들을 구비하는 화소 전극과,

상기 화소 전극과 수평 전계를 이루며, 상기 화소 전극의 핑거부들과 교번되어 형성되는 핑거부들을 구비하는 공통 전극을 구비하며,

상기 현재단 화소 전극의 최상단 핑거부와 전단 게이트 라인과 중첩되어 형성되는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 화소 전극의 최상단 및 최하단 핑거는 타 핑거부의 폭보다 넓게 형성되는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 전단 게이트 라인과 상기 현재단 화소 전극의 핑거부는 동일한 각도를 이루며 2~4 μm 의 폭으로 중첩되어 형성되는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 현재단 화소 전극의 중첩된 부분을 제외한 부분은 3~10 μm 의 폭으로 형성되는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 화소 전극의 핑거부와 접속되어 상기 데이터 라인과 나란하게 형성된 화소 전극의 수직부와,

상기 공통 전극의 핑거부와 접속되어 상기 데이터 라인과 나란하게 형성된 공통 전극의 수직부를 추가로 구비하는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 화소 전극의 수직부와 중첩되어 형성되는 공통 라인의 수직부와, 상기 화소 전극의 최하단 핑거와 중첩되어 형성되는 공통 라인의 수평부를 추가로 구비하는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 화소 전극의 핑거부는 상기 화소 영역의 중앙부에서 대칭되도록 형성되며, 상기 공통 전극의 핑거부는 상기 화소 전극의 핑거부와 교번되어 형성되며 상기 화소 영역의 중앙부에서 대칭되도록 형성되는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

명세서

발명의 상세한 설명

기술분야

- <1> 본 발명은 액정표시장치에 관한 것으로, 특히 액정표시장치의 개구율을 향상시킬수 있는 인플레인 스위칭 모드의 액정표시장치에 관한 것이다.

배경기술

- <2> 일반적으로, 액정표시장치는 액정 분자의 배열에 따라서 다양한 모드가 존재한다. 예를 들면, 액정표시장치는 수직 전계에 의해 액정 방향자를 제어하는 TN 모드(Twisted Nematic Mode)와, 수평 전계에 의해 액정의 방향자를 제어하는 인플레인 스위칭 모드(In-Plane Switching Mode)로 구분된다.
- <3> 여기서, 인플레인 스위칭 모드 액정표시장치는 서로 대향 배치되어 그 사이에 액정층을 구비한 컬러필터 어레이 기판과 박막 어레이 기판으로 구성된다. 컬러필터 어레이 기판에는 빛샘을 방지하기 위한 블랙 매트릭스와, 블랙 매트릭스 상에 색상을 구현하기 위한 컬러필터층이 형성된다. 박막 트랜지스터 어레이 기판에는 단위 화소를 정의하는 게이트 라인 및 데이터 라인과, 게이트 라인 및 데이터 라인의 교차 지점에 형성된 박막 트랜지스터와, 서로 나란하게 형성되어 수평 전계를 발생시키는 공통 전극 및 화소 전극이 형성된다.
- <4> 이러한 인플레인 스위칭 모드 액정표시장치는 공통 전극 및 화소 전극의 수평 전계에 의한 액정 구동 방법으로 시야각 특성이 우수하나, 개구율 및 휘도가 저하되는 문제점이 있어 효율적 측면을 고려하여 고개구율 액정표시장치가 요구되어 지고 있다.

발명의 내용

해결 하고자하는 과제

- <5> 상기와 같은 문제점을 해결하기 위한 것으로, 본 발명은 액정표시장치에 있어서 개구율을 향상시킬 수 있는 인플레인 스위칭 모드의 액정표시장치를 제공하는데 그 목적이 있다.

과제 해결수단

- <6> 상기 기술적 과제를 달성하기 위하여, 본 발명의 특징에 따른 인플레인 스위칭 모드의 액정표시장치는 기판 상에 형성되는 복수의 게이트 라인과, 상기 게이트 라인과 교차하도록 형성되어 화소 영역을 정의하는 복수의 데이터 라인과, 상기 게이트 라인 및 상기 데이터 라인과 접속된 박막 트랜지스터와, 상기 박막 트랜지스터와 접속되며, 상기 게이트 라인과 나란한 핑거부들을 구비하는 화소 전극과, 상기 화소 전극과 수평 전계를 이루며, 상기 화소 전극의 핑거부들과 교번되어 형성되는 핑거부들을 구비하는 공통 전극을 구비하며, 상기 현재단 화소 전극의 최상단 핑거부와 전단 게이트 라인과 중첩되어 형성되는 것을 특징으로 한다.

효과

- <7> 본 발명에 따른 인플레인 스위칭 모드의 액정표시장치는 다음과 같은 효과가 있다.
- <8> 화소 전극의 최상단 핑거와 전단 게이트 라인이 일정한 폭으로 중첩되도록 형성함으로써 화소 전극과 게이트 라인의 이격 공간에서의 액정의 비정상적인 구동으로 인한 빛샘을 방지할 수 있으며, 종래 구조보다 5~7%의 개구율을 향상 및 3~5%의 스토리지 캐패시터를 증가시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <9> 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 인플레인 스위칭 모드의 액정표시장치를 상세히 설명하면 다음과 같다.
- <10> 도 1은 본 발명의 실시예에 따른 인플레인 스위칭 모드 액정표시장치의 박막 트랜지스터 기판을 나타낸 평면도이며, 도 2는 도 1에 도시된 I-I' 선에 따른 박막 트랜지스터 기판을 나타낸 단면도이다.
- <11> 도 1 및 도 2에 도시된 인플레인 스위칭 모드 액정표시장치는 기판(100) 상에 형성된 복수의 게이트 라인(104)

과, 게이트 절연막(112)을 사이에 두고 게이트 라인(104)과 교차하게 형성되어 화소 영역을 정의하는 복수의 데이터 라인(113)과, 게이트 라인(104) 및 데이터 라인(113)이 교차하는 부분에 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)와 접속되는 화소 전극(130)과, 각 화소 영역에서 화소 전극(130)과 수평 전계를 형성하는 공통 전극(140)과, 공통 전극(140)과 접속되어 형성된 공통 라인(145)을 포함한다.

- <12> 게이트 라인(104) 및 데이터 라인(113)은 박막 트랜지스터 어레이 외곽부에서 구동 회로부와 접속된 패드 단자에 접속됨으로써 박막 트랜지스터(TFT)에 게이트 신호 및 데이터 신호를 공급한다. 또한 공통 라인(145)은 게이트 라인(104)과 동일층에 형성되어 액정을 구동하기 위한 기준 전압을 공통 전극(140)에 공급한다.
- <13> 박막 트랜지스터(TFT)는 게이트 라인(104)에서 분기된 게이트 전극(102)과, 게이트 전극(102)이 형성된 기판(100)의 전면에 형성된 게이트 절연막(112)과, 게이트 절연막(112) 상에 게이트 전극(102)과 증착되게 형성된 오믹 콘택층(108a) 및 활성층(108b)으로 구성된 반도체층(108)과, 데이터 라인(113)에서 분기되어 반도체층(108) 상에 형성되는 소스 전극(110a), 반도체층(108) 상에 소스 전극(110a)과 마주하게 형성된 드레인 전극(110b)으로 구성된다. 여기서 반도체층(108)은 데이터 라인(113)과도 증착되면서 연장된다.
- <14> 화소 전극(130)은 데이터 라인(113)과 평행하게 형성된 수직부(130a)와, 화소 전극(130)의 수직부(130a)에서 분기되어 게이트 라인(104)과 나란하게 형성된 다수의 핑거부(130b)를 포함한다. 화소 전극(130)의 핑거부(130b)들은 화소 영역의 중심부에서 서로 대칭되도록 경사되어 형성되며, 다수의 핑거부(130b) 중 최상단 및 최하단 핑거는 타 핑거부보다 상대적으로 두꺼운 폭으로 형성된다. 최상단 핑거는 게이트 절연막(112) 및 보호막(120)을 사이에 두고 전단 게이트 라인(104)과 일정한 폭이 증착되며, 최상단 핑거의 경사면과 전단 게이트 라인(104)의 경사면이 동일한 각도로 나란하게 형성된다. 다시 말해, 도 3과 같이 최상단 핑거와 전단 게이트 라인(104)은 2~4 μ m의 폭이 증착되어 형성되며, 화소 전극(130)의 최상단 핑거의 비증착 면적 즉, 증착된 게이트 라인(104) 경사면의 끝단으로부터 최상단 핑거 경사면의 끝단까지의 폭은 3~10 μ m로 형성된다. 최하단 핑거는 보호막(120)을 관통하는 제 1 콘택홀(150)을 통해 드레인 전극(110b)과 접속된다.
- <15> 공통 전극(140)은 데이터 라인(113)과 평행하게 형성된 수직부(140a)와, 공통 전극(140)의 수직부(140a)에서 분기되어 화소 전극(130)의 핑거부(130b)와 교번되어 형성되어 수평 전계를 이루는 다수의 핑거부(140b)를 포함한다. 공통 전극(140)의 핑거부(140b)들은 화소 전극(130)의 핑거부(130b)와 같이 화소 영역의 중심부에서 서로 대칭되도록 경사되어 형성된다.
- <16> 화소 전극(130) 및 공통 전극(140)은 투명 도전층 또는 불투명 금속층으로 형성될 수 있다. 투명 도전층으로는 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide : ITZO) 등이 이용된다. 불투명 금속층으로는 몰리브덴(Mo), 알루미늄(Al), 알루미늄-네오디미움(Al-Nd), 구리(Cu), 크롬(Cr), 티타늄(Ti) 등의 금속과 이들의 합금이 단일층 또는 복수층 구조로 이용된다.
- <17> 공통 라인(145)은 게이트 전극(102)과 동일층에 형성되며, 데이터 라인(113)과 평행하도록 화소 전극(130)의 수직부(130a)와 증착되어 형성된 공통 라인(145)의 수직부(145a)와, 공통 라인(145)의 수직부(145a)에서 분기되어 게이트 라인(104)과 나란하도록 형성된 공통 라인(145)의 수평부(145b)를 포함한다. 화소 전극(130)의 수직부(130a)와 공통 라인(145)의 수직부(145a)가 증착되고, 공통 라인(145)의 수평부(145b)와 화소 전극(130)의 최하단 핑거가 게이트 절연막(112) 및 보호막(120)을 사이에 두고 증착되어 스토리지 캐패시터를 형성한다. 공통 라인(145)은 화소 영역의 중심부에서 게이트 절연막(112) 및 보호막(120)을 관통하는 제 2 콘택홀(170)을 통해 공통 전극(140)의 수직부(140a)와 접속된다.
- <18> 이와 같이, 화소 전극과 게이트 라인의 이격 공간에서의 액정은 화소 전극과 공통 전극 간의 수평 전계와는 달리 비정상적으로 구동하게 되므로 화소 전극과 게이트 라인의 이격 공간에서 빛샘이 발생하게 된다. 따라서, 화소 전극(130)의 최상단 핑거와 전단 게이트 라인(104)이 일정한 폭으로 증착되도록 형성함으로써 빛샘을 방지할 수 있으며, 종래 구조보다 5~7%의 개구율을 향상 및 3~5%의 스토리지 캐패시터를 증가시킬 수 있다.
- <19> 도면에서는 생략하였으나, 박막 트랜지스터 기판(100)은 컬러필터 기판과 액정층을 사이에 두고 합착된다. 컬러필터 기판은 빛샘 방지 및 화소 영역을 구분하도록 형성된 블랙 매트릭스와, 컬러 색상을 표현하기 위한 컬러필터층을 포함한다. 여기서, 블랙 매트릭스는 박막 트랜지스터 기판의 게이트 라인 및 데이터 라인 등과 같은 금속 패턴에 대응되도록 형성한다.
- <20> 도 4a 내지 도 4d는 도 2에 도시된 박막 트랜지스터 기판(100)의 제조방법을 나타낸 공정단면도들이다.
- <21> 도 4a를 참조하면, 박막 트랜지스터 기판(100) 상에 게이트 라인(104), 게이트 전극(102) 및 공통 라인(145)을

포함하는 제 1 도전 패턴이 형성된다.

- <22> 구체적으로, 박막 트랜지스터 기관(100) 상에 게이트 금속층을 스퍼터링 등의 증착 방법으로 형성한다. 이어서, 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 택게이트 금속층이 패터닝하여 게이트 라인(104), 게이트 전극(102) 및 공통 라인(145)을 형성한다.
- <23> 게이트 금속층은 몰리브덴(Mo), 알루미늄(Al), 알루미늄-네오디미움(Al-Nd), 구리(Cu), 크롬(Cr), 티타늄(Ti) 등의 금속과 이들의 합금이 단일층 또는 복수층 구조로 형성된다.
- <24> 도 4b를 참조하면, 제 1 도전 패턴을 포함하는 기관(100) 상에 게이트 절연막(112), 반도체층(118), 소스 및 드레인 패턴이 순차적으로 형성된다.
- <25> 구체적으로, 게이트 라인(104), 게이트 전극(102) 및 공통 라인(145)을 포함하는 박막 트랜지스터 기관(100) 전면에 PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 게이트 절연막(112), 비정질실리콘(a-Si)층 및 불순물(n+)이 도핑된 비정질실리콘층이 순차적으로 형성된다. 이어서, 소스/드레인 금속층을 스퍼터링 등의 증착 방법으로 형성한 후, 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝되어 활성층(108b) 및 오믹 콘택층(108a)으로 구성된 반도체층(108)과, 데이터 라인(113), 소스(110a) 및 드레인 전극(110b)을 포함하는 소스/드레인 패턴이 순차적으로 형성된다.
- <26> 이때, 소스(110a) 및 드레인 전극(110b)과 오믹 콘택층(108a)의 전기적인 분리를 위해 회절 노광 또는 하프톤 마스크(half-tone mask)가 이용된다.
- <27> 게이트 절연막(112)은 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연물질이 이용된다. 소스/드레인 금속층은 몰리브덴(Mo), 알루미늄(Al), 알루미늄-네오디미움(Al-Nd), 구리(Cu), 크롬(Cr), 티타늄(Ti), 몰리브덴-티타늄 합금(MoTi), 몰리브덴-니오븀 합금(MoNb), 타이타늄-니오븀 합금(TiNb) 등의 금속과 이들의 합금이 단일층 또는 복수층 구조로 형성된다.
- <28> 도 4c를 참조하면, 소스/드레인 패턴 상에 제 1(150) 및 제 2 콘택홀(도 1의 170)을 포함하는 보호막(120)이 형성된다.
- <29> 구체적으로, 데이터 라인(113), 소스(110a) 및 드레인 전극(110b)을 포함하는 소스/드레인 패턴 상에 보호막(120)이 형성된다. 이어서, 보호막(120) 상에 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝되어 드레인 전극(110b)을 노출시키는 제 1 콘택홀(150)과, 공통 라인(145)을 노출시키는 제 2 콘택홀(도 1의 170)이 형성된다.
- <30> 보호막(120)은 게이트 절연막(112)과 같은 무기 절연물질이 PECVD 등의 증착 방법으로 증착되어 형성되거나, 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB(Benzocyclobuten), PFCB(Perfluorocyclobutane), 테프론(teflon), 사이토프(Cytop) 등과 같은 유기 절연물질이 스핀 또는 스핀리스 등의 코팅 방법으로 코팅되어 형성된다.
- <31> 도 4d를 참조하면, 보호막(120) 상에 화소 전극(130) 및 공통 전극(140)이 형성된다.
- <32> 구체적으로, 보호막(120) 상에 투명 도전 물질을 증착한 후 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝되어 제 1 콘택홀(150)을 통해 드레인 전극(110b)과 전기적으로 접속되는 화소 전극(130)과, 제 2 콘택홀(도 1의 170)을 통해 공통 라인(145)과 전기적으로 접속되는 공통 전극(140)이 형성된다.
- <33> 여기서, 전단 또는 다음 단 게이트 라인(104)과 화소 전극(130)의 핑거부(130b) 중 최상단 핑거는 게이트 절연막(112) 및 보호막(120)을 사이에 두고 전단 게이트 라인(104)과 일정한 폭이 중첩된다. 다시 말해, 도 3과 같이 화소 전극(130)의 최상단 핑거와 전단 게이트 라인(104)은 2~4 μ m의 폭이 중첩되어 형성되며, 화소 전극(130)의 최상단 핑거의 비중첩 면적 즉, 중첩된 게이트 라인(104) 경사면의 끝단으로부터 최상단 핑거 경사면의 끝단까지의 폭은 3~10 μ m로 형성된다.
- <34> 공통 라인(145)의 수평부(145b)와 화소 전극(130)의 최하단 핑거가 게이트 절연막(112) 및 보호막(120)을 사이에 두고 중첩되어 스토리지 캐패시터를 형성한다.
- <35> 이와 같이, 화소 전극과 게이트 라인의 이격 공간에서의 액정은 화소 전극과 공통 전극 간의 수평 전계와는 달리 비정상적으로 구동하게 되므로 화소 전극과 게이트 라인의 이격 공간에서 빛샘이 발생하게 된다. 따라서, 화소 전극(130)의 최상단 핑거와 전단 게이트 라인(104)이 일정한 폭으로 중첩되도록 형성함으로써 빛샘을 방지할 수 있으며, 종래 구조보다 5~7%의 개구율을 향상 및 3~5%의 스토리지 캐패시터를 증가시킬 수 있다.

<36> 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

<37> 도 1은 본 발명의 실시예에 따른 인플레인 스위칭 모드 액정표시장치의 박막 트랜지스터 기판을 나타낸 평면도이다.

<38> 도 2는 도 1에 도시된 I-I' 선에 따른 박막 트랜지스터 기판을 나타낸 단면도이다.

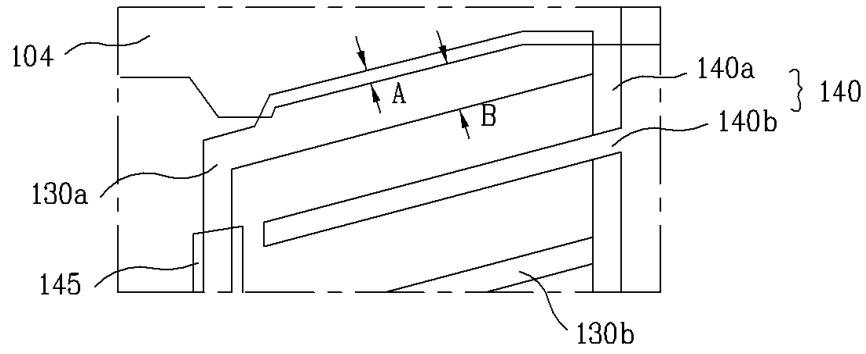
<39> 도 3은 게이트 라인과 화소 전극의 중첩된 모습을 설명하기 위한 확대도이다.

<40> 도 4a 내지 도 4d는 도 2에 도시된 박막 트랜지스터 기판의 제조방법을 나타낸 공정단면도들이다.

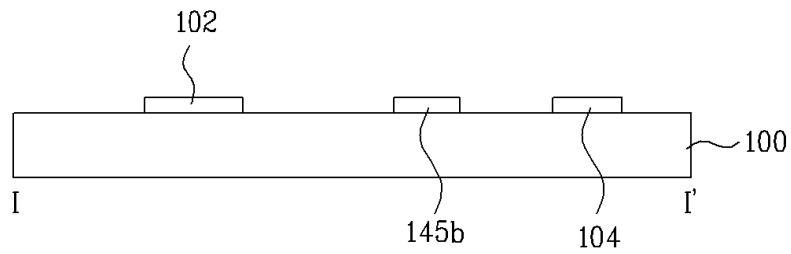
<41> < 도면의 주요 부분에 대한 부호의 설명 >

- | | |
|-------------------------------|----------------|
| <42> 100 : 박막 트랜지스터 기판 | 102 : 게이트 전극 |
| <43> 104 : 게이트 라인 | 108 : 반도체층 |
| <44> 110a, 110b : 소스 및 드레인 전극 | 112 : 게이트 절연막 |
| <45> 113 : 데이터 라인 | 120 : 보호막 |
| <46> 130 : 화소 전극 | 140 : 공통 전극 |
| <47> 145, 146 : 공통 라인 | 150, 170 : 콘택홀 |

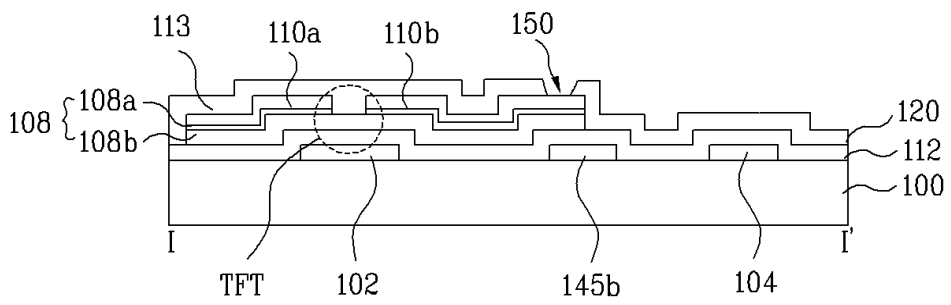
도면3



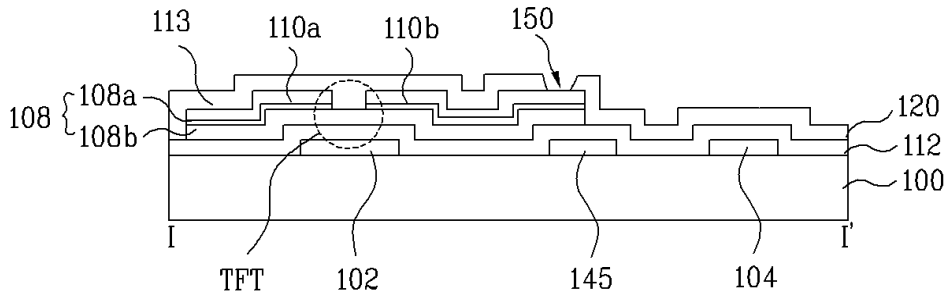
도면4a



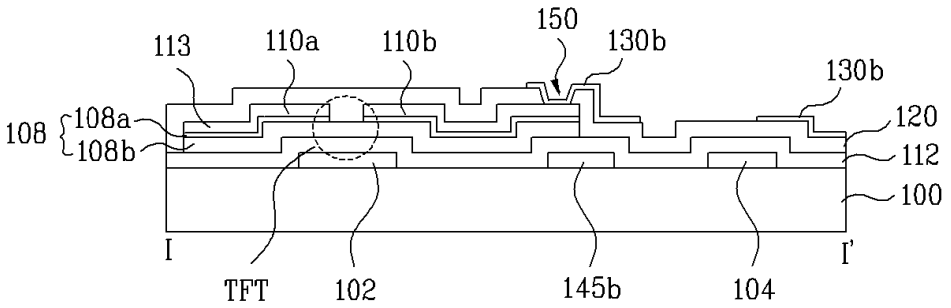
도면4b



도면4c



도면4d



专利名称(译)	一种面内切换模式的液晶显示装置		
公开(公告)号	KR1020090108861A	公开(公告)日	2009-10-19
申请号	KR1020080034178	申请日	2008-04-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE MIN JIC 이민직 LEE BYUNG HYUN 이병현		
发明人	이민직 이병현		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134363 G02F1/1343 G02F1/136286 G02F2201/40 H01L29/786		
代理人(译)	金勇 年轻的小公园		
外部链接	Espacenet		

摘要(译)

本发明是一种平面开关型液晶显示装置, 基板上的栅极上形成的, 上面的门相交的线已被创建, 以定义多个数据线和像素的面积, 上面的门线, 上面, 上面的数据线连接, 薄膜晶体管 and 薄膜晶体管和访问, 并具有与栅极线平行布置的指状部分的像素电极和具有与像素电极的水平电场并且具有与像素电极的指状部分交替的指状物的公共电极, 并且栅极线与栅极线重叠。

