



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0089594
(43) 공개일자 2009년08월24일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2008-0014843

(22) 출원일자 2008년02월19일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

오재영

서울 영등포구 대림3동 현대3차아파트 303동 1204호

이재균

경기 수원시 장안구 정자3동 풍림2차아파트 412동 404호

(74) 대리인

김용인, 박영복

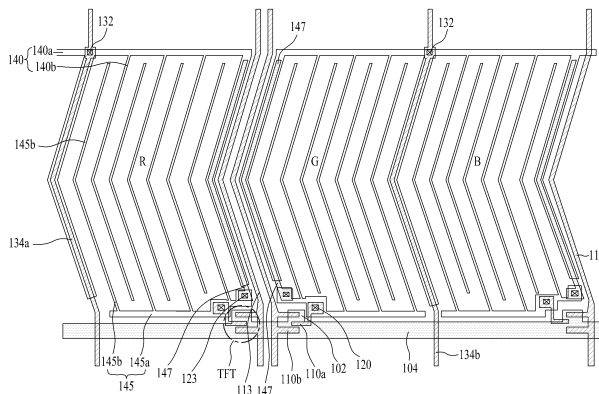
전체 청구항 수 : 총 13 항

(54) 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 게이트 라인과, 상기 게이트 라인과 교차하도록 형성되어 서브 화소 영역을 정의하는 데이터 라인과, 상기 데이터 라인과 나란하게 형성되며 상기 적어도 세 개의 서브 화소 영역으로 이루어진 한 화소당 적어도 한 개가 형성되는 수직 공통 라인과, 상기 게이트 라인 및 상기 데이터 라인과 접속된 박막 트랜지스터와, 상기 박막 트랜지스터와 접속되는 화소 전극과, 상기 화소 전극과 수평 전계를 이루며 상기 수직 공통 라인과 접속된 공통 전극을 구비하며, 상기 한 화소를 이루는 적어도 세 개의 서브 화소 영역 중 제 1 및 제 2 서브 화소 영역 각각의 상기 데이터 라인들은 서로 인접되도록 형성되는 것을 특징으로 한다.

대표도 - 도6



특허청구의 범위

청구항 1

게이트 라인과,

상기 게이트 라인과 교차하도록 형성되어 서브 화소 영역을 정의하는 데이터 라인과,

상기 데이터 라인과 나란하게 형성되며 상기 적어도 세 개의 서브 화소 영역으로 이루어진 한 화소당 적어도 한 개가 형성되는 수직 공통 라인과,

상기 게이트 라인 및 상기 데이터 라인과 접속된 박막 트랜지스터와,

상기 박막 트랜지스터와 접속되는 화소 전극과,

상기 화소 전극과 수평 전계를 이루며 상기 수직 공통 라인과 접속된 공통 전극을 구비하며,

상기 한 화소를 이루는 적어도 세 개의 서브 화소 영역 중 제 1 및 제 2 서브 화소 영역 각각의 상기 데이터 라인들은 서로 인접되도록 형성되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 데이터 라인 및 상기 수직 공통 라인 중 어느 하나의 적어도 일측에서 상기 데이터 라인과 나란하도록 형성된 스토리지 전극을 추가로 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 스토리지 전극은 상기 게이트 라인과 동일 물질로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 데이터 라인은 상기 적어도 하나의 서브 화소 영역을 가로지르도록 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 데이터 라인에 각각 접속되며, 상기 데이터 라인 좌우에 위치하는 두 개의 박막 트랜지스터가 형성되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 수직 공통 라인은 상기 데이터 라인과 동일 물질로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 수직 공통 라인은 상기 적어도 하나의 서브 화소 영역을 가로지르도록 형성되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 1 항에 있어서,

상기 수직 공통 라인은 상기 적어도 하나의 서브 화소 영역 중 인접한 서브 화소 영역과 서로 공유하도록 형성

되는 것을 특징으로 하는 액정표시장치.

청구항 9

제 1 항에 있어서,

상기 게이트 라인은 인접한 상하 화소 영역과 서로 공유하도록 형성되는 것을 특징으로 하는 액정표시장치.

청구항 10

제 1 항에 있어서,

상기 수직 공통 라인과 접속되며, 상기 게이트 라인과 나란하게 형성된 수평 공통 라인을 추가로 구비하는 것을 특징으로 하는 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 수평 공통 라인은 상기 화소 전극과 동일 물질로 형성되거나 상기 게이트 라인과 동일 물질로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 12

제 10 항에 있어서,

상기 수평 공통 라인은 인접한 상하 화소 영역과 서로 공유하도록 형성되는 것을 특징으로 하는 액정표시장치.

청구항 13

제 1 항에 있어서,

상기 적어도 세 개의 서브 화소 영역 중 제 1 및 제 2 서브 화소 영역 사이에 대응되는 블랙 매트릭스의 선폭과 제 2 및 제 3 서브 화소 영역 사이에 대응되는 블랙 매트릭스의 선폭의 비율은 0.7 이하인 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 액정표시장치에 관한 것으로, 특히 개구율 향상과 아울러 화질 신뢰성을 높일 수 있는 액정표시장치에 관한 것이다.

배경기술

<2> 일반적으로, 액정표시장치는 액정 분자의 배열에 따라서 다양한 모드가 존재한다. 예를 들면, 액정표시장치는 수직 전계에 의해 액정 방향자를 제어하는 TN 모드(Twisted Nematic Mode)와, 수평 전계에 의해 액정의 방향자를 제어하는 인플레인 스위칭 모드(In-Plane Switching Mode)로 구분된다.

<3> 여기서, 인플레인 스위칭 모드 액정표시장치는 서로 대향 배치되어 그 사이에 액정층을 구비한 컬러필터 어레이 기판과 박막 어레이 기판으로 구성된다. 컬러필터 어레이 기판에는 빛샘을 방지하기 위한 블랙 매트릭스와, 블랙 매트릭스 상에 색상을 구현하기 위한 컬러필터층이 형성된다. 박막 트랜지스터 어레이 기판에는 단위 화소를 정의하는 게이트 라인 및 데이터 라인과, 게이트 라인 및 데이터 라인의 교차 지점에 형성된 박막 트랜지스터와, 서로 나란하게 형성되어 수평 전계를 발생시키는 공통 전극 및 화소 전극이 형성된다.

<4> 이와 같은 인플레인 스위칭 모드 액정표시장치는 스토리지 캐패시터 용량을 확보하기 위해 화소 영역의 상부 및 하부에서 공통 전극과 접속되어 형성된 공통 라인 및 화소 전극이 절연막을 사이에 두고 중첩된 구조를 갖는다. 여기서, 화소 영역의 상부 및 하부에서의 공통 라인으로 인해 개구율이 감소된다. 또한, 게이트 라인과 동일 금속층으로 형성되어 공통 전극과 게이트 라인의 쇼트가 발생할 수 있으므로, 공통 전극과 게이트 라인의 쇼트

불량을 방지하기 위해 공통 전극과 게이트 라인의 총 이격 거리가 확보되어야 하므로 개구율이 감소된다.

- <5> 또한, 액정표시장치가 대면적으로 갈수록 공통 라인의 길이 또한 증가한다. 공통 라인의 길이에 비례하는 공통 라인의 자체 저항도 증가하게 되어 공통 전압이 왜곡되거나 지연되는 현상이 발생된다. 이러한 문제점을 해결하기 위해서 공통 라인의 면적을 증가시키게 되면 개구율이 저하되며 또한, 각 서브 화소의 게이트 라인과 공통 라인 간에 기생 캐패시터가 형성된다. 이 기생 캐패시터는 크로스 토크(cross-talk), 플리커(flicker) 현상, 잔상 등의 문제점이 발생하게 된다.

발명의 내용

해결 하고자하는 과제

- <6> 상기와 같은 문제점을 해결하기 위한 것으로, 본 발명은 액정표시장치에 있어서 개구율 향상과 아울러 화질 신뢰성을 높일 수 있는 액정표시장치를 제공하는데 그 목적이 있다

과제 해결수단

- <7> 상기 기술적 과제를 달성하기 위하여, 본 발명의 특징에 따른 액정표시장치는 게이트 라인과, 상기 게이트 라인과 교차하도록 형성되어 서브 화소 영역을 정의하는 데이터 라인과, 상기 데이터 라인과 나란하게 형성되며 상기 적어도 세 개의 서브 화소 영역으로 이루어진 한 화소당 적어도 한 개가 형성되는 수직 공통 라인과, 상기 게이트 라인 및 상기 데이터 라인과 접촉된 박막 트랜지스터와, 상기 박막 트랜지스터와 접촉되는 화소 전극과, 상기 화소 전극과 수평 전계를 이루며 상기 수직 공통 라인과 접촉된 공통 전극을 구비하며, 상기 한 화소를 이루는 적어도 세 개의 서브 화소 영역 중 제 1 및 제 2 서브 화소 영역 각각의 상기 데이터 라인들은 서로 인접되도록 형성되는 것을 특징으로 한다.

효 과

- <8> 본 발명에 따른 액정표시장치는 다음과 같은 효과가 있다.
- <9> 첫째, 공통 라인 및 스토리지 전극을 데이터 라인과 나란하게 형성함으로써 공통 라인 및 스토리지 전극을 화소 영역의 상부 및 하부에 형성할 때에 비해 약 10~16%의 개구율이 향상된다.
- <10> 둘째, 데이터 라인과 나란하게 형성된 스토리지 전극을 데이터 라인과 다른 층인 즉, 게이트 금속 물질로 형성함으로써 쇼트 불량 위험을 줄이기 위한 이격 거리를 줄일 수 있어 개구율이 향상된다.
- <11> 셋째, 공통 라인을 데이터 라인과 나란하게 형성함으로써, 공통 라인을 게이트 라인과 나란하게 형성할 때에 비해 길이가 짧아지게 되어 이에 따른 자체 저항도 감소하게 되어 공통 전압이 왜곡되거나 지연되는 현상을 방지할 수 있고, 공통 라인의 저항 또는 캐패시턴스 감소에 의한 플리커(flicker) 현상을 감소시킬 수 있다.
- <12> 또한, 수직 공통 라인은 드라이버 IC로부터 직접 전압이 인가되므로 공통 전압이 왜곡되는 것을 방지할 수 있다.
- <13> 넷째, 공통 라인을 데이터 라인과 나란하게 형성함으로써 종래의 게이트 라인과 공통 라인 간의 기생 캐패시터로 인한 크로스 토크(cross-talk)가 제거되고, 공통 전극의 직류(DC) 성분 제거로 인해 잔상 등의 문제점이 해결된다.
- <14> 다섯째, 개구율 증가에 따른 휘도 증가로 인해 확산 시트나 프리즘 시트 등을 제거할 수 있으므로 제조 비용을 감소시킬 수 있다. 또한, 고가의 포토 아크릴과 같은 유기 절연물없이도 고개구율을 얻을 수 있으므로 비용 및 공정이 감소된다.
- <15> 여섯째, 데이터 라인에 대응하는 컬러필터 기관의 블랙 매트릭스의 최대 선폭 대비 최소 선폭 비율을 0.7 이하로 형성함으로써 블랙 매트릭스 선폭의 차이로 인한 시인성 문제를 해결할 수 있다. 또한, 각 서브 화소 영역의 개구 영역의 폭이 동일하게 형성되어 각 서브 화소 영역 간의 색 편차 및 색 혼합 등을 줄일 수 있다.

발명의 실시를 위한 구체적인 내용

- <16> 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치를 상세히 설명하면 다음과 같다.
- <17> 도 1은 본 발명의 제 1 실시예에 따른 인플레인 스위칭 모드 액정표시장치의 박막 트랜지스터 기관을 나타낸 평

면도이며, 도 2는 도 1에 도시된 I1-I1' 내지 I3-I3' 선에 따른 박막 트랜지스터 기관을 나타낸 단면도이다.

- <18> 도 1 및 도 2에 도시된 인플레인 스위칭 모드 액정표시장치는 한 화소가 적색(R), 녹색(G), 청색(B)의 서브 화소 영역들로 이루어지며, 기관(100) 상에 형성된 복수의 게이트 라인(104)과, 게이트 절연막(106)을 사이에 두고 게이트 라인(104)과 교차하게 형성되어 화소 영역을 정의하는 복수의 데이터 라인(113)과, 게이트 라인(104) 및 데이터 라인(113)이 교차하는 부분에 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)와 접속되는 화소 전극(145)과, 각 화소 영역에서 화소 전극(145)과 수평 전계를 형성하는 공통 전극(140)과, 게이트 라인(104)과 나란하게 형성되며 각 화소 영역의 공통 전극(140)과 접속된 수평 공통 라인(144)과, 수평 공통 라인(144)과 메쉬(mesh) 구조를 이루는 수직 공통 라인(130)과, 데이터 라인(113)의 일측면에서 데이터 라인(113)과 나란하도록 형성되며 공통 전극(140)과 중첩되어 형성되는 스토리지 전극(147)으로 구성된다. 수평 공통 라인(144)은 화소 전극(145)과 동일 물질로 형성된다.
- <19> 이와 같이, 수평 공통 라인(144) 및 수직 공통 라인(130)은 메쉬(mesh) 구조로 형성됨으로써 로드(load)를 감소시켜 부하를 최소화할 수 있다.
- <20> 여기서, 화소 전극(145)은 보호막(125)을 관통하는 드레인 콘택홀(120)을 통해 박막 트랜지스터(TFT)의 드레인 전극(110b)과 접속되고, 게이트 절연막(106) 및 보호막(125)을 관통하는 스토리지 콘택홀(123)을 통해 스토리지 전극(147)과 접속되는 화소 전극(145)의 수평부(145a)와, 공통 전극(140)과 수평 전계를 형성하는 화소 전극(145)의 평거부(145b)로 이루어진다.
- <21> 수직 공통 라인(130)은 소스/드레인 금속 물질로 데이터 라인(113)과 동일층에 휘도에 가장 둔감한 영역인 청색(B) 서브 화소 영역을 가로지르도록 형성되며, 보호막(125)을 관통하는 공통 라인 콘택홀(132)을 통해 수평 공통 라인(144)과 접속되어 형성된다. 수직 공통 라인(130)은 드라이버 IC로부터 직접 전압이 인가되므로 공통 전압이 왜곡되는 것을 방지할 수 있다.
- <22> 스토리지 전극(147)은 게이트 금속 물질로 형성되며 게이트 절연막(106) 및 보호막(125)을 사이에 두고 공통 전극(140)과 중첩되어 스토리지 캐패시터를 형성한다.
- <23> 박막 트랜지스터(TFT)는 게이트 라인(104)에서 분기된 게이트 전극(102)과, 게이트 전극(102)이 형성된 기관(100)의 전면에 형성된 게이트 절연막(106)과, 게이트 절연막(106) 상에 게이트 전극(102)과 중첩되도록 형성된 오믹 콘택층(108a) 및 활성층(108b)으로 구성된 반도체층(108)과, 데이터 라인(113)에서 분기되어 반도체층(108) 상에 형성되는 소스 전극(110a), 반도체층(108) 상에 소스 전극(110a)과 마주하게 형성된 드레인 전극(110b)으로 구성된다.
- <24> 이와 같이, 청색(B) 서브 화소 영역에 소스/드레인 물질로 데이터 라인(113)과 나란하게 수직 공통 라인(130)을 형성함으로써, 공통 라인을 게이트 라인(104)과 나란하게 형성할 때에 비해 길이가 짧아지게 된다. 이에 따라 공통 라인의 자체 저항도 감소하게 되어 공통 전압이 왜곡되거나 지연되는 현상을 방지하고, 공통 라인의 저항 또는 캐패시턴스 감소에 의한 플리커(flicker) 현상을 감소시킬 수 있다.
- <25> 또한, 게이트 금속 물질의 스토리지 전극(147)을 데이터 라인(113)과 나란하게 형성함으로써 즉, 스토리지 전극(147)이 데이터 라인(113)과 서로 다른 층에 형성되어 쇼트 불량 위험을 줄이기 위한 이격 거리를 줄일 수 있어 개구율을 향상시킬 수 있다.
- <26> 이와 같이, 청색(B) 서브 화소 영역을 가로지르는 수직 공통 라인(130)을 구비한 한 화소 영역의 평균 개구율은 42인치 HD(High-Definition) 모델을 기준으로 약 58~60%이다.
- <27> 도면에서는 생략하였으나, 박막 트랜지스터 기관은 컬러 필터 기관과 액정층을 사이에 두고 합착된다. 컬러 필터 기관은 화소 영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층과, 컬러 색상을 표현하기 위한 컬러 필터층을 구비한다.
- <28> 도 3a 내지 도 3d는 도 2에 도시된 박막 트랜지스터 기관의 제조방법을 나타낸 공정단면도들이다.
- <29> 도 3a를 참조하면, 기관(100) 상에 게이트 전극(102) 및 스토리지 전극(147)이 형성된다.
- <30> 구체적으로, 기관(100) 상에 게이트 금속층을 스퍼터링 등의 증착 방법으로 형성한다. 이어서, 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 게이트 금속층이 패터닝되어 게이트 전극(102) 및 스토리지 전극(147)이 형성된다.

- <31> 게이트 금속층은 몰리브덴(Mo), 알루미늄(Al), 알루미늄-네오디미움(Al-Nd), 구리(Cu), 크롬(Cr), 티타늄(Ti) 등의 금속과 이들의 합금이 단일층 또는 복수층 구조로 형성된다.
- <32> 도 3b를 참조하면, 게이트 전극(102) 및 스토리지 전극(147) 상에 게이트 절연막(106), 반도체층(108) 및 소스/드레인 패턴이 순차적으로 형성된다.
- <33> 구체적으로, 게이트 전극(102) 및 스토리지 전극(147)을 포함하는 기판(100) 전면에서 PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 게이트 절연막(106), 비정질실리콘(a-Si)층 및 불순물(n+)이 도핑된 비정질실리콘층이 순차적으로 형성된다. 이어서, 소스/드레인 금속층을 스퍼터링 등의 증착 방법으로 형성한 후, 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝되어 활성층(108b) 및 오믹 콘택층(108a)으로 구성된 반도체층(108)과, 데이터 라인(113), 수직 공통 라인(130), 소스(110a) 및 드레인 전극(110b)을 포함하는 소스/드레인 패턴이 순차적으로 형성된다. 이때, 소스(110a) 및 드레인 전극(110b)과 오믹 콘택층(108a)의 전기적인 분리를 위해 회절 노광 또는 하프톤 마스크(half-tone mask)가 이용된다.
- <34> 게이트 절연막(106)은 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연물질이 이용된다. 소스/드레인 금속층은 몰리브덴(Mo), 알루미늄(Al), 알루미늄-네오디미움(Al-Nd), 구리(Cu), 크롬(Cr), 티타늄(Ti), 몰리브덴-티타늄 합금(MoTi), 몰리브덴-니오븀 합금(MoNb), 티타늄-니오븀 합금(TiNb) 등의 금속과 이들의 합금이 단일층 또는 복수층 구조로 형성된다.
- <35> 도 3c를 참조하면, 소스/드레인 패턴 상에 드레인, 스토리지 및 공통 라인 콘택홀(120, 123, 132)을 포함하는 보호막(125)이 형성된다.
- <36> 구체적으로, 데이터 라인(113), 수직 공통 라인(130), 소스(110a) 및 드레인 전극(110b)을 포함하는 소스/드레인 패턴 상에 보호막(125)이 형성된다. 이어서, 보호막(125) 상에 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝되어 드레인 전극(110b)을 노출시키는 드레인 콘택홀(120)과, 스토리지 전극(147)을 노출시키는 스토리지 콘택홀(123)과, 수직 공통 라인(130)을 노출시키는 공통 라인 콘택홀(132)이 형성된다.
- <37> 보호막(125)은 게이트 절연막(106)과 같은 무기 절연물질이 PECVD 등의 증착 방법으로 증착되어 형성되거나, 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB(Benzocyclobuten) 또는 PFCB(Perfluorocyclobutane) 등과 같은 유기 절연물질이 스핀 또는 스핀리스 등의 코팅 방법으로 코팅되어 형성된다.
- <38> 도 3d를 참조하면, 보호막(125) 상에 화소 전극(145), 공통 전극(140) 및 수평 공통 라인(144)이 형성된다.
- <39> 구체적으로, 보호막(125) 상에 투명 도전 물질을 증착한 후 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝되어 드레인 콘택홀(120)을 통해 드레인 전극(110b)과 전기적으로 접속되고, 스토리지 콘택홀(123)을 통해 스토리지 전극(147)과 전기적으로 접속되는 화소 전극(145)의 수평부(145a)와, 화소 전극(145)의 수평부(145a)에서 분기되어 형성되는 화소 전극(145)의 핑거부(145b)가 형성된다. 또한, 공통 라인 콘택홀(132)을 통해 수직 공통 라인(130)과 전기적으로 접속되는 수평 공통 라인(144)과, 수평 공통 라인(144)에서 분기되어 화소 전극(145)의 핑거부(145b)와 나란하게 배치된 공통 전극(140)이 형성된다.
- <40> 이때, 스토리지 전극(147)과 공통 전극(140)은 게이트 절연막(106) 및 보호막(125)을 사이에 두고 스토리지 캐패시터를 형성한다.
- <41> 이와 같이, 수직 공통 라인(130)을 청색(B) 서브 화소 영역에 데이터 라인(113)과 나란하게 형성함으로써, 공통 라인을 게이트 라인(104)과 나란하게 형성할 때에 비해 길이가 짧아지며, 이에 따른 자체 저항도 감소하게 되어 공통 전압이 왜곡되거나 지연되는 현상을 방지할 수 있다.
- <42> 또한, 스토리지 캐패시터를 형성하기 위한 스토리지 전극(147)을 화소 영역의 상부 및 하부가 아닌 데이터 라인(113) 일측면에 나란하게 형성함으로써 개구율이 향상된다. 그리고, 스토리지 전극(147)을 게이트 금속 물질로 형성함으로써, 데이터 라인(113)과 서로 다른 층에 형성되어 쇼트 불량 위험을 줄이기 위한 이격 거리를 줄일 수 있어 개구율을 향상시킬 수 있다.
- <43> 도 4은 본 발명의 제 2 실시예에 따른 인플레이션 스위칭 모드 액정표시장치의 박막 트랜지스터 기판을 나타낸 평면도이며, 도 5는 도 4에 도시된 II1-II1' 내지 II3-II3' 선에 따른 박막 트랜지스터 기판을 나타낸 단면도이다.
- <44> 도 4에 도시된 인플레이션 스위칭 모드 액정표시장치는 도 1에 도시된 인플레이션 스위칭 모드 액정표시장치의 박막 트랜지스터 기판과 대비하여 중복된 구성 요소들에 대한 설명은 생략하기로 한다.

- <45> 도 4 및 도 5를 참조하면, 적색(R) 서브 화소 영역과 녹색(G) 서브 화소 영역의 데이터 라인(113) 및 박막 트랜지스터(TFT)는 서로 인접하도록 형성된다.
- <46> 공통 전극(140)은 게이트 라인(104)과 나란하게 형성된 공통 전극(140)의 수평부(140a)와, 공통 전극(140)의 수평부(140a)에서 접속되어 화소 전극(145)의 핑거부(145b)와 수평 전계를 이루는 공통 전극(140)의 핑거부(140b)와, 청색(B) 서브 화소 영역의 데이터 라인(113) 일측면에서 공통 전극(140)의 핑거부(140b)와 중첩되어 형성되는 공통 전극(140)의 중첩부(140c)로 구성된다. 수직 공통 라인(133)은 녹색(G) 서브 화소 영역 및 청색(B) 서브 화소 영역 사이에서 서로 공유하도록 형성되며 공통 전극의 제 1 핑거부(140b)와 중첩된다. 공통 전극(140)의 중첩부(140c)는 공통 전극(140)의 수평부(140a)와 접촉성을 향상시키기 위해 다수의 공통 전극 콘택홀(150) 통해 접속시킬 수도 있다.
- <47> 여기서, 수직 공통 라인(133)은 드라이버 IC로부터 직접 전압이 인가되므로 공통 전압이 왜곡되는 것을 방지할 수 있다.
- <48> 이와 같이, 녹색(G) 및 청색(B) 서브 화소 영역 사이에 서로 공유하도록 형성된 하나의 수직 공통 라인(133)을 구비한 한 화소 영역의 평균 개구율은 42인치 HD(High-Definition) 모델을 기준으로 약 60~62%이다.
- <49> 이와 같이, 수직 공통 라인(133)을 청색(B) 서브 화소 영역에 데이터 라인(113)과 나란하게 형성함으로써, 공통 라인을 게이트 라인(104)과 나란하게 형성할 때에 비해 길이가 짧아지며, 이에 따른 자체 저항도 감소하게 되어 공통 전압이 왜곡되거나 지연되는 현상을 방지할 수 있다.
- <50> 또한, 스토리지 캐패시터를 형성하기 위한 스토리지 전극(147)을 화소 영역의 상부 및 하부가 아닌 데이터 라인(113) 일측면에 나란하게 형성함으로써 개구율이 향상된다. 그리고, 스토리지 전극(147)을 게이트 금속 물질로 형성함으로써, 데이터 라인(113)과 서로 다른 층에 형성되어 쇼트 불량 위험을 줄이기 위한 이격 거리를 줄일 수 있어 개구율을 향상시킬 수 있다.
- <51> 이와 같이, 각 화소 영역에 한 개의 수직 공통 라인을 형성할 수도 있지만, 도 6 내지 도 9와 같이 수직 공통 라인이 다수 개로 형성할 수도 있다.
- <52> 도 6 내지 도 9는 본 발명의 제 3 실시예에 따른 인플레인 스위칭 모드 액정표시장치의 박막 트랜지스터 기판을 나타낸 도면이다.
- <53> 도 6 내지 도 9에 도시된 인플레인 스위칭 모드 액정표시장치는 제 1 및 제 2 실시예와 대비하여 중복된 구성 요소들에 대한 설명은 생략하기로 한다.
- <54> 도 6을 참조하면, 적색(R) 서브 화소 영역과 녹색(G) 서브 화소 영역의 데이터 라인(113) 및 박막 트랜지스터(TFT)는 서로 인접하도록 형성되며 청색(B) 서브 화소 영역의 데이터 라인(113)은 청색(B) 서브 화소 영역의 우측에 형성된다. 수직 공통 라인은 적색(R) 서브 화소 영역의 좌측에 형성된 제 1 수직 공통 라인(134a)과, 녹색(G) 서브 화소 영역 및 청색(B) 서브 화소 영역 사이에 서로 공유하도록 형성된 제 2 수직 공통 라인(134b)으로 구성된다. 제 1 및 제 2 수직 공통 라인(134a, 134b)은 공통 라인 콘택홀(132)을 통해 공통 전극(140)의 수평부(140a)와 각각 접속된다.
- <55> 여기서, 제 1 및 제 2 수직 공통 라인(134a, 134b)은 드라이버 IC로부터 직접 전압이 인가되므로 공통 전압이 왜곡되는 것을 방지할 수 있다.
- <56> 스토리지 전극(147)은 각 서브 화소 영역의 데이터 라인(113) 일측면에 데이터 라인(113)과 나란하게 형성된다. 각 서브 화소 영역에 대응되어 데이터 라인(113) 양측에 스토리지 전극(147)을 형성할 경우, 스토리지 전극(147)과 데이터 라인(113) 사이에서 전계 왜곡이 발생하고, 이로 인해 액정 분자가 무질서하게 배열되어 스토리지 전극(147)과 데이터 라인(113) 사이를 측면에서 볼 경우 빛샘이 발생하게 된다. 이를 방지하기 위해 빛샘을 차광하기 위한 블랙 매트릭스의 폭이 증가하게 되어 개구율이 감소되는 문제점이 발생하게 된다. 따라서, 시야각을 조절(Viewing Angle Control; VAC)하기 위해 각 서브 화소 영역별 데이터 라인(113)의 일측면에만 스토리지 전극을 형성하여 빛샘 및 스토리지 전극(147)이 형성되지 않는 다른 측면에서 데이터 라인(113)과 스토리지 전극(147) 간의 전압 변동을 최소화할 수 있다.
- <57> 이와 같이, 적색(R) 서브 화소 영역의 좌측에 형성된 제 1 수직 공통 라인(134a)과, 녹색(G) 서브 화소 영역 및 청색(B) 서브 화소 영역 사이에 서로 공유하도록 형성된 제 2 수직 공통 라인(134b)을 구비한 한 화소 영역의 평균 개구율은 42인치 HD(High-Definition) 모델을 기준으로 약 60~62%이다.

- <58> 도 7a를 참조하면, 적색(R) 서브 화소 영역과 녹색(G) 서브 화소 영역의 데이터 라인(113) 및 박막 트랜지스터(TFT)는 서로 인접하도록 형성되며 청색(B) 서브 화소 영역의 데이터 라인(113)은 청색(B) 서브 화소 영역의 좌측에 즉, 녹색(G) 서브 화소 영역 및 청색(B) 서브 화소 영역 사이에 형성된다. 수직 공통 라인은 적색(R) 서브 화소 영역의 좌측에 형성된 제 1 수직 공통 라인(136a)과, 녹색(G) 서브 화소 영역의 우측에 청색(B) 서브 화소 영역과 인접하도록 형성된 제 2 수직 공통 라인(136b)과, 청색(B) 서브 화소 영역의 우측에 적색(R) 서브 화소 영역과 인접하도록 제 3 수직 공통 라인(136c)으로 구성된다.
- <59> 여기서, 제 1 내지 제 3 수직 공통 라인(136a, 136b, 136c)은 드라이버 IC로부터 직접 전압이 인가되므로 공통 전압이 왜곡되는 것을 방지할 수 있다.
- <60> 스토리지 전극은 각 서브 화소 영역의 데이터 라인(113) 측면에 데이터 라인(113)과 나란하게 형성된 제 1 스토리지 전극(147)들과, 제 1 및 제 2 수직 공통 라인(136a, 136b) 측면에 각각 형성된 제 2 스토리지 전극(148)들로 구성된다. 제 1 수직 공통 라인(136a) 및 제 2 스토리지 전극(148)은 적색(R) 서브 화소 영역의 공통 전극(140)의 핑거부(140b)와 중첩되도록 형성된다. 제 2 수직 공통 라인(136b) 및 제 2 스토리지 전극(148)은 녹색(G) 서브 화소 영역의 공통 전극(140)의 핑거부(140b)와 중첩되도록 형성된다. 제 2 스토리지 전극(148)은 제 2 스토리지 콘택홀(160)을 통해 화소 전극(145)의 수평부(145a)와 각각 접속된다.
- <61> 제 1 및 제 2 스토리지 전극(147, 148)은 게이트 절연막(도 5의 106) 및 보호막(도 5의 125)을 사이에 두고 공통 전극(140)의 핑거부(140b)와 중첩되어 제 1 및 제 2 스토리지 캐패시터를 형성한다.
- <62> 이와 같이, 서로 인접하게 형성된 한 쌍의 데이터 라인(113)과, 데이터 라인(113) 각각의 일측에 형성된 제 1 스토리지 전극(147)과, 각 서브 화소 영역에 각각 형성된 수직 공통 라인들과, 수직 공통 라인들 각각의 일측에 형성된 제 2 스토리지 전극(148)을 구비한 한 화소 영역의 평균 개구율은 42인치 HD(High-Definition) 모델을 기준으로 약 57~59%이다.
- <63> 도 7b를 참조하면, 적색(R) 서브 화소 영역 및 녹색(G) 서브 화소 영역 사이(III1-III1')에 형성되는 컬러필터 기판의 블랙 매트릭스(도시하지 않음)의 선폭은 녹색(G) 서브 화소 영역 및 청색(B) 서브 화소 영역 사이(III2-III2')에 형성되는 블랙 매트릭스(도시하지 않음)의 선폭보다 크게 형성된다.
- <64> 다시 말해, 적색(R) 서브 화소 영역 및 녹색(G) 서브 화소 영역 사이에는 서로 인접하게 형성된 각각의 데이터 라인(113)들과, 데이터 라인(113) 측면에 형성된 제 1 스토리지 전극(147)들이 형성되며 이때 블랙 매트릭스(도시하지 않음)의 선폭은 50~62 μ m이다. 녹색(G) 서브 화소 영역 및 청색(B) 서브 화소 영역 사이에는 데이터 라인(113) 및 제 1 스토리지 전극(147)과, 제 2 수직 공통 라인(136b) 및 제 2 스토리지 전극(148)이 형성되므로 이때 블랙 매트릭스(도시하지 않음)의 선폭은 30~45 μ m로 형성된다. 여기서, 블랙 매트릭스(도시하지 않음)의 최대 선폭 대비 최소 선폭 비율이 0.7 이하로 형성되도록 한다.
- <65> 이와 같이, 블랙 매트릭스(도시하지 않음)의 최대 선폭 대비 최소 선폭 비율을 0.7 이하로 형성함으로써 블랙 매트릭스(도시하지 않음) 선폭의 차이로 인한 시인성 문제를 해결할 수 있다. 또한, 각 서브 화소 영역의 개구 영역의 폭이 동일하게 형성되어 각 서브 화소 영역 간의 색 편차 및 색 혼합등을 줄일 수 있다.
- <66> 도 8a를 참조하면, 적색(R) 서브 화소 영역의 데이터 라인(113) 및 박막 트랜지스터(TFT)는 적색(R) 서브 화소 영역의 좌측에 형성된다. 청색(B) 서브 화소 영역의 데이터 라인(113) 및 박막 트랜지스터(TFT)는 청색(B) 서브 화소 영역의 우측에 형성된다. 즉, 적색(R) 서브 화소 영역 및 청색(B) 서브 화소 영역의 데이터 라인(113) 및 박막 트랜지스터(TFT)는 서로 인접하도록 형성된다.
- <67> 녹색(G) 서브 화소 영역은 하나의 데이터 라인(113)을 공유하는 두 개의 박막 트랜지스터(TFT)와, 두 개의 박막 트랜지스터(TFT) 각각에 접속된 화소 전극(145)과, 화소 전극(145)의 핑거부(145b)와 수평 전계를 이루는 공통 전극(140)의 핑거부(140b)와, 데이터 라인(113)을 사이에 두고 양측에 형성된 각각의 스토리지 전극(147)으로 구성된다.
- <68> 스토리지 전극(147)은 데이터 라인(113) 양측의 공통 전극(140)의 핑거부(140b)와 중첩되고 화소 전극(145)의 수평부(145a)와 스토리지 콘택홀(123)을 통해 접속된다.
- <69> 수직 공통 라인은 적색(R) 서브 화소 영역 및 녹색(G) 서브 화소 영역 사이에 형성된 제 1 수직 공통 라인(138a)과, 녹색(G) 서브 화소 영역 및 청색(B) 서브 화소 영역 사이에 형성된 제 2 수직 공통 라인(138b)으로 구성된다. 제 1 및 제 2 수직 공통 라인(138a, 138b)은 공통 전극(140)의 핑거부(140b)와 중첩되어 형성되며 공통 라인 콘택홀(132)을 통해 공통 전극(140)의 수평부(140a)와 각각 접속된다. 제 1 및 제 2 수직 공통 라인

(138a, 138b)은 드라이버 IC로부터 직접 전압이 인가되므로 공통 전압이 왜곡되는 것을 방지할 수 있다.

- <70> 여기서, 청색(B) 서브 화소 영역 및 적색(R) 서브 화소 영역 사이에 형성되는 블랙 매트릭스(도시하지 않음)의 선폭은 녹색(G) 서브 화소 영역에 형성되는 블랙 매트릭스(도시하지 않음)의 선폭보다 크게 형성된다. 다시 말해, 녹색(G) 서브 화소 영역을 가로지르도록 형성된 데이터 라인(113) 및 데이터 라인(113) 양측에 형성되는 스토리지 전극(147)에 해당하는 블랙 매트릭스(도시하지 않음)의 선폭은 45~55 μ m로 형성된다. 청색(B) 서브 화소 영역 및 적색(R) 서브 화소 영역 사이에는 인접하게 형성된 각 서브 화소 영역의 데이터 라인(113)들과, 데이터 라인(113) 측면에 형성된 스토리지 전극(147)이 형성되며 이에 대응하는 블랙 매트릭스(도시하지 않음)의 선폭은 50~62 μ m이다. 여기서, 블랙 매트릭스(도시하지 않음)의 최대 선폭 대비 최소 선폭 비율이 0.7 이하로 형성되도록 한다.
- <71> 이와 같이, 블랙 매트릭스(도시하지 않음)의 최대 선폭 대비 최소 선폭 비율을 0.7 이하로 형성함으로써 블랙 매트릭스(도시하지 않음) 선폭의 차이로 인한 시인성 문제를 해결할 수 있다. 또한, 각 서브 화소 영역의 개구 영역의 폭이 동일하게 형성되어 각 서브 화소 영역 간의 색 편차 및 색 혼합등을 줄일 수 있다.
- <72> 이와 같이, 두 개의 박막 트랜지스터(TFT)를 구비한 녹색(G) 서브 화소 영역과, 적색(R) 서브 화소 영역 및 녹색(G) 서브 화소 영역 사이에 형성된 제 1 수직 공통 라인(138a)과, 녹색(G) 서브 화소 영역 및 청색(B) 서브 화소 영역 사이에 형성된 제 2 수직 공통 라인(138b)을 구비한 한 화소 영역의 평균 개구율은 42인치 HD(High-Definition) 모델을 기준으로 약 56~58%이다.
- <73> 이 경우, 두 개의 박막 트랜지스터(TFT)에 의해 녹색(G) 서브 화소 영역이 구동되므로 부하를 감소시킬 수 있는 반면 개구율이 줄어드는 문제점이 있다. 따라서, 개구율 향상을 위해 경우에 따라 도 8b와 같이 녹색(G) 서브 화소 영역을 하나의 박막 트랜지스터(TFT)로 구동시킬 수도 있다.
- <74> 도 9를 참조하면, 각 서브 화소 영역의 데이터 라인(113) 및 박막 트랜지스터(TFT)는 각 서브 화소 영역의 좌측에 각각 형성된다.
- <75> 청색(B) 서브 화소 영역의 우측에 제 1 수직 공통 라인(139a)이 형성되며, 적색(R) 서브 화소 영역 및 녹색(G) 서브 화소 영역 사이에 녹색(G) 서브 화소 영역의 데이터 라인(113)과 인접하도록 제 2 수직 공통 라인(139b)이 형성되며, 녹색(G) 서브 화소 영역 및 청색(B) 서브 화소 영역 사이에 청색(B) 서브 화소 영역의 데이터 라인(113)과 인접하도록 제 3 수직 공통 라인(139c)이 형성된다. 다시 말해, 각 서브 화소 영역의 데이터 라인(113) 및 수직 공통 라인(139a, 139b, 139c)은 각 서브 화소 영역마다 대칭되도록 형성된다.
- <76> 여기서, 제 1 내지 제 3 수직 공통 라인(139a, 139b, 139c)은 드라이버 IC로부터 직접 전압이 인가되므로 공통 전압이 왜곡되는 것을 방지할 수 있다.
- <77> 스토리지 전극은 각 서브 화소 영역의 데이터 라인(113) 측면에 데이터 라인(113)과 나란하게 형성된 제 1 스토리지 전극(147)과, 제 1 내지 제 3 수직 공통 라인(139a, 139b, 139c) 측면에 각각 형성된 제 2 스토리지 전극(148)으로 구성된다.
- <78> 제 1 내지 제 3 수직 공통 라인(139a, 139b, 139c) 및 제 1 내지 제 3 수직 공통 라인(139a, 139b, 139c) 측면에 각각 형성된 제 2 스토리지 전극(148)은 공통 전극(140)과 중첩되어 형성된다. 제 1 및 제 2 수직 공통 라인(138a, 138b)은 공통 라인 콘택홀(132)을 통해 수평 공통 라인(144)과 각각 접속된다. 수평 공통 라인(144)은 화소 전극(145)과 동일 물질로 형성된다.
- <79> 이와 같이, 세 개의 수직 공통 라인을 구비한 한 화소 영역의 평균 개구율은 42인치 HD(High-Definition) 모델을 기준으로 약 58~60%이다.
- <80> 도 10 및 도 11은 본 발명의 제 4 실시예에 따른 인플레이션 스위칭 모드 액정표시장치의 박막 트랜지스터 기관을 나타낸 평면도이다.
- <81> 도 10 및 도 11에 도시된 인플레이션 스위칭 모드 액정표시장치는 이전 실시예들과 대비하여 중복된 구성 요소들에 대한 설명은 생략하기로 한다.
- <82> 도 10을 참조하면, 적색(R) 서브 화소 영역과 녹색(G) 서브 화소 영역 사이의 데이터 라인(113) 및 박막 트랜지스터(TFT)는 서로 인접하도록 형성되며, 청색(B) 서브 화소 영역의 데이터 라인(113)은 녹색(G) 서브 화소 영역 및 청색(B) 서브 화소 영역 사이에 형성된다. 수평 공통 라인(168)은 게이트 금속 물질로 형성되며 게이트 라인(104)과 나란하게 각 서브 화소 영역으로 이루어진 상하로 인접한 화소 영역과 공유하도록 형성된다. 공통

전극(140)의 수평부(140a) 및 수평 공통 라인(168)은 각 서브 화소 영역에서 제 1 공통 콘택홀(129)을 통해 접속된다.

- <83> 수평 공통 라인(168)과 메쉬(mesh) 구조를 이루며 상하로 인접한 화소 영역과 서로 공유하도록 데이터 라인(113)과 나란하게 형성된 수직 공통 라인이 형성된다. 수직 공통 라인은 적색(R) 서브 화소 영역의 좌측에 상하로 인접한 화소 영역과 서로 공유하도록 형성된 제 1 수직 공통 라인(166a)과, 청색(B) 서브 화소 영역의 우측에 상하로 인접한 화소 영역과 서로 공유하도록 형성된 제 2 수직 공통 라인(166b)을 구비한다. 제 1 및 제 2 수직 공통 라인(166a, 166b)은 수평 공통 라인(168)과 제 2 공통 콘택홀(149)을 통해 접속된다. 제 1 및 제 2 수직 공통 라인(166a, 166b)은 드라이버 IC로부터 직접 전압이 인가되므로 공통 전압이 왜곡되는 것을 방지할 수 있다.
- <84> 여기서, 상하로 인접한 화소 영역은 수평 공통 라인(168)을 기준으로 서로 대칭되도록 형성된다.
- <85> 여기서, 적색(R) 서브 화소 영역 및 녹색(G) 서브 화소 영역 사이에 형성되는 컬러필터 기판의 블랙 매트릭스(도시하지 않음)의 선폭은 녹색(G) 서브 화소 영역 및 청색(B) 서브 화소 영역 사이에 형성되는 블랙 매트릭스(도시하지 않음)의 선폭보다 크게 형성된다. 다시 말해, 적색(R) 서브 화소 영역 및 녹색(G) 서브 화소 영역 사이에는 각각의 데이터 라인(113)들과, 데이터 라인(113) 측면에 형성된 제 1 스토리지 전극(147)이 형성되며 이때 블랙 매트릭스(도시하지 않음)의 선폭은 50~62 μ m이다. 녹색(G) 서브 화소 영역 및 청색(B) 서브 화소 영역 사이에는 데이터 라인(113)과, 데이터 라인(113) 양측에 형성되는 제 1 및 제 2 스토리지 전극(147, 148)이 형성되며 이때 블랙 매트릭스(도시하지 않음)의 선폭은 40~50 μ m로 형성된다. 여기서, 블랙 매트릭스(도시하지 않음)의 최대 선폭 대비 최소 선폭 비율이 0.7 이하로 형성되도록 한다.
- <86> 이와 같이, 블랙 매트릭스(도시하지 않음)의 최대 선폭 대비 최소 선폭 비율을 0.7 이하로 형성함으로써 블랙 매트릭스(도시하지 않음) 선폭의 차이로 인한 시인성 문제를 해결할 수 있다. 또한, 각 서브 화소 영역의 개구 영역의 폭이 동일하게 형성되어 각 서브 화소 영역 간의 색 편차 및 색 혼합 등을 줄일 수 있다.
- <87> 이와 같이, 상하로 인접한 화소 영역과 서로 공유하도록 형성된 제 1 및 제 2 수직 공통 라인(166a, 166b)과, 제 1 및 제 2 수직 공통 라인(166a, 166b)과 메쉬(mesh) 구조를 이루는 수평 공통 라인(168)을 구비한 한 화소 영역의 평균 개구율은 42인치 HD(High-Definition) 모델을 기준으로 약 55~57%이다.
- <88> 이와 같이, 공통 전극(140)의 수평부(140a)와 접속된 수평 공통 라인(168)과 제 1 및 제 2 수직 공통 라인(166a, 166b)이 메쉬(mesh) 구조로 형성됨으로써 로드(load)를 감소시켜 부하를 최소화할 수 있다.
- <89> 도 11을 참조하면, 각 서브 화소 영역으로 이루어진 화소 영역은 상하로 인접한 화소 영역 사이에 서로 공유하도록 게이트 라인(104) 및 박막 트랜지스터(TFT)가 형성된다. 즉, 하나의 박막 트랜지스터(TFT)를 통해 상하 서브 화소 영역을 동시에 구동하게 된다. 각 서브 화소 영역의 공통 전극(140)의 핑거부(140b)와 접속되는 제 1 수평 공통 라인(140a)과, 각 화소 영역의 상측 및 하측에서 게이트 라인(104)과 나란하도록 수평 공통 라인(110)이 형성된다. 공통 전극(140)의 수평부(140a) 및 수평 공통 라인(110)은 각 서브 화소 영역에서 제 1 공통 콘택홀(129)을 통해 각각 접속된다.
- <90> 수평 공통 라인(110)은 상하로 인접한 화소 영역에서 제 2 공통 콘택홀(149)을 통해 제 1 및 제 2 수직 공통 라인(169a, 169b)과 각각 접속되어 메쉬(mesh) 구조를 이룬다. 제 1 수직 공통 라인(169a)은 상하 서브 화소 영역의 좌측에서 상하로 인접한 화소 영역을 연결하도록 데이터 라인과 나란하게 형성되며, 제 2 수직 공통 라인(169b)은 상하 청색 서브 화소 영역의 우측에서 상하로 인접한 화소 영역을 연결하도록 형성된다. 제 1 및 제 2 수직 공통 라인(169a, 169b)은 드라이버 IC로부터 직접 전압이 인가되므로 공통 전압이 왜곡되는 것을 방지할 수 있다.
- <91> 여기서, 상하로 인접한 화소 영역은 게이트 라인(104)을 기준으로 서로 대칭되도록 형성된다.
- <92> 적색(R) 서브 화소 영역 및 녹색(G) 서브 화소 영역 사이에 형성되는 컬러필터 기판의 블랙 매트릭스(도시하지 않음)의 선폭 및 녹색(G) 서브 화소 영역 및 청색(B) 서브 화소 영역 사이에 형성되는 블랙 매트릭스(도시하지 않음)의 선폭은 도 10과 동일하다.
- <93> 이와 같이, 상하로 인접한 화소 영역과 서로 공유하도록 형성된 제 1 및 제 2 수직 공통 라인(166a, 166b)과, 제 1 및 제 2 수직 공통 라인(166a, 166b)과 메쉬(mesh) 구조를 이루는 수평 공통 라인(168)을 구비한 한 화소 영역의 평균 개구율은 42인치 HD(High-Definition) 모델을 기준으로 약 55~57%이다.
- <94> 이와 같이, 공통 전극(140)의 수평부(140a)와 접속된 수평 공통 라인(110)과 제 1 및 제 2 수직 공통 라인

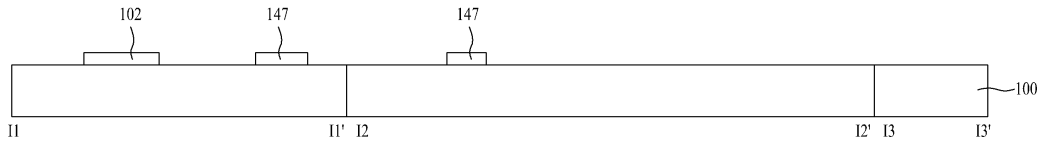
(169a, 169b)이 메쉬(mesh) 구조로 형성됨으로써 로드(load)를 감소시켜 부하를 최소화할 수 있다.

- <95> 도 12는 본 발명의 제 5 실시예에 따른 인플레인 스위칭 모드 액정표시장치의 박막 트랜지스터 기판을 나타낸 평면도이다.
- <96> 도 12를 참조하면, 각 서브 화소 영역으로 이루어진 좌우로 인접한 화소 영역에서 서로 공유하도록 수직 공통 라인(180)이 형성된다. 수평 공통 라인(144)은 화소 전극(145)과 동일 물질로 형성되며 인접 서브 화소 영역과 서로 연결되도록 형성된다. 수직 공통 라인(180)은 드라이버 IC로부터 직접 전압이 인가되므로 공통 전압이 왜곡되는 것을 방지할 수 있다. 또한, 수직 공통 라인(180)은 수평 공통 라인(144)과 공통 라인 콘택홀(132)을 통해 접속되어 메쉬(mesh) 구조로 형성된다. 여기서, 좌우로 인접한 화소 영역은 수직 공통 라인(180)을 기준으로 서로 대칭되도록 형성된다.
- <97> 이와 같이, 좌우로 인접한 화소 영역에서 서로 공유하도록 형성된 수직 공통 라인(180)을 구비한 한 화소 영역의 평균 개구율은 42인치 HD(High-Definition) 모델을 기준으로 약 56~58%이다.
- <98> 이와 같이, 수직 공통 라인(180)과 수평 공통 라인(144)이 메쉬(mesh) 구조로 형성됨으로써 로드(load)를 감소시켜 부하를 최소화할 수 있다.
- <99> 한편, 본 발명에 따른 액정표시장치의 실시예 중 도 4 및 도 6에서와 같이 개구율이 60~62%일 경우 개구율 측면에서 가장 이상적인 구조이다.
- <100> 상술한 바와 같이, 본 발명에 따른 액정표시장치는 공통 라인 및 스토리지 전극을 데이터 라인과 나란하게 형성함으로써 공통 라인 및 스토리지 전극을 화소 영역의 상부 및 하부에 형성할 때에 비해 약 10~16%의 개구율이 향상되며, 개구율 증가에 따른 휘도 증가로 인해 확산 시트나 프리즘 시트 등을 제거할 수 있다. 또한, 고가의 포토 아크릴과 같은 유기 절연물없이도 고개구율을 얻을 수 있으므로 비용 및 공정이 감소된다.
- <101> 또한, 공통 라인을 게이트 라인과 나란하게 형성할 때에 비해 길이가 짧아지게 되어 이에 따른 자체 저항도 감소하게 되어 공통 전압이 왜곡되거나 지연되는 현상을 방지할 수 있고, 공통 라인의 저항 또는 캐패시턴스 감소에 의한 플리커(flicker) 현상을 감소시킬 수 있다.
- <102> 또한, 공통 라인을 데이터 라인과 나란하게 형성함으로써 종래의 게이트 라인과 공통 라인 간의 기생 캐패시터로 인한 크로스 토크(cross-talk)가 제거되고, 공통 전극의 직류(DC) 성분 제거로 인해 잔상 등의 문제점이 해결된다.
- <103> 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

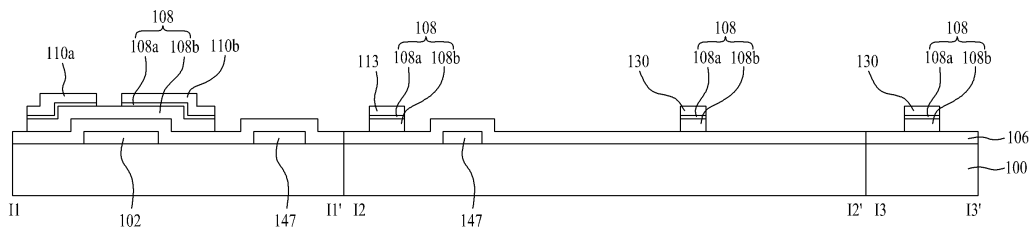
도면의 간단한 설명

- <104> 도 1은 본 발명의 제 1 실시예에 따른 인플레인 스위칭 모드 액정표시장치의 박막 트랜지스터 기판을 나타낸 평면도이다.
- <105> 도 2는 도 1에 도시된 I1-I1' 내지 I3-I3' 선에 따른 박막 트랜지스터 기판을 나타낸 단면도이다.
- <106> 도 3a 내지 도 3d는 도 2에 도시된 박막 트랜지스터 기판의 제조방법을 나타낸 공정단면도들이다.
- <107> 도 4은 본 발명의 제 2 실시예에 따른 인플레인 스위칭 모드 액정표시장치의 박막 트랜지스터 기판을 나타낸 평면도이다.
- <108> 도 5는 도 4에 도시된 II1-II1' 내지 II3-II3' 선에 따른 박막 트랜지스터 기판을 나타낸 단면도이다.
- <109> 도 6 내지 도 9는 본 발명의 제 3 실시예에 따른 인플레인 스위칭 모드 액정표시장치의 박막 트랜지스터 기판을 나타낸 도면이다.
- <110> 도 10 및 도 11은 본 발명의 제 4 실시예에 따른 인플레인 스위칭 모드 액정표시장치의 박막 트랜지스터 기판을 나타낸 평면도이다.
- <111> 도 12는 본 발명의 제 5 실시예에 따른 인플레인 스위칭 모드 액정표시장치의 박막 트랜지스터 기판을 나타낸 평면도이다.

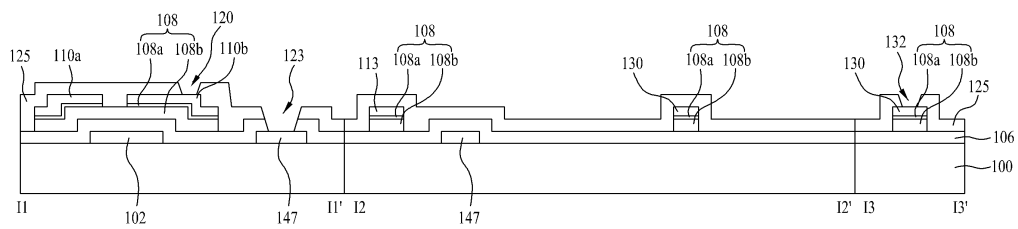
도면3a



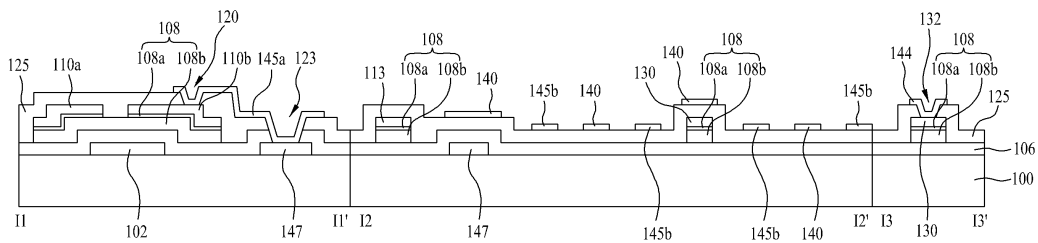
도면3b



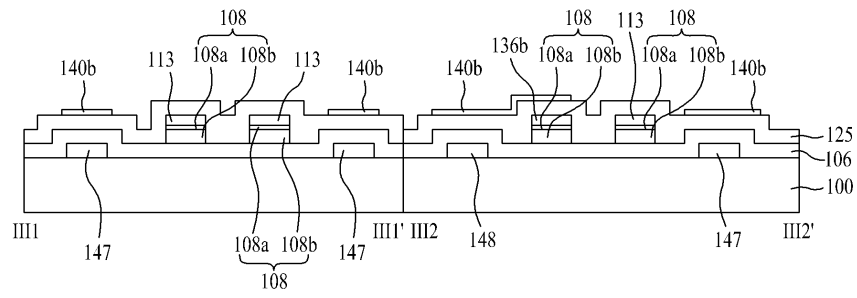
도면3c



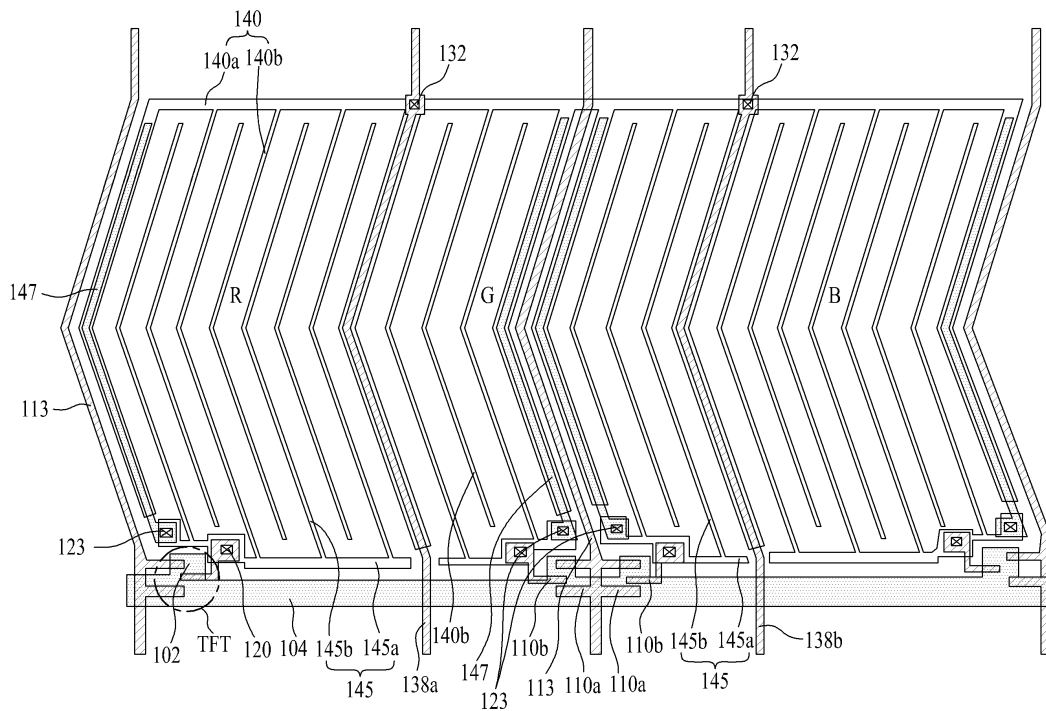
도면3d



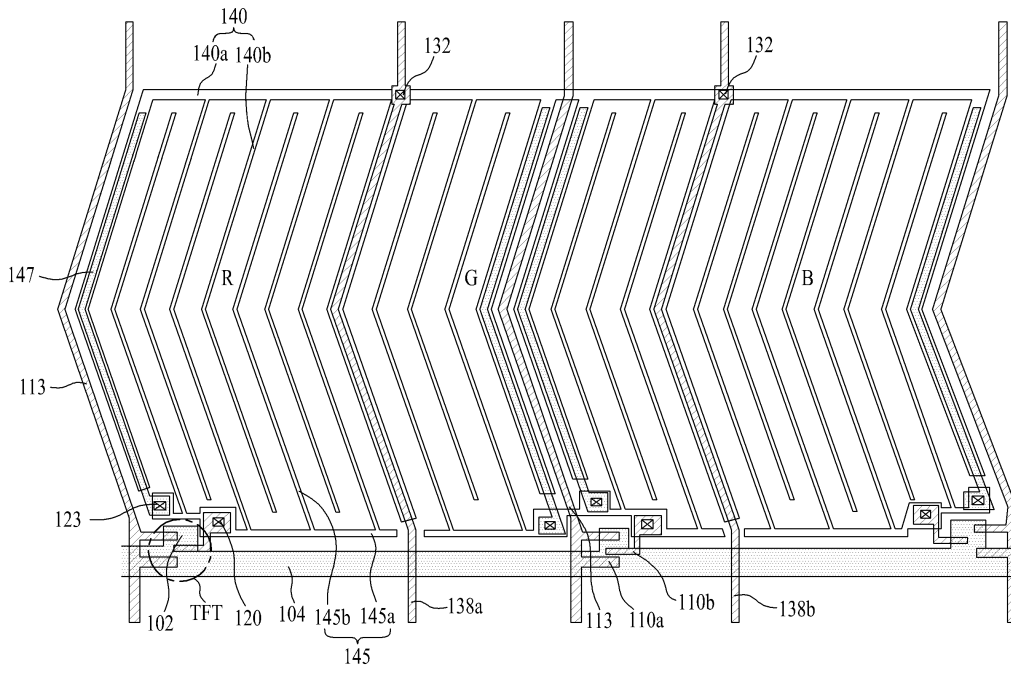
도면7b



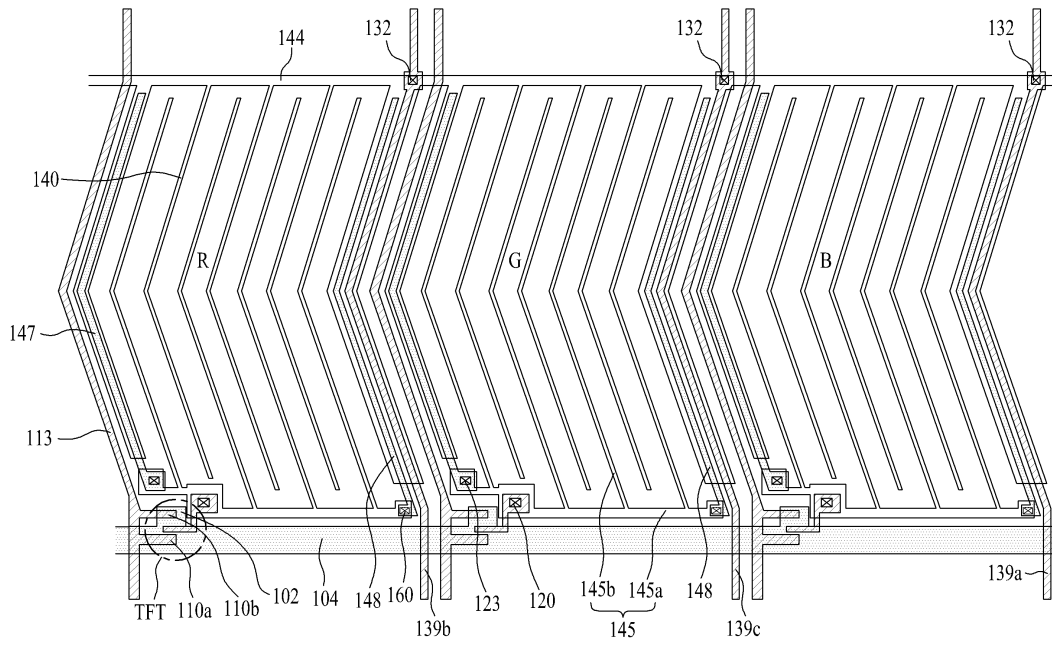
도면8a



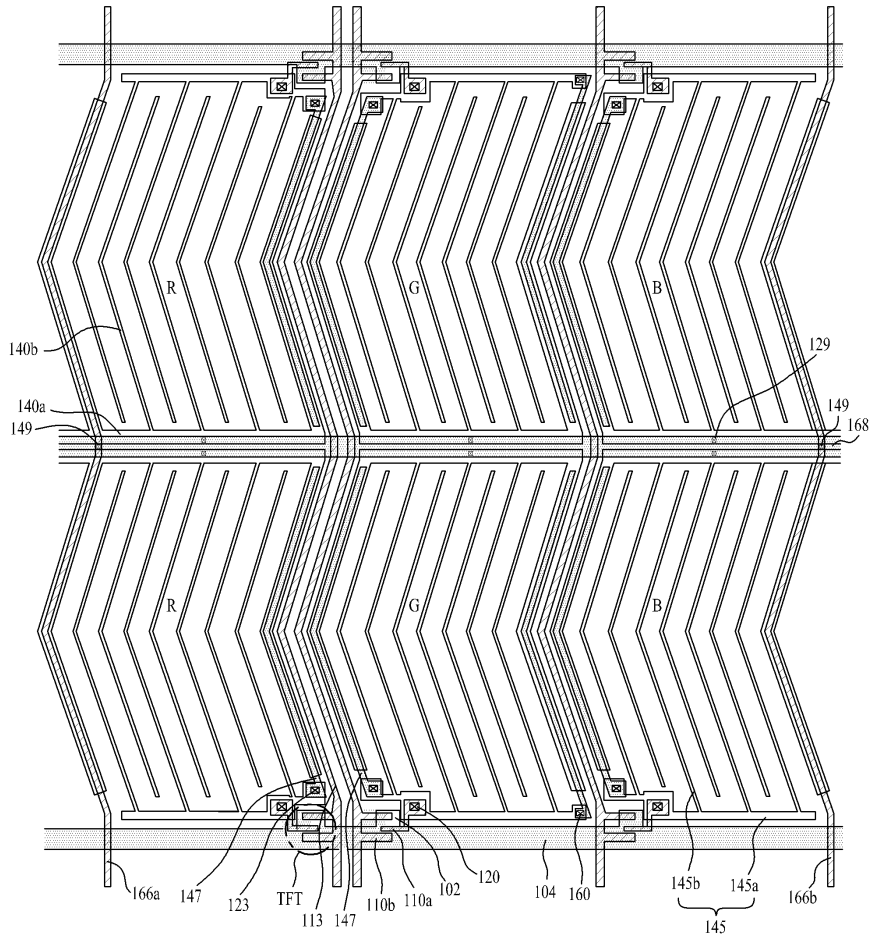
도면8b



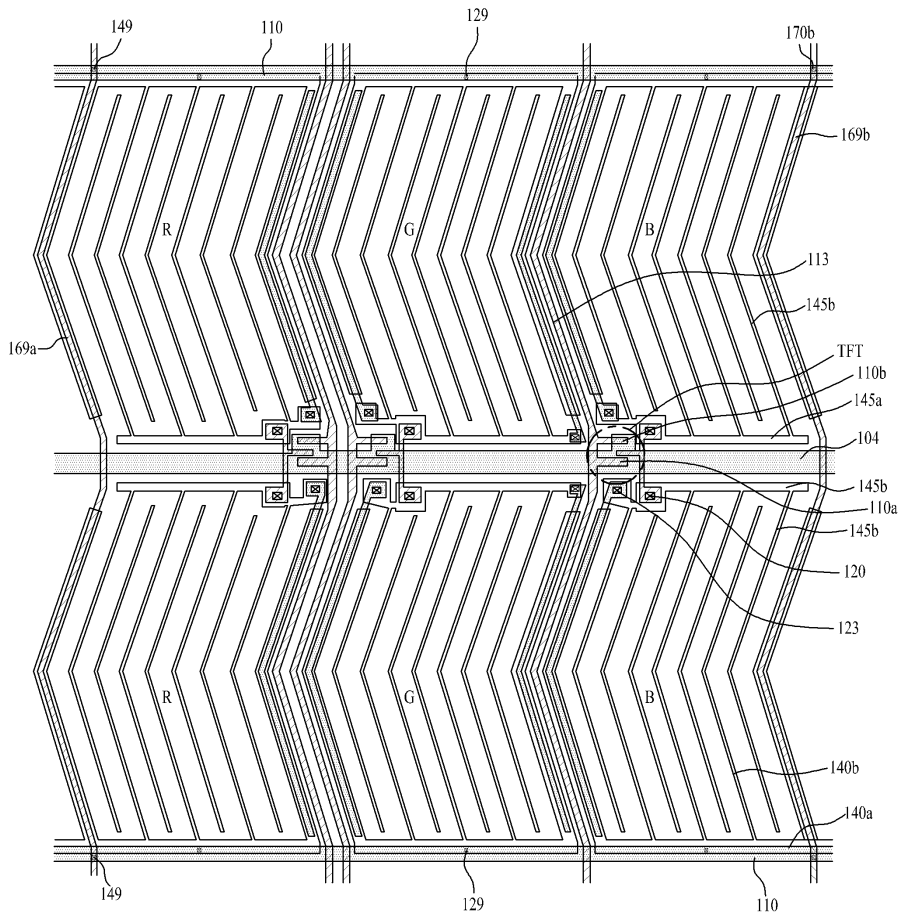
도면9



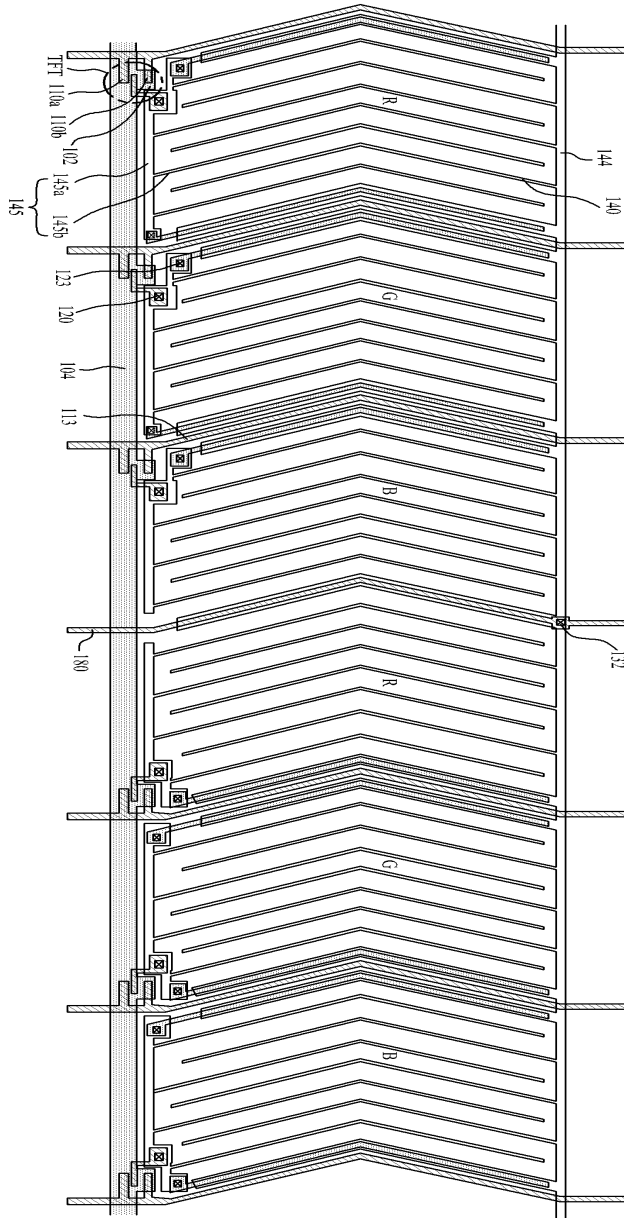
도면10



도면11



도면12



专利名称(译)	液晶显示器		
公开(公告)号	KR1020090089594A	公开(公告)日	2009-08-24
申请号	KR1020080014843	申请日	2008-02-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH JAE YOUNG 오재영 LEE JAE KYUN 이재균		
发明人	오재영 이재균		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136286 G02F1/134363		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR101286533B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器。并且存储电极形成在与数据线成一直线的层不同的层上，在一侧显影，数据线由连接的公共电极，数据线和垂直公共线中的至少一个模制而成被包含在内。并且形成在与数据线成一直线的层上形成的存储电极在一侧显影并且模制数据线，使得第一和第二子像素区域中的每个数据线相邻形成一个像素的三个或更多个子像素区域。垂直公共线，串扰和孔径比。

