



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0080470
(43) 공개일자 2009년07월24일

(51) Int. Cl.

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2008-0116821

(22) 출원일자 2008년11월24일

심사청구일자 2008년11월24일

(30) 우선권주장

200810056545.9 2008년01월21일 중국(CN)

200810056896.X 2008년01월25일 중국(CN)

(71) 출원인

베이징 보에 오토일렉트로닉스 테크놀로지 컴퍼니 리미티드

중국, 베이징 100176, 비디에이, 지하우안중루 8호

(72) 발명자

원바오 가오

중국 베이징 100176 비디에이 지하우안중루 넘버 8

신스 인

중국 베이징 100176 비디에이 지하우안중루 넘버 8

시양춘 시아오

중국 베이징 100176 비디에이 지하우안중루 넘버 8

(74) 대리인

리앤목특허법인

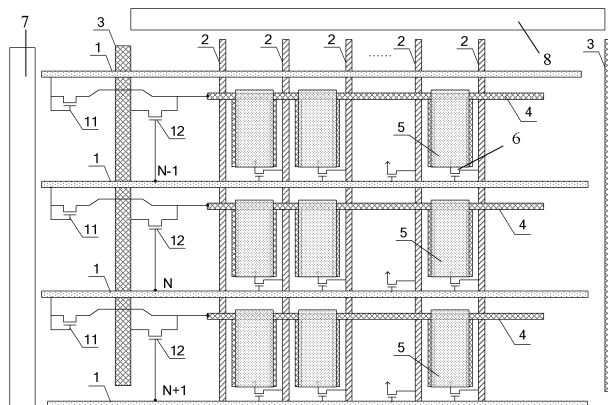
전체 청구항 수 : 총 11 항

(54) 박막 트랜지스터 액정 디스플레이

(57) 요약

박막 트랜지스터 액정 디스플레이(TFT-LCD)에 있어서, 게이트 라인과 공통 전극 라인 사이에 박막 트랜지스터들을 통하여 연결이 형성된다. 하나의 프레임을 스캐닝하는 동안, 다음 행이 턴-온되기 전에, 고전압 신호가 다음 행의 화소들에 인가되고, 즉 정상 백색 모드 내에 흑색 화상이 삽입된다. 하나의 행 내의 화소들이 동작하고, 다음 행의 화소들이 턴-온되지않고, 흑색 화상 데이터가 다음 행으로 삽입된다. 박막 트랜지스터 액정 디스플레이의 행 내의 화소들이 턴-온되기 전에 고전압이 인가되며, 이에 따라 흑색 화상이 삽입되고, 동영상의 테일링이 완화될 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

정전압(constant voltage)을 제공하기 위한 주변 공통 전극 라인;

정전압을 유지하기 위한 복수의 화소 공통 전극 라인들;

게이트 신호들을 제공하기 위한 복수의 게이트 라인들;

여러 행들로 복수의 화소들을 한정하도록 상기 게이트 라인들과 교차하고, 데이터 신호들을 제공하기 위한 복수의 데이터 라인들;

상기 화소들 각각 내에 형성되고, 스토리지 캐패시터들을 형성하도록 상기 화소 공통 전극 라인들 각각과 중첩(overlap)되는 복수의 화소 전극들;

이전 행(previous row)의 상기 게이트 라인과 연결된 게이트와 소스, 및 동일한 행(same row)의 상기 화소 공통 전극 라인과 연결된 드레인을 각각 포함하는 복수의 제1 박막 트랜지스터들; 및

동일한 행의 상기 게이트 라인과 연결된 게이트, 상기 주변 공통 전극 라인과 연결된 소스, 및 상기 동일한 행의 상기 화소 공통 전극 라인과 연결된 드레인을 각각 포함하는 복수의 제2 박막 트랜지스터들;

을 포함하는 박막 트랜지스터 액정 디스플레이(TFT-LCD).

청구항 2

제 1 항에 있어서,

상기 제1 박막 트랜지스터들 각각의 상기 게이트 및 상기 소스는 상기 이전 행의 상기 게이트 라인의 제1 단부와 연결되고,

상기 제1 박막 트랜지스터들 각각의 상기 드레인은 상기 동일한 행의 상기 화소 공통 전극 라인의 제1 단부와 연결되고,

상기 제2 박막 트랜지스터들 각각의 상기 게이트는 상기 동일한 행의 상기 게이트 라인의 제1 단부와 연결되고,

상기 제2 박막 트랜지스터들 각각의 상기 소스는 상기 주변 공통 전극 라인과 연결되고,

상기 제2 박막 트랜지스터들 각각의 상기 드레인은 상기 동일한 행의 상기 화소 공통 전극 라인의 제1 단부와 연결되고,

상기 라인들의 상기 제1 단부는 게이트 드라이버에 가까운 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이.

청구항 3

제 2 항에 있어서,

복수의 제3 박막 트랜지스터들을 더 포함하고,

상기 제3 박막 트랜지스터들 각각의 게이트는 상기 동일한 행의 상기 게이트 라인의 제2 단부와 연결되고,

상기 제3 박막 트랜지스터들 각각의 소스는 상기 주변 공통 전극 라인과 연결되고,

상기 제3 박막 트랜지스터들 각각의 드레인은 상기 동일한 행의 상기 화소 공통 전극 라인의 제2 단부와 연결되고,

상기 라인들의 상기 제2 단부는 상기 게이트 드라이버로부터 이격된 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이.

청구항 4

제 3 항에 있어서,

복수의 제4 박막 트랜지스터들을 더 포함하고,

상기 제4 박막 트랜지스터들 각각의 게이트와 소스는 상기 이전 행의 상기 게이트 라인의 상기 제2 단부와 연결되고,

상기 제4 박막 트랜지스터들 각각의 드레인은 상기 동일한 행의 상기 화소 공통 전극 라인의 상기 제2 단부와 연결되는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이.

청구항 5

제 2 항에 있어서,

복수의 제4 박막 트랜지스터들을 더 포함하고,

상기 제4 박막 트랜지스터들 각각의 게이트와 소스는 상기 이전 행의 상기 게이트 라인의 제2 단부와 연결되고,

상기 제4 박막 트랜지스터들 각각의 드레인은 상기 동일한 행의 상기 화소 공통 전극 라인의 제2 단부와 연결되고,

상기 라인들의 상기 제2 단부는 상기 게이트 드라이버에 가까운 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이.

청구항 6

제 1 항에 있어서,

상기 제1 박막 트랜지스터들 각각의 상기 게이트 및 상기 소스는 상기 이전 행의 상기 게이트 라인의 제1 단부와 연결되고,

상기 제1 박막 트랜지스터들 각각의 상기 드레인은 상기 동일한 행의 상기 화소 공통 전극 라인의 제1 단부와 연결되고,

상기 제2 박막 트랜지스터들 각각의 상기 게이트는 상기 동일한 행의 상기 게이트 라인의 제2 단부와 연결되고,

상기 제2 박막 트랜지스터들 각각의 상기 소스는 상기 주변 공통 전극 라인과 연결되고,

상기 제2 박막 트랜지스터들 각각의 상기 드레인은 상기 동일한 행의 상기 화소 공통 전극 라인의 제2 단부와 연결되고,

상기 라인들의 상기 제1 단부는 게이트 드라이버에 가까우며,

상기 라인들의 상기 제2 단부는 상기 게이트 드라이버로부터 이격된 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이.

청구항 7

정전압을 제공하기 위한 주변 공통 전극 라인;

정전압을 유지하기 위한 복수의 화소 공통 전극 라인들;

게이트 신호들을 제공하기 위한 복수의 게이트 라인들;

여러 행들로 복수의 화소들을 한정하도록 상기 게이트 라인들과 교차하고, 데이터 신호들을 제공하기 위한 복수의 데이터 라인들;

상기 하나의 게이트 라인의 일 단부와 상기 하나의 게이트 라인의 다음 행의 상기 하나의 화소 공통 전극 라인을 각각 연결하는 복수의 제1 박막 트랜지스터들;

상기 주변 공통 전극 라인과 상기 하나의 화소 공통 전극 라인의 일 단부를 각각 연결하는 복수의 제2 박막 트랜지스터들;

상기 하나의 화소 공통 전극 라인의 타 단부와 상기 주변 공통 전극 라인을 각각 연결하는 복수의 제3 박막 트랜지스터들; 및

상기 하나의 게이트 라인의 타 단부와 상기 하나의 게이트 라인의 다음 행의 상기 하나의 화소 공통 전극 라인

의 타 단부를 각각 연결하는 복수의 제4 박막 트랜지스터들;
을 포함하는 박막 트랜지스터 액정 디스플레이.

청구항 8

제 7 항에 있어서,

상기 제1 박막 트랜지스터들의 하나의 게이트 및 소스는 상기 하나의 게이트 라인과 연결되고,

상기 제1 박막 트랜지스터들의 하나의 드레인은 상기 하나의 게이트 라인의 다음 행의 상기 하나의 화소 공통 전극 라인과 연결되는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이.

청구항 9

제 7 항에 있어서,

상기 제2 박막 트랜지스터들의 하나의 게이트 및 소스는 상기 주변 공통 전극 라인과 연결되고,

상기 제2 박막 트랜지스터들의 하나의 드레인은 상기 하나의 게이트 라인의 다음 행의 상기 하나의 화소 공통 전극 라인과 연결되는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이.

청구항 10

제 7 항에 있어서,

상기 제3 박막 트랜지스터들의 하나의 게이트 및 소스는 상기 주변 공통 전극 라인과 연결되고,

상기 제3 박막 트랜지스터들의 하나의 드레인은 상기 하나의 게이트 라인의 다음 행의 상기 하나의 화소 공통 전극 라인과 연결되는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이.

청구항 11

제 7 항에 있어서,

상기 제4 박막 트랜지스터들의 하나의 게이트 및 소스는 상기 하나의 게이트 라인의 타 단부와 연결되고,

상기 제4 박막 트랜지스터들의 하나의 드레인은 상기 하나의 게이트 라인의 다음 행의 상기 하나의 화소 공통 전극 라인과 연결되는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 박막 트랜지스터 액정 디스플레이(TFT-LCD)에 관한 것이다.

배경 기술

<2> 박막 트랜지스터 액정 디스플레이(TFT-LCD)는 작은 크기, 낮은 전력 소모, 작은 방사 등의 장점들을 가지고 있다. 박막 트랜지스터 액정 디스플레이들은 최근 빠르게 발전하고 있고, 디스플레이 패널의 크기의 증가와 함께 더 우수한 디스플레이 성능을 제공할 수 있다. 박막 트랜지스터 액정 디스플레이들에 있어서, 정상 백색 구동 모드는 언제나 적용되며, 전압이 화소 전극들에 인가되면 흑색 영상이 디스플레이되고, 전압이 인가되지 않으면 상기 패널은 광에 대하여 투명하게된다.

<3> 도 9는 종래의 박막 트랜지스터 액정 디스플레이의 등가 회로도이다. 도 9를 참조하면, 각각의 화소의 스위칭 요소로서 박막 트랜지스터가 턴-온되면, 데이터 신호가 상기 박막 트랜지스터를 통하여 상기 화소의 화소 전극에 전송된다. 상기 화소 전극에 인가된 전압은 액정 셀 내의 액정 분자들의 방위를 제어하고, 이에 따라 광 경로가 제어된다. 하나의 프레임(frame)을 스캐닝하는 동안, 상기 화소 전압은 화소 전극 및 화소 공통 전극 라인에 의하여 형성된 스토리지 캐패시터를 통하여 유지된다. 즉, 상기 화소 전압은 화소 공통 전극 라인에 형성된 스토리지 캐패시터(Cst)(공통 스토리지 캐패시터, Cst on Common)에 의하여 유지된다. 박막 트랜지스터 액

정 디스플레이의 동작에 있어서, 상기 박막 트랜지스터들은 순차적으로 턴-온되고, 데이터 신호들은 순차적으로 상기 화소들에 전달된다. N번째 행의 게이트 라인에 고전압(Vgh)이 인가되고, 상기 N번째 행의 박막 트랜지스터들이 턴-온되면, 나머지 행들의 게이트 라인들에는 저전압 신호(Vgl)가 인가되고, 이에 따라 상기 이러한 행들의 박막 트랜지스터들은 턴-오프되고, 상기 이러한 행들의 화소들의 전압은 스토리지 캐패시터(Cst)에 의하여 유지된다.

<4> 도 10은 공통 스토리지 캐패시터(Cst on Common)의 설계의 등가 회로도이다. 복수의 화소들을 한정하도록 복수의 게이트 라인들(1) 및 복수의 데이터 라인들(2)은 서로 교차된다. 상기 화소들 각각은 그 내에 형성된 화소 전극(5)을 가진다. 상기 화소들 각각에 대하여, 상기 게이트 라인, 상기 데이터 라인, 및 상기 화소 전극은 세 개의 터미널의 스위칭 요소, 즉 화소 박막 트랜지스터(6)에 의하여 서로 연결된다. 복수의 화소 공통 전극 라인들(4)은 스토리지 캐패시터들을 형성하기 위하여 제공되고, 또한 화소 공통 전극 라인들(4)은 게이트 라인들(1)과 평행하고 각각의 행에서 화소 전극들(5)과 부분적으로 중첩된다. 화소 공통 전극 라인들(4)은 상기 패널의 주변 영역에서 공통 전극 라인(3)과 직접적으로 연결된다. 따라서, 동작에 있어서, 상기 화소가 턴-온되는지 여부에 무관하게, 스토리지 캐패시터(Cst)를 형성하기 위하여, 상기 화소 공통 전극 라인에 동일한 전압이 인가된다. 화소 전극(5)이 하전(charge)된 후에, 상기 화소가 후속 프레임에서 재하전되기까지 화소 전극(데이터) 상에 인가된 전압이 유지된다. 화상의 후속 프레임이 도달하면, 현재의 화상에 기초하여 상기 화상 데이터가 리프레쉬된다. 즉, 상기 N번째 행 내의 화소들이 턴-온된 후, (N+1)번째 행 내의 화소들이 턴-온되기 전에, 상기 (N+1)번째 행 내의 상기 화소들 내의 원래의 디스플레이 정보는 정시에 소거되지 않을 수 있고, 이에 따라 동영상의 잔상(visual residual) 및 테일링(tailing)을 야기한다. 따라서, 종래의 박막 트랜지스터 액정 디스플레이는 새로운 화상을 디스플레이하기 위하여 현재의 화상을 변형하고, 이에 따라 동영상의 잔상 및 테일링을 야기하고, 반응 속도 및 디스플레이 품질의 저하를 야기한다.

<5> 또한, 상기 게이트 라인에 인가된 게이트 신호는 전송이 지연될 수 있고, 이에 따라 상기 게이트 라인의 저항이 일정한 범위 내에 존재하는 것을 요구하며, 즉, 상기 라인 폭이 범위 내에서 제어되어야 한다. 설계에 있어서, 상기 게이트 라인 및 상기 화소 공통 전극 라인을 보호하기 위하여, 차광 스트립들이 칼라 필터 기관 상에 제공된다. 따라서, 라인 폭은 화소의 개구 비율에 영향을 주며, 따라서 상기 개구 비율은 상기 화소를 통과하는 광의 비율에 직접적으로 영향을 준다. 상기 개구 비율이 큰 경우에는, 상기 화소를 통과하는 광의 비율이 증가된다. 따라서, 종래의 박막 트랜지스터 액정 디스플레이에 있어서, 상기 게이트 라인의 신호 지연을 감소시키기 위하여 게이트 라인의 라인 폭을 증가시키는 것은 상기 화소의 개구 비율을 증가와 상충되며, 큰 라인 폭 및 큰 개구 비율 사이의 조정이 요구된다.

발명의 내용

해결 하고자하는 과제

<6> 본 발명이 이루고자 하는 기술적 과제는, 신호 전송 지연을 방지할 수 있는 구조를 가지는 박막 트랜지스터 액정 디스플레이를 제공하는 것이다.

과제 해결수단

<7> 상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 박막 트랜지스터 액정 디스플레이는: 정전압을 제공하기 위한 주변 공통 전극 라인; 정전압을 유지하기 위한 복수의 화소 공통 전극 라인들; 게이트 신호들을 제공하기 위한 복수의 게이트 라인들; 여러 행들로 복수의 화소들을 한정하도록 상기 게이트 라인들과 교차하고, 데이터 신호들을 제공하기 위한 복수의 데이터 라인들; 상기 화소들 각각 내에 형성되고, 스토리지 캐패시터들을 형성하도록 상기 화소 공통 전극 라인들 각각과 중첩되는 복수의 화소 전극들; 이전 행의 상기 게이트 라인과 연결된 게이트와 소스, 및 동일한 행의 상기 화소 공통 전극 라인과 연결된 드레인을 포함하는 복수의 제1 박막 트랜지스터들; 및 동일한 행의 상기 게이트 라인과 연결된 게이트, 상기 주변 공통 전극 라인과 연결된 소스, 및 상기 동일한 행의 상기 화소 공통 전극 라인과 연결된 드레인을 포함하는 복수의 제2 박막 트랜지스터들;을 포함한다.

<8> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 박막 트랜지스터 액정 디스플레이는: 정전압을 제공하기 위한 주변 공통 전극 라인; 정전압을 유지하기 위한 복수의 화소 공통 전극 라인들; 게이트 신호들을 제공하기 위한 복수의 게이트 라인들; 여러 행들로 복수의 화소들을 한정하도록 상기 게이트 라인들과 교차하고, 데이터 신호들을 제공하기 위한 복수의 데이터 라인들; 상기 하나의 게이트 라인의 일 단부와 상기 하나

의 게이트 라인의 다음 행의 상기 화소 공통 전극 라인을 각각 연결하는 복수의 제1 박막 트랜지스터들; 상기 주변 공통 전극 라인과 상기 하나의 화소 공통 전극 라인의 일 단부를 각각 연결하는 복수의 제2 박막 트랜지스터들; 상기 하나의 화소 공통 전극 라인의 타 단부와 상기 주변 공통 전극 라인을 각각 연결하는 복수의 제3 박막 트랜지스터들; 및 상기 하나의 게이트 라인의 타 단부와 상기 하나의 게이트 라인의 다음 행의 상기 하나의 화소 공통 전극 라인의 타 단부를 각각 연결하는 복수의 제4 박막 트랜지스터들;을 포함한다.

효 과

<9> 본 발명에 따른 구조와 설계 방법은 상기 게이트 라인의 저항과 신호 지연을 효과적으로 감소시킬 수 있고, 상기 개구 비율 사이를 조절할 수 있고, 상기 게이트 라인의 신호 지연을 감소시키기 위하여 필요한 라인 폭을 증가시킬 수 있다.

발명의 실시를 위한 구체적인 내용

<10> 본 발명에 따른 응용의 더 넓은 범위는 이하의 상세한 설명에 의하여 명백하게 된다. 그러나, 본 발명의 바람직한 실시예들을 개시하는 상세한 설명과 특징한 예들은 예시적으로 제시된 것임을 이해할 수 있으며, 이는 본 기술분야의 당업자에게는 하기의 상세한 설명으로부터 본 발명의 기술적 사상의 범위 내에서 다양한 변화들과 변형들이 가능하기 때문이다.

<11> 본 발명은 이하에 첨부된 도면들 및 실시예들을 참조하여 상세하게 설명된다.

<12> 이하의 실시예들에 있어서, 제1 단부는 패널 상의 게이트 드라이버(7)에 가까운 라인들의 단부를 지칭하고, 제2 단부는 패널 상의 게이트 드라이버(7)로부터 이격된 라인들의 단부를 지칭한다.

<13> 제1 실시예

<14> 도 1은 본 발명의 제1 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다. 도 1을 참조하면, 상기 박막 트랜지스터 액정 디스플레이는: 정전압(constant voltage)을 제공하기 위한 주변 공통 전극 라인(3); 정전압을 유지하기 위한 복수의 화소 공통 전극 라인들(4); 게이트 신호들을 제공하기 위한 복수의 게이트 라인들(1); 여러 행들로 복수의 화소들을 한정하도록 상기 게이트 라인들(1)과 교차하고, 데이터 신호들을 제공하기 위한 복수의 데이터 라인들(2); 복수의 화소 전극들(5)로서, 각각이 하나의 인접한 게이트 라인(1)과 하나의 인접한 데이터 라인(2) 사이의 각각의 화소 내에 제공되고, 예를 들어 스위칭 요소로서 화소 박막 트랜지스터(6)의 드레인과 연결되고, 스토리지 캐패시터들을 형성하도록 동일한 행(same row)의 화소 공통 전극 라인(4)과 중첩되는 복수의 화소 전극들(5); 이전 행(previous row)의 각각의 게이트 라인(1)의 제1 단부와 연결된 게이트와 소스, 및 상기 동일한 행의 화소 공통 전극 라인(4)과 연결된 드레인을 각각 포함하는 복수의 제1 박막 트랜지스터들(11); 및 상기 동일한 행의 게이트 라인(1)의 제1 단부와 연결된 게이트, 주변 공통 전극 라인(3)과 연결된 소스, 및 상기 동일한 행의 화소 공통 전극 라인(4)의 제1 단부와 연결된 드레인을 각각 포함하는 복수의 제2 박막 트랜지스터들;을 포함한다. 도면에서는, 상기 게이트 라인들을 제어하기 위한 게이트 드라이버(7, gate driver)가 패널의 좌측에 제공되고, 상기 데이터 라인들을 제어하기 위한 데이터 드라이버(8, data driver)가 상기 패널의 상측에 제공된다. 그러나, 본 발명은 이러한 배열에 한정되는 것은 아니다.

<15> 이하에서는, 상기 패널 상의 (N-1)번째, N번째, 및 (N+1)번째 행들의 화소들을 참조하여 설명하기로 한다. 상기 N번째 행이 턴-온되면, 즉, 상기 N번째 행의 게이트 라인(1)에 고전압 신호(V_{gh})가 인가되고, 상기 N번째 행의 화소 전극들(5)에 데이터 라인들(2)로부터 전송된 데이터 신호들이 인가된다. 나머지 행들은 저전압 신호(V_{gl})에 의하여 제어되고, 이에 따라 상기 N번째 행의 제1 박막 트랜지스터(11)는 턴-오프되고, 상기 N번째 행의 제2 박막 트랜지스터(12)는 동작된다. 따라서, 스토리지 캐패시터(C_{st})를 형성하기 위한 상기 N번째 행의 화소 공통 전극 라인(4)에 상기 N번째 행의 제2 박막 트랜지스터(12)를 통하여 공통 전압이 인가되고, 이에 따라 상기 N번째 행의 화소들은 정상적으로 하전될 수 있고, 또한 동작된다. 이와 동시에, 상기 (N+1)번째의 제1 박막 트랜지스터(11)는 턴-온된다. 즉, 스토리지 캐패시터(C_{st})를 형성하기 위한 상기 (N+1)번째 행의 화소 공통 전극 라인(4)에 고전압 신호(V_{gh})가 또한 인가된다. 즉, 상기 N번째 행이 동작되면, 상기 (N+1)번째 행이 턴-온되기 전에, 상기 N번째 행의 게이트 라인은 상기 (N+1)번째 행의 스토리지 캐패시터(C_{st})의 화소 공통 전극 라인(4)에 고전압을 먼저 인가한다. 결과적으로, 상기 (N+1)번째 행이 턴-온되기 전에, 흑색 화상이 디스플레이되고, 이에 따라 움직임 번짐(motion blur)이 완화될 수 있다.

<16> 본 실시예에 따라, 상기 LCD 디스플레이는 흑색 데이터를 행마다 삽입하여 구동되고, 이에 따라 행의 화상이 리프레쉬되기 전에 상기 행의 화상이 소거될 수 있다. 즉, 회색 화상이 흑색 화상으로 리셋(reset)된다. 이러한

방법으로 잔상(visual residual)에 의하여 야기된 테일링이 제거될 수 있다.

<17> 제2 실시예

<18> 도 2는 본 발명의 제2 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다. 도 2를 참조하면, 상기 제2 실시예는 상기 박막 트랜지스터 액정 디스플레이가 복수의 제3 박막 트랜지스터들(13)을 더 포함한다는 점에서 상기 제1 실시예와는 상이하다. 제3 박막 트랜지스터들(13) 각각에 대하여, 게이트는 동일한 행의 게이트 라인(1)의 제2 단부와 연결되고, 소스는 주변 공통 전극 라인(3)과 연결되고, 또한 드레인은 상기 동일한 행의 화소 공통 전극 라인(4)의 상기 제2 단부와 연결된다. 제2 박막 트랜지스터들(12)과 제3 박막 트랜지스터들(13)은 동일한 기능을 가진다.

<19> 이하에서는, (N-1)번째, N번째, 및 (N+1)번째 행들의 화소들을 참조하여 설명하기로 한다. 상기 N번째 행이 턴-온되면, 즉, 상기 N번째 행의 게이트 라인(1)에 고전압 신호(V_{gh})가 인가되고, 상기 N번째 행의 화소 전극들(5)에 데이터 라인들(2)로부터 전송된 데이터 신호들이 인가된다. 나머지 행들은 저전압 신호(V_{gl})에 의하여 제어되고, 이에 따라 상기 N번째 행의 제1 박막 트랜지스터(11)는 턴-오프되고, 상기 N번째 행의 제2 박막 트랜지스터(12) 및 상기 N번째 행의 제3 박막 트랜지스터(13)는 동작된다. 따라서, 주변 공통 전극 라인(3)으로부터 상기 N번째 행의 제2 박막 트랜지스터(12) 및 상기 N번째 행의 제3 박막 트랜지스터(13)를 통하여 상기 N번째 행의 스토리지 캐패시터(C_{st})의 화소 공통 전극 라인(4)에 공통 전압이 인가되고, 이에 따라 상기 N번째 행의 화소들은 정상적으로 하전될 수 있고, 또한 동작된다. 이와 동시에, 상기 (N+1)번째의 제1 박막 트랜지스터(11)는 턴-온된다. 즉, 상기 (N+1)번째 행의 스토리지 캐패시터(C_{st})의 화소 공통 전극 라인(4)에 고전압 신호(V_{gh})가 또한 인가된다. 즉, 상기 N번째 행이 동작되면, 상기 (N+1)번째 행이 턴-온되기 전에, 상기 N번째 행의 게이트 라인이 상기 (N+1)번째 행의 스토리지 캐패시터(C_{st})의 화소 공통 전극 라인(4)에 고전압을 먼저 인가한다. 결과적으로, 상기 (N+1)번째 행이 턴-온되기 전에 흑색 화상이 디스플레이되고, 이에 따라 움직임 번짐이 완화될 수 있다.

<20> 본 실시예에 따라, 상기 LCD 디스플레이는 흑색 테이터를 행마다 삽입하여 구동되고, 이에 따라 행의 화상이 리프레쉬되기 전에 상기 행의 화상이 소거될 수 있다. 즉, 회색 화상이 흑색 화상으로 리셋된다. 이러한 방법으로 잔상에 의하여 야기된 테일링이 제거될 수 있다.

<21> 제3 실시예

<22> 도 3은 본 발명의 제3 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다. 도 3을 참조하면, 상기 제3 실시예는 상기 박막 트랜지스터 액정 디스플레이가 복수의 제4 박막 트랜지스터들(14)을 더 포함한다는 점에서 상기 제1 실시예와는 상이하다. 제4 박막 트랜지스터들(14) 각각에 대하여, 게이트 및 소스는 이전 행의 게이트 라인(1)의 제2 단부와 연결되고, 드레인은 동일한 행의 화소 공통 전극 라인(4)의 제2 단부와 연결된다. 제1 박막 트랜지스터들(11) 및 제4 박막 트랜지스터들(14) 동일한 기능을 가진다.

<23> 이하에서는, (N-1)번째, N번째, 및 (N+1)번째 행들의 화소들을 참조하여 설명하기로 한다. 상기 N번째 행이 턴-온되면, 즉, 상기 N번째 행의 게이트 라인(1)에 고전압 신호(V_{gh})가 인가되고, 상기 N번째 행의 화소 전극들(5)에 데이터 라인들(2)로부터 전송된 데이터 신호들이 인가된다. 나머지 행들은 저전압 신호(V_{gl})에 의하여 제어되고, 이에 따라 상기 N번째 행의 제1 박막 트랜지스터(11) 및 제4 박막 트랜지스터(14)는 턴-오프되고, 상기 N번째 행의 제2 박막 트랜지스터(12)는 동작된다. 따라서, 주변 공통 전극 라인(3)으로부터 제2 박막 트랜지스터(12)를 통하여 상기 N번째 행의 스토리지 캐패시터(C_{st})의 화소 공통 전극 라인(4)에 공통 전압이 인가되고, 이에 따라 상기 N번째 행의 화소들은 정상적으로 하전될 수 있고, 또한 동작된다. 이와 동시에, 상기 (N+1)번째의 제1 박막 트랜지스터(11) 및 제4 박막 트랜지스터(14)는 턴-온된다. 즉, 상기 (N+1)번째 행의 스토리지 캐패시터(C_{st})의 화소 공통 전극 라인(4)에 고전압 신호(V_{gh})가 또한 인가된다. 즉, 상기 N번째 행이 동작되면, 상기 (N+1)번째 행이 턴-온되기 전에, 상기 N번째 행의 게이트 라인이 먼저 상기 (N+1)번째 행의 스토리지 캐패시터(C_{st})의 화소 공통 전극 라인(4)에 고전압을 인가한다. 결과적으로, 상기 (N+1)번째 행이 턴-온되기 전에 흑색 화상이 디스플레이되고, 이에 따라 움직임 번짐이 완화될 수 있다.

<24> 본 실시예에 따라, 상기 LCD 디스플레이는 흑색 테이터를 행마다 삽입하여 구동되고, 이에 따라 행의 화상이 리프레쉬되기 전에 상기 행의 화상이 소거될 수 있다. 즉, 회색 화상이 흑색 화상으로 리셋된다. 이러한 방법으로 잔상에 의하여 야기된 테일링이 제거될 수 있다.

<25> 제4 실시예

<26> 도 4는 본 발명의 제4 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다. 도 4를 참조하면,

상기 제4 실시예는 상기 박막 트랜지스터 액정 디스플레이가 복수의 제3 박막 트랜지스터들(13) 및 복수의 제4 박막 트랜지스터들(14)을 더 포함한다는 점에서 상기 제1 실시예와는 상이하다. 제3 박막 트랜지스터들(13) 각각에 대하여, 게이트는 동일한 행의 게이트 라인(1)의 제2 단부와 연결되고, 소스는 주변 공통 전극 라인(3)과 연결되고, 또한 드레인도 상기 동일한 행의 화소 공통 전극 라인(4)의 제2 단부와 연결된다. 제4 박막 트랜지스터들(14) 각각에 대하여, 게이트 및 소스는 이전 행의 게이트 라인(1)의 제2 단부와 연결되고, 드레인도 동일한 행의 화소 공통 전극 라인(4)의 제2 단부와 연결된다. 제1 박막 트랜지스터들(11) 및 제4 박막 트랜지스터들(14) 동일한 기능을 가지고, 제2 박막 트랜지스터들(12) 및 제3 박막 트랜지스터들(13)은 동일한 기능을 가진다.

<27> 이하에서는, (N-1)번째, N번째, 및 (N+1)번째 행들의 화소들을 참조하여 설명하기로 한다. 상기 N번째 행이 턴-온되고, 즉, 상기 N번째 행의 게이트 라인(1)에 고전압 신호(V_{gh})가 인가되면, 상기 N번째 행의 화소 전극들(5)에 데이터 라인들(2)로부터 전송된 데이터 신호들이 인가된다. 나머지 행들은 저전압 신호(V_{gl})에 의하여 제어되고, 이에 따라 상기 N번째 행의 제1 박막 트랜지스터(11) 및 제4 박막 트랜지스터(14)는 턴-오프되고, 상기 N번째 행의 제2 박막 트랜지스터(12) 및 제3 박막 트랜지스터(13)는 동작된다. 따라서, 주변 공통 전극 라인(3)으로부터 제2 박막 트랜지스터(12) 및 제3 박막 트랜지스터(13)를 통하여 상기 N번째 행의 스토리지 캐패시터(C_{st})의 화소 공통 전극 라인(4)에 공통 전압이 인가되고, 이에 따라 상기 N번째 행의 화소들은 정상적으로 하전될 수 있고, 또한 동작된다. 이와 동시에, 상기 (N+1)번째의 제1 박막 트랜지스터(11) 및 제4 박막 트랜지스터(14)는 턴-온된다. 즉, 상기 (N+1)번째 행의 스토리지 캐패시터(C_{st})의 화소 공통 전극 라인(4)에 고전압 신호(V_{gh})가 또한 인가된다. 상기 N번째 행이 동작되면, 상기 (N+1)번째 행이 턴-온되기 전에, 상기 N번째 행이 먼저 상기 (N+1)번째 행의 스토리지 캐패시터(C_{st})의 화소 공통 전극 라인(4)에 고전압을 인가한다. 결과적으로, 상기 (N+1)번째 행이 턴-온되기 전에 흑색 화상이 디스플레이되고, 이에 따라 움직임 번짐이 완화될 수 있다.

<28> 본 실시예에 따라, 상기 LCD 디스플레이는 흑색 데이터를 행마다 삽입하여 구동되고, 이에 따라 행의 화상이 리프레쉬되기 전에 상기 행의 화상이 소거될 수 있다. 즉, 회색 화상이 흑색 화상으로 리셋된다. 이러한 방법으로 잔상에 의하여 야기된 테일링이 제거될 수 있다.

<29> 제5 실시예

<30> 도 5는 본 발명의 제5 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다. 도 5를 참조하면, 상기 박막 트랜지스터 액정 디스플레이는: 정전압을 제공하기 위한 주변 공통 전극 라인(3); 정전압을 유지하기 위한 복수의 화소 공통 전극 라인들(4); 게이트 신호들을 제공하기 위한 복수의 게이트 라인들(1); 여러 행들로 복수의 화소들을 한정하도록 상기 게이트 라인들(1)과 교차하고, 데이터 신호들을 제공하기 위한 복수의 데이터 라인들(2); 복수의 화소 전극들(5)로서, 각각이 하나의 인접한 게이트 라인(1)과 하나의 인접한 데이터 라인(2) 사이의 각각의 화소 내에 제공되고, 화소 박막 트랜지스터(6)의 드레인과 연결되고, 스토리지 캐패시터들을 형성하도록 동일한 행의 화소 공통 전극 라인(4)과 중첩되는 복수의 화소 전극들(5); 이전 행의 각각의 게이트 라인(1)의 제1 단부와 연결된 게이트와 소스, 및 동일한 행의 화소 공통 전극 라인(4)의 제1 단부와 연결된 드레인을 각각 포함하는 복수의 제1 박막 트랜지스터들(11); 및 상기 동일한 행의 게이트 라인(1)의 제2 단부와 연결된 게이트, 주변 공통 전극 라인(3)과 연결된 소스, 및 상기 동일한 행의 화소 공통 전극 라인(4)의 제2 단부와 연결된 드레인을 각각 포함하는 복수의 제3 박막 트랜지스터들;을 포함한다.

<31> 이하에서는, (N-1)번째, N번째, 및 (N+1)번째 행들의 화소들을 참조하여 설명하기로 한다. 상기 N번째 행이 턴-온되면, 상기 N번째 행의 제1 박막 트랜지스터(11)가 턴-오프되고, 상기 N번째 행의 제3 박막 트랜지스터(13)가 동작된다. 따라서, 제3 박막 트랜지스터(13)를 통하여 상기 N번째 행의 스토리지 캐패시터(C_{st})의 화소 공통 전극 라인(4)에 공통 전압이 인가되고, 이에 따라 상기 N번째 행의 화소들은 정상적으로 하전될 수 있고, 또한 동작된다. 이와 동시에, 상기 (N+1)번째의 제1 박막 트랜지스터(11)는 턴-온된다. 즉, 상기 (N+1)번째 행의 스토리지 캐패시터(C_{st})의 화소 공통 전극 라인(4)에 고전압 신호(V_{gh})가 또한 인가된다. 즉, 상기 N번째 행이 동작되면, 상기 (N+1)번째 행이 턴-온되기 전에, 상기 N번째 행은 상기 (N+1)번째 행의 스토리지 캐패시터(C_{st})의 화소 공통 전극 라인(4)에 고전압을 먼저 인가한다. 결과적으로, 상기 (N+1)번째 행이 턴-온되기 전에 흑색 화상이 디스플레이되고, 이에 따라 움직임 번짐이 완화될 수 있다.

<32> 제6 실시예

<33> 도 6은 본 발명의 제6 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다. 도 6을 참조하면, 상기 박막 트랜지스터 액정 디스플레이는: 정전압을 제공하기 위한 주변 공통 전극 라인(3); 정전압을 유지하기

위한 복수의 화소 공통 전극 라인들(4); 게이트 신호들을 제공하기 위한 복수의 게이트 라인들(1); 여러 행들로 복수의 화소들을 한정하도록 상기 게이트 라인들(1)과 교차하고, 데이터 신호들을 제공하기 위한 복수의 데이터 라인들(2); 복수의 화소 전극들(5)로서, 각각이 하나의 인접한 게이트 라인(1)과 하나의 인접한 데이터 라인(2) 사이의 각각의 화소 내에 제공되고, 화소 박막 트랜지스터(6)의 드레인과 연결되고, 스토리지 캐패시터들을 형성하도록 동일한 행의 화소 공통 전극 라인(4)과 중첩되는 복수의 화소 전극들(5); 상기 동일한 행의 게이트 라인(1)의 제1 단부와 연결된 게이트, 주변 공통 전극 라인(3)과 연결된 소스, 및 상기 동일한 행의 화소 공통 전극 라인(4)의 제1 단부와 연결된 드레인을 각각 포함하는 복수의 제1 박막 트랜지스터들(11); 이전 행의 게이트 라인(1)의 제2 단부와 연결된 게이트와 소스, 및 상기 동일한 행의 화소 공통 전극 라인(4)의 제2 단부와 연결된 드레인을 각각 포함하는 복수의 제4 박막 트랜지스터들(14);을 포함한다.

<34> 이하에서는, (N-1)번째, N번째, 및 (N+1)번째 행들의 화소들을 참조하여 설명하기로 한다. 상기 N번째 행이 턴-온되면, 상기 N번째 행의 제4 박막 트랜지스터(14)가 턴-오프되고, 상기 N번째 행의 제2 박막 트랜지스터(12)가 동작된다. 따라서, 제2 박막 트랜지스터(12)를 통하여 상기 N번째 행의 스토리지 캐패시터(Cst)의 화소 공통 전극 라인(4)에 공통 전압이 인가되고, 이에 따라 상기 N번째 행의 화소들은 정상적으로 하전될 수 있고, 또한 동작된다. 이와 동시에, 상기 (N+1)번째의 제4 박막 트랜지스터(14)는 턴-온된다. 즉, 상기 (N+1)번째 행의 스토리지 캐패시터(Cst)의 화소 공통 전극 라인(4)에 고전압 신호(Vgh)가 또한 인가된다. 즉, 상기 N번째 행이 동작되면, 상기 (N+1)번째 행이 턴-온되기 전에, 상기 N번째 행은 상기 (N+1)번째 행의 스토리지 캐패시터(Cst)의 화소 공통 전극 라인(4)에 고전압을 먼저 인가한다. 결과적으로, 상기 (N+1)번째 행이 턴-온되기 전에 흑색 화상이 디스플레이되고, 이에 따라 움직임 번짐이 완화된 수 있다.

<35> 제7 실시예

<36> 도 7은 본 발명의 제7 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다. 도 7을 참조하면, 상기 제7 실시예는 구동 소자가 상기 제1 실시예의 제1 박막 트랜지스터들(11) 및 제2 박막 트랜지스터들(12)을 대신하여 제3 박막 트랜지스터들(13) 및 제4 박막 트랜지스터들(14)을 더 포함한다는 점에서 상기 제4 실시예와는 상이하다. 이와 유사하게, 행의 화상이 리프레쉬되기 전에 상기 행의 화상이 소거될 수 있다. 즉, 회색 화상이 흑색 화상으로 리셋된다. 이러한 방법으로 잔상에 의하여 야기된 테일링이 제거될 수 있다. 그러나, 제3 박막 트랜지스터들(13) 및 제4 박막 트랜지스터들(14)는 게이트 드라이버(7)로부터 이격되므로, 신호 지연은 화소 공통 전극 라인(4)의 라인 거리의 증가에 의하여 야기될 수 있다. 화상의 깜박임(flickering)이 야기되더라도, 본 실시예의 기술적 해결은 움직임 번짐을 감소하도록 작동될 수 있다.

<37> 제8 실시예

<38> 도 8은 본 발명의 제8 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다. 도 8을 참조하면, 본 실시예의 박막 트랜지스터 액정 디스플레이는: 정전압을 제공하기 위한 주변 공통 전극 라인(3); 정전압을 유지하기 위한 복수의 화소 공통 전극 라인들(4); 게이트 신호들을 제공하기 위한 복수의 게이트 라인들(1); 여러 행들로 복수의 화소들을 한정하도록 상기 게이트 라인들(1)과 교차하는 복수의 데이터 라인들(2); 하나의 게이트 라인(1)의 일 단부와 상기 하나의 게이트 라인(1)의 다음 행의 하나의 화소 공통 전극 라인(4)을 각각 연결하는 복수의 제1 박막 트랜지스터들(11); 주변 공통 전극 라인(3)과 화소 공통 전극 라인(4)의 일 단부를 각각 연결하는 복수의 제2 박막 트랜지스터들(12); 주변 공통 전극 라인(3)과 화소 공통 전극 라인(4)의 타 단부를 각각 연결하는 복수의 제3 박막 트랜지스터들(13); 및 게이트 라인(1)의 타 단부와 게이트 라인(1)의 다음 행의 화소 공통 전극 라인(4)의 타 단부를 각각 연결하는 복수의 제4 박막 트랜지스터들(14)을 포함한다.

<39> 도 8에 도시된 바와 같이, 본 실시예에 있어서, 제1 박막 트랜지스터(11)의 게이트와 소스는 하나의 게이트 라인(1)과 연결되고, 제1 박막 트랜지스터(11)의 드레인은 게이트 라인(1)의 다음 행의 화소 공통 전극 라인(4)과 연결된다. 제2 박막 트랜지스터(12)의 게이트와 소스는 주변 공통 전극 라인(3)과 연결되고, 제2 박막 트랜지스터(12)의 드레인은 화소 공통 전극 라인(4)과 연결된다. 본 실시예에 있어서, 제3 박막 트랜지스터(13)의 게이트와 소스는 주변 공통 전극 라인(3)과 연결되고, 제3 박막 트랜지스터(13)의 드레인은 화소 공통 전극 라인(4)의 타 단부와 연결된다. 제4 박막 트랜지스터(14)의 게이트와 소스는 게이트 라인(1)의 타 단부와 연결되고, 제4 박막 트랜지스터(14)의 드레인은 게이트 라인(1)의 다음 행의 화소 공통 전극 라인(4)의 타 단부와 연결된다.

<40> 이하에서는, (N-1)번째, N번째, 및 (N+1)번째 행들의 화소들을 참조하여 설명하기로 한다. 상기 (N-1)번째 행의 게이트 라인(1)에 고전압 신호(Vgh)가 인가되고, 턴-온되면, 상기 N번째 행의 제1 박막 트랜지스터(11)가 턴-온된다. 이와 동시에, 동일한 고전압 신호(Vgh)가 N번째 행의 스토리지 캐패시터(Cst)의 상기 화소 공통 전극

라인에 인가되고, 이러한 신호는 게이트 라인(1)의 신호와 함께 패널의 최우측에 전송된다. 또한, 이와 동시에 제4 박막 트랜지스터(14)가 턴-온된다. 따라서, 게이트 라인(1)의 입력 단부는 제1 박막 트랜지스터(11)를 통하여 게이트 라인(1)의 다음 행의 화소 공통 전극 라인(4)과 연결되고, 제4 박막 트랜지스터(14)를 통하여 게이트 라인(1)의 출력 단부와 더 연결되고, 이에 따라 다른 경로가 형성된다. 이러한 두 개의 경로들은 동일한 포텐셜을 가지며, 동시에 상기 게이트 신호를 전송하고, 이에 따라 상기 신호 경로의 저항을 효과적으로 감소시킨다. 고전압 신호(Vgh)가 상기 N번째 행에 인가되면, 나머지 행들은 저전압 신호(Vgl)에 의하여 제어되고, 이에 따라 상기 N번째 행의 제2 박막 트랜지스터(12)는 동작되고, 상기 패널의 최우측의 상기 N번째 행의 제3 박막 트랜지스터(13)는 또한 동작된다. 이와 동시에, 상기 (N+1)번째 행의 제1 박막 트랜지스터(11) 및 상기 패널의 최우측의 (N+1)번째 행의 제4 박막 트랜지스터(14)는 턴-오프된다. 따라서, 상기 패널의 양 측들의 두 개의 주변 공통 전극 라인들(3)은 (N+1)번째 행의 제2 박막 트랜지스터(12), 제3 박막 트랜지스터(13), 및 화소 공통 전극 라인(4)을 통하여 서로 연결된다. N번째 행의 스토리지 캐패시터에는 주변 공통 전극 라인들(3)의 신호 전압이 또한 인가되고, 상기 N번째 행은 정상적으로 하전된다.

- <41> 즉, 고전압 신호가 행에 인가되면, 상기 행을 위하여 게이트 신호를 전송하는 두 개의 경로가 있다. 즉, 원래의 게이트 라인(1), 및 게이트 라인(1)의 입력 단부 및 출력 단부가 각각 제1 박막 트랜지스터(11) 및 제4 박막 트랜지스터(14)를 통하여 게이트 라인(1)의 다음 행의 화소 공통 전극 라인(4)에 연결됨에 의하여 형성된 경로이다. 저전압 신호가 행에 인가되면, 상기 행의 제1 박막 트랜지스터(11) 및 제4 박막 트랜지스터(14)는 턴-오프되고, 주변 공통 전극 라인들(3)은, 스토리지 캐패시터들의 공통 전극으로서, 제2 박막 트랜지스터(12), 제3 박막 트랜지스터(13), 및 화소 공통 전극 라인(4)에 의하여 연결된다.
- <42> 상술한 구조와 설계 방법은 상기 게이트 라인의 저항과 신호 지연을 효과적으로 감소시킬 수 있고, 상기 개구 비율 사이를 조정할 수 있고, 상기 게이트 라인의 신호 지연을 감소시키기 위하여 필요한 라인 폭을 증가시킬 수 있다.
- <43> 상술한 실시예들은 예시적이며, 본 발명을 한정하는 것은 아니다. 본 발명이 본 명세서에서 바람직한 실시예들을 참조하여 설명되었다고 하여도, 본 발명의 기술적 사상을 벗어나지 않고 본 발명이 변형될 수 있고, 기술적 특징들 중의 일부들은 균등하게 치환될 수 있음이 본 기술분야의 당업자에게 명백할 것이다.

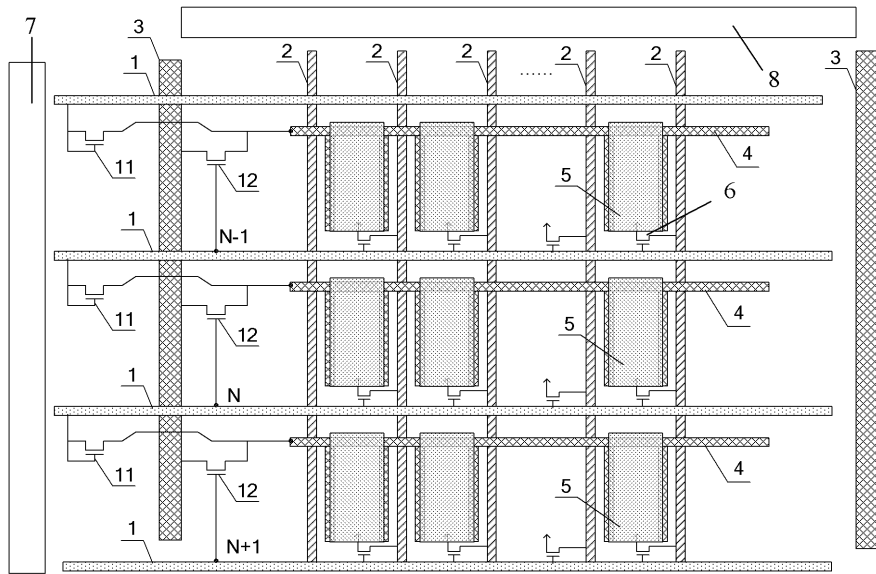
도면의 간단한 설명

- <44> 본 발명은 명세서에 개시되고 예시적으로 설명되며 본 발명을 한정하기 위한 것이 아닌 상세한 설명 및 도면들을 참조하여 보다 더 상세하게 이해될 수 있다.
- <45> 도 1은 본 발명의 제1 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다.
- <46> 도 2는 본 발명의 제2 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다.
- <47> 도 3은 본 발명의 제3 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다.
- <48> 도 4는 본 발명의 제4 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다.
- <49> 도 5는 본 발명의 제5 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다.
- <50> 도 6은 본 발명의 제6 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다.
- <51> 도 7은 본 발명의 제7 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다.
- <52> 도 8은 본 발명의 제8 실시예에 따른 박막 트랜지스터 액정 디스플레이의 등가 회로도이다.
- <53> 도 9는 종래의 박막 트랜지스터 액정 디스플레이의 등가 회로도이다.
- <54> 도 10은 공통 스토리지 캐패시터(Cst on Common)의 설계의 등가 회로도이다.
- <55> * 도면의 주요부분에 대한 부호의 설명 *
- <56> 1: 게이트 라인,
- <57> 2: 데이터 라인,
- <58> 3: 공통 전극 라인,
- <59> 4: 화소 공통 전극 라인,

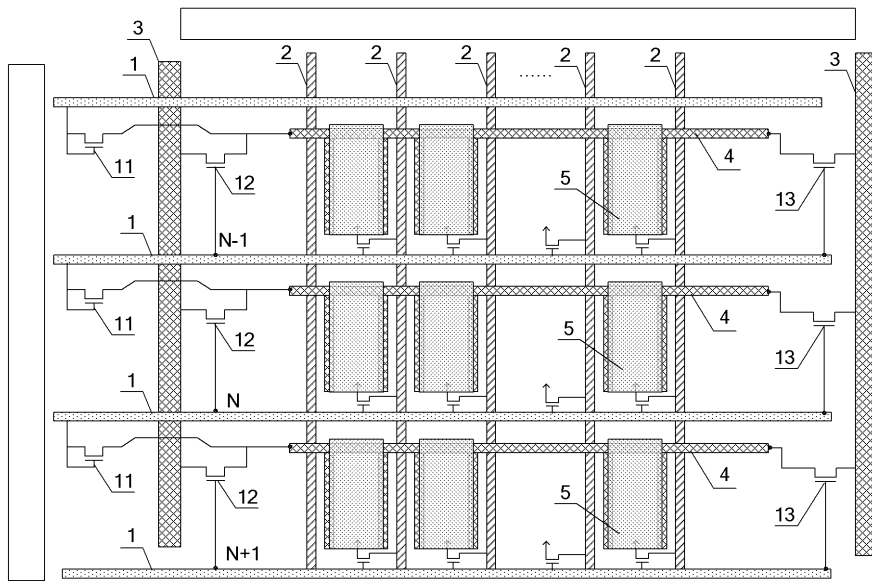
- <60> 5: 화소 전극,
- <61> 6: 화소 박막 트랜지스터,
- <62> 7: 게이트 드라이버,
- <63> 8: 데이터 드라이버,
- <64> 11: 제1 박막 트랜지스터,
- <65> 12: 제2 박막 트랜지스터,
- <66> 13: 제3 박막 트랜지스터,
- <67> 14: 제4 박막 트랜지스터,

도면

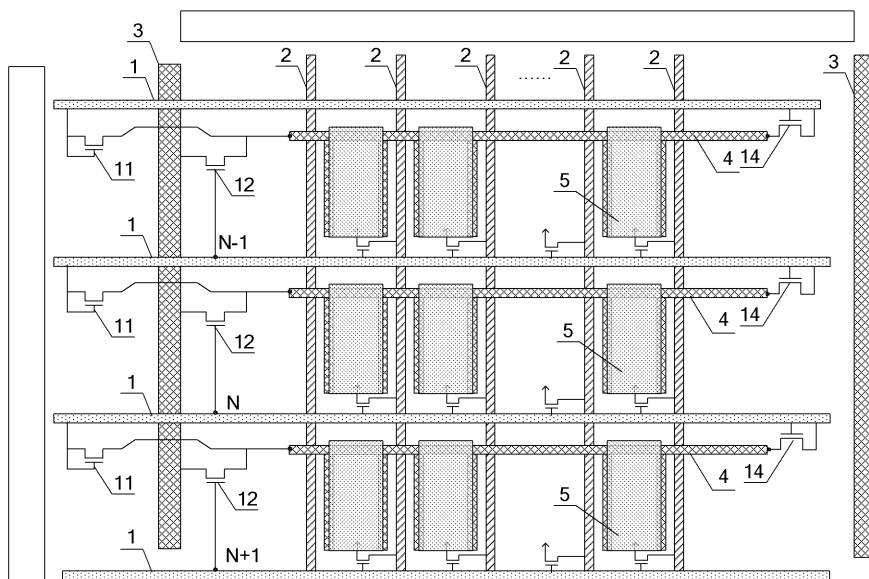
도면1



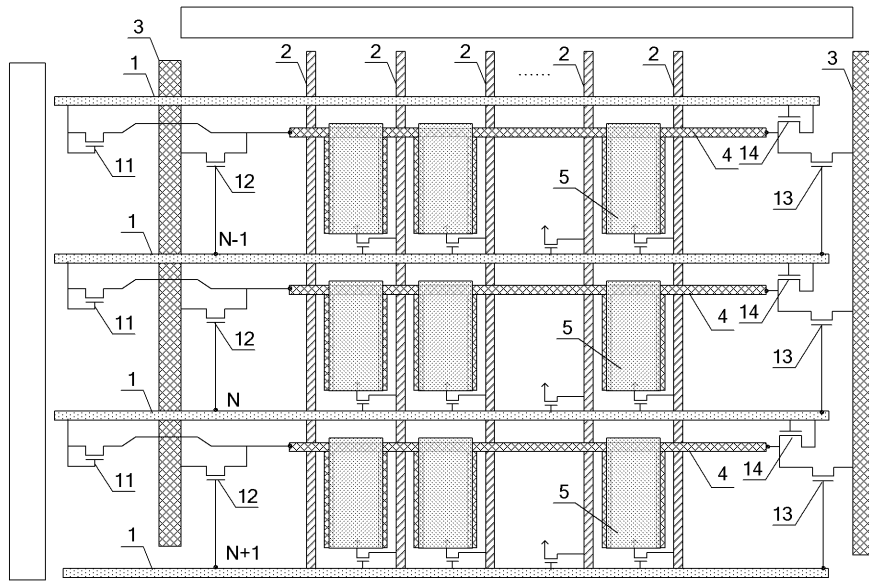
도면2



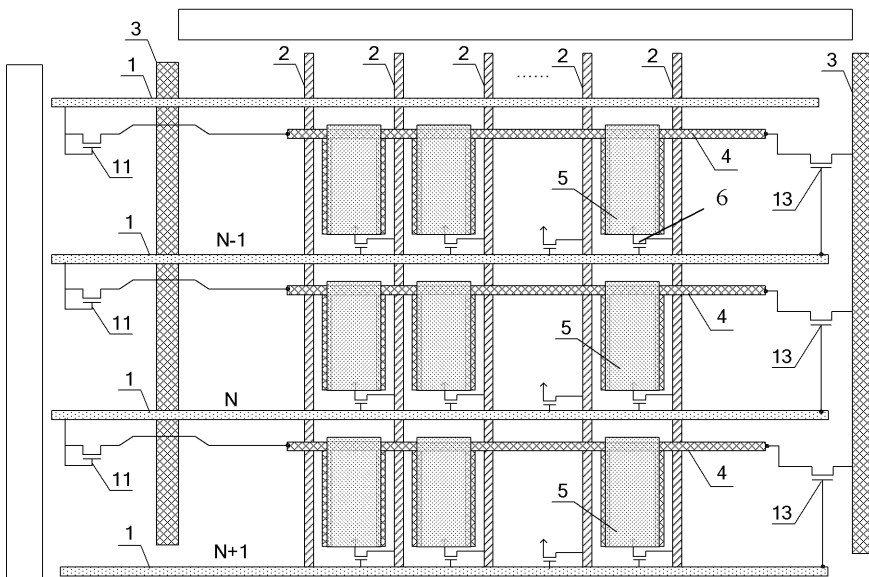
도면3



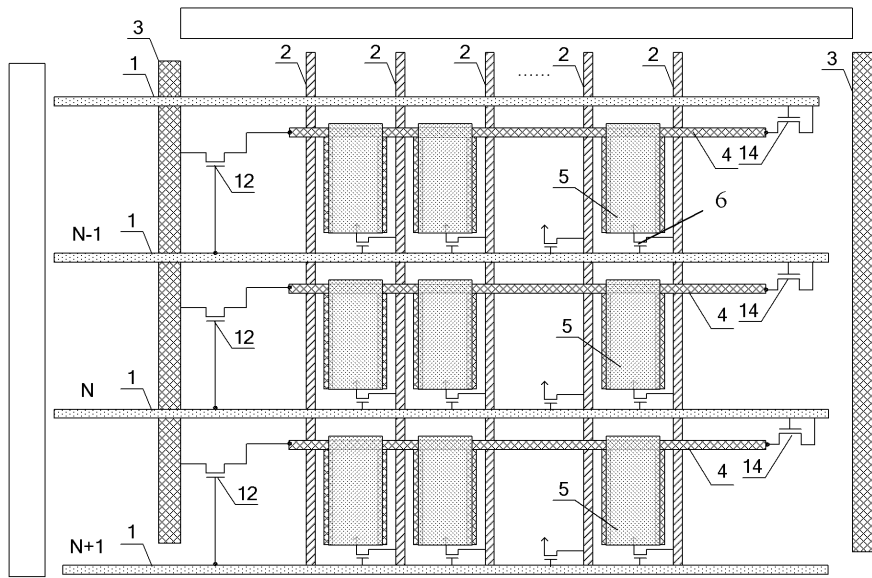
도면4



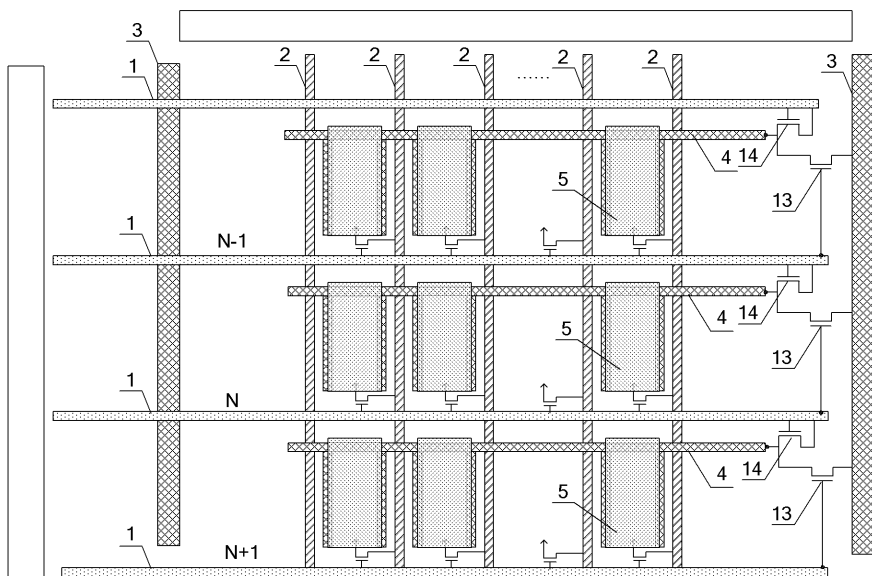
도면5



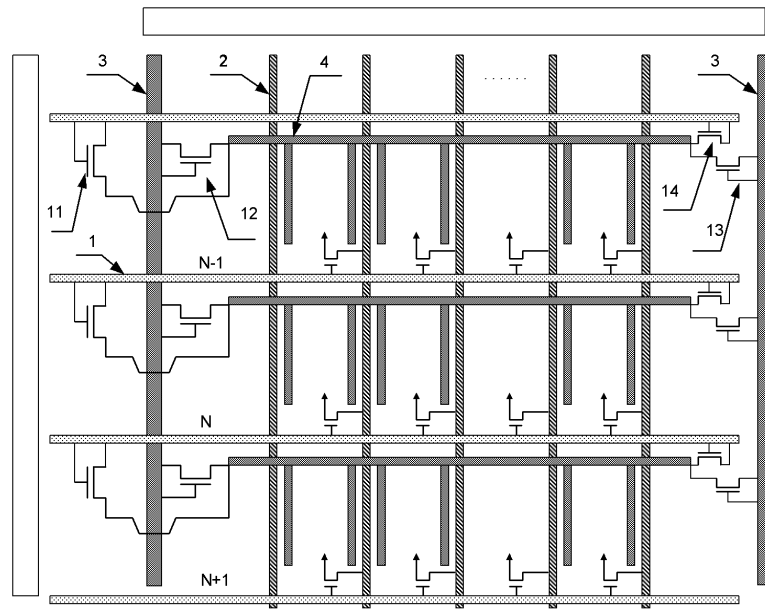
도면6



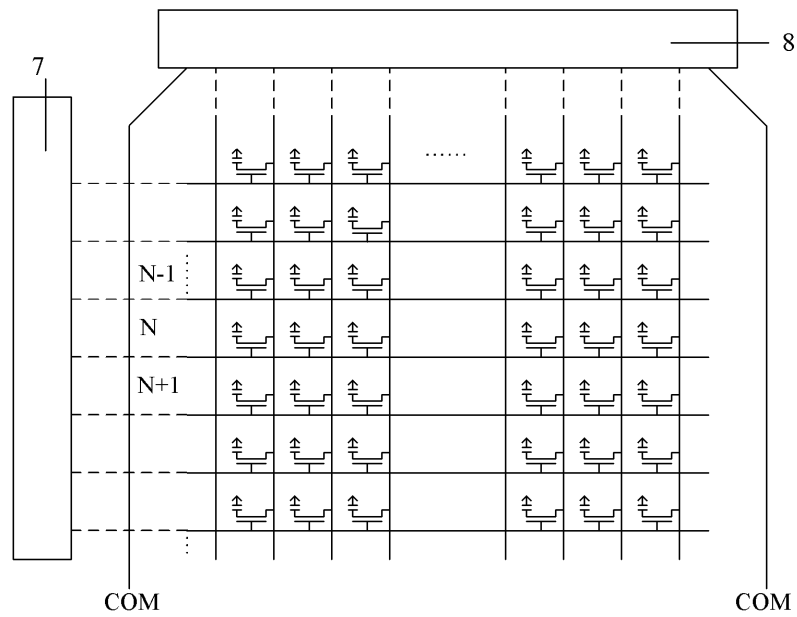
도면7



도면8



도면9



도면10

