



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년07월29일
(11) 등록번호 10-2004844
(24) 등록일자 2019년07월23일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G02F 1/1368 (2006.01)
(21) 출원번호 10-2013-0076053
(22) 출원일자 2013년06월28일
심사청구일자 2018년04월24일
(65) 공개번호 10-2015-0002342
(43) 공개일자 2015년01월07일
(56) 선행기술조사문헌
KR1020050121812 A*
KR1020110064114 A*
KR1020110071273 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
장훈
경기 파주시 금바위로 47, 210동 804호 (와동동,
가람마을8단지동문굿모닝힐)
원규식
경기 파주시 문산읍 당동1로 11, 604동 1201호 (자
연엔꿈에그린6단지아파트)
(74) 대리인
특허법인로알

전체 청구항 수 : 총 10 항

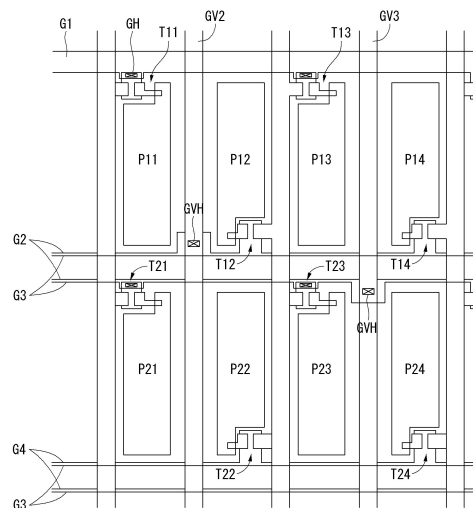
심사관 : 김민수

(54) 발명의 명칭 고 개구율을 갖는 액정표시장치

(57) 요약

본 발명은 데이터 배선의 개수를 저감하기 위해 지그재그 인버전으로 구동하는 구조에 있어서, 두 개의 게이트 배선을 중첩하도록 배치하여 개구율을 높이고, 협 베젤을 구현한 액정표시장치에 관한 것이다. 본 발명에 의한 액정표시장치는, 다수의 데이터 배선들, 상기 데이터 배선들과 교차되는 다수의 게이트 배선들, 매트릭스 형태로 배치된 화소 전극들, 및 상기 데이터 배선들과 상기 게이트 배선들의 교차부에 형성되는 박막 트랜지스터들을 포함하고; 이웃하는 두 개의 데이터 배선들 사이에 두 개의 화소 전극들이 배치되고; 어느 한 행에 존재하는 적어도 2 개의 화소 전극들이 동일한 데이터 배선과 연결되고; 이웃하는 두 행의 화소 전극들 사이에 이웃하는 두 개의 게이트 배선들이 배치되고; 그리고 상기 이웃하는 두 개의 게이트 배선들은 절연막을 사이에 두고 수직 중첩하는 것을 특징으로 한다.

대표도 - 도7



명세서

청구범위

청구항 1

다수의 데이터 배선들, 상기 데이터 배선들과 교차되는 다수의 게이트 배선들, 매트릭스 형태로 배치된 화소 전극들, 및 상기 데이터 배선들과 상기 게이트 배선들의 교차부에 형성되는 박막 트랜지스터들을 포함하고;

이웃하는 두 개의 데이터 배선들 사이에 두 개의 화소 전극들이 배치되고;

어느 한 행에 존재하는 적어도 2 개의 화소 전극들이 동일한 데이터 배선과 연결되고;

이웃하는 두 행의 화소 전극들 사이에 이웃하는 두 개의 게이트 배선들이 배치되고; 그리고

상기 이웃하는 두 개의 게이트 배선들은 절연막을 사이에 두고 수직 중첩하며,

상기 이웃하는 두 개의 데이터 배선들 사이에 배치된 상기 두 개의 화소 전극들 사이에 하나씩 배치되는 게이트 수직 배선들을 더 포함하는 것을 특징으로 하는 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 이웃하는 두 개의 게이트 배선들은,

상기 박막 트랜지스터의 게이트 전극과 동일한 층에 동일한 물질로 형성된 제1 게이트 배선; 그리고

상기 제1 게이트 배선을 덮는 상기 절연막 위에 형성된 제2 게이트 배선을 포함하는 것을 특징으로 하는 액정 표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 게이트 배선은, 상기 박막 트랜지스터의 게이트 전극과 연장되어 연결되고,

상기 제2 게이트 배선은, 상기 절연막을 관통하는 게이트 콘택홀을 통해 상기 박막 트랜지스터의 게이트 전극과 접촉하는 것을 특징으로 하는 액정 표시장치.

청구항 4

제 2 항에 있어서,

상기 제2 게이트 배선은,

상기 박막 트랜지스터를 덮는 보호막 위에서 상기 박막 트랜지스터의 드레인 전극과 연결되는 상기 화소 전극과 동일한 층에 형성된, 투명 도전 물질과 금속 물질을 포함하는 것을 특징으로 하는 액정 표시장치.

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 게이트 수직 배선들은 상기 이웃하는 두 게이트 배선들 중 어느 하나와 연결되는 것을 특징으로 하는 액정 표시장치.

청구항 7

제 6 항에 있어서,

상기 이웃하는 두 개의 게이트 배선들은,

상기 박막 트랜지스터의 게이트 전극과 동일한 층에 동일한 물질로 형성된 제1 게이트 배선; 그리고

상기 제1 게이트 배선을 덮는 상기 절연막 위에 형성된 제2 게이트 배선을 포함하고,

상기 게이트 수직 배선들은,

상기 제1 게이트 배선과 연결되는 제1 게이트 수직 배선; 그리고

상기 제2 게이트 배선과 연결되는 제2 게이트 수직 배선을 포함하는 것을 특징으로 하는 액정 표시장치.

청구항 8

제 7 항에 있어서,

상기 게이트 수직 배선들은 상기 데이터 배선과 동일한 층에 동일한 물질로 형성되는 것을 특징으로 하는 액정 표시장치.

청구항 9

제 6 항에 있어서,

상기 제1 게이트 배선은 상기 절연막을 관통하는 제1 게이트 배선 콘택홀을 통해 상기 제1 게이트 수직 배선에 연결되고, 상기 제2 게이트 배선은 상기 절연막을 관통하는 제2 게이트 배선 콘택홀을 통해 상기 제2 게이트 수직 배선에 연결되는 것을 특징으로 하는 액정 표시장치.

청구항 10

제 9 항에 있어서,

상기 제1 게이트 배선은 상기 제1 게이트 배선이 상기 박막 트랜지스터의 게이트 전극과 연장된 방향과 동일한 방향으로 연장된 제1 돌출부를 가지고,

상기 제2 게이트 배선은 상기 제2 게이트 배선이 상기 박막 트랜지스터의 게이트 전극과 연장된 방향과 동일한 방향으로 연장된 제2 돌출부를 가지는 것을 특징으로 하는 액정 표시장치.

청구항 11

제 10 항에 있어서,

상기 제1 게이트 배선 콘택홀은 상기 제1 돌출부에 배치되고, 상기 제2 게이트 배선 콘택홀은 상기 제2 돌출부에 배치되는 것을 특징으로 하는 액정 표시장치.

발명의 설명

기술분야

[0001] 본 발명은 컬럼 인버전으로 극성이 반전되는 데이터전압을 출력하는 소스 드라이브 집적회로(Integrated Circuit, IC)를 이용하여, 도트 인버전으로 구동하는 액정표시장치에 관한 것이다. 특히, 본 발명은 데이터 배선의 개수를 저감하기 위해 지그재그 인버전으로 구동하는 구조에 있어서, 두 개의 게이트 배선을 중첩하도록 배치하여 개구율을 높이고, 헵 베젤을 구현한 액정표시장치에 관한 것이다.

배경기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor: 혹은 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에 데이터전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, IC), 액정표시패널의 게이트라인들(또는 스캔라인들)에 게이트펄스(또는 스캔펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

[0004] 액정표시장치의 공정 기술과 구동 기술의 비약적인 발전에 힘입어, 액정표시장치의 제조비용은 낮아지고, 화질이 크게 향상되고 있다. 저소비전력과 저비용을 정보 단말기의 요구에 맞게, 액정표시장치의 소비전력, 화질, 및 제조비용을 더 개선할 필요가 있다.

[0005] 이러한 기술적 요구의 일환으로 하나의 데이터 라인으로 서로 다른 게이트 라인에 연결된 두 개의 화소에 정보를 전달하는 더블 레이트 드라이브(Double Rate Drive: DRD)가 제안되고 있다. 또한, 컬럼 인버전으로 극성이 반전되는 데이터 전압을 출력하는 소스 드라이브 집적회로를 이용하여 액정표시패널을 도트 인버전으로 구동하는 액정표시장치가 제안되고 있다.

[0006] 도 1은 종래 기술에 의한 액정표시장치의 구조를 나타내는 개략도이다. 도 2는 종래 기술에 의한 더블 레이트 드라이브 방식으로 구동하는 화소 어레이의 연결을 보여 주는 회로도이다. 도 3은 도 2의 회로도에 의한 더블 레이트 드라이브 방식으로 구동하는 화소 어레이의 구조를 상세히 보여 주는 평면 확대도이다.

[0007] 도 1을 참조하면, 종래 기술에 의한 액정표시장치는 화소 어레이(10)가 형성된 액정표시패널(DPL), 소스 드라이브 IC(12), 및 타이밍 컨트롤러(11)를 구비한다. 액정표시패널(DPL)의 아래에는 액정표시패널에 빛을 균일하게 조사하기 위한 백라이트 유닛(도시하지 않음)이 배치될 수 있다.

[0008] 액정표시패널(DPL)은 액정층을 사이에 두고 대향하는 상부 유리기관과 하부 유리기관을 포함한다. 액정표시패널(DPL)에는 화소 어레이(10)가 형성된다. 화소 어레이(10)는 데이터 배선들과 게이트 배선들의 교차 구조에 의해 매트릭스 형태로 배열되는 액정 셀들을 포함하여 비디오 데이터를 표시한다. 화소 어레이(10)의 하부 유리기관에는 데이터 배선들, 게이트 배선들, 박막 트랜지스터들, 박막 트랜지스터에 접속된 액정 셀의 화소 전극, 및 액정 셀의 화소 전극에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다. 화소 어레이(10)의 액정 셀들 각각은 박막 트랜지스터를 통해 데이터 전압을 충전하는 화소 전극과, 공통 전압이 인가되는 공통 전극의 전압 차이에 의해 구동되어 빛의 투과량을 조정함으로써 비디오 데이터의 화상을 표시한다. 화소 어레이(10)의 구체적인 구조에 대하여는 차후에 도 2 및 3을 결부하여 상세히 설명하기로 한다.

[0009] 액정표시패널의 상부 유리 기관 상에는 블랙매트릭스, 컬러필터 및 공통 전극이 형성된다. 공통 전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부 유리 기관 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 화소 전극과 함께 하부 유리 기관 상에 형성된다.

[0010] 액정표시패널의 상부 유리 기관과 하부 유리 기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0011] 본 발명의 액정표시장치는 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정 모드로도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

다.

- [0012] 소스 드라이브 IC들(12)은 TCP(Tape Carrier Package, 15) 상에 실장되어 TAB(Tape Automated Bonding) 공정에 의해 액정표시패널의 하부 유리 기판에 접합되고, 소스 PCB(Printed Circuit Board)(14)에 접속된다. 소스 드라이브 IC들(12)은 COG(Chip On Glass) 공정에 의해 액정표시패널의 하부 유리 기판 상에 접촉될 수도 있다. 소스 드라이브 IC들(12) 각각의 데이터 출력 채널들은 화소 어레이(10)의 데이터 배선들에 1:1로 접속된다.
- [0013] 소스 드라이브 IC들(12) 각각은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터를 입력받는다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하여 출력 채널들을 통해 화소 어레이(10)의 데이터 배선들에 공급한다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)의 제어 하에 이웃한 데이터 배선들에 서로 상반된 극성의 데이터 전압들을 공급하고, 각각의 데이터 배선들에 공급되는 데이터 전압의 극성을 1 프레임기간 동안 동일하게 유지한다.
- [0014] 게이트 구동회로(13)는 타이밍 콘트롤러(11)로부터 전달되는 게이트 타이밍 제어신호에 응답하여 화소 어레이의 게이트 배선들에 게이트 펄스를 순차적으로 공급한다. 게이트 구동회로(13)는 TCP 상에 실장되어 TAB 공정에 의해 액정표시패널의 하부 유리 기판에 접합되거나, GIP(Gate In Panel) 공정에 의해 화소 어레이(10)와 동시에 하부 유리 기판 상에 직접 형성될 수 있다. 게이트 구동회로(13)는 화소 어레이(10)의 일측에 배치되거나, 도 1과 같이 화소 어레이(10)의 양측에 배치 될 수 있다.
- [0015] 타이밍 콘트롤러(11)는 외부의 시스템 보드로부터 입력되는 디지털 비디오 데이터를 소스 드라이브 IC들(12)에 공급한다. 그리고 타이밍 콘트롤러(11)는 소스 드라이브 IC들(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(11)는 콘트롤 PCB(16) 상에 실장된다. 콘트롤 PCB(16)와 소스 PCB(14)는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기판(17)을 통해 연결된다.
- [0016] 이하, 도 2 및 3을 더 참조하여, 더블 레이트 방식으로 구동하는 액정표시장치의 구조에 대하여 설명한다. 도 2 및 3을 참조하면, 화소 어레이(10)는 서로 교차되는 데이터 배선들(D1, D2, D3, D4, ...) 및 게이트 배선들(G1, G2, G3, G4, ...), 게이트 펄스에 응답하여 화소 전극들(P11, P12, P13, P14, ...Pij)을 데이터 배선들(D1, D2, D3, D4, ...)에 공급하기 위한 박막 트랜지스터들(T11, T12, T13, T14, ...Tij)을 구비한다.
- [0017] 제N(N은 양의 정수) 프레임 기간 동안, 기수 데이터 배선들(D1, D3... D2m-1, D2m+1)에는 소스 드라이브 IC들(12)로부터 정극성 아날로그 데이터 전압만이 공급되고, 우수 데이터 배선들(D2, D4... D2m)에는 소스 드라이브 IC들(12)로부터 부극성 아날로그 데이터 전압만이 공급된다. 제N+1 프레임 기간 동안, 기수 데이터 배선들(D1, D3... D2m-1, D2m+1)에는 소스 드라이브 IC들(12)로부터 부극성 아날로그 데이터 전압만이 공급되고, 우수 데이터 배선들(D2, D4... D2m)에는 소스 드라이브 IC들(12)로부터 정극성 아날로그 데이터 전압만이 공급된다.
- [0018] 컬럼 인버전 방식으로 극성이 반전되는 데이터 전압과, 박막 트랜지스터들과 데이터 배선들의 연결로 인하여, 데이터 배선들 각각에는 동일한 극성이 1 프레임 기간 동안 연속 공급된다. 그리고 화소 어레이의 액정 셀들에 충전되는 데이터 전압들은 그 극성이 수평 2 도트 및 수직 1 도트 인버전으로 반전된다.
- [0019] 화소 어레이(10)의 기수 수평 표시 라인들(LINE1, LINE3, ..., LINE2p-1)에서 데이터 배선들(D1, D2, D3, D4, ...) 각각에는 우측에 배치된 2 개의 화소 전극들이 연결되어 동일한 데이터 배선으로부터 공급되는 동일 극성의 데이터 전압들을 순차적으로 충전한다. 화소 어레이(10)의 우수 수평 표시 라인들(LINE2, LINE4, ..., LINE2p)에서 데이터 배선들(D1, D2, D3, D4, ...) 각각에는 좌측에 배치된 2 개의 화소 전극들이 연결되어 동일한 데이터 배선으로부터 공급되는 동일 극성의 데이터 전압들을 순차적으로 충전한다.
- [0020] 일반적인 행렬 배열을 기준으로 하여, 화소 전극들(P11, P12, P13, P14, ..., Pij)에 각각 할당된 박막 트랜지스터들(T11, T12, T13, T14, ..., Tij)과 데이터 배선들(D1, D2, D3, D4, ...)의 연결 관계를 좀 더 상세히 살펴보면 다음과 같다. 여기서, m(데이터라인번호 관련), n(게이트라인번호 관련), p(표시라인번호 관련), i(행 번호 관련), j(열번호 관련) 등은 양의 정수를 의미한다. 도 2를 참조하면, 복수 개의 데이터 배선이 배열되고 이웃하는 데이터 배선 사이에는 2열의 화소 전극들이 배열된 구조를 갖는다. 한편, 게이트 배선들(G1, G2, G3, G4,...)은 세로 방향으로 이웃하는 화소들 사이에 각각 2개씩 배열된 구조를 갖는다.
- [0021] 이제, 한 프레임의 경우에 표시되는 화상정보를 기준으로 설명하므로 순차적으로 게이트 배선이 모두 선택된 상태에서, 각 화소들이 어떤 데이터 배선으로부터 정보를 인가 받는지에 대해서 고려한다.

- [0022] 기수 수평 표시 라인들(LINE1, LINE3, ..., LINE $2p-1$) 각각에서 제 m 번째 데이터 배선과 제 $m+1$ 번째 데이터 배선 사이에 존재하는 박막 트랜지스터와 화소 전극들은 제 m 번째 데이터 배선으로부터 순차적으로 공급되는 데이터 전압을 충전한다. 또한, 우수 수평 표시 라인들(LINE2, LINE4, ..., LINE $2p$) 각각에서 제 m (m 은 양의 정수)번째 데이터 배선과 제 $m-1$ 번째 데이터 배선 사이에 존재하는 화소 전극들은 제 m 번째 데이터 배선으로부터 순차적으로 공급되는 데이터 전압을 충전한다. 즉, m 번째 데이터 배선에 연결되는 화소 전극들은 도 2에 도시된 것과 같은 매트릭스 배열에서 $P(2p-1, 2m-1)$ 및 $P(2p-1, 2m)$ 그리고 $P(2p, 2(m-1)-1)$ 및 $P(2p, 2(m-1))$ 에 해당하는 화소 전극들이다.
- [0023] 이들 화소 전극과 m 번째 데이터 배선 사이의 전류패스를 스위칭하기 위한 박막 트랜지스터들이 연결된다. 즉, $T(2p-1, 2m-1)$ 및 $T(2p-1, 2m)$ 그리고 $T(2p, 2(m-1)-1)$ 및 $T(2p, 2(m-1))$ 에 해당하는 박막 트랜지스터들이다. 예를 들어, 제3번째 데이터 배선으로부터 T15을 통해 P15이, T16을 통해 P16이, T35을 통해 P35이, T36을 통해 P36이, T23을 통해 P23이, T24를 통해 P24가, T43을 통해 P43이, T44를 통해 P44가, 기타 등등이 데이터 전압을 공급받는다. 여기서, 행렬 위치를 계산시, 값이 '0' 이하가 되면 그것은 연결되는 것이 없는 상태를 의미한다.
- [0024] 이와 같은 구조를 갖는 액정표시장치는 하나의 데이터 배선에 연결된 액정 셀들에 충전되는 데이터 전압들의 극성이 동일하므로 소스 드라이브 IC의 소비전력을 줄일 수 있음은 물론, 액정 셀들 각각의 데이터 충전량을 균일하게 할 수 있다. 따라서, 비 더블레이트 구동 방식의 인버전 방법에서 초래되는 데이터 충전량의 불균일로 인하여 초래되는 휘도 불균일, 색 왜곡 등의 화질 저하를 방지할 수 있다. 또한, 좌우에 인접하는 액정 셀들이 하나의 데이터 배선을 공유하는 박막 트랜지스터 접속관계를 이용하여 데이터 배선들의 개수와 소스 드라이브 IC들의 채널 수를 줄일 수 있고 나아가, 액정표시장치의 제조 비용을 줄일 수 있다.
- [0025] 이와 같은 더블레이트 구동을 위한 구조에서는, 도 3에서 직시할 수 있듯이, 세로 방향으로 이웃하는 두 개의 화소 전극 사이에서 게이트 배선이 2개씩 배열된다. 따라서, 개구 영역이 그만큼 작아지는 문제가 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0026] 본 발명의 목적은 소비전력과 화질을 개선할 수 있는 액정표시장치를 제공하는 데 있다. 본 발명의 다른 목적은 소비전력을 개선하기 위해 하나의 데이터 라인으로 서로 다른 게이트 라인에 연결된 두 개의 화소에 정보를 전달하는 구조에서 한 화소 행에 두 개의 게이트 배선이 배치됨으로 인해 발생하는 개구 영역 비율 감소를 해소하는 액정표시장치를 제공하는 데 있다. 본 발명의 또 다른 목적은, 더블 레이트 구동 방식에 있어서, 수직 게이트 배선을 통해 표시 패널의 상부 및/또는 하부에서 게이트 신호를 인가 받음으로써, 개구 영역의 비율을 높이고, 베젤 영역의 폭을 극소화한 협 베젤 구조의 액정표시장치를 제공하는 데 있다.

과제의 해결 수단

- [0027] 상기 목적을 달성하기 위하여, 본 발명에 의한 액정표시장치는, 다수의 데이터 배선들, 상기 데이터 배선들과 교차되는 다수의 게이트 배선들, 매트릭스 형태로 배치된 화소 전극들, 및 상기 데이터 배선들과 상기 게이트 배선들의 교차부에 형성되는 박막 트랜지스터들을 포함하고; 이웃하는 두 개의 데이터 배선들 사이에 두 개의 화소 전극들이 배치되고; 어느 한 행에 존재하는 적어도 2 개의 화소 전극들이 동일한 데이터 배선과 연결되고; 이웃하는 두 행의 화소 전극들 사이에 이웃하는 두 개의 게이트 배선들이 배치되고; 그리고 상기 이웃하는 두 개의 게이트 배선들은 절연막을 사이에 두고 수직 중첩하는 것을 특징으로 한다.
- [0028] 상기 이웃하는 두 개의 게이트 배선들은, 상기 박막 트랜지스터의 게이트 전극과 동일한 층에 동일한 물질로 형성된 제1 게이트 배선; 그리고 상기 제1 게이트 배선을 덮는 상기 절연막 위에 형성된 제2 게이트 배선을 포함하는 것을 특징으로 한다.
- [0029] 상기 제1 게이트 배선은, 상기 박막 트랜지스터의 게이트 전극과 연장되어 연결되고, 상기 제2 게이트 배선은, 상기 절연막을 관통하는 게이트 콘택홀을 통해 상기 박막 트랜지스터의 게이트 전극과 접촉하는 것을 특징으로 한다.
- [0030] 상기 제2 게이트 배선은, 상기 박막 트랜지스터를 덮는 보호막 위에서 상기 박막 트랜지스터의 드레인 전극과 연결되는 상기 화소 전극과 동일한 층에 형성된, 투명 도전 물질과 금속 물질을 포함하는 것을 특징으로 한다.

- [0031] 상기 이웃하는 두 개의 데이터 배선들 사이에 배치된 상기 두 개의 화소 전극들 사이에 하나씩 배치되는 게이트 수직 배선들을 더 포함하는 것을 특징으로 한다.
- [0032] 상기 게이트 수직 배선들은 상기 이웃하는 두 게이트 배선들 중 어느 하나와 연결되는 것을 특징으로 한다.
- [0033] 상기 이웃하는 두 개의 게이트 배선들은, 상기 박막 트랜지스터의 게이트 전극과 동일한 층에 동일한 물질로 형성된 제1 게이트 배선; 그리고 상기 제1 게이트 배선을 덮는 상기 절연막 위에 형성된 제2 게이트 배선을 포함하고, 상기 게이트 수직 배선들은, 상기 제1 게이트 배선과 연결되는 제1 게이트 수직 배선; 그리고 상기 제2 게이트 배선과 연결되는 제2 게이트 수직 배선을 포함하는 것을 특징으로 한다.
- [0034] 상기 게이트 수직 배선들은 상기 데이터 배선과 동일한 층에 동일한 물질로 형성되는 것을 특징으로 한다.

발명의 효과

- [0035] 본 발명은 하나의 데이터 배선에 연결된 액정 셀들에 충전되는 데이터 전압들의 극성을 동일하게 제어하여 액정 셀들의 데이터 충전량을 균일하게 할 수 있고 소스 드라이브 IC의 소비전력을 줄일 수 있다. 또한, 본 발명은 한 화소 행에 배치되는 2개의 게이트 배선들을 서로 다른 층에 형성되며 중첩하도록 배치함으로써 개구 영역을 확대한 고 개구율을 구현할 수 있다. 그리고, 본 발명은 데이터 배선이 배치되지 않는 화소 열들 사이에는, 서로 중첩하며 한 화소 행을 따라 가로 방향으로 배열되는 가로 게이트 배선과 전기적으로 연결되는 수직 게이트 배선을 배치함으로써, 표시 패널의 좌, 우측 공간을 차지하는 베젤 영역을 극소화할 수 있다.

도면의 간단한 설명

- [0036] 도 1은 종래 기술에 의한 액정표시장치의 구조를 나타내는 개략도.
- 도 2는 종래 기술에 의한 더블 레이트 드라이브 방식으로 구동하는 화소 어레이의 연결을 보여 주는 회로도.
- 도 3은 도 2의 회로도에 의한 더블 레이트 드라이브 방식으로 구동하는 화소 어레이의 구조를 상세히 보여 주는 평면 확대도.
- 도 4는 본 발명의 제1 실시 예에 의한 더블 레이트 드라이브 방식으로 구동하는 화소 어레이의 구조를 상세히 보여 주는 평면 확대도.
- 도 5는 도 4에서 절취선 I-I'으로 자른, 본 발명의 제1 실시 예에 의한 화소 어레이에서 게이트 배선의 중첩 구조를 나타내는 단면도.
- 도 6은 도 4에서 절취선 II-II'으로 자른, 본 발명의 제1 실시 예에 의한 화소 어레이에서 박막 트랜지스터의 구조를 나타내는 단면도.
- 도 7은 본 발명의 제2 실시 예에 의한 더블 레이트 드라이브 방식으로 구동하는 화소 어레이의 구조를 상세히 보여 주는 평면 확대도.

발명을 실시하기 위한 구체적인 내용

- [0037] 이하, 첨부한 도면들을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0038] 도 4는 본 발명의 제1 실시 예에 의한 더블 레이트 드라이브 방식으로 구동하는 화소 어레이의 구조를 상세히 보여 주는 평면 확대도이다. 도 5는 도 4에서 절취선 I-I'으로 자른, 본 발명의 제1 실시 예에 의한 화소 어레이에서 게이트 배선의 중첩 구조를 나타내는 단면도이다. 본 발명에 의한 액정표시패널의 기본적인 구성을 종래의 구성과 큰 차이가 없다. 본 발명에 대한 설명에서는, 종래 기술과 차이점이 명확하게 드러나는, 액정표시패널의 화소 어레이 부분에 대해서만 설명한다.
- [0039] 도 4를 참조하면, 본 발명의 제1 실시 예에 의한 액정표시장치의 화소 어레이는 서로 교차되는 데이터 배선들(D1, D2, D3, D4, ...) 및 게이트 배선들(G1, G2, G3, G4, ...), 게이트 펄스에 응답하여 화소 전극들(P11, P12, P13, P14, ...Pij)을 데이터 배선들(D1, D2, D3, D4, ...)에 공급하기 위한 박막 트랜지스터들(T11, T12, T13, T14, ...Tij)을 구비한다. 특히, 본 발명의 제1 실시 예에 의한 액정표시장치의 화소 어레이에서 각 화소

행마다 2개씩 배치되는 게이트 배선들은 서로 다른 층에서 중첩된 구조를 갖는다.

- [0040] 예를 들어, 제2 게이트 배선(G2)과 제3 게이트 배선(G3)은 평탄화 막을 사이에 두고 서로 다른 층에 형성될 수 있다. 즉 제2 게이트 배선(G2)은 P12 화소 전극에 할당된 게이트 전극(G)이 형성되는 층에 같이 형성되어, 게이트 전극(G)이 제2 게이트 배선에서 분기하는 형상을 가질 수 있다. 반면에, 제3 게이트 배선(G3)은 절연막을 사이에 두고 제2 게이트 배선(G2)보다 높은 층에 형성되고, P22의 게이트 전극(G)의 일부를 노출하는 게이트 콘택홀(GH)을 통해 서로 연결될 수 있다.
- [0041] 도 4와 같은 구조를 갖는 경우, 제2 게이트 배선(G2)과 제3 게이트 배선(G3)이 서로 중첩되어 형성되므로, 종래 기술에 의한 화소 어레이를 나타내는 도 3과 비교했을 때, 게이트 배선들이 차지하는 면적을 현저히 줄일 수 있다. 이와 같이, 게이트 배선들(G2, G3, G4, G5,...)이 차지하는 면적을 줄인 만큼 화소 전극들(P11, P12, P13, P14,... P21, P22, P23, P24,...)들의 면적을 더 크게 형성할 수 있다. 그 결과, 표시 패널 전체 면적에서 화소 전극들이 차지하는 면적 비율인 개구율을 더 크게 확보할 수 있다.
- [0042] 이하, 도 5 및 도 6을 더 참조하여, 본 발명에 의한 화소 어레이의 단면 구조를 좀 더 상세히 설명한다. 도 6은 도 4에서 절취선 II-II'으로 자른, 본 발명의 제1 실시 예에 의한 화소 어레이에서 박막 트랜지스터의 구조를 나타내는 단면도이다.
- [0043] 먼저, 도 6을 참조하여, 박막 트랜지스터의 구조를 설명한다. 기판(SUB) 위에 게이트 전극(G)이 형성된다. 게이트 전극(G) 위에는 게이트 절연막(GI)이 기판(SUB) 전체 면에 걸쳐 도포된다. 게이트 절연막(GI) 위에서 게이트 전극(G)과 중첩하도록 반도체 채널 층(A)이 형성되어 있다.
- [0044] 또한, 게이트 절연막(GI) 위에는 반도체 채널 층(A)의 일측과 접촉하는 소스 전극(S), 그리고 소스 전극(S)과 일정 거리 이격하여 반도체 채널 층(A)의 타측과 접촉하는 드레인 전극(D)이 형성된다. 그리고, 박막 트랜지스터(T)를 덮는 평탄화 막(PAC)이 기판(SUB) 전체 면에 도포된다. 평탄화 막(PAC)에는 드레인 전극(D)의 일부분을 노출하는 콘택홀이 형성된다. 평탄화 막(PAC) 위에는 콘택홀을 통해 드레인 전극(D)과 접촉하는 화소 전극(PXL, P12)이 형성된다.
- [0045] 화소 전극(PXL, P12) 위에는 기판(SUB) 전체 면을 덮는 보호막(PAS)이 도포된다. 그리고 보호막(PAS) 위에는 화소 전극(PXL)과 중첩하는 공통 전극(COM)이 형성된다.
- [0046] 이하, 도 5를 참조하여, 상하로 이웃하는 두 개의 화소 전극들(P12, P22) 사이에 배치되는 두 개의 게이트 배선들(G2, G3)의 적층 구조에 대해서 설명한다. 여기서, 다수 개의 화소 전극들과 다수 개의 게이트 배선들 중에서 대표적인 한 예를 설명하는 것으로, 동일한 개념이 전체 기판에 걸쳐 적용된다.
- [0047] 기판(SUB) 위에 P22 화소 전극에 할당된 게이트 전극(G(P22)), 그리고 P12 화소 전극에 할당된 게이트 전극(G(P12))와 이 게이트 전극(G(P12))에 연결된 제2 게이트 배선(G2)가 형성된다. 이때, P22 화소 전극에 할당된 게이트 전극(G(P22))과 연결되는 제3 게이트 배선(G1)은 형성하지 않는다.
- [0048] 게이트 전극들(G(P12), G(P22))과 제2 게이트 배선(G2) 위에는 게이트 절연막(GI)이 기판(SUB) 전체에 걸쳐 도포된다. 게이트 절연막(GI) 위에는, 도 6에서 처럼, 박막 트랜지스터(T)의 채널 층(A), 소스 전극(S), 그리고 드레인 전극(D)이 형성된다. 박막 트랜지스터(T) 위에는 평탄화 막(PAC)이 기판(SUB) 전체 면에 도포된다.
- [0049] 평탄화 막(PAC)과 게이트 절연막(GI)의 일부를 패터하여, P22 화소 전극에 할당된 게이트 전극(G(P22))의 일부를 노출하는 게이트 콘택홀(GH)을 형성한다. 평탄화 막 위에서 박막 트랜지스터(T)의 드레인 전극(D)과 접촉하는 화소 전극(P12)을 형성할 때, 제2 게이트 배선(G2)과 중첩하여 진행되는 제3 게이트 배선(G3)을 형성한다. 제3 게이트 배선(G3)은 게이트 콘택홀(GH)을 통해 P22 화소 전극에 할당된 게이트 전극(G(P22))과 연결된다.
- [0050] 제3 게이트 배선(G3)은 기판(SUB)을 가로 질러 길게 형성된다. 액정표시 패널의 크기가 커질수록 제3 게이트 배선(G3)의 길이도 더 길어진다. 따라서, 제3 게이트 배선(G3)은 비 저항 값이 낮은 물질을 포함하는 것이 바람직하다. 하지만, 본 발명에서 제3 게이트 배선(G3)은 화소 전극(P12)과 동일한 층에서 동일한 공정에서 형성한다. 즉, 화소 전극(P12)에 사용하는 투명 도전 물질로 제3 게이트 배선(G3)을 형성하여야 하는데, 인듐-주석 산화물(Indium Tin Oxide) 혹은 인듐-아연 산화물(Indium Zinc Oxide)는 비 저항이 금속 물질보다 크기 때문에, 배선용 물질로는 적합하지 않다.
- [0051] 제3 게이트 배선(G3)의 선 저항을 낮추기 위해, 제3 게이트 배선은 투명 도전 물질층(IT)과 저 저항 금속 물질층(ME)이 적층된 구조를 갖는 것이 바람직하다. 예를 들어, 평탄화 막(PAC) 위에 인듐-주석 산화물(Indium Tin Oxide) 혹은 인듐-아연 산화물(Indium Zinc Oxide)과 같은 투명 도전 물질층(IT), 그리고 알루미늄(Aluminum),

탄탈(Tantalum), 니켈(Nickel), 은(Ag)과 같은 저 저항 금속 물질층(ME)을 연속으로 도포한다. 그리고 나서, 하프-톤 마스크를 사용하여, 화소 전극(P12)은 투명 도전 물질층(IT)만으로 형성하고, 제3 게이트 배선(G3)은 투명 도전 물질층(IT)과 저 저항 금속 물질층(ME)이 적층되도록 형성한다.

[0052] 제3 게이트 배선(G3) 및 화소 전극(P12)이 형성된 기판(SUB) 전체 면에 보호막(PAS)을 도포한다. 보호막(PAS) 위에는 화소 전극(P12)과 중첩하는 공통 전극(COM)을 형성한다.

[0053] 이상과 같이, 더블 레이트 구동 방식을 사용하는 평판 표시장치의 경우, 하나의 데이터 배선으로 두 개의 게이트 배선에 연결된 박막 트랜지스터를 구동할 수 있으므로, 데이터 배선의 개수를 1/2로 줄일 수 있다. 이웃하는 두 개의 데이터 배선들 사이에 두 개의 화소 열이 배치되는 구조를 가지므로, 일반 구동 방식과 비교해서 데이터 배선이 배치되었던 공간이 하나씩 남는 구조를 가질 수 있다.

[0054] 일반적으로, 16:9 이상의 장방형 표시 장치에서는 데이터 배선의 수가 게이트 배선의 수보다 훨씬 더 많다. 특히, 고 해상도를 넘어 초고 해상도 표시 장치에서는 더블 레이트 구동 방식으로 구현할 경우, 데이터 배선의 수는 게이트 배선의 수의 2배 이상인 경우가 많다. 따라서, 더블 레이트 구동 방식에서는 삭제된 데이터 배선들의 자리가 빈 공간으로 남아서 블랙 매트릭스만 차지하는 경우가 많다. 이와 같은 구조에서, 비어 있는 세로 배선의 위치에 게이트 배선에 게이트 신호를 인가하기 위한 게이트 수직 배선을 배치하면, 게이트 구동 회로를 기판의 좌/우측이 아닌 상/하측에 배치할 수 있다. 그 결과, 표시 패널의 좌/우측 베젤 영역을 극소화한 협 베젤 구조를 실현할 수 있다.

[0055] 본 발명의 제2 실시 예에서는, 기판의 가로 방향으로 진행되는 게이트 배선에 스캔 신호를 인가하기 위한 게이트 구동부를 기판의 상부 혹은 하부에 배치한 액정 표시 장치에 적용한 예를 제시한다. 즉, 더블 레이트 구동 방식에서, 게이트 배선으로 스캔 신호를 공급하기 위해, 기판의 세로 방향으로 진행되는 게이트 수직 배선을 이웃하는 데이터 배선의 사이에 배치된 이웃하는 두 화소 열 사이의 빈 공간에 배치한 구조를 갖는다. 특히, 가로 방향으로 진행되는 게이트 배선이 각 화소 행마다 두 개씩 배치되는데, 이 두 개의 게이트 배선들을 수직적으로 중첩시킴으로써, 화소 영역당 더 큰 개구 영역을 확보한 액정표시장치를 제공한다.

[0056] 제2 실시 예에 의한 액정표시장치의 구조는 기본적으로 제1 실시 예에 의한 것과 유사하다. 차이가 있다면, 게이트 구동부가 기판의 상부 혹은 하부 면에 위치하고, 게이트 배선에 스캔 신호를 인가하기 위한 게이트 수직 배선이 게이트 구동부와 게이트 배선을 연결한다. 게이트 수직 배선은 이웃하는 두 개의 데이터 배선들 사이에 배치된 두 개의 화소 영역 열 사이에 배치된다.

[0057] 도 7을 참조하여 좀 더 구체적으로 설명한다. 도 7은 본 발명의 제2 실시 예에 의한 더블 레이트 드라이브 방식으로 구동하는 화소 어레이의 구조를 상세히 보여 주는 평면 확대도이다. 본 발명의 제2 실시 예에 의한 액정표시장치의 화소 어레이는 서로 교차되는 데이터 배선들(D1, D2, D3, D4, ...) 및 게이트 배선들(G1, G2, G3, G4, ...), 게이트 펄스에 응답하여 화소 전극들(P11, P12, P13, P14, ...Pij)을 데이터 배선들(D1, D2, D3, D4, ...)에 공급하기 위한 박막 트랜지스터들(T11, T12, T13, T14, ...)을 구비한다. 특히, 본 발명의 제2 실시 예에 의한 액정표시장치의 화소 어레이에서 각 화소 행마다 2개씩 배치되는 게이트 배선들은 서로 다른 층에서 중첩된 구조를 갖는다.

[0058] 예를 들어, 제2 게이트 배선(G2)과 제3 게이트 배선(G3)은 평탄화 막을 사이에 두고 서로 다른 층에 형성될 수 있다. 즉 제2 게이트 배선(G2)은 P12 화소 전극에 할당된 게이트 전극(G)이 형성되는 층에 같이 형성되어, 게이트 전극(G)이 제2 게이트 배선(G2)에서 분기하는 형상을 가질 수 있다. 반면에, 제3 게이트 배선(G3)은 절연막을 사이에 두고 제2 게이트 배선(G2)보다 높은 층에 형성되고, P21의 게이트 전극(G)의 일부를 노출하는 게이트 콘택홀(GH)을 통해 서로 연결될 수 있다.

[0059] 제1 실시 예와 마찬가지로, 제2 게이트 배선(G2)과 제3 게이트 배선(G3)이 서로 중첩되어 형성되므로, 종래 기술에 의한 화소 어레이와 비교했을 때, 게이트 배선들이 차지하는 면적을 현저히 줄일 수 있다. 이와 같이, 게이트 배선들(G1, G2, G3, G4, G5, ...)이 차지하는 면적을 줄인 만큼 화소 전극들(P11, P12, P13, P14, ... P21, P22, P23, P24, ...)들의 면적을 더 크게 형성할 수 있다. 그 결과, 표시 패널 전체 면적에서 화소 전극들이 차지하는 면적 비율인 개구율을 더 크게 확보할 수 있다.

[0060] 특히, 제2 실시 예에서는 이웃하는 두 개의 데이터 배선들 사이에 배치되는 두 열의 화소 열 사이에 게이트 수직 배선(GV1, GV2, ...)을 더 포함한다. 게이트 수직 배선(GV1, GV2, ...)은 데이터 배선들(D1, D2, ...)과 동일한 층에서 동일한 물질로 형성될 수 있다. 따라서, 이웃하는 데이터 배선들 사이에 게이트 수직 배선(GV1,

GV2, ...)을 하나씩 배치할 수 있다. 그리고, 게이트 배선들(G1, G2, ...)은 게이트 배선 콘택홀(GLH)을 통해 각 게이트 수직 배선(GV1, GV2, ...)과 연결될 수 있다.

[0061] 예를 들어, 도 7에 도시한 바와 같이, 제2 게이트 배선(G2)은 게이트 전극(G)과 동일한 층에서 동일한 물질로 형성된다. 즉, P12 화소 전극에 할당된 게이트 전극(G)은 제2 게이트 배선(G2)에서 직접 분기한 형태를 갖는다. 또한, P11 화소 전극과 P12 화소 전극 사이에는, 데이터 배선이 존재하지 않는 대신에, 제2 게이트 수직 배선(GV2)을 배치할 수 있다.

[0062] 제2 수직 게이트 배선(GV2)은 제2 게이트 배선(G2)의 일부를 노출하는 게이트 배선 콘택홀(GVH)을 통해 제2 게이트 배선(G2)과 연결된다. 특히, 게이트 배선 콘택홀(GVH)은 제2 게이트 배선(G2)에서 화소 영역 쪽으로 약간 돌출된 위치에 형성하여 제3 게이트 배선(G3)과 간섭이 발생하지 않도록 하는 것이 바람직하다.

[0063] 한편, 제3 게이트 배선(G3)은, 평탄화 막 위에서 박막 트랜지스터(T)의 드레인 전극(D)과 접촉하는 화소 전극(P12)을 형성할 때, 제2 게이트 배선(G2)과 중첩하며 기관(SUB)의 가로 방향으로 진행하도록 형성한다. 제3 게이트 배선(G3)은 게이트 콘택홀(GH)을 통해 P23 화소 전극에 할당된 게이트 전극(G(P23))과 연결된다. 또한, P13 화소 전극과 P14 화소 전극 사이에는, 데이터 배선이 존재하지 않는 대신에 제3 게이트 수직 배선(GV3)을 배치할 수 있다.

[0064] 제3 게이트 배선(G3)은 평탄화 막 위에서 형성되고, 제3 게이트 수직 배선(GV3)은 게이트 절연막(GI) 위에서 데이터 배선들(D1, D2, ...)과 같은 층에 형성된다. 따라서, 제3 게이트 수직 배선(GV3)을 덮는 평탄화 막을 패터닝하여, 제3 게이트 수직 배선(GV3)의 일부를 노출하는 게이트 배선 콘택홀(GVH)을 통해, 제3 게이트 배선(G3)과 제3 게이트 수직 배선(GV3)을 연결할 수 있다.

[0065] 제2 실시 예에서는 게이트 수직 배선들을 데이터 배선과 동일한 층에서 동일한 물질로 형성한 경우를 예로 들었다. 하지만, 제조 편의에 따라서, 다른 층에 형성할 수도 있다. 예를 들어, 공통 전극이 형성되는 최상층에 형성될 수도 있고, 추가로 게이트 수직 배선을 위한 층을 더 형성할 수도 있다.

[0066] 또한, 제2 실시 예에 의한 화소 어레이에서 박막 트랜지스터들의 연결 구조는 제1 실시 예의 것과 다소 차이가 있다. 이는 이웃하는 데이터 배선 사이에 게이트 수직 배선을 용이하게 형성하기 위함이다. 즉, 도 7은 게이트 수직 배선을 데이터 배선과 동일한 층에서 동일한 물질로 형성하는 경우, 데이터 배선과 간섭을 피하기 적합한 연결 구조의 일례를 도시한 것이다.

[0067] 이와 같이, 제2 실시 예에서는, 더블 레이트 구동 방식을 사용하는 액정표시장치에서 삭제된 데이터 배선의 위치에, 데이터 배선과 평행하게 진행하는 게이트 수직 배선을 배치할 수 있다. 그럼으로써, 데이터 배선에 전압을 공급하는 데이터 구동 IC는 기관의 상부면에 배치하는 반면, 게이트 수직 배선에 전압을 공급하는 게이트 구동 IC는 기관의 하부면에 배치할 수 있다. 그 결과, 기관의 좌/우측 변에 배치되던 게이트 구동 IC 및/또는 게이트 구동 IC에 연결되는 배선을 생략할 수 있다. 즉, 기관의 좌측 및 우측을 차지하던 베젤 영역을 최소화한 액정표시장치를 제공할 수 있다.

[0068] 아울러, 이웃하는 두 개의 화소 행 사이에 배치되는 두 개의 게이트 배선을 수직으로 중첩하여 배치함으로써, 화소 영역을 더 넓게 확보할 수 있다. 제2 실시 예에 의하면, 고 개구율을 갖는 험 베젤 액정표시장치를 구현할 수 있다.

[0069] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

- | | | |
|--------|-----------------|----------------|
| [0070] | 10 : 화소 어레이 | 11 : 타이밍 컨트롤러 |
| | 12 : 소스 드라이브 IC | 13 : 게이트 구동회로 |
| | 14: 소스 PCB | 15: 소스 드라이브 IC |
| | 16: 컨트롤 PCB | 17: 연성회로기관 |

D1, D2, D3, D4, DL: 데이터 배선 G1, G2, G3, G4, GL: 게이트 배선

T11, T12, T13, T14, TFT : 박막 트랜지스터

P11, P12, P13, P14, PXL : 화소 전극

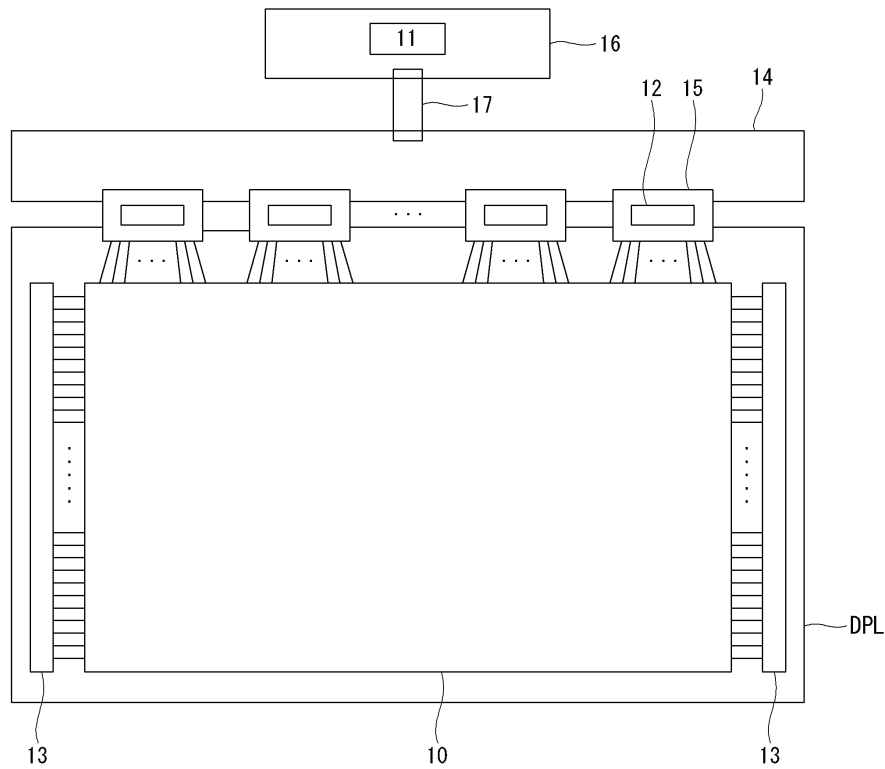
GV2, GV3, GV4, GV5: 게이트 수직 배선

GH: 게이트 콘택홀

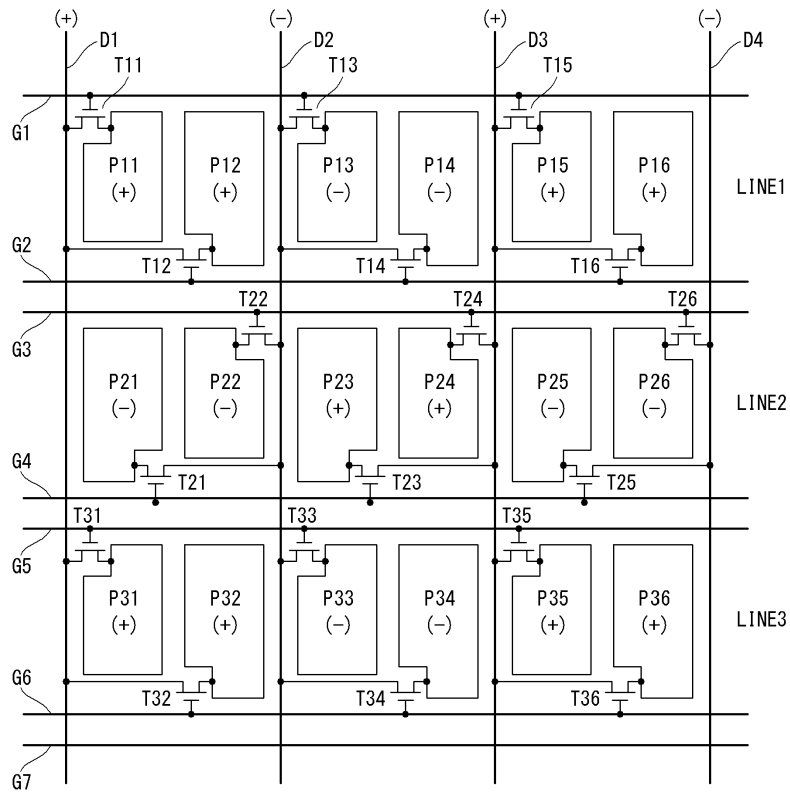
GVH: 게이트 배선 콘택홀

도면

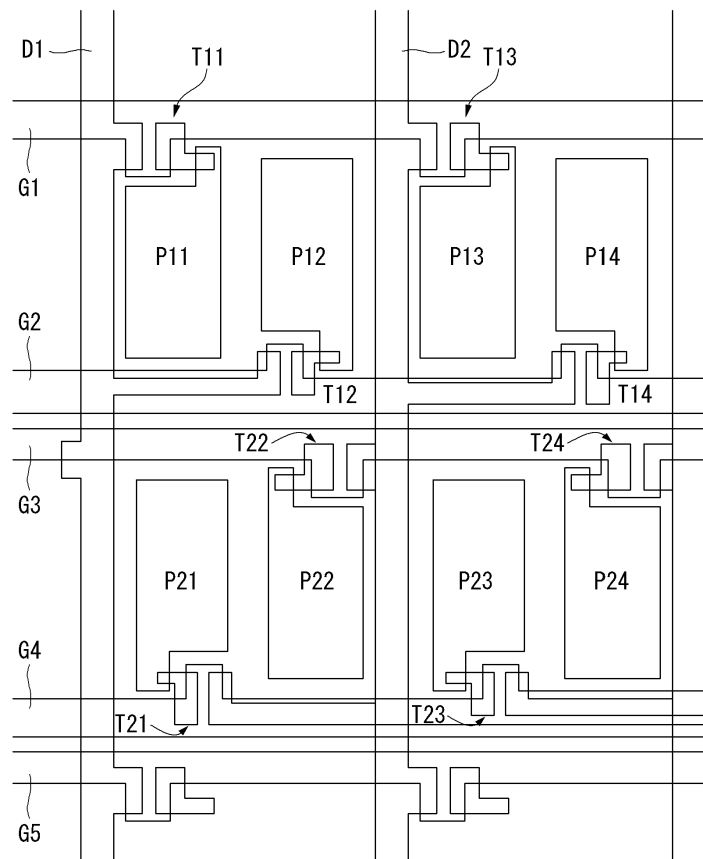
도면1



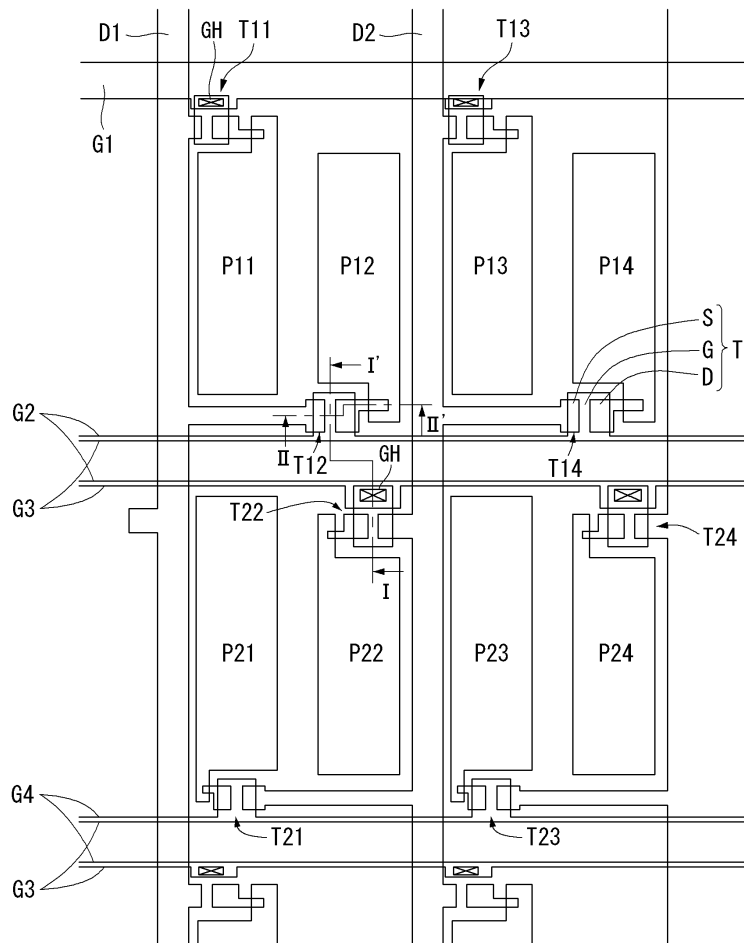
도면2



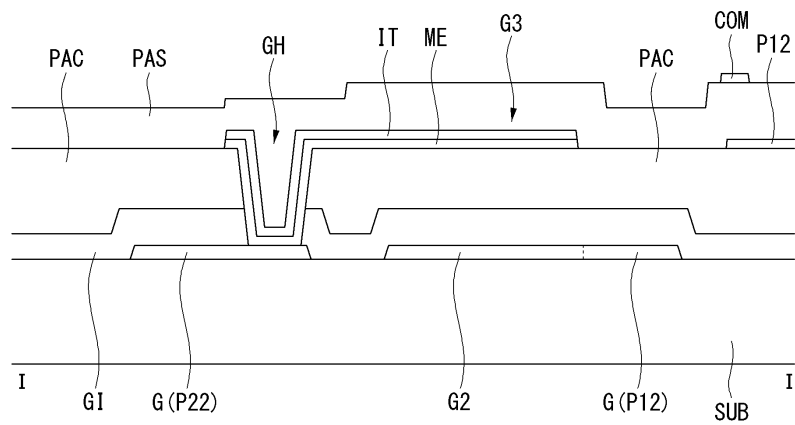
도면3



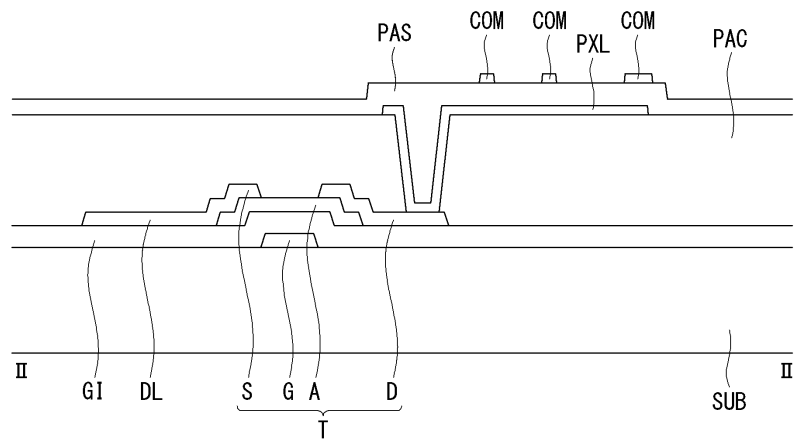
도면4



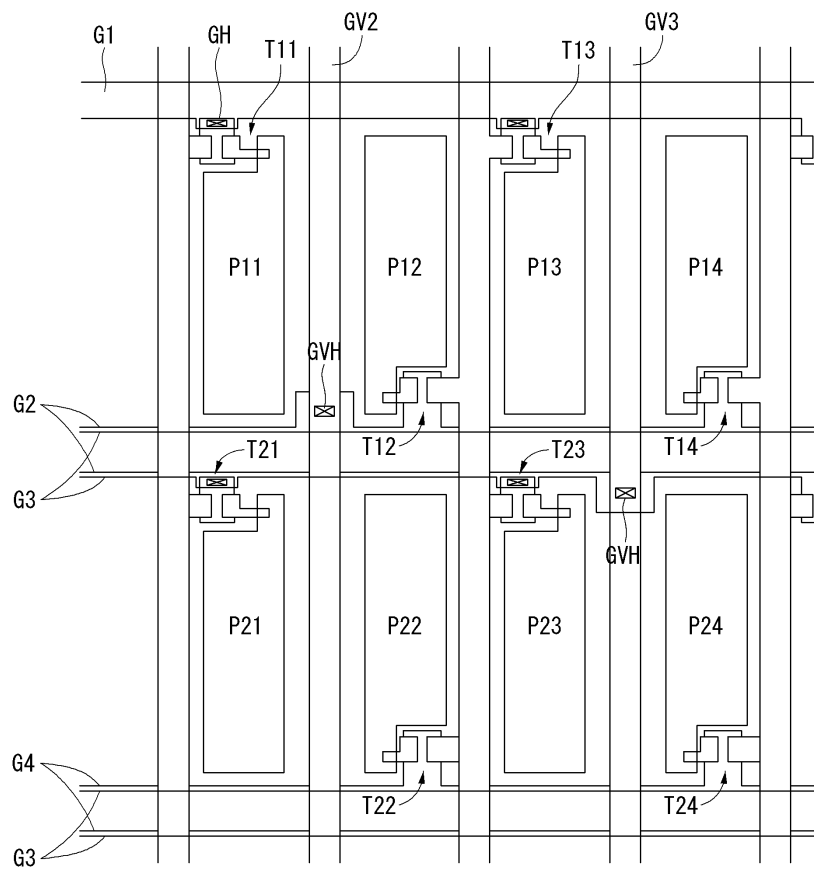
도면5



도면6



도면7



专利名称(译)	具有高孔径比的LCD		
公开(公告)号	KR102004844B1	公开(公告)日	2019-07-29
申请号	KR1020130076053	申请日	2013-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	장훈 원규식		
发明人	장훈 원규식		
IPC分类号	G02F1/133 G02F1/1368		
CPC分类号	G02F1/1333 G02F1/13624 G02F1/136286 G02F1/1368 G02F2201/40		
审查员(译)	金		
其他公开文献	KR1020150002342A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及一种液晶显示装置，其中以锯齿形反转来驱动以减少数据线的数量的结构被布置为与两条栅极线重叠，从而增大开口率并实现窄边框。根据本发明的液晶显示器包括多条数据线，与数据线交叉的多条栅极线，以矩阵形式布置的像素电极以及数据线和栅极线的相交部分。包括形成的薄膜晶体管；在相邻的两条数据线之间配置有两个像素电极。每行中至少有两个像素电极与同一条数据线连接；在相邻的两个像素电极之间配置有相邻的两条栅极线。两条相邻的栅极线可以彼此垂直地重叠，并且其间具有绝缘层。

