



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년03월08일
(11) 등록번호 10-1954706
(24) 등록일자 2019년02월27일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2011-0121700

(22) 출원일자 2011년11월21일

심사청구일자 2016년09월21일

(65) 공개번호 10-2013-0055989

(43) 공개일자 2013년05월29일

(56) 선행기술조사문헌

US20080316413 A1*

US20100177271 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

김훈

경기도 안산시 상록구 해양1로 30 701동 1604호
(사동, 푸르지오아파트)

김가은

서울특별시 성북구 화랑로32길 145-16, 2층 (석관동)

(뒷면에 계속)

(74) 대리인

특허법인 고려

전체 청구항 수 : 총 19 항

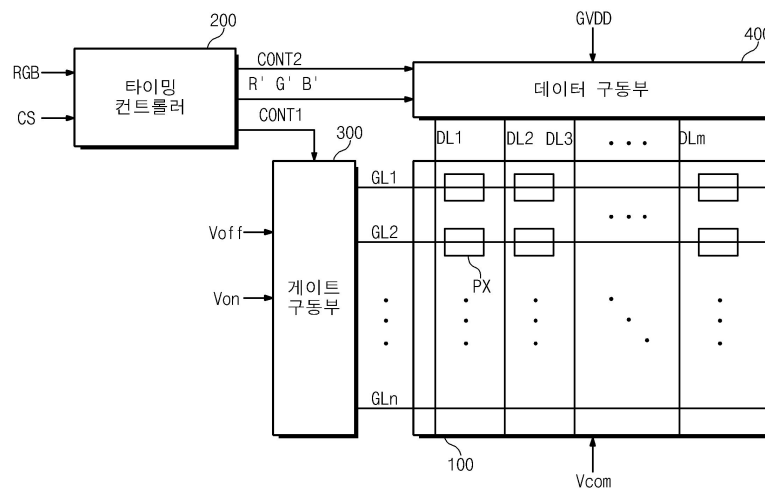
심사관 : 박정근

(54) 발명의 명칭 액정표시장치

(57) 요약

액정표시장치는 제1 기판, 제2 기판, 및 상기 제1 기판과 상기 제2 기판 사이에 개재된 액정분자들을 포함한다. 상기 제1 기판은 제1 베이스 기판 및 상기 제1 베이스 기판 상에 구비된 공통전극을 포함한다. 상기 제2 기판은 상기 제1 베이스 기판과 대향하게 배치된 제2 베이스 기판 및 상기 제2 베이스 기판 상에 구비된 제1 화소전극을 포함한다. 상기 제1 화소전극은 상기 공통전극과 함께 서로 다른 전계를 형성하는 제1 영역과 제2 영역으로 정의된다. 상기 액정표시장치는 개구율이 증가하고 측면 시야각이 넓다.

대표도



(72) 발명자

김수정

서울특별시 용산구 한강대로96길 31, 남산 네오빌리지 B동 201호 (갈월동)

신기철

충청남도 아산시 탕정면 탕정면로 37, 삼성트라펠리스 304동 2304호

오호길

충남 아산시 탕정면 삼성크리스탈기숙사 가넷동 803호

정재훈

인천광역시 부평구 부평문화로153번길 36-3 (부개동)

한민주

서울특별시 도봉구 마들로 859-19 125동 1701호 (도봉동, 한신아파트)

명세서

청구범위

청구항 1

제1 베이스 기판 및 상기 제1 베이스 기판상에 구비된 공통전극을 포함하는 제1 기판;

상기 제1 베이스 기판과 대향하여 배치된 제2 베이스 기판 및 상기 제2 베이스 기판상에 구비되고 상기 공통전극과 함께 서로 다른 전계를 형성하는 제1 영역과 제2 영역으로 정의되는 제1 화소전극을 포함하는 제2 기판; 및

상기 제1 기판과 상기 제2 기판 사이에 개재된 액정분자들을 포함하며,

상기 제1 화소전극은,

상기 제1 영역 및 상기 제2 영역에 구비된 제1 서브 화소전극;

상기 제1 서브 화소전극과 절연막을 사이에 두고 상기 제1 영역에 배치되며, 복수의 슬릿들이 구비된 제2 서브 화소전극; 및

상기 제1 서브 화소전극과 상기 절연막을 사이에 두고 상기 제2 영역에 배치되며, 서로 다른 전압을 수신하는 제1 전극부와 제2 전극부를 포함하는 제3 서브 화소전극을 포함하는 액정표시장치.

청구항 2

제1 항에 있어서,

상기 제2 베이스 기판 상에 구비된 제1 게이트 라인;

상기 제1 게이트 라인과 절연되게 교차하는 데이터 라인; 및

상기 제1 게이트 라인, 상기 데이터 라인 및 상기 제1 화소전극에 연결되고, 상기 제1 화소전극에 제1 화소전압을 제공하는 제1 박막 트랜지스터를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제2 항에 있어서,

상기 제1 화소전압이 상기 제1 화소전극에 인가됨에 따라 상기 액정분자들은 상기 액정분자들을 향해 입사되는 광을 투과시키고,

상기 제1 영역에 대응하게 배치된 상기 액정분자들은 상기 제2 영역에 대응하게 배치된 상기 액정분자들보다 상기 광의 투과율이 더 높은 것을 특징으로 하는 액정표시장치.

청구항 4

제3 항에 있어서,

평면상에서 상기 제2 영역은 상기 제1 영역보다 큰 면적을 갖는 것을 특징으로 하는 액정표시장치.

청구항 5

제3 항에 있어서,

상기 액정분자들은 상기 제1 베이스 기판과 상기 제2 베이스 기판 사이에서수직 배향된 것을 특징으로 하는 액정표시장치.

청구항 6

삭제

청구항 7

제1 항에 있어서,

상기 제1 전극부와 상기 제2 전극부 각각은 복수로 제공되고,

상기 복수의 상기 제1 전극부들과 상기 복수의 상기 제2 전극부들은 서로 교번하게 배치된 것을 특징으로 하는 액정표시장치.

청구항 8

제7 항에 있어서,

상기 제1 전극부는 상기 제1 서브 화소전극에 연결된 것을 특징으로 하는 액정표시장치.

청구항 9

제7 항에 있어서,

상기 제2 서브 화소전극은 상기 제1 서브 화소전극에 연결된 것을 특징으로 하는 액정표시장치.

청구항 10

제9 항에 있어서,

상기 복수의 슬릿들 중 일부는 제1 방향으로 연장되고, 나머지 일부는 제2 방향으로 연장된 것을 특징으로 하는 액정표시장치.

청구항 11

서로 교차하는 제1 방향 및 제2 방향으로 정의된 평면을 포함하는 제1 베이스 기관 및 상기 제1 베이스 기관상에 구비된 공통전극을 포함하는 제1 기관;

상기 제1 베이스 기관과 대향하여 배치된 제2 베이스 기관, 상기 공통전극과 함께 서로 다른 전계를 형성하고, 상기 제2 베이스 기관상에 구비되며 제1 영역 및 제2 영역으로 정의되고 상기 제1 영역에 배치되며 복수의 슬릿들이 구비된 제1 서브 화소전극과 상기 제2 영역에 배치되며 상기 슬릿들 중 어느 하나와 동일한 방향으로 연장된 적어도 하나의 제1 개구부가 구비된 제2 서브 화소전극을 포함하는 제1 화소전극을 포함하는 제2 기관; 및

상기 제1 기관과 상기 제2 기관 사이에 개재된 액정분자들을 포함하고,

상기 복수의 슬릿들은,

상기 제1 방향 및 상기 제2 방향 각각과 교차하는 제3 방향 및 상기 제1 방향, 상기 제2 방향, 및 상기 제3 방향 각각과 교차하는 제4 방향 중 적어도 어느 한 방향으로 연장되며, 서로 이격되어 배치되고,

상기 공통전극은,

상기 제1 화소전극의 상기 제2 영역에 대응하는 영역에서 상기 제1 개구부와 이격되어 상기 제1 개구부와 동일한 방향으로 연장되며 서로 교번하여 배치되는 적어도 하나의 제2 개구부를 포함하는 액정표시장치.

청구항 12

제11 항에 있어서,

상기 공통전극은 상기 제1 화소전극의 상기 제2 영역에 대응하는 영역에 적어도 하나의 제2 개구부가 구비된 것을 특징으로 하는 액정표시장치.

청구항 13

제11 항에 있어서,

상기 제1 개구부는 복수로 제공되고,

상기 복수의 제1 개구부들은 상기 제2 서브 화소전극을 분할하는 가상선을 기준으로 대칭을 이루는 것을 특징으로

로 하는 액정표시장치.

청구항 14

제1 베이스 기관 및 상기 제1 베이스 기관상에 구비된 공통전극을 포함하는 제1 기관;

상기 제1 베이스 기관과 대향하여 배치되며 제1 게이트 라인과 상기 제1 게이트 라인과 절연되게 교차하는 데이터 라인을 포함하는 제2 베이스 기관, 상기 제2 베이스 기관상에 구비되고 상기 공통전극과 함께 서로 다른 전계를 형성하는 제1 영역과 제2 영역으로 정의되는 제1 화소전극, 상기 제1 게이트 라인과 상기 데이터 라인 및 상기 제1 화소전극에 연결되고 상기 제1 화소전극에 제1 화소전압을 제공하는 제1 박막 트랜지스터, 및 상기 제2 베이스 기관상에 구비된 제1 서브 화소 전극을 포함하는 제2 화소전극을 포함하는 제2 기관; 및

상기 제1 기관과 상기 제2 기관 사이에 개재된 액정분자들을 포함하고,

상기 제1 화소전극은,

상기 제1 영역 및 상기 제2 영역에 구비된 제1 서브 화소전극;

상기 제1 서브 화소전극과 절연막을 사이에 두고 상기 제1 영역에 배치되며,

복수의 슬릿들이 구비된 제2 서브 화소전극; 및

상기 제1 서브 화소전극과 상기 절연막을 사이에 두고 상기 제2 영역에 배치되며, 서로 다른 전압을 수신하는 제1 전극부와 제2 전극부를 포함하는 제3 서브 화소전극을 포함하는 액정표시장치.

청구항 15

제14 항에 있어서,

상기 제2 베이스 기관 상에 구비된 제2 게이트 라인; 및

상기 제2 게이트 라인, 상기 데이터 라인 및 상기 제2 화소전극에 연결되고, 상기 제2 화소전극에 제2 화소전압을 제공하는 제2 박막 트랜지스터를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 16

제14 항에 있어서,

평면상에서 상기 제1 화소전극은 상기 제2 화소전극보다 큰 면적을 갖는 것을 특징으로 하는 액정표시장치.

청구항 17

제14 항에 있어서,

상기 제2 화소전극은,

상기 제1 서브 화소전극과 절연막을 사이에 두고 배치되며, 복수의 슬릿이 구비된 제2 서브 화소전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 18

제17 항에 있어서,

상기 제2 서브 화소전극은 상기 제1 서브 화소전극에 연결된 것을 특징으로 하는 액정표시장치.

청구항 19

제14 항에 있어서,

상기 제2 화소전극은,

상기 제1 서브 화소전극과 절연막을 사이에 두고 배치되며, 서로 다른 전압을 수신하는 제1 전극부와 제2 전극부를 포함하는 제2 서브 화소전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 20

제19 항에 있어서,

상기 제1 전극부는 상기 제1 서브 화소전극에 연결된 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

본 발명은 액정표시장치에 관한 것으로, 좀 더 상세하게는 표시품질이 향상된 액정표시장치에 관한 것이다.

배경 기술

액정표시장치는 투명한 두 개의 기판 사이에 액정층이 구비된 표시장치로서, 액정층을 구동하여 화소별로 광 투과율을 조절함으로써 원하는 화상을 표시한다.

액정표시장치의 동작 모드 중에서 수직 정렬(vertical alignment) 모드는 유전 이방성이 음(-)인 액정분자들이 수직하게 배향되고, 두 개의 기판 사이에 전계가 형성됨에 따라 액정분자들이 재배열됨으로써 광을 투과시킨다. 수직 정렬 모드 액정표시장치는 액정분자들을 서로 다른 방향으로 배열시키기 위해 화소전극과 공통전극 중 어느 하나 이상이 패터닝된다. 그에 따라 상기 액정표시장치는 서로 다른 액정 도메인이 형성되고 시야각이 넓어진다.

그러나, 액정표시장치에 복수의 액정 도메인을 형성하기 위해서 화소별로 복수의 박막 트랜지스터가 구비되거나, 복수의 커패시터를 구비되어 개구율이 감소하는 문제가 있었다.

발명의 내용

해결하려는 과제

본 발명은 개구율이 증가하고 측면 시야각이 넓어진 액정표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

본 발명의 일 실시예에 따른 액정표시장치는 제1 기판, 제2 기판, 및 상기 제1 기판과 상기 제2 기판 사이에 개재된 액정분자들을 포함한다. 상기 제1 기판은 제1 베이스 기판 및 상기 제1 베이스 기판 상에 구비된 공통전극을 포함한다. 상기 제2 기판은 상기 제1 베이스 기판과 대향하게 배치된 제2 베이스 기판 및 상기 제2 베이스 기판 상에 구비된 제1 화소전극을 포함한다. 상기 제1 화소전극은 상기 공통전극과 함께 서로 다른 전계를 형성하는 제1 영역과 제2 영역으로 정의된다. 상기 액정분자들은 상기 제1 베이스 기판과 상기 제2 베이스 기판 사이에서 수직 배향된다.

상기 액정표시장치는 상기 제2 베이스 기판 상에 구비된 제1 게이트 라인 및 상기 제1 게이트 라인과 절연되게 교차하는 데이터 라인을 더 포함한다. 상기 액정표시장치는 상기 제1 게이트 라인, 상기 데이터 라인 및 상기 제1 화소전극에 연결된 제1 박막 트랜지스터를 더 포함한다. 상기 제1 박막 트랜지스터는 상기 제1 화소전극에 제1 화소전압을 제공한다.

상기 제1 화소전압이 상기 제1 화소전극에 인가됨에 따라 상기 액정분자들은 상기 액정분자들을 향해 입사되는 광을 투과시킨다. 상기 제1 영역에 대응하게 배치된 상기 액정분자들은 상기 제2 영역에 대응하게 배치된 상기 액정분자들보다 상기 광의 투과율이 더 높다.

상기 제1 화소전극은 상기 제1 영역 및 상기 제2 영역에 구비된 제1 서브 화소전극, 상기 제1 서브 화소전극과 절연막을 사이에 두고 상기 제1 영역에 배치된 제2 서브 화소전극, 및 상기 제1 서브 화소전극과 상기 절연막을 사이에 두고 상기 제2 영역에 배치된 제3 서브 화소전극을 포함한다. 상기 제2 서브 화소전극은 복수의 슬릿들을 구비하고, 상기 제3 서브 화소전극은 서로 다른 전압을 수신하는 제1 전극부와 제2 전극부를 포함한다.

본 발명의 다른 실시예에 따른 액정표시장치는 상기 제1 화소전극이 제1 서브 화소전극 및 제2 서브 화소전극을 포함한다. 상기 제1 서브 화소전극은 상기 제1 영역에 배치되며, 복수의 슬릿들을 구비한다. 상기 제2 서브 화소전극은 상기 제2 영역에 배치되며, 적어도 하나의 제1 개구부가 구비된 제2 서브 화소전극을 포함한다. 상기 공통전극은 상기 제1 화소전극의 상기 제2 영역에 대응하는 영역에 적어도 하나의 제2 개구부가 구비될 수 있다.

본 발명의 또 다른 실시예에 따른 액정표시장치는 상기 제2 베이스 기관 상에 구비된 제2 화소전극을 더 포함한다. 또한, 상기 액정표시장치는 상기 제2 베이스 기관 상에 구비된 제2 게이트 라인, 및 상기 제2 화소전극에 제2 화소전압을 제공하는 제2 박막 트랜지스터를 더 포함한다. 상기 제2 박막 트랜지스터는 상기 제2 게이트 라인, 상기 데이터 라인 및 상기 제2 화소전극에 연결된다.

발명의 효과

상기 액정표시장치는 서로 다른 2개의 도메인을 형성하여 측면시야각이 넓어진다. 상기 액정표시장치는 한 개의 박막 트랜지스터로 상기 2개의 도메인을 구동할 수 있고, 그에 따라 개구율이 향상된다.

상기 액정표시장치는 다른 한 개의 박막 트랜지스터를 더 구비하여 2개 이상의 도메인을 구현할 수 있다. 그에 따라 상기 액정표시장치는 측면시야각이 더 넓어진다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 액정표시장치의 블록도이다.

도 2는 도 1에 도시된 화소의 평면도이다.

도 3은 도 2의 I-I'을 따라 절단한 단면도이다.

도 4는 도 2의 II-II'을 따라 절단한 단면도이다.

도 5는 도 1에 도시된 화소에 인가되는 화소전압과 투과율의 관계를 도시한 그래프이다.

도 6은 본 발명의 다른 실시예에 따른 액정표시장치의 화소의 평면도이다.

도 7은 도 6의 III-III'을 따라 절단한 단면도이다.

도 8은 도 6의 IV-IV'을 따라 절단한 단면도이다.

도 9는 본 발명의 또 다른 실시예에 따른 액정표시장치의 화소의 평면도이다.

도 10은 본 발명의 또 다른 실시예에 따른 액정표시장치의 화소의 평면도이다.

발명을 실시하기 위한 구체적인 내용

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.

도 1은 본 발명의 일 실시예에 따른 액정표시장치의 블록도이다. 도 2는 도 1에 도시된 화소의 평면도이고, 도 3은 도 2의 I-I'을 따라 절단한 단면도이며, 도 4는 도 2의 II-II'을 따라 절단한 단면도이다. 도 5는 도 1에 도시된 화소에 인가되는 화소전압과 투과율의 관계를 도시한 그래프이다. 이하, 도면을 참조하여, 본 발명의 일 실시예에 따른 액정표시장치에 대해 설명한다.

도 1을 참조하면, 본 발명의 일 실시예에 따른 액정표시장치는 액정표시패널(100), 타이밍 컨트롤러(200), 게이트 구동부(300), 데이터 구동부(400)를 포함한다.

상기 액정표시패널(100)은 도 2 내지 도 4에 도시된 것과 같이, 서로 마주하는 제1 기관(110), 제2 기관(120) 및 상기 제1 기관(110)과 상기 제2 기관(120) 사이에 개재된 액정분자들(130)을 포함한다.

상기 제1 기관(110)은 제1 베이스 기관(111) 및 상기 제1 베이스 기관(111) 상에 구비된 공통전극(112)을 포함한다.

상기 제2 기관(120)은 상기 제1 베이스 기관(111)과 대향하게 배치된 제2 베이스 기관(121) 및 상기 제2 베이스 기관(121) 상에 구비된 제1 화소전극(PE1)을 포함한다. 상기 제1 화소전극(PE1)은 상기 공통전극(112)과 함께 서로 다른 전계를 형성하는 제1 영역(PE1-A1)과 제2 영역(PE1-A2)으로 정의된다.

상기 제2 베이스 기관(121) 상에는 복수의 신호선들이 구비된다. 또한, 상기 액정표시패널(100)에 상기 복수의 신호선들에 연결된 복수의 화소들(PX)이 정의된다.

상기 복수의 신호선들은 게이트 신호를 수신하는 복수의 게이트 라인들(GL1-GLn), 데이터 전압을 수신하는 복수의 데이터 라인들(DL1-DLm)을 포함한다. 상기 복수의 게이트 라인들(GL1-GLn)은 행 방향으로 연장되며 서로 평행하게 배열된다. 상기 복수의 데이터 라인들(DL1-DLm)은 열 방향으로 연장되며 서로 평행하게 배열된다.

상기 액정분자들(130)은 유전 이방성이 음(-)이고, 상기 제1 베이스 기관(111) 또는 상기 제2 베이스 기관(121)에 수직하게 배향된다.

상기 액정표시패널(100)에 정의된 상기 화소들(PX) 각각은 서로 동일한 구조를 가지므로, 도 2 내지 도 4를 참조하여 하나의 화소(PX)에 대한 구성을 일 예로써 설명하기로 한다.

도 2 내지 도 4에 도시된 바와 같이, 상기 복수의 화소들(PX) 각각은 액정커패시터(C1c)와 상기 액정커패시터(C1c)에 인가되는 전압을 스위칭하는 제1 박막 트랜지스터(TFT1)를 포함한다. 상기 액정커패시터(C1c)는 제1 전극으로써 상기 제1 화소전극(PE1)을 구비하고, 제2 전극으로써 상기 공통전극(112)을 구비한다. 상기 액정분자들(130)은 상기 액정커패시터(C1c)의 유전체층에 해당한다.

상기 제1 박막 트랜지스터(TFT1)는 제1 게이트 전극(GE1), 제1 활성층(AL1), 제1 소오스 전극(SE1), 및 제1 드레인 전극(DE1)을 포함한다.

도 2 내지 도 4에 도시된 것과 같이, 상기 제1 게이트 전극(GE1)은 상기 게이트 라인들(GL1~GLn) 중 어느 하나의 게이트 라인(GLi: 이하, 제1 게이트 라인)으로부터 분기된다. 즉, 상기 제1 게이트 전극(GE1)은 평면상에서 상기 제1 게이트 라인(GLi)으로부터 돌출된 형상이다.

상기 제2 베이스 기관(121) 상에는 상기 제1 게이트 라인(GLi) 및 상기 제1 게이트 전극(GE1)을 커버하는 게이트 절연막(122)이 구비된다.

상기 제1 활성층(AL1)은 상기 게이트 절연막(122)을 사이에 두고 상기 제1 게이트 전극(GE1) 상에 구비된다. 평면상에서 상기 제1 활성층(AL1)은 상기 제1 게이트 전극(GE1)과 중첩한다. 상기 제1 활성층(AL1)은 반도체 물성을 갖는 금속 산화물을 포함할 수 있다.

상기 게이트 절연막(122) 상에는 상기 복수의 상기 데이터 라인들(DL1~DLm)이 구비된다. 상기 제1 소오스 전극(SE1)은 상기 데이터 라인들(D1~Dm) 중 어느 하나의 데이터 라인(DLj: 이하 제1 데이터 라인)으로부터 분기된다. 상기 제1 소오스 전극(SE1)은 평면상에서 상기 제1 게이트 전극(GE1) 및 상기 제1 활성층(AL1)과 적어도 일부가 중첩한다.

또한, 상기 제1 드레인 전극(DE1)은 상기 제1 소오스 전극(SE1)과 평면상에서 이격되어 배치된다. 상기 제1 드레인 전극(DE1)은 상기 제1 소오스 전극(SE1)처럼 평면상에서 상기 제1 게이트 전극(GE1) 및 상기 제1 활성층(AL1)과 적어도 일부가 중첩한다.

상기 제2 베이스 기관(121) 상에는 상기 제1 드레인 전극(DE1)과 상기 제1 소오스 전극(SE1), 및 상기 제1 데이터 라인(DL1)을 커버하는 보호막(123)이 구비된다.

상기 보호막(123) 상에 상기 제1 드레인 전극(DE1)과 연결된 상기 제1 화소전극(PE1)이 구비된다. 상기 제1 박막 트랜지스터(TFT1)는 상기 데이터 전압을 수신하고, 상기 데이터 전압을 제1 화소전압으로써 상기 제1 화소전극(PE1)에 출력한다.

상기 제1 화소전압이 상기 제1 화소전극(PE1)에 인가됨에 따라 상기 제1 화소전극(PE1)과 상기 공통전극(112)은 전계를 형성한다. 상기 전계가 형성됨에 따라 상기 액정분자들(130)은 배열이 변화되고, 상기 액정분자들(130)을 향해 입사되는 광을 투과시킨다.

상기 제1 화소전극(PE1)은 평면상에서 2개의 영역(PE1-A1, PE1-A2)으로 정의된다. 상기 제1 화소전극(PE1)의 상기 2개의 영역(PE1-A1, PE1-A2) 중 제1 영역(PE1-A1)이 상기 공통전극(112)과 형성하는 전계와 제2 영역(PE1-A2)이 상기 공통전극(112)과 형성하는 전계는 서로 다르다. 따라서, 상기 제1 영역(PE1-A1)에 대응하게 배치된 상기 액정분자들(130)과 상기 제2 영역(PE1-A2)에 대응하게 배치된 상기 액정분자들(130)은 서로 다른 배열을 갖는다. 한편, 평면상에서 상기 제1 영역(PE1-A1)과 상기 제2 영역(PE1-A2)의 면적은 서로 다를 수 있다. 예컨대, 상기 제2 영역(PE1-A2)은 상기 제1 영역(PE1-A1)보다 더 큰 면적을 가질 수 있다.

상기 제1 영역(PE1-A1)과 상기 제2 영역(PE1-A2)을 통과하는 상기 광의 투과율은 서로 다르다. 상기 화소(PX)를 통과하는 상기 광은 상기 제1 화소전극(PE1)의 영역에 따라 서로 다른 방향으로 출사되고, 액정표시장치의 시야각은 넓어진다.

도 5에 도시된 제1 및 제2 그래프(PG1, PG2)는 도 2 내지 도 4에 도시된 화소(PX)에 대한 시뮬레이션 그래프이다. 상기 제1 그래프(PG1)는 상기 제2 그래프(PG2)보다 동일한 전압에서 투과율이 높다. 상기 제1 및 제2 그래프(PG1, PG2)의 Y축은 상대적인 값을 나타낸다. 상기 제1 그래프(PG1)는 상기 제1 영역(PE1-A1)의 투과율을 나

타내고, 상기 제2 그래프(PG2)는 상기 제2 영역(PE1-A2)의 투과율을 나타낸다.

상기 제1 및 제2 그래프(PG1, PG2)는 상기 공통전극(112)과 상기 제1 화소전극(PE1) 사이의 셀갭이 $3.2\mu\text{m}$ 에서 측정되었다. 또한, 상기 액정분자들(130)의 복굴절율(Δn)이 0.1018, 유전 이방성($\Delta \epsilon$)이 -3.2, 회전 점도(γ 1)가 112, 밀도가 1.0036인 조건에서 측정되었다. 또한, 상기 제2 그래프(PG2)는 후술하는 제3 서브 화소전극(SPE3: 도 2 내지 도 4 참조)의 제1 전극부(SPE3-1)와 제2 전극부(SPE3-2) 사이의 간격이 $4\mu\text{m}$ 에서 측정되었다.

도 2 내지 도 4를 참조하여 상기 제1 화소전극(PE1)에 대해 좀 더 상세히 검토한다. 상기 제1 화소전극(PE1)은 제1 내지 제3 서브 화소전극(SPE1, SPE2, SPE3)을 포함한다.

상기 제1 서브 화소전극(SPE1)은 상기 보호막(123) 상에 구비된다. 상기 제1 서브 화소전극(SPE1)은 상기 보호막(123)에 형성된 제1 컨택홀(CH1)을 통해 상기 제1 드레인 전극(DE1)과 연결된다. 상기 제1 서브 화소전극(SPE1)은 상기 제1 영역(PE1-A1)과 상기 제2 영역(PE1-A2)에 구비된다.

상기 제2 베이스 기관(121) 상에는 상기 제1 서브 화소전극(SPE1)을 커버하는 절연막(124)이 구비된다. 상기 절연막(124) 상에는 상기 제1 영역(PE1-A1)에 대응하게 제2 서브 화소전극(SPE2)이 구비된다. 또한, 상기 절연막(124) 상에는 상기 제2 영역(PE1-A2)에 대응하게 제3 서브 화소전극(SPE3)이 구비된다.

상기 제2 서브 화소전극(SPE2)은 복수의 슬릿들(SL1, SL2)을 구비한다. 상기 복수의 슬릿들(SL1, SL2) 각각은 상기 절연막(124)을 노출시킨다. 상기 제2 서브 화소전극(SPE2)은 상기 제1 영역(PE1-A1)을 복수의 도메인으로 분할하기 위하여, 제1 줄기부(TL1) 및 상기 제1 줄기부(TL1)로부터 방사형으로 연장된 복수의 제1 가지부들(BL1)을 포함한다. 상기 제1 줄기부(TL1)는 도 2에 도시된 것과 같이 십자 형상을 가질 수 있고, 이 경우 상기 제1 영역(PE1-A1)은 4개의 서브 도메인들로 구획된다.

상기 슬릿(SL1, SL2)은 상기 복수의 제1 가지부들(BL1) 중 인접하는 2개의 제1 가지부들(BL1) 사이에 배치된다. 상기 슬릿(SL1, SL2)은 서로 인접한 2개의 제1 가지부들(BL1)을 마이크로미터 단위의 이격시킨다. 상기 슬릿들(SL1, SL2) 중 제1 슬릿들(SL1)은 4개의 서브 도메인들 중 제1 서브 도메인과 제3 서브 도메인에 배치되고, 제2 슬릿들(SL2)은 제2 서브 도메인과 제4 서브 도메인에 배치된다.

상기 제1 슬릿들(SL1)은 제1 방향으로 연장된 형상이며, 상기 제2 슬릿들(SL2)은 상기 제1 방향과 교차하는 제2 방향으로 연장된 형상을 가질 수 있다. 상기 다수의 슬릿(SL1, SL2)에 의해서 상기 제1 영역(PE1-A1)에 배치된 액정분자들(130)은 상기 서브 도메인별로 서로 다른 방향으로 프리틸트된다. 결과적으로 상기 액정분자들(130)의 응답속도도 빨라진다.

상기 제2 서브 화소전극(SPE2)은 상기 제1 서브 화소전극(SPE1)에 연결된다. 상기 절연막(124)에 구비된 제2 컨택홀(CH2)을 통해 연결된다. 도 2에는 4개의 제2 컨택홀(CH2)이 예시적으로 도시되어 있다. 상기 제2 서브 화소전극(SPE2)이 상기 제1 서브 화소전극(SPE1)에 연결됨에 따라 상기 제2 서브 화소전극(SPE2)은 상기 제1 서브 화소전극(SPE1)과 동일한 전압을 수신한다.

상기 제3 서브 화소전극(SPE3)은 제1 전극부(SPE3-1)와 제2 전극부(SPE3-2)를 포함한다. 상기 제1 전극부(SPE3-1)와 상기 제2 전극부(SPE3-2)는 서로 분리된다.

상기 제1 전극부(SPE3-1)는 상기 제1 서브 화소전극(SPE1)에 연결된다. 상기 절연막(124)에 구비된 제3 컨택홀(CH3)을 통해 연결된다. 따라서, 상기 제1 전극부(SPE3-1)는 상기 제1 서브 화소전극(SPE1)과 동일한 전압을 수신한다. 도 2에는 3개의 제3 컨택홀(CH3)이 예시적으로 도시되어 있다.

상기 제2 전극부(SPE3-2)는 상기 제1 서브 화소전극(SPE1)과 다른 전압을 수신한다. 상기 제2 전극부(SPE3-2)는 기준전압 배선(RL)에 연결된다. 상기 기준전압 배선(RL)은 인접한 화소들에 배치된(특히, 동일한 화소 행에 배치된 화소들) 상기 제3 서브 화소전극(SPE3)의 상기 제2 전극부들(SPE3-2)을 연결할 수 있다. 또한, 상기 기준전압 배선(RL)에 인가되는 전압은 상기 공통전극(112)에 인가되는 공통전압(Vcom: 도 1 참조)과 동일한 레벨을 가질 수 있다.

상기 제1 전극부(SPE3-1)와 상기 제2 전극부(SPE3-2) 각각은 가지(branch) 형상으로 상기 제2 영역(PE1-A2)에서 교번하게 배치된다. 구체적으로, 상기 제1 전극부(SPE3-1)의 하나의 가지는 상기 제2 전극부(SPE3-2)의 서로 인접하는 두 개의 가지 사이에 개재되고, 상기 제2 전극부(SPE3-2)의 하나의 가지는 상기 제1 전극부(SPE3-1)의 서로 인접하는 두 개의 가지 사이에 개재된다. 여기서, 상기 제1 전극부(SPE3-1) 및 상기 제2 전극부(SPE3-2) 각각의 폭은 상기 제1 전극부(SPE3-1)와 상기 제2 전극부(SPE3-2) 사이의 이격거리보다 작거나 같다. 상기 제1 전극부(SPE3-1)와 상기 제2 전극부(SPE3-2) 사이의 이격거리가 작을수록 제2 그래프(PG2: 도 5 참조)의 증가율

을 커진다.

상기 제1 화소전압이 상기 제1 서브 화소전극(SPE1)에 인가됨에 따라 상기 공통전극(112)과 상기 제2 서브 화소전극(SPE2) 사이에는 제1 프린지 필드(fringe field)가 형성된다. 또한, 상기 제1 화소전압이 상기 제1 서브 화소전극(SPE1)에 인가됨에 따라 상기 공통전극(112)과 상기 제1 전극부(SPE3-1) 사이에는 상기 제1 프린지 필드와 다른 제2 프린지 필드가 형성되고, 상기 제1 전극부(SPE3-1)와 상기 제2 전극부(SPE3-2) 사이에는 레터럴 필드(lateral field)가 형성된다.

상술한 것과 같이, 상기 제1 영역(PE1-A1)과 상기 제2 영역(PE1-A2)에는 서로 다른 전계가 형성된다. 그에 따라 상기 제1 영역(PE1-A1)과 상기 제2 영역(PE1-A2) 각각의 액정분자들(130)의 배열은 서로 달라진다. 따라서, 상기 액정표시장치의 측면시야각이 넓어진다.

한편, 상기 제2 베이스 기관(121) 상에는 제1 및 제2 스토리지 라인(STL1, STL2)이 더 구비될 수 있다. 상기 제1 및 제2 스토리지 라인(STL1, STL2)은 상기 제1 게이트 라인(GL1)과 동일한 층에 구비될 수 있다. 상기 제1 및 제2 스토리지 라인(STL1, STL2)은 상기 제1 화소전극(PE1)과 각각 스토리지 커패시터를 형성한다.

다시 도 1을 참고하면, 상기 타이밍 컨트롤러(200)는 외부로부터 복수의 영상신호(RGB) 및 복수의 제어신호(CS)를 수신한다. 상기 타이밍 컨트롤러(200)는 상기 데이터 구동부(400)와의 인터페이스 사양에 맞도록 상기 영상신호들(RGB)의 데이터 포맷을 변환하고, 변환된 영상신호들(R'G'B')를 상기 데이터 구동부(400)로 제공한다. 또한, 상기 타이밍 컨트롤러(200)는 데이터 제어신호(CONT2, 예를 들어, 출력개시신호, 수평개시신호 등)를 상기 데이터 구동부(400)로 제공하고, 게이트 제어신호(CONT1, 예를 들어, 수직개시신호, 클럭신호, 및 클럭바신호)를 게이트 구동부(300)로 제공한다.

상기 게이트 구동부(300)는 상기 타이밍 컨트롤러(200)로부터 제공되는 상기 게이트 제어신호(CONT1)에 응답해서 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 생성한다. 상기 게이트 신호는 상기 액정표시패널(100)의 상기 게이트 라인들(GL1-GLn)에 순차적으로 인가된다.

상기 데이터 구동부(400)는 상기 타이밍 컨트롤러(200)로부터 제공된 상기 데이터 제어신호(CONT2)에 응답하여 동작한다. 상기 데이터 구동부(400)는 외부로부터 수신한 기준 게조전압(GVDD)에 근거하여 상기 영상신호들(R'G'B')을 상기 데이터 전압들로 변환하여 출력한다. 상기 데이터 전압들은 상기 액정표시패널(100)에 구비된 상기 데이터 라인들(DL1-DLm)에 인가된다. 한편, 상기 기준 게조전압(GVDD)은 상기 공통전압(Vcom)에 대하여 양의 값을 가지거나 음의 값을 가질 수 있다.

도 6은 본 발명의 다른 실시예에 따른 액정표시장치의 화소의 평면도이고, 도 7은 도 6의 III-III'을 따라 절단한 단면도이며, 도 8은 도 6의 IV-IV'을 따라 절단한 단면도이다. 이하, 도 6 내지 도 8을 참조하여 본 실시예에 따른 액정표시장치를 설명한다. 다만, 도 1 내지 5를 참조하여 설명한 액정표시장치와 중복되는 구성에 대한 설명은 생략한다.

본 실시예에 따른 액정표시장치는 도 1 내지 5를 참조하여 설명한 액정표시장치와 같이, 액정표시패널(100), 타이밍 컨트롤러(200), 게이트 구동부(300), 데이터 구동부(400)를 포함한다.

상기 액정표시패널(100)은 서로 마주하는 제1 기관(110), 제2 기관(120) 및 상기 제1 기관(110)과 상기 제2 기관(120) 사이에 개재된 액정분자들(130)을 포함한다.

상기 액정표시패널(100)은 상기 복수의 게이트 라인들(GL1-GLn) 중 어느 하나에 각각 연결되고, 상기 복수의 데이터 라인들(DL1-DLm) 중 어느 하나에 각각 연결된 복수의 화소들(PX-1)을 포함한다. 상기 복수의 화소들(PX-1) 각각은 액정커패시터(C1c)와 상기 액정커패시터(C1c)에 인가되는 전압을 스위칭하는 제1 박막 트랜지스터(TFT 1)를 포함한다. 상기 액정커패시터(C1c)는 제1 전극으로써 상기 제1 화소전극(PE1)을 구비하고, 제2 전극으로써 상기 공통전극(112)을 구비한다. 상기 액정분자들(130)은 상기 액정커패시터(C1c)의 유전체층에 해당한다.

상기 제1 화소전극(PE1)은 상기 제2 베이스 기관(121) 상에 구비된다. 상기 제1 화소전극(PE1)은 상기 공통전극(112)과 함께 서로 다른 전계를 형성하는 제1 영역(PE1-A1)과 제2 영역(PE1-A2)을 포함한다.

도 5를 참조하여 설명한 것과 같이, 동일한 전압에서 상기 제1 영역(PE1-A1)의 투과율이 상기 제2 영역(PE1-A2)의 투과율보다 높다. 다만, 도 6에 도시된 화소(PX-1)의 상기 제1 영역(PE1-A1)의 전압에 따른 투과율은 도 5의 제1 그래프(PG1)와 완전히 일치하지는 않을 수 있다. 또한, 도 6에 도시된 화소(PX-1)의 상기 제2 영역(PE1-A2)의 전압에 따른 투과율은 도 5의 제2 그래프(PG2)와 완전히 일치하지는 않을 수 있다.

상기 제1 화소전극(PE1)은 상기 보호막(123) 상에 구비된 제1 서브 화소전극(SPE1)과 제2 서브 화소전극(SPE2)을 포함한다. 실질적으로 본 실시예에 따른 액정표시장치의 상기 제1 화소전극(PE1)은 도 1 내지 도 5를 참조하여 설명한 액정표시장치의 상기 제1 화소전극(PE1)에서 상기 제1 서브 화소전극(SPE1)이 생략된다.

도 6 내지 8에 도시된 것과 같이, 상기 보호막(123) 상에는 상기 제1 영역(PE1-A1)에 대응하게 상기 제1 서브 화소전극(SPE1)이 구비되고, 상기 제2 영역(PE1-A2)에 대응하게 제2 서브 화소전극(SPE2)이 구비된다.

도 6에 도시된 상기 제1 서브 화소전극(SPE1)은 도 2에 도시된 상기 제2 서브 화소전극(SPE2)과 실질적으로 동일한 형상을 갖는다. 상기 제1 서브 화소전극(SPE1)은 복수의 슬릿들(SL1, SL2)을 구비하고, 복수의 서브 도메인들로 구획된다. 상기 제1 서브 화소전극(SPE1)은 십자형의 제1 줄기부(TL1) 및 상기 제1 줄기부(TL1)로부터 방사형으로 연장된 복수의 제1 가지부들(BL1)을 포함할 수 있다

상기 제2 서브 화소전극(SPE2)은 상기 제2 영역(PE1-A2)을 복수의 도메인들로 구획하는 적어도 하나의 제1 개구부(SPE2-OP)를 구비한다. 상기 제1 개구부(SPE2-OP)는 상기 보호막(123)을 노출시킨다. 상기 제2 서브 화소전극(SPE2)은 상기 제1 서브 화소전극(SPE1)과 동일한 층에 구비되고, 상기 제1 서브 화소전극(SPE1)에 연결된다.

도 6에 도시된 것과 같이, 연결전극(CNE)을 통해 상기 제2 서브 화소전극(SPE2)과 상기 제1 서브 화소전극(SPE1)이 연결될 수 있다. 상기 연결전극(CNE1)은 상기 보호막(123)에 구비된 제1 콘택홀(CH1)을 통해 상기 제1 박막 트랜지스터(TFT1)의 상기 제1 드레인 전극(DE1)에 연결된다. 따라서, 상기 제1 서브 화소전극(SPE1)과 상기 제2 서브 화소전극(SPE2)은 동일한 레벨의 상기 제1 화소전압을 수신한다.

상기 제2 서브 화소전극(SPE2)은 3개의 상기 제1 개구부들(SPE2-OP)을 포함할 수 있다. 또한, 상기 제1 개구부들(SPE2-OP)은 상기 제2 서브 화소전극(SPE2)을 분할하는 가상선(IL)을 기준으로 대칭을 이룰 수 있다.

이때, 상기 공통전극(112)은 상기 제2 영역(PE1-A2)에 대응하는 영역에 적어도 하나 이상의 제2 개구부(112-OP)가 형성된다. 상기 제2 개구부(112-OP) 역시 가상선(IL)을 기준으로 대칭을 이룰 수 있다.

상기 제1 개구부(SPE2-OP)와 상기 제2 개구부(112-OP)에 의해 화소 전극(PE1)과 공통전극(112) 사이에는 변형된 전계가 형성된다. 상기 제1 개구부(SPE2-OP)와 상기 제2 개구부(112-OP)를 기준으로 양측에서 액정분자들(150)의 배열이 달라지고 서로 다른 서브 도메인으로 구분된다.

한편, 도 6에 도시된 화소(PX-1)의 상기 제1 영역(PE1-A1)에는 도 2 내지 4에 도시된 제1 영역(PE1-A1)의 서브 화소전극들이 구비될 수 있고, 도 6에 도시된 화소(PX-1)의 상기 제2 영역(PE1-A2)에는 도 2 내지 4에 도시된 상기 제2 영역(PE1-A2)의 서브 화소전극들이 구비될 수도 있다.

도 9는 본 발명의 또 다른 실시예에 따른 액정표시장치의 화소의 평면도이고 도 10은 본 발명의 또 다른 실시예에 따른 액정표시장치의 화소의 평면도이다. 이하, 도 9 및 도 10을 참조하여 또 다른 실시예들에 따른 액정표시장치를 설명한다. 다만, 도 1 내지 도 8을 참조하여 설명한 액정표시장치들과 중복되는 구성에 대한 설명은 생략한다.

도 9에 도시된 액정표시장치는 상기 복수의 화소들(PX-2)이 상기 액정표시패널(100)에 정의된다. 상기 복수의 화소들(PX-2) 각각은 제1 액정커패시터와 제2 액정커패시터, 상기 제1 액정커패시터에 인가되는 전압을 스위칭하는 제1 박막 트랜지스터(TFT1) 및 상기 제2 액정커패시터에 인가되는 전압을 스위칭하는 제2 박막 트랜지스터(TFT2)를 포함한다.

상기 제1 액정커패시터는 제1 전극으로써 상기 제1 화소전극(PE1)을 구비하고, 제2 전극으로써 상기 공통전극(112: 도 2 및 도 3 참조)을 구비한다. 상기 액정분자들(130)은 상기 제1 액정커패시터의 유전체층에 해당한다.

또한, 상기 제2 액정커패시터는 제1 전극으로써 상기 제2 화소전극(PE2)을 구비하고, 제2 전극으로써 상기 공통전극(112: 도 2 및 도 3 참조)을 구비한다. 상기 액정분자들(130)은 상기 제2 액정커패시터의 유전체층에 해당한다.

즉, 도 9에 도시된 화소(PX-2)는 도 2 내지 4에 도시된 화소(PX)에 비해 상기 제2 화소전극(PE2)과 상기 제2 박막 트랜지스터(TFT2)를 더 포함한다. 한편, 도 9에 도시된 화소(PX-2)는 상기 제1 화소전극(PE1)이 도 6 내지 8에 도시된 제1 화소전극(PE1)으로 대체될 수도 있다.

상기 제2 베이스 기관(121) 상에는 상기 제1 게이트 라인(GLi)과 동일한 방향으로 연장된 제2 게이트 라인(GLi-1)이 구비된다. 제2 게이트 라인(GLi-1)은 상기 복수의 게이트 라인들(GL1-GLn) 중 상기 제1 게이트 라인(GLi)

과 연속하여 배열된 게이트 라인이다.

상기 제2 박막 트랜지스터(TFT2)는 제2 게이트 전극(GE2), 제2 활성층(AL2), 제2 소오스 전극(SE2), 및 제2 드레인 전극(DE2)을 포함한다.

상기 제2 게이트 전극(GE2)은 평면상에서 상기 제2 게이트 라인들(GLi-1)로부터 돌출된 형상이다. 상기 제2 활성층(AL2)은 상기 게이트 절연막(122)을 사이에 두고 상기 제2 게이트 전극(GE2) 상에 구비된다. 평면상에서 상기 제2 활성층(AL2)은 상기 제2 게이트 전극(GE2)과 중첩한다. 상기 제2 소오스 전극(SE2)은 상기 제1 소오스 전극(SE1)이 분기된 상기 제1 데이터 라인(DLj)으로부터 분기된다. 상기 제2 소오스 전극(SE2)은 평면상에서 상기 제2 게이트 전극(GE2) 및 상기 제2 활성층(AL2)과 적어도 일부가 중첩한다. 또한, 상기 제2 드레인 전극(DE2)은 상기 제2 소오스 전극(SE2)과 평면상에서 이격되어 배치된다. 상기 제2 드레인 전극(DE2)은 상기 제2 소오스 전극(SE2)처럼 평면상에서 상기 제2 게이트 전극(GE2) 및 상기 제2 활성층(AL2)과 적어도 일부가 중첩한다.

상기 보호막(123)은 상기 제2 드레인 전극(DE2)과 상기 제2 소오스 전극(SE2), 및 상기 제2 데이터 라인(DL2)을 커버한다.

상기 보호막(123) 상에 상기 제2 드레인 전극(DE2)과 연결된 상기 제2 화소전극(PE2)이 구비된다. 상기 제2 박막 트랜지스터(TFT2)는 상기 데이터 전압을 수신하고, 상기 데이터 전압을 제2 화소전압으로써 상기 제2 화소전극(PE2)에 출력한다. 상기 제2 화소전압은 상기 제1 화소전압과 다른 레벨을 가질 수 있다.

평면상에서 상기 제2 화소전극(PE2)은 상기 제1 화소전극(PE1)과 상기 제1 및 제2 게이트 라인들(GLi, GLi-1)을 사이에 두고 배치된다. 또한, 평면상에서 상기 제1 화소전극(PE1)과 상기 제2 화소전극(PE2)은 서로 다른 면적을 가질 수 있다. 예컨대, 도 9에 도시된 것과 같이, 상기 제1 화소전극(PE1)은 상기 제2 화소전극(PE2)보다 큰 면적을 가질 수 있다.

상기 제2 화소전극(PE2)은 도 2 및 도 3에 도시된 상기 제1 화소전극(PE1)의 제1 영역(PE1-A1)과 동일한 구조를 가질 수 있다. 즉, 상기 제2 화소전극(PE2)은 상기 보호막(123) 상에 구비된 제4 서브 화소전극(SPE4) 및 상기 절연막(124)을 사이에 두고 상기 제4 서브 화소전극(SPE4)과 마주하는 제5 서브 화소전극(SPE5)을 포함할 수 있다.

상기 제4 서브 화소전극(SPE4)은 상기 보호막(123)에 형성된 제4 콘택홀(CH4)을 통해 상기 제2 드레인 전극(DE2)에 연결된다. 또한, 상기 제5 서브 화소전극(SPE5)은 상기 절연막(124)에 형성된 제5 콘택홀(CH5)을 통해 상기 제4 서브 화소전극(SPE4)에 연결된다.

상기 제5 서브 화소전극(SPE5)은 도 2에 도시된 제2 서브 화소전극(SPE2)과 같이, 복수의 슬릿들(SL1, SL2)을 구비하고, 복수의 서브 도메인들로 구획된다.

도 9에 도시된 화소는 도 1 내지 도 8에 도시된 화소들에 비해 하나의 박막 트랜지스터와 하나의 화소전극을 더 포함함으로써 더 많은 도메인을 형성한다. 그에 따라 도 9에 도시된 액정표시장치는 일정값 이상의 개구율을 유지하며 측면시야각은 더 넓어진다.

도 10에 도시된 액정표시장치는 상기 복수의 화소들(PX-3)이 상기 액정표시패널(100)에 정의된다. 도 10에 도시된 화소(PX-3)는 도 9에 도시된 화소(PX-2)와 상기 제2 화소전극(PE2)의 구조가 상이하다.

상기 제2 화소전극(PE2)은 도 2 및 도 4에 도시된 상기 제1 화소전극(PE1)의 제2 영역(PE1-A2)과 동일한 구조를 가질 수 있다. 즉, 상기 제2 화소전극(PE2)은 상기 보호막(123) 상에 구비된 제4 서브 화소전극(SPE4) 및 상기 절연막(124)을 사이에 두고 상기 제4 서브 화소전극(SPE4)과 마주하는 제5 서브 화소전극(SPE5)을 포함할 수 있다.

상기 제4 서브 화소전극(SPE4)은 상기 보호막(123)에 형성된 제4 콘택홀(CH4)을 통해 상기 제2 드레인 전극(DE2)에 연결된다.

상기 제5 서브 화소전극(SPE5)은 제1 전극부(SPE5-1)와 제2 전극부(SPE5-2)를 포함한다. 상기 제1 전극부(SPE5-1)와 상기 제2 전극부(SPE5-2)는 서로 분리된다.

상기 제1 전극부(SPE5-1)는 상기 제1 서브 화소전극(SPE1)에 연결된다. 상기 절연막(124)에 구비된 제5 콘택홀(CH5)을 통해 연결된다. 따라서, 상기 제1 전극부(SPE5-1)에는 상기 제2 화소전압이 인가된다. 상기 제2 전극부(SPE5-2)는 상기 제1 서브 화소전극(SPE1)과 다른 전압이 인가된다.

상기 제1 전극부(SPE5-1)와 상기 제2 전극부(SPE5-2) 각각은 가지(branch) 형상으로 교번하게 배치된다. 상기 제1 전극부(SPE3-1)와 상기 제2 전극부(SPE3-2)의 배치관계는 도 2 및 도 4를 참조하여 설명한바 상세한 설명은 생략한다.

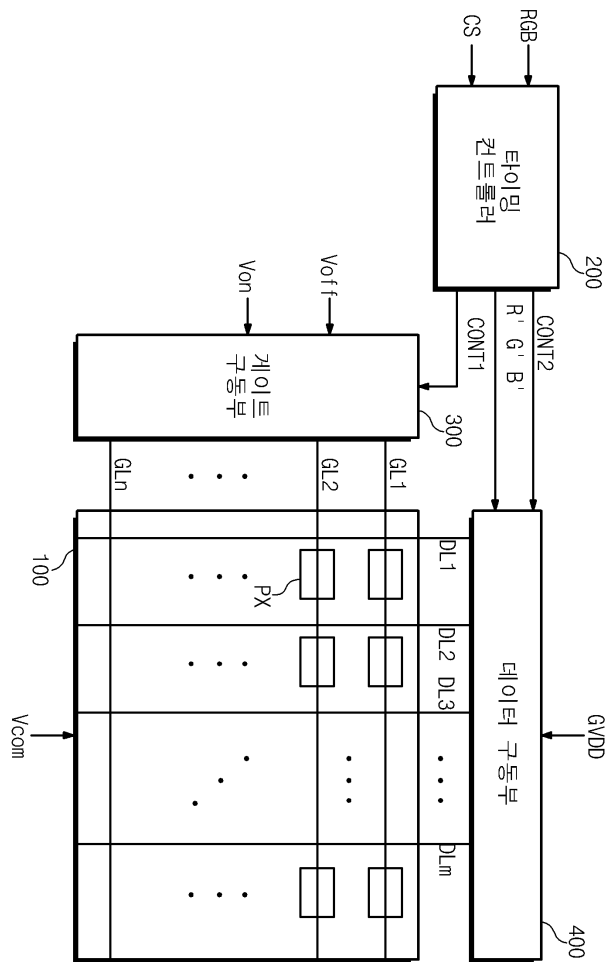
한편 본 발명은 기재된 실시예에 한정되는 것이 아니고, 본 발명의 사상 및 범위를 벗어나지 않고 다양하게 수정 및 변형을 할 수 있음은 이 기술 분야에서 통상의 지식을 가진 자에게는 자명하다. 따라서, 그러한 변형예 또는 수정예들은 본 발명의 특허청구범위에 속한다 해야 할 것이다.

부호의 설명

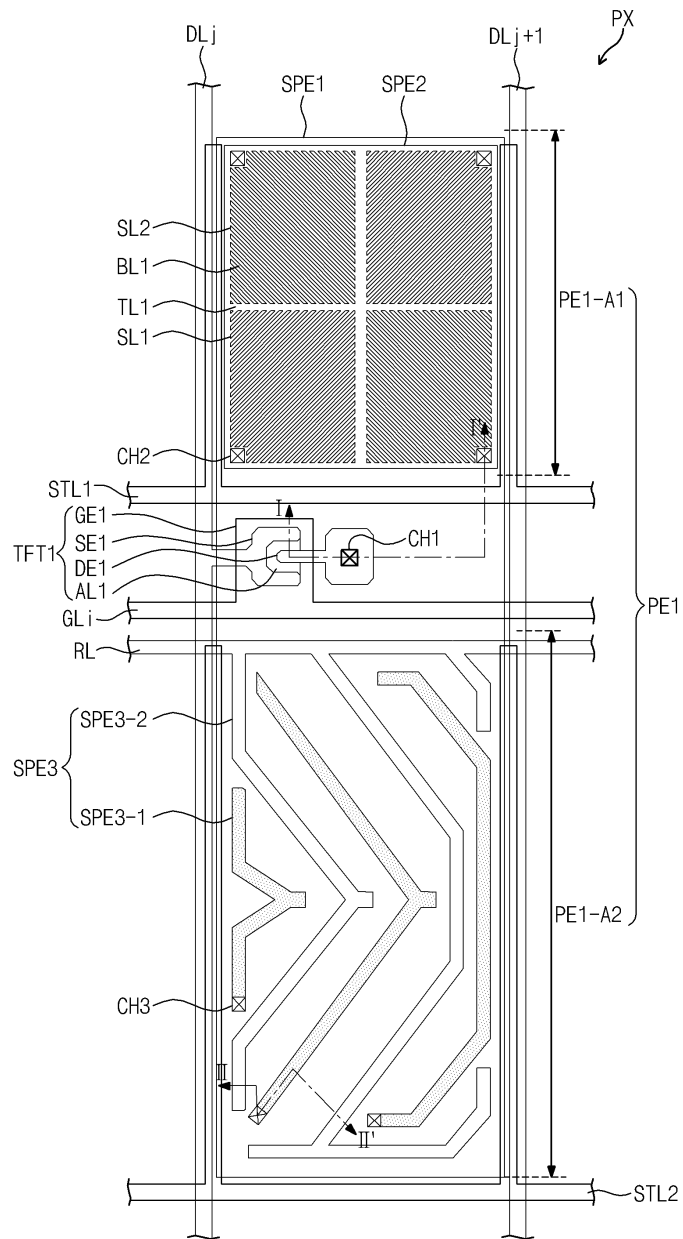
- 100: 액정표시패널
- 110: 제1 기판
- 120: 제2 기판
- 130: 액정분자들
- 200: 타이밍 컨트롤러
- 300: 게이트 구동부
- 400: 데이터 구동부

도면

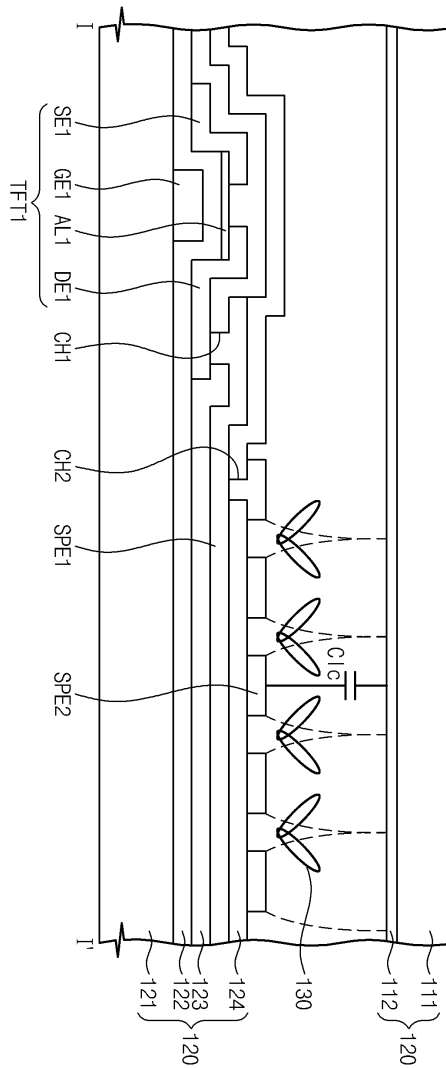
도면1



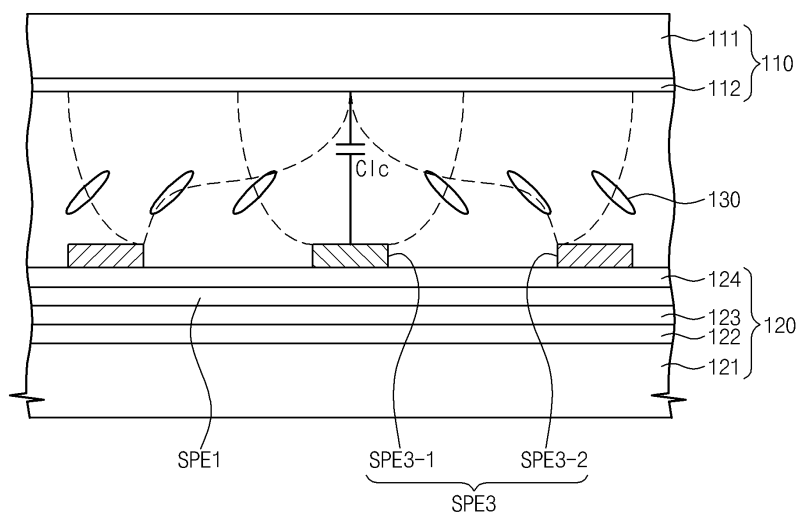
도면2



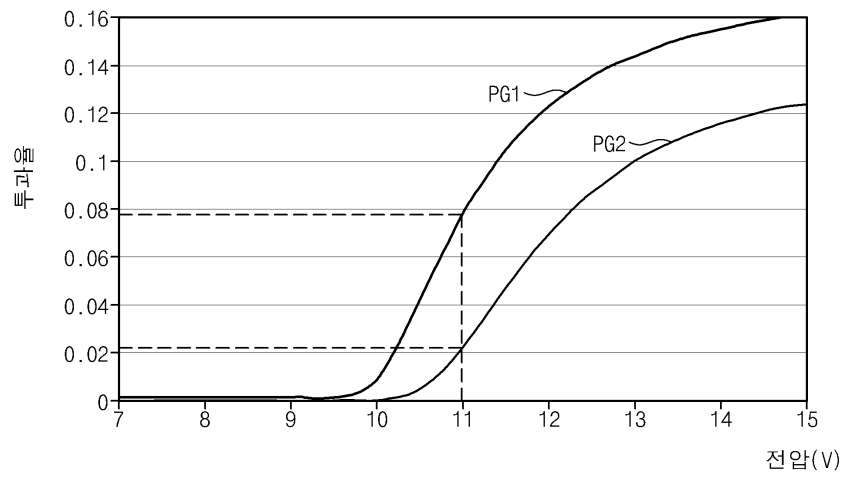
도면3



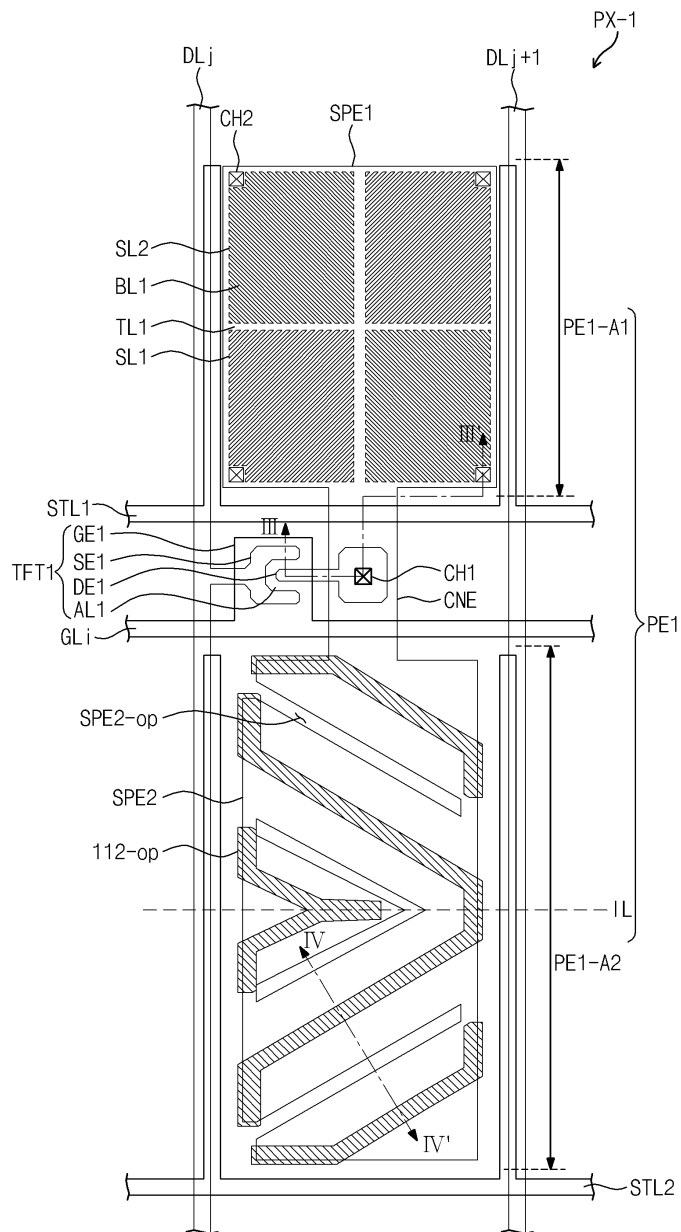
도면4



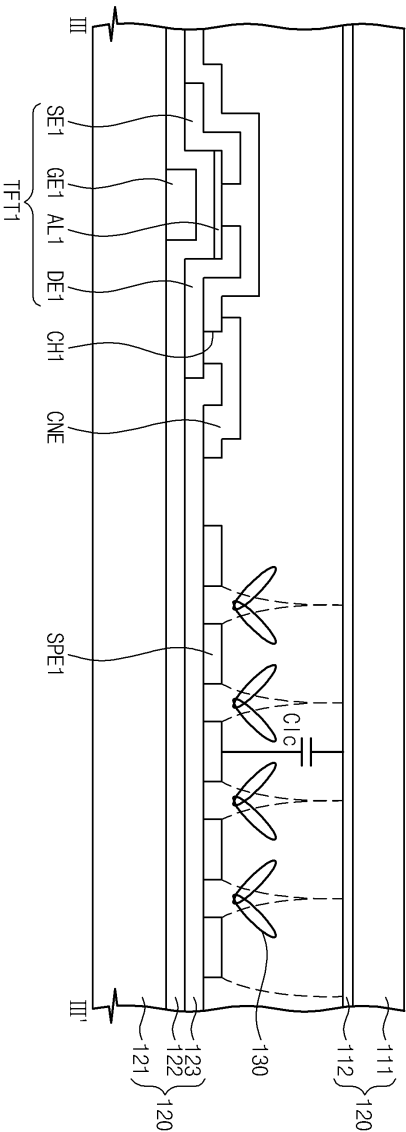
도면5



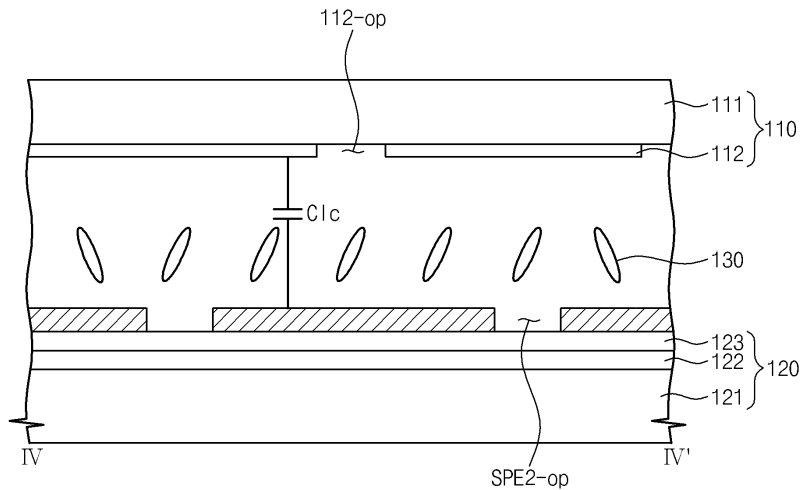
도면6



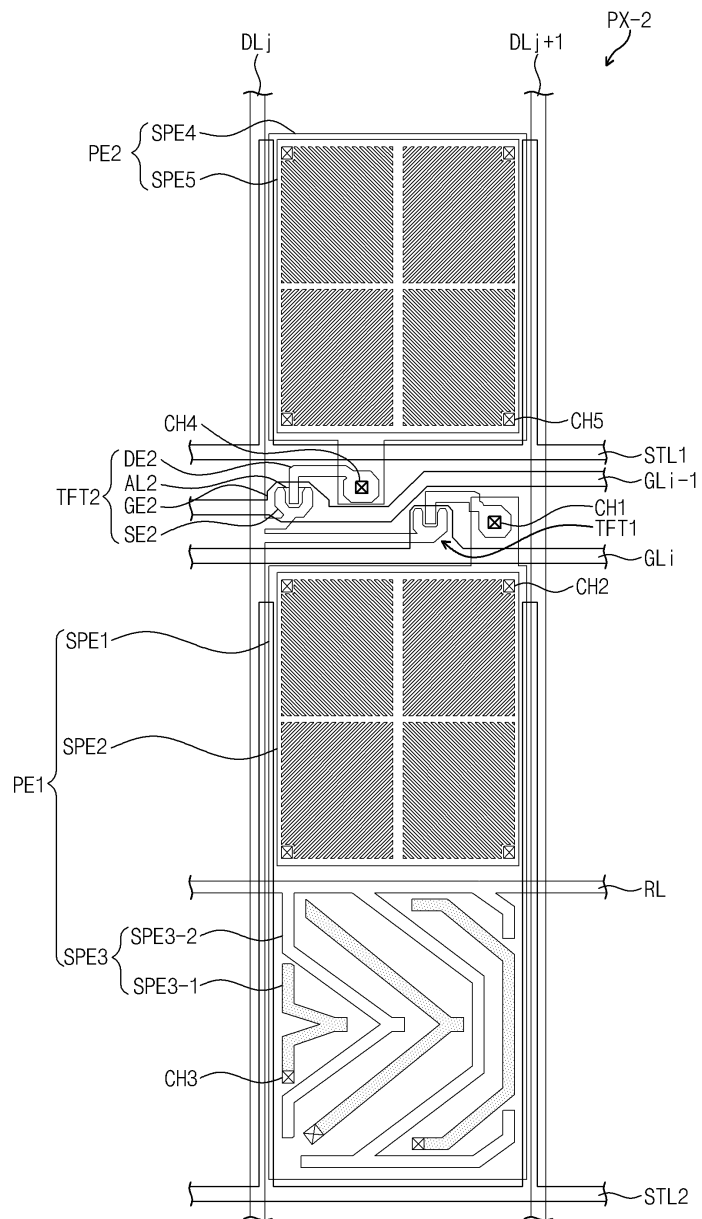
도면7



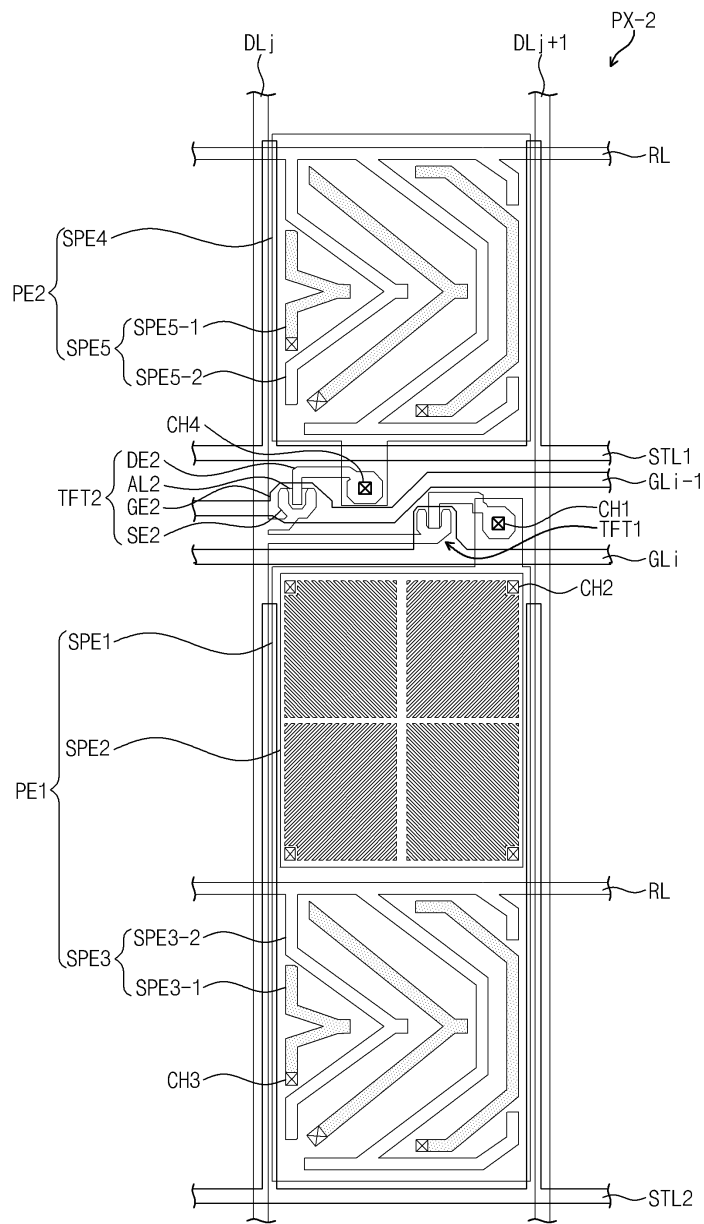
도면8



도면9



도면10



专利名称(译)	液晶显示器		
公开(公告)号	KR101954706B1	公开(公告)日	2019-03-08
申请号	KR1020110121700	申请日	2011-11-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김훈 김가은 김수정 신기철 오호길 정재훈 한민주		
发明人	김훈 김가은 김수정 신기철 오호길 정재훈 한민주		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/133707 G02F1/134309 G02F1/1393 G02F2001/133742 G02F2001/134345 G02F2001/13712		
审查员(译)	朴贞根		
其他公开文献	KR1020130055989A		
外部链接	Espacenet		

摘要(译)

一种液晶显示器，包括第一基板，第二基板以及设置在第一基板和第二基板之间的液晶分子。第一基板包括第一基础基板和设置在第一基础基板上的公共电极。第二基板包括面对第一基板的第二基板和设置在第二基板上的第一像素电极。第一像素电极包括与公共电极协作形成不同电场的第一区域和第二区域。因此，液晶显示器提高了开口率并增加了侧视角。

