



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년09월07일
(11) 등록번호 10-1896377
(24) 등록일자 2018년09월03일

(51) 국제특허분류(Int. Cl.)
G02F 1/1345 (2006.01) G02F 1/133 (2006.01)
G02F 1/1368 (2006.01)
(21) 출원번호 10-2012-0113804
(22) 출원일자 2012년10월12일
심사청구일자 2017년09월28일
(65) 공개번호 10-2014-0047465
(43) 공개일자 2014년04월22일
(56) 선행기술조사문헌
US06999150 B2*
US20020158995 A1*
US20060003479 A1*
US20060202934 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이영장
서울특별시 구로구 새말로 31, 104동 603호 (구로동, 롯데아파트)
정호영
경기도 고양시 덕양구 백양로 8, 1711동 1802호 (화정동, 옥빛마을17단지아파트)
이복영
경기도 파주시 문산읍 당동1로 11, 605동 503호 (자연앤꿈에그린6단지아파트)
(74) 대리인
특허법인 대아

전체 청구항 수 : 총 18 항

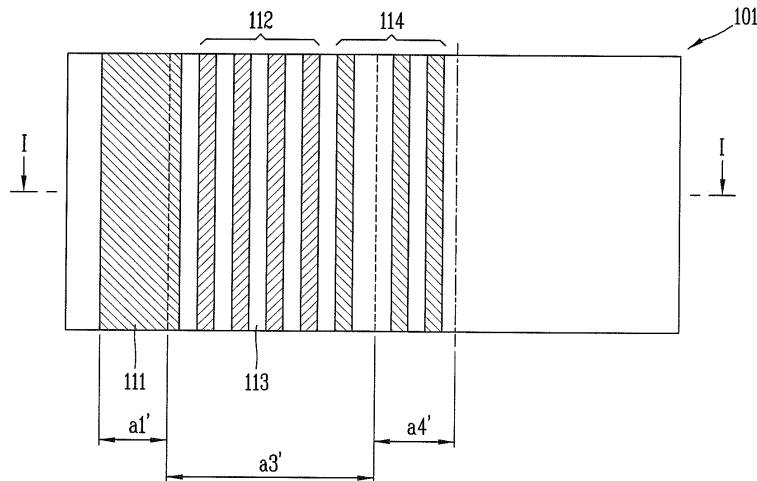
심사관 : 박정근

(54) 발명의 명칭 베젤이 최소화된 액정표시소자

(57) 요약

본 발명은 베젤이 극소화된 액정표시소자에 관한 것으로, 게이트드라이버가 실장되는 더미영역; 복수의 화소영역을 포함하여 실제 화상이 구현되는 액티브영역; 및 상기 더미영역에 배치된 제1배선 및 제2배선으로 구성되며, 상기 제1배선은 기판에 형성되고 제2배선은 절연층 위에 형성되어, 상기 절연층을 두고 일부가 오버랩되는 것을 특징으로 한다.

대표도 - 도4a



명세서

청구범위

청구항 1

복수의 화소영역을 포함하여 실제 화상이 구현되는 액티브영역 및 상기 액티브영역 외곽에 형성된 더미영역을 포함하는 제1기판;

상기 액티브영역에 형성되어 복수의 화소영역을 정의하는 복수의 게이트라인 및 데이터라인;

상기 복수의 화소영역에 각각 형성된 스위칭용 박막트랜지스터;

상기 스위칭용 박막트랜지스터가 형성된 제1기판에 형성된 보호층;

상기 더미영역에 형성되며, 상기 게이트 라인에 연결되는 적어도 하나의 쉬프트레지스터를 포함하는 GIP(Gate In Panel)회로와, 상기 GIP회로에 제어신호를 공급하기 위해 상기 GIP회로에 연결된 제어신호배선과, 상기 GIP회로에 연결된 그라운드와, 상기 GIP회로의 쉬프트레지스터에 연결된 공통배선으로 구성되며,

상기 GIP회로는 절연층을 사이에 두고 제어신호배선, 그라운드, 공통배선의 적어도 일부와 오버랩되는 것을 특징으로 하는 액정표시소자.

청구항 2

제1항에 있어서, 제어신호배선은 클럭신호배선, 인에이블신호배선, 스타트신호배선을 포함하는 것을 특징으로 하는 액정표시소자.

청구항 3

제1항에 있어서, 상기 제어신호배선은 GIP회로와 완전히 오버랩되는 것을 특징으로 하는 액정표시소자.

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 보호층은 포토아크릴로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 6

제1항에 있어서, 상기 보호층은 무기절연물질로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 7

제1항에 있어서, 상기 보호층은,

무기보호층; 및

상기 무기보호층 위에 형성된 유기보호층으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 8

제1항에 있어서, 상기 스위칭용 박막트랜지스터는,

제1기판에 형성된 게이트전극;

상기 제1기판에 형성되어 게이트전극을 덮는 게이트절연층;

상기 게이트절연층 위에 형성된 반도체층; 및

상기 반도체층 위에 형성된 소스전극 및 드레인전극으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 9

제8항에 있어서, 상기 그라운드는,

제1기판에 형성된 제1그라운드; 및

보호층 위에 형성되어 제1컨택홀을 통해 제1그라운드와 전기적으로 접속되는 제2그라운드로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 10

제8항에 있어서, 상기 공통배선은,

제1기판에 형성된 제1공통배선; 및

보호층 위에 형성되어 제2컨택홀을 통해 제1공통배선과 전기적으로 접속되는 제2공통배선으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 11

제8항에 있어서, 상기 제어신호배선은 보호층 위에 형성되어 제3컨택홀을 통해 상기 GIP회로와 전기적으로 접속되는 것을 특징으로 하는 액정표시소자.

청구항 12

제1항에 있어서, 상기 GIP회로는 쉬프트레지스터를 포함하는 것을 특징으로 하는 액정표시소자.

청구항 13

제1항에 있어서, 상기 절연층 위에 형성된 컬러필터층을 추가로 포함하는 것을 특징으로 하는 액정표시소자.

청구항 14

제13항에 있어서, 제어신호배선, 제2그라운드 및 제2공통배선은 상기 컬러필터층 위에 형성되는 것을 특징으로 하는 액정표시소자.

청구항 15

제1항에 있어서,

제1기판과 합착되는 제2기판;

제2기판의 형성된 블랙매트릭스; 및

제1기판 및 제2기판 사이에 형성된 액정층을 추가로 포함하는 것을 특징으로 하는 액정표시소자.

청구항 16

게이트드라이버가 실장되는 더미영역;

복수의 화소영역을 포함하여 실제 화상이 구현되는 액티브영역; 및

상기 더미영역에 배치된 제1배선 및 제2배선으로 구성되며, 상기 제1배선은 쉬프트레지스터를 포함하고, 상기 제2배선은 그라운드, 제어신호배선 및 공통배선 중 적어도 하나를 포함하며,

상기 제1배선은 기판에 형성되고 제2배선은 절연층 위에 형성되어, 상기 절연층을 두고 일부가 오버랩되는 것을 특징으로 하는 액정표시소자.

청구항 17

삭제

청구항 18

삭제

청구항 19

제16항에 있어서, 상기 제어신호배선은 클럭신호배선, 인에이블신호배선, 스타트신호배선을 포함하는 것을 특징으로 하는 액정표시소자.

청구항 20

제16항에 있어서, 상기 절연층은 게이트절연층 및 보호층을 포함하는 것을 특징으로 하는 액정표시소자.

청구항 21

제20항에 있어서, 상기 보호층은 무기보호층, 유기보호층 또는 유기보호층/무기보호층인 것을 특징으로 하는 액정표시소자.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시소자에 관한 것으로, 특히 외곽영역에서의 회로배선을 절연층을 사이에 두고 오버랩시킴으로써 베젤을 최소화할 수 있는 액정표시소자에 관한 것이다.

배경 기술

[0002] 일반적으로 액정표시소자는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다. 이를 위하여 액정 표시소자는 화소영역들이 매트릭스 형태로 배열된 액정패널과 상기 액정패널을 구동하기 위한 구동회로를 구비한다.

[0003] 액정패널은 제1기판 및 제2기판을 합착하고 그 사이에 액정층을 형성한다. 상기 제1기판에는 다수개의 게이트라인과 다수개의 데이터라인이 서로 수직하게 교차 배열되어 화소영역을 정의하고, 각 화소영역에는 화소전극이 형성되며, 상기 각 게이트라인과 데이터라인이 교차하는 부분에는 박막트랜지스터가 형성되어 상기 각 게이트라인의 주사신호에 따라 상기 박막트랜지스터가 턴온되어 상기 데이터라인의 데이터신호를 각 화소전극에 인가함으로써 액정층을 구동한다.

[0004] 또한, 제2기판에는 화소영역을 제외한 부분에서 빛이 투과하는 것을 차단하기 위한 블랙매트릭스와 각 화소영역에 형성되어 실제 컬러를 구현하는 칼라필터층이 배치된다.

[0005] 상기 구동회로는 복수의 게이트라인을 구동하기 위한 게이트드라이버와, 복수의 데이터라인을 구동하기 위한 데이터드라이버와, 상기 게이트드라이버와 데이터드라이버를 제어하기 위한 제어신호 및 데이터 신호 등을 공급하는 타이밍 컨트롤러 등을 포함한다.

[0006] 상기 게이트드라이버는 각 게이트라인에 순차적으로 스캔펄스를 출력하기 위해 쉬프트레지스터를 구비한다. 상기 쉬프트레지스터는 서로 종속적으로 연결된 다수의 스테이지들로 구성된다. 상기 다수의 스테이지들은 상기 스캔 펄스를 순차적으로 출력하여 액정 패널의 게이트 라인들을 순차적으로 스캐닝한다.

[0007] 구체적으로, 상기 다수의 스테이지 중 첫번째 스테이지는 타이밍컨트롤러로부터의 스타트신호를 트리거신호로 입력받고 첫번째 스테이지를 제외한 나머지 스테이지들은 이 전단의 스테이지로부터의 출력신호를 트리거신호로 입력받는다. 아울러 다수의 스테이지 각각은 서로 순차적인 위상차를 갖는 다수의 클럭펄스 중 적어도 한개의 클럭펄스를 인가받는다. 이에 따라, 첫 번째 스테이지부터 마지막 스테이지까지 스캔펄스를 순차적으로 출력하게 된다.

[0008] 이와 같은 종래의 게이트드라이버는 상기 게이트 구동부의 쉬프트레지스터가 내장되는 별도의 게이트드라이버 집적회로(Gate Driver IC)를 만들고 이를 TCP 공정 등을 이용하여 액정패널의 게이트라인 패드에 연결하여 사용하였다.

[0009] 그러나, 최근에는 상기 데이터드라이버는 데이터드라이버 집적회로를 이용하였으나, 상기 게이트드라이버는 재료비 절감, 공정수의 감소 및 공정 시간의 단축을 위해 액정표시 패널 상에 쉬프트 레지스트를 형성하는 게이트인 패널(Gate In Panel, GIP)기술이 사용되고 있다.

- [0010] 이와 같은, 종래의 GIP 구조의 액정표시소자를 설명하면 다음과 같다.
- [0011] 도 1은 종래의 GIP 구조의 액정표시장치의 평면도이고 도 2는 도 1의 A영역 확대 평면도이다.
- [0012] 도 1에 도시된 바와 같이, 종래의 GIP 구조의 액정표시소자는 일정 공간을 갖고 시일재(sealant)(10)에 의해 제1기관(1)과 제2기관(2)이 합착된다. 이 때, 상기 제1기관(1)은 제2기관(2)보다 더 크게 형성되어 데이터드라이버 등이 실장되는 비표시영역이 형성되고 상기 시일재(10) 안쪽의 합착된 제1기관(1) 및 제2기관(2)에는 표시영역이 형성된다.
- [0013] 상기와 같이 합착된 제1기관(1) 및 제2기관(2)의 표시 영역은 액티브영역(A/A)과 더미영역(D)으로 구분된다. 제1기관(1)의 액티브영역(A/A)에는 게이트라인, 데이터라인, 화소전극 및 박막트랜지스터가 형성되고, 상기 제2기관(2)의 액티브영역(A/A)에는 블랙매트릭스층 및 컬러필터층이 형성된다.
- [0014] 상기 제1기관(1)의 더미영역(D)에는 GIP 게이트드라이버(3), GIP 더미게이트 드라이버(4), 그라운드(11), 타이밍콘트롤러에서 출력되는 클럭신호, 인에이블 신호, 스타트 신호, 공통 전압 등의 각종 신호를 상기 GIP 게이트드라이버(3) 및 GIP 더미게이트드라이버(4)에 인가하기 위한 제어신호배선(12), 쉬프트레지스터로 이루어진 GIP 회로(13), 공통배선(15)이 형성되고, 상기 제2기관(2)의 더미영역(D)에는 이 영역으로 광이 투과하는 것을 차단하기 위한 블랙매트릭스(도면표시하지 않음)이 형성된다.
- [0015] 그러나, 상기와 같은 구조의 액정표시소자에는 다음과 같은 문제가 있다.
- [0016] 근래, 동일한 크기의 화면을 유지하면서 표시소자의 크기를 감소시키고 외관을 미려하게 만들기 위해, 더미영역을 포함하는 베젤의 크기를 최소화하기 위한 연구가 지속적으로 이루어지고 있다.
- [0017] 그러나, 도 2에 도시된 바와 같이, 종래 GIP구조의 액정표시소자에서는 더미영역(D)에 그라운드(11), 제어신호배선(12), 쉬프트 GIP회로(13), 공통배선(15) 등이 배치되기 때문에, 더미영역(D)의 폭(d1)이 일정 크기 이상을 유지해야만 한다. 따라서, 더미영역(D)의 면적을 감소하는데에는 한계가 있었으며, 그 결과 베젤을 감소시키는 데도 한계가 있어서, 극소의 베젤을 갖는 액정표시소자를 제작하기가 불가능하였다.

발명의 내용

해결하려는 과제

- [0018] 본 발명은 상기한 점을 감안하여 이루어진 것으로, 더미영역의 배선을 절연층을 사이에 두고 일부 오버랩시킴으로써 베젤이 최소화된 액정표시소자를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0019] 상기한 목적을 달성하기 위해, 본 발명에 따른 액정표시소자는 게이트드라이버가 실장되는 더미영역; 복수의 화소영역을 포함하여 실제 화상이 구현되는 액티브영역; 및 상기 더미영역에 배치된 제1배선 및 제2배선으로 구성되며, 상기 제1배선은 기관에 형성되고 제2배선은 절연층 위에 형성되어, 상기 절연층을 두고 일부가 오버랩되는 것을 특징으로 한다.
- [0020] 상기 제1배선은 쉬프트레지스터를 포함하고 상기 제2배선은 그라운드, 제어신호배선, 공통배선중 적어도 하나이며, 상기 절연층은 게이트절연층 및 보호층을 포함한다.

발명의 효과

- [0021] 본 발명에서는 GIP회로영역의 GIP회로 상부에 절연층을 사이에 두고 제어회로배선과 그라운드와 공통배선의 일부가 형성되어 GIP회로와 오버랩되므로, 종래 액정표시소자에 비해 배선이 형성되는 영역이 감소하게 되어 더미영역의 폭을 감소시킬 수 있게 되며, 그 결과 극소 베젤을 갖는 액정표시소자의 제작이 가능하게 된다.

도면의 간단한 설명

- [0022] 도 1은 종래 액정표시소자의 구조를 나타내는 평면도.
- 도 2는 도 1의 A영역 확대 부분 평면도.
- 도 3은 본 발명에 따른 액정표시소자의 구조를 나타내는 평면도.

도 4a는 도 3의 B영역 확대 부분 평면도.

도 4b는 도 3의 B영역 개략 단면도.

도 5는 본 발명의 제1실시예에 따른 액정표시소자의 구조를 구체적으로 나타내는 단면도.

도 6은 본 발명의 제2실시예에 따른 액정표시소자의 구조를 구체적으로 나타내는 단면도.

도 7a-도 7d는 본 발명에 따른 액정표시소자 제조방법을 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시소자를 상세히 설명한다.

[0024] 도 3은 본 발명에 따른 GIP구조의 액정표시소자를 나타내는 평면도이다.

[0025] 도 3에 도시된 바와 같이, 본 발명의 GIP구조의 액정표시소자는 시일재(110)에 의해 유리나 플라스틱과 같은 투명한 물질로 이루어진 제1기관(101)과 제2기관(102)이 서로 합착된다. 이때, 제1기관(101)은 제2기관(102)보다 더 크게 형성되어 데이터드라이버 등이 실장되는 비표시영역이 형성되고 상기 시일재(110) 안쪽의 합착된 제1기관(101) 및 제2기관(102)에는 표시영역이 형성된다.

[0026] 또한, 합착된 제1기관(101) 및 제2기관(102)의 표시영역은 액티브영역(A/A)과 더미영역(D)으로 구분된다.

[0027] 액티브영역(A/A)은 실제 화상이 구현되는 영역이다. 도면에는 도시하지 않았지만, 상기 액티브영역(A/A)에는 제1기관(101)에 배치된 복수의 게이트라인 및 데이터라인에 의해 정의되는 복수의 화소영역과, 각각의 화소영역에 형성되어 신호가 인가됨에 따라 구동하여 화상신호를 화상영역으로 인가하는 스위칭소자인 박막트랜지스터와, 상기 화소영역에 형성되어 박막트랜지스터가 작동함에 따라 화상신호가 공급되어 액정층의 액정분자를 구동하여 액정층을 투과하는 광의 투과율을 제어함으로써 화상을 구현하는 화소전극 및 공통전극과, 제2기관(102)에 형성되어 화상이 구현되는 영역이 아닌 영역으로 광이 투과되는 것을 차단하는 블랙매트릭스와, R,G,B컬러필터로 이루어져 실제 컬러를 구현하는 컬러필터층을 포함한다.

[0028] 더미영역(D)의 제1기관(101)에는 GIP 게이트드라이버(103), GIP 더미 게이트드라이버(104), 그라운드(111), 타이밍콘트롤러에서 출력되는 클럭신호, 인에이블신호, 스타트신호, 공통전압 등의 각종 신호를 상기 GIP 게이트드라이버(103) 및 GIP 더미게이트드라이버(104)에 인가하기 위한 제어신호배선(112), 쉬프트레지스터로 이루어진 GIP회로(113), 공통배선(114)이 형성되고, 더미영역(D)의 제2기관(102)에는 이 영역으로 광이 투과하는 것을 차단하기 위한 블랙매트릭스(도면표시하지 않음)이 형성된다.

[0029] 제어신호배선(112)은 클럭신호배선, 인에이블신호배선, 스타트신호배선 등과 같은 각종 배선으로 이루어진다.

[0030] 도 4a 및 도 4b는 도 3의 B영역 부분 확대도로서, 도 4a는 더미영역(D)에서의 배선의 배치를 나타내는 평면도이고 도 4b는 층구조를 간략하게 나타내는 단면도이다.

[0031] 도 4a에 도시된 바와 같이, 더미영역(D)에는 액티브영역(A/A)의 경계로부터 제1기관(101)의 단부까지 공통배선(115), GIP회로(113), 제어신호배선(112) 및 그라운드(111)가 차례로 배치된다. 이때, 도면에서는 공통배선(114) 및 제어신호배선(112) 등이 특정 개수로 형성되지만, 이것은 설명의 편의를 위한 것으로서, 본 발명의 배선이 특정 개수에 한정되지는 않는다. 실질적으로, 배선의 숫자는 제작되는 액정패널의 크기, 화소의 수, 액정패널에 실장되는 GIP 게이트드라이버(103)의 수 등에 의해 결정될 것이다.

[0032] 도 4a 및 도 4b에 도시된 바와 같이, 제1기관(101) 위에는 GIP회로(113)가 배치되어 있으며, 그 양측면에 그라운드(111)와 공통배선(114)이 배치되고 GIP회로(113) 위에 제어신호배선(112)이 배치된다. 이때, 제어신호배선(112)은 GIP회로(113) 위에 완전히 오버랩되도록 형성되고, 그라운드(111)와 공통배선(114)은 일부가 제1기관(101) 위에 형성되고 일부가 GIP회로(113) 위에 형성되어 일부만이 GIP회로(113)와 오버랩된다. 이때 상기 제어신호배선(112)도 일부만이 상기 GIP회로(113)와 오버랩될 수도 있다.

[0033] 이와 같이, 제어신호배선(112)은 GIP회로(113) 위에 형성되고, 그라운드(111)와 공통배선(114)은 일부가 GIP회로(113) 위에 형성되므로, 종래 액정표시소자에 비해 더미영역의 폭을 감소할 수 있게 된다.

[0034] 도 2에 도시된 종래 액정표시소자와 도 4a에 도시된 본 발명의 액정표시소자의 구조를 비교하면, 종래에는 그라운드(111), GIP회로(113), 제어신호배선(112) 및 공통배선(114)이 각각 a1,a2,a3,a4의 폭의 제1기관(101)에 배치되는데 반해, 본 발명에서는 그라운드(111), GIP회로(113) 및 공통배선(114)이 각각 a1',a2',a4' 폭의 제1기

관(101)에 배치된다.

- [0035] 제어신호배선(112)은 GIP회로(113) 위에 형성되므로, 제어신호배선(112)은 제1기관(101)의 어떤 영역도 차지 않게 된다. 또한, 그라운드(111)는 GIP회로(113)와 일부 오버랩되므로 $a1' < a1$ 이 되고 공통배선(114)은 GIP회로(113)와 일부 오버랩되므로 $a4' < a4$ 이 된다. 이때, 그라운드(111)는 GIP회로(113)와 전체 면적에 대하여 50-100%가 오버랩되며, 공통배선(114)도 GIP회로(113)와 전체 면적에 대하여 50-100%가 오버랩된다. 결과적으로, 종래에 비해 본 발명에서는 $a3 + (a1 - a1') + (a4 - a4')$ 만큼 더미영역의 폭을 감소시킬 수 있게 된다(즉 $d1 > d2$).
- [0036] 이하에서는 첨부한 도면을 참조하여 본 발명에 따른 실시예를 좀더 자세히 설명한다.
- [0037] 도 5는 본 발명의 제1실시예에 따른 액정표시소자의 구조를 나타내는 도면으로, 도면에서는 더미영역만을 도시하였다.
- [0038] 도 5에 도시된 바와 같이, 제1기관(101)의 더미영역(D)은 그라운드영역, GIP회로영역 및 공통배선영역으로 이루어진다. 제1기관(101)의 그라운드영역, GIP회로영역 및 공통배선영역에는 각각 제1그라운드(111a), GIP회로를 형성하는 쉬프트레지스터용 박막트랜지스터의 게이트전극(113a), 제1공통배선(114a)이 형성된다.
- [0039] 상기 제1그라운드(111a), 쉬프트레지스터용 박막트랜지스터의 게이트전극(113a), 제1공통배선(114a)은 서로 다른 공정에 의해 다른 금속으로 형성될 수도 있지만, 동일한 공정에 의해 동일한 금속으로 형성되는 것이 바람직하다. 이때, 상기 제1그라운드(111a), 쉬프트레지스터용 박막트랜지스터의 게이트전극(113a), 제1공통배선(114a)은 Al이나 Al합금과 같이 전도성이 좋은 금속으로 이루어진 단일층으로 형성될 수 있다. 또한, 상기 제1그라운드(111a), 쉬프트레지스터용 박막트랜지스터의 게이트전극(113a), 제1공통배선(114a)은 AlNd/Mo와 같은 복수의 층으로 이루어질 수도 있다.
- [0040] 상기 제1그라운드(111a), 쉬프트레지스터용 박막트랜지스터의 게이트전극(113a), 제1공통배선(114a)이 형성된 제1기관(101) 위에는 SiO_x 나 SiN_x 와 같은 무기절연물질로 이루어진 게이트절연층(142)이 형성된다.
- [0041] GIP회로영역의 게이트절연층(142) 위에는 반도체층(113b)이 형성된다. 상기 반도체층(113b)으로는 주로 비정질 실리콘(a-Si)이 사용되지만, 결정질실리콘이나 산화물반도체가 사용될 수도 있다.
- [0042] 상기 반도체층(113b) 위에는 소스전극(113c) 및 드레인전극(113d)이 형성되어 쉬프트레지스터용 박막트랜지스터가 완성된다. 이때, 상기 소스전극(113c) 및 드레인전극(113d)은 Al, Al합금, Mo 등과 같은 전도성이 좋은 금속을 사용할 수 있다. 이때, 도면에는 도시하지 않았지만, 상기 GIP회로영역에는 쉬프트레지스터용 박막트랜지스터 뿐만 아니라 각종 배선이 형성된다.
- [0043] 상기와 같이 쉬프트레지스터용 박막트랜지스터가 형성된 제1기관(101) 위에는 보호층(144)이 형성된다. 상기 보호층(144)은 포토아크릴과 같은 유기물질로 형성될 수도 있고 SiO_x 나 SiN_x 와 같은 무기물질로 형성될 수도 있다. 또한, 상기 보호층(144)은 무기보호층과 유기보호층의 이중의 층으로 형성될 수도 있다.
- [0044] 그라운드영역, GIP회로영역 및 공통배선영역에는 각각 제1컨택홀(119a), 제2컨택홀(119b) 및 제3컨택홀(119c)이 형성된다. 이때, 제2컨택홀(119b)은 보호층(144)에만 형성되어 쉬프트레지스터용 박막트랜지스터가 상기 제2컨택홀(119b)을 통해 노출되며, 제1컨택홀(119a) 및 제3컨택홀(119c)은 게이트절연층(142) 및 보호층(144)에 형성되어 각각 제1그라운드(111a) 및 제1공통배선(114a)이 제1컨택홀(119a) 및 제3컨택홀(119c)을 통해 노출된다.
- [0045] 상기 보호층(144) 위의 그라운드영역에는 제2그라운드(111b)가 형성되고 GIP회로영역에는 제어회로배선(112)이 형성되며, 공통배선영역에는 제2공통배선(114b)이 형성된다. 상기 제2그라운드(111b)는 제1컨택홀(119a)을 통해 제1그라운드(111a)와 전기적으로 접속되고, 제어회로배선(112)은 제2컨택홀(119b)을 통해 쉬프트레지스터용 박막트랜지스터의 드레인전극(113d), 즉 GIP회로와 전기적으로 접속되며, 제2공통배선(114b)은 제3컨택홀(119c)을 통해 제1공통배선(119a)과 전기적으로 접속된다.
- [0046] 이때, 제2그라운드(111b)의 일부 및 제2공통배선(114b)의 일부는 GIP회로영역으로 연장되어 형성된다. 따라서, 상기 GIP회로영역에는 제어회로배선(112) 뿐만 아니라 제2그라운드(111b)의 일부 및 제2공통배선(114b)의 일부가 형성되므로, 상기 GIP회로(즉, 쉬프트레지스터)는 절연층(게이트절연층(142) 및/또는 보호층(144))을 사이에 두고 제어회로배선(112) 및 제2그라운드(111b)와 제2공통배선(114b)의 일부와 오버랩된다.
- [0047] 이와 같이, 본 발명의 제1실시예에서는 GIP회로영역의 GIP회로 상부에 절연층을 사이에 두고 제어회로배선(112)과 제2그라운드(111b)와 제2공통배선(114b)의 일부가 형성되므로, 종래 액정표시소자에 비해 더미영역의 폭을 감소할 수 있게 된다.

- [0048] 이때, 도면에서는 상기 제2그라운드(111b)와 제2공통배선(114b)의 일부가 GIP회로와 오버랩되도록 형성되지만, 제어회로배선(112)만이 GIP회로와 오버랩되도록 형성되고 상기 제2그라운드(111b)와 제2공통배선(114b)은 GIP회로와 오버랩되지 않도록 형성될 수도 있고 제2그라운드(111b)와 제2공통배선(114b) 중 하나만의 그 일부가 GIP회로와 오버랩되도록 형성될 수도 있다.
- [0049] 다시 말해서, 본 발명에서는 제어회로배선(112), 제2그라운드(111b) 및 제2공통배선(114b)의 전체 또는 일부가 GIP회로와 절연층을 사이에 두고 오버랩되는 모든 구조를 포함한다.
- [0050] 도 6은 본 발명의 제2실시예에 따른 액정표시소자의 구조를 나타내는 도면이다.
- [0051] 도 6에 도시된 바와 같이, 제1기관(101)의 더미영역(D)은 그라운드영역, GIP회로영역 및 공통배선영역으로 이루어진다. 제1기관(101)의 그라운드영역, 공통배선영역에는 각각 제1그라운드(111a) 및 제1공통배선(114a)이 형성된다. 또한, GIP회로영역에는 게이트전극(113a), 반도체층(113b), 소스전극(113c) 및 드레인전극(114)으로 이루어진 쉬프트레지스터용 박막트랜지스터를 포함하는 GIP회로가 형성된다.
- [0052] 이때, 상기 제1그라운드(111a) 및 제1공통배선(114a), 쉬프트레지스터용 박막트랜지스터의 게이트전극(113a) 위에는 게이트절연층(142)이 형성된다.
- [0053] 상기와 같이 쉬프트레지스터용 박막트랜지스터가 형성된 제1기관(101) 위에는 무기층 또는 유기층, 유기층/무기층의 보호층(144)이 형성된다.
- [0054] 상기 보호층(144) 위에는 컬러필터층(146)이 형성된다. 즉, 이 구조의 액정표시소자는 컬러필터층(146)이 제1기관(101) 위에 형성되는 COT(Color Filter on TFT) 구조의 액정표시소자로서, 도 4에 도시된 구조의 액정표시소자가 컬러필터층이 제2기관(즉, 상부기관)에 형성되는데 반해, 이 구조에서는 컬러필터층(146)이 제1기관(101)에 형성된다.
- [0055] 이러한 COT구조의 액정표시소자는 R,R,B의 컬러필터가 직접 해당 화소 위에 형성되므로, 제2기관에 컬러필터층이 형성되는 경우 발생할 수 있는 제1기관 및 제2기관의 오정렬에 의한 불량이나 합착마진을 감안할 필요가 없게 된다.
- [0056] 도면에는 도시하지 않았지만, 상기 컬러필터층(146)은 R-컬러필터층, G-컬러필터층 및 B-컬러필터층 중 한 컬러의 단층일 수도 있고 R-컬러필터층, G-컬러필터층 및 B-컬러필터층이 모두 적층되어 3층으로 형성될 수도 있으며, 서로 다른 컬러의 2층으로 형성될 수도 있다.
- [0057] 그라운드영역, GIP회로영역 및 공통배선영역에는 각각 제1컨택홀(119a), 제2컨택홀(119b) 및 제3컨택홀(119c)이 형성된다. 이때, 제2컨택홀(119b)은 보호층(144) 및 컬러필터층(146)에만 형성되어 쉬프트레지스터용 박막트랜지스터가 상기 제2컨택홀(119b)을 통해 노출되며, 제1컨택홀(119a) 및 제3컨택홀(119c)은 게이트절연층(142), 보호층(144) 및 컬러필터층에 형성되어 각각 제1그라운드(111a) 및 제1공통배선(114a)이 제1컨택홀(119a) 및 제3컨택홀(119c)을 통해 노출된다.
- [0058] 상기 컬러필터층(146) 위의 그라운드영역에는 제2그라운드(111b)가 형성되고 GIP회로영역에는 제어회로배선(112)이 형성되며, 공통배선영역에는 제2공통배선(114b)이 형성된다. 상기 제2그라운드(111b)는 제1컨택홀(119a)를 통해 제1그라운드(111a)와 전기적으로 접속되고, 제어회로배선(112)은 제2컨택홀(119b)을 통해 쉬프트레지스터용 박막트랜지스터의 드레인전극(113d), 즉 GIP회로와 전기적으로 접속되며, 제2공통배선(114b)은 제3컨택홀(119c)을 통해 제1공통배선(114a)과 전기적으로 접속된다.
- [0059] 도면에는 도시하지 않았지만, 상기 컬러필터층(146) 위에는 무기절연물질이나 유기절연물질로 이루어진 버퍼층이 형성될 수 있다. 이러한 버퍼층은 제어회로배선(112), 제2그라운드(111b) 및 제2공통배선(114b)이 형성될 때 컬러필터층(146)과의 계면특성을 향상시키기 위한 것이다. 물론, 이러한 구조에서는 제1컨택홀(119a), 제2컨택홀(119b) 및 제3컨택홀(119c)이 상기 버퍼층에도 형성된다.
- [0060] 도면에는 도시하지 않았지만, 상기 제2기관의 더미영역에는 블랙매트릭스가 형성되어 이 영역으로 광의 투과를 차단하여 광이 투과하여 화질이 저하되는 것을 방지한다.
- [0061] 이하에서는 상기와 같은 구조의 액정표시소자를 제조하는 방법을 설명한다. 이때, 설명에서는 도 5에 도시된 구조의 액정표시소자 제조방법을 개시하지만, 도 6에 도시된 구조의 액정표시소자도 동일한 방법에 의해 제작된다.
- [0062] 또한, 이하의 설명에서는 특정 화소구조를 갖는 액정표시소자의 제조방법에 대하여 설명하고 있지만, 본 발명이

이러한 특정 화소구조에만 적용되는 것은 아니다. 본 발명은 IPS모드(In Plane Switching mode) 액정표시소자, TN모드(Twisted Nematic mode) 액정표시소자, VA모드(Verticla Alignment mode) 액정표시소자 등의 다양한 모드의 액정표시소자에 적용될 수 있을 것이다. 또한, 이하의 설명에서는 각종 전극이나 절연층이 특정 구조로 설명되지만, 본 발명이 이러한 구조에만 한정되는 것은 아니다. 본 발명은 더미영역의 배선을 오버랩시켜 형성할 수만 있다면 어떠한 구조의 액정표시소자에 적용될 수 있을 것이다.

[0063] 도 7a-도 7d는 본 발명에 따른 액정표시소자의 제조방법을 나타내는 도면이다.

[0064] 우선, 도 7a에 도시된 바와 같이, 투명한 유리나 플라스틱으로 이루어지며, 더미영역(D) 및 액티브영역(A/A)을 포함하는 제1기판(101) 전체에 걸쳐 AlNd와 Mo를 스퍼터링(sputtering)법에 의해 연속적으로 적층한 후, 사진식각법에 의해 식각하여 더미영역(D)에 제1그라운드(111a), GIP회로의 쉬프트레지스트용 게이트전극(113a) 및 제2공통배선(112)을 형성하고 액티브영역(A/A)에 화소의 스위치용 박막트랜지스터의 게이트전극(151)을 형성한다. 이어서, 제1기판(101) 전체에 걸쳐 CVD(Chemical Vapor Deposition)법에 의해 SiOx나 SiNx와 같은 무기절연물질을 적층하여 게이트절연층(142)을 형성한다.

[0065] 이어서, 도 7b에 도시된 바와 같이, 제1기판(101)에 비정질실리콘과 같은 비정질반도체물질을 적층하고 식각하여 쉬프트레지스트용 게이트전극(113a) 위의 게이트절연층(142)에 쉬프트레지스트용 반도체층(113b)을 형성하고 화소의 스위치용 박막트랜지스터의 게이트전극(151) 위의 게이트절연층(142)에 스위치용 박막트랜지스터의 반도체층(152)을 형성한다.

[0066] 그 후, Mo 등의 금속을 스퍼터링법에 의해 적층하고 사진식각법에 의해 식각하여 상기 반도체층(113b, 152) 위에 각각 쉬프트레지스트용 소스전극(113c) 및 드레인전극(113d)과, 스위치용 박막트랜지스터의 소스전극(153) 및 드레인전극(154)을 형성하여 더미영역에 쉬프트레지스트를 포함하는 GIP회로배선을 형성하고 액티브영역(A/A)의 각 화소영역에 스위치용 박막트랜지스터를 형성한다.

[0067] 이어서, 상기 박막트랜지스터가 형성된 제1기판(101) 위에 포토아크릴과 같은 유기물질 또는 SiOx나 SiNx와 같은 무기물질을 적층하여 보호층(144)을 형성한다. 이때, 무기물질과 유기물질을 연속으로 적층하여 2층의 층으로 이루어진 보호층(144)을 형성할 수도 있다.

[0068] 그 후, 도 7c에 도시된 바와 같이, 보호층(101)의 일부를 식각하여 더미영역(D)에 제1컨택홀(119a), 제2컨택홀(119b), 제3컨택홀(119c)을 형성하여 각각 제1그라운드(111a), 쉬프트레지스트용 드레인전극(113d), 제1공통배선(114a)을 노출시키며 액티브영역(A/A)에 제4컨택홀(119d)을 형성하여 스위치용 박막트랜지스터의 드레인전극(154)을 노출시킨다.

[0069] 이어서, 도 7d에 도시된 바와 같이, 보호층(144) 위에 ITO(Indium Tin Oixde)와 같은 투명도전물질을 적층하고 식각하여 액티브영역(A/A)에 적어도 한쌍의 공통전극(156) 및 화소전극(158)을 형성한다. 이때, 상기 공통전극(156) 및 화소전극(158)은 일정 폭의 띠형상으로 서로 평행하게 배열되며, 화소전극(158)은 제4컨택홀(119d)을 통해 스위치용 박막트랜지스터의 드레인전극(154)에 전기적으로 접속되어 상기 스위치용 박막트랜지스터를 통해 외부로부터 화상신호가 인가된다.

[0070] 이어서, 상기 보호층(144) 위에 Mo, Al, Mo를 연속적으로 적층한 후, 식각하여 더미영역(D)에 제2그라운드(111b), 제어신호배선(112) 및 제2공통배선(114b)을 형성한다. 상기 제2그라운드(111b)는 제1컨택홀(119a)을 통해 제1그라운드(111a)와 전기적으로 접속되고 제어신호배선(112)은 제2컨택홀(119b)을 통해 GIP회로(즉, 쉬프트레지스트용 드레인전극(113d))에 접속되며, 제2공통배선(114b)은 제3컨택홀(119c)을 통해 제1공통배선(114a)에 전기적으로 접속된다.

[0071] 이때, 상기 제2그라운드(111b), 제어신호배선(112) 및 제2공통배선(114b)은 동일한 공정에 의해 동일한 금속층(예를 들면, Mo/Al/Mo)으로 형성될 수도 있지만, 각각 다른 공정에 의해 다른 금속으로 형성될 수도 있다.

[0072] 도면에는 명확하게 도시하지 않았지만, 보호층(144)에 형성된 제2그라운드(111b)는 GIP회로와 일부가 오버랩될 수도 있고 되지 않을 수도 있다. 또한, 제2공통배선(114b) 역시 GIP회로와 일부가 오버랩될 수도 있고 되지 않을 수도 있다.

[0073] 그 후, 도면에는 도시하지 않았지만, 제2기판에 컬러필터층과 블랙매트릭스를 형성한 후, 실링재에 의해 제1기판 및 제2기판을 합착하고 제1기판과 제2기판 사이에 액정층을 형성함으로써 액정표시소자를 완성한다.

[0074] 상술한 바와 같이, 본 발명에서는 더미영역에 형성되는 일부의 배선을 다른 배선과 절연층을 사이에 두고 오버랩시킴으로써 더미영역의 면적을 최소화할 수 있게 되며, 그 결과 액정표시소자의 베젤 면적을 최소화하여 액정

표시소자의 크기를 감소하고 외관을 미려하게 할 수 있게 된다.

[0075] 한편, 상술한 상세한 설명에서는 특정 구조의 액정표시소자가 기재되어 있지만, 이것은 설명의 편의를 위한 것으로 본 발명이 이러한 특정 구조의 액정표시소자에 한정되지 않는다.

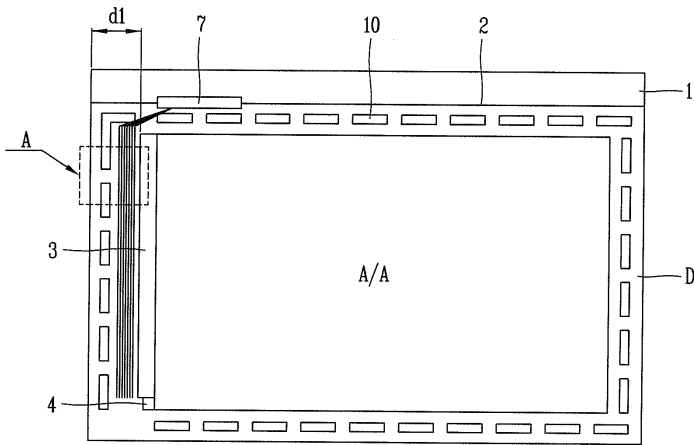
[0076] 본 발명은 더미영역에서 각종 배선의 적어도 일부가 절연층을 사이에 두고 오버랩되어 더미영역의 면적을 감소할 수만 있다면, 모든 구조의 액정표시소자에 적용될 수 있을 것이다.

부호의 설명

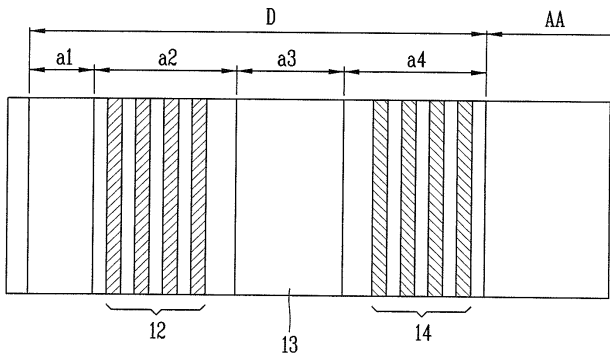
- [0077]
- | | |
|---------------|--------------|
| 101, 102 : 기판 | 111 : 그라운드 |
| 112 : 제어신호배선 | 113 : GIP회로 |
| 114 : 공통배선 | 142 : 게이트절연층 |
| 144 : 보호층 | 146 : 컬러필터층 |

도면

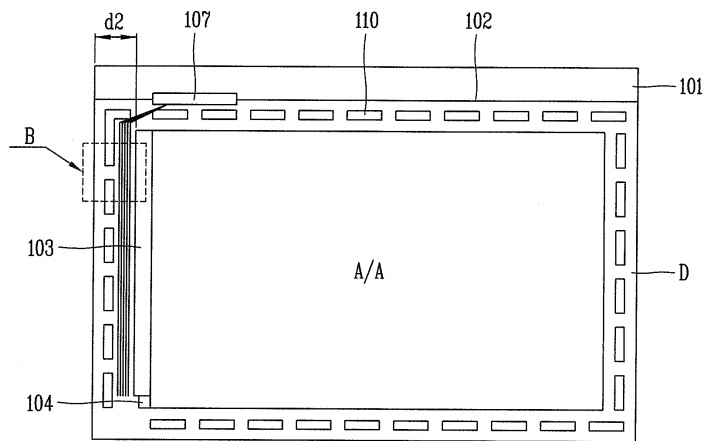
도면1



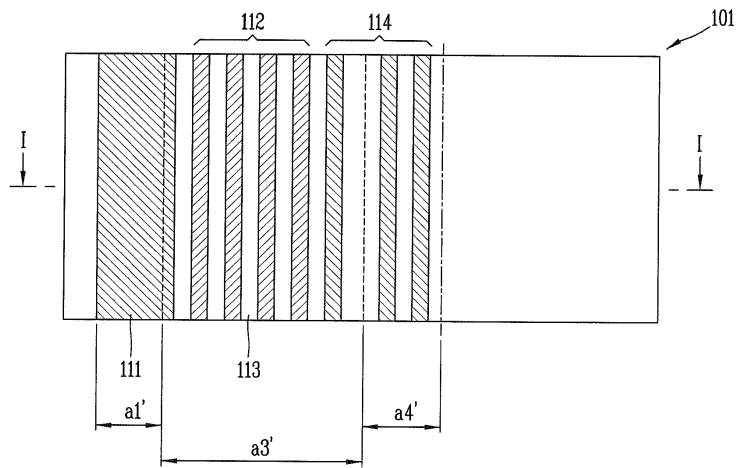
도면2



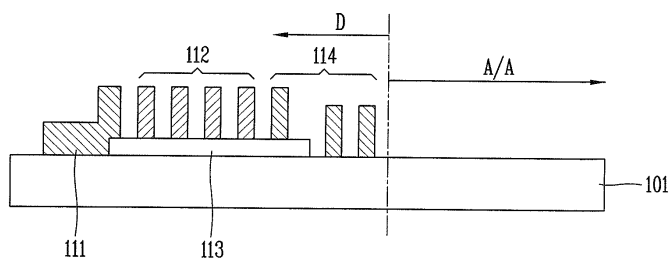
도면3



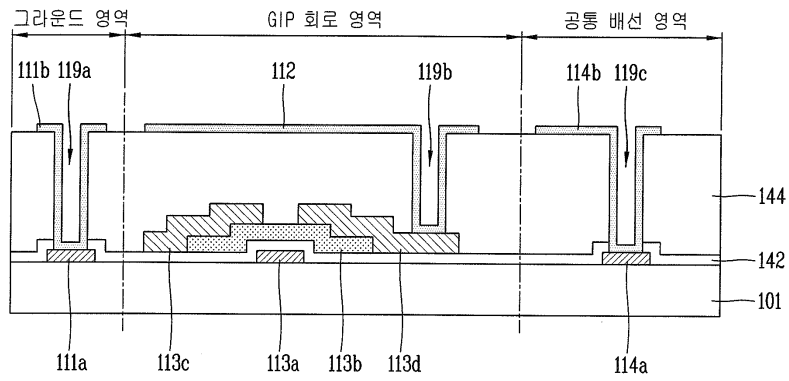
도면4a



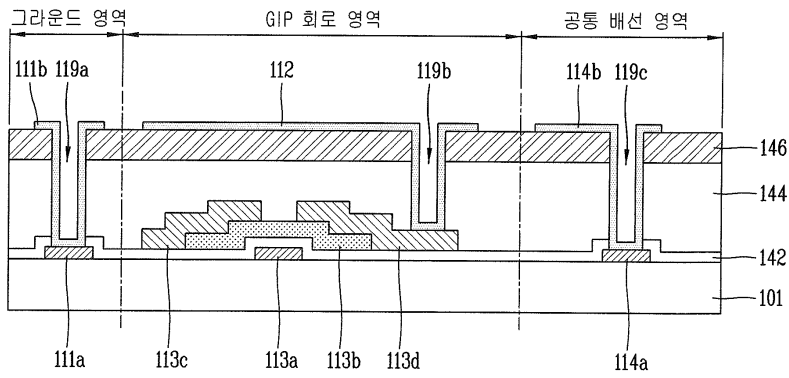
도면4b



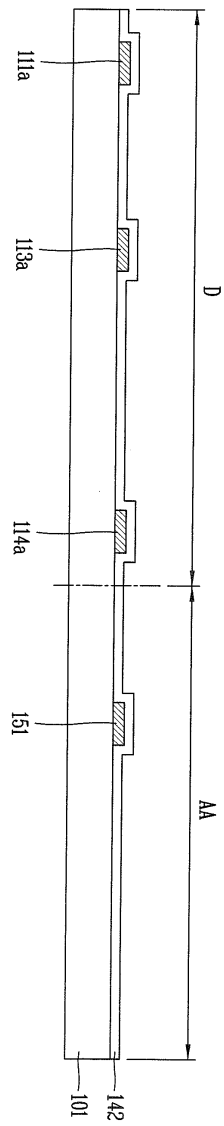
도면5



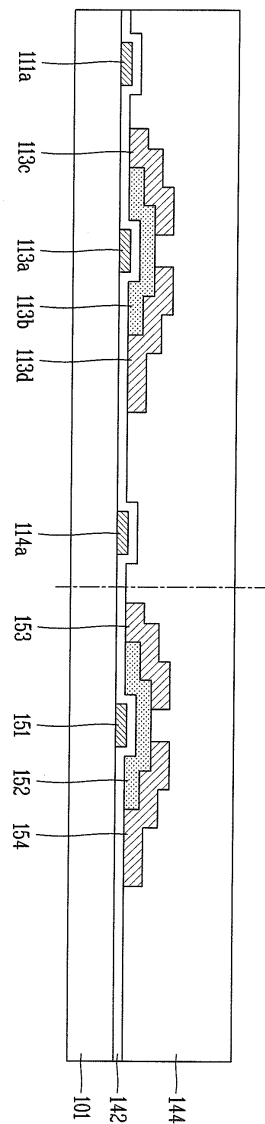
도면6



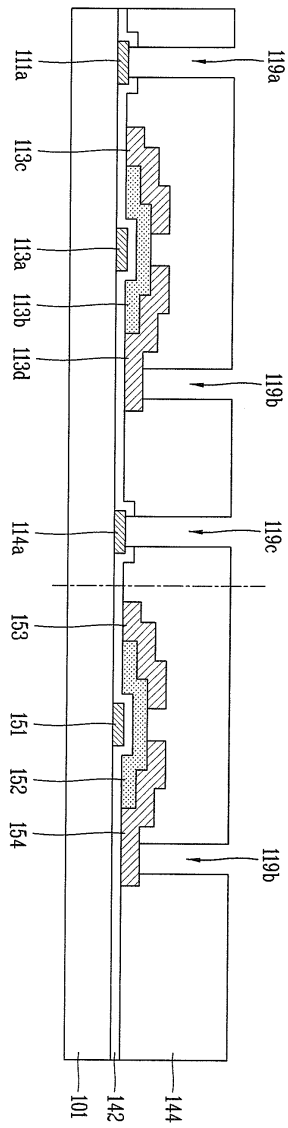
도면7a



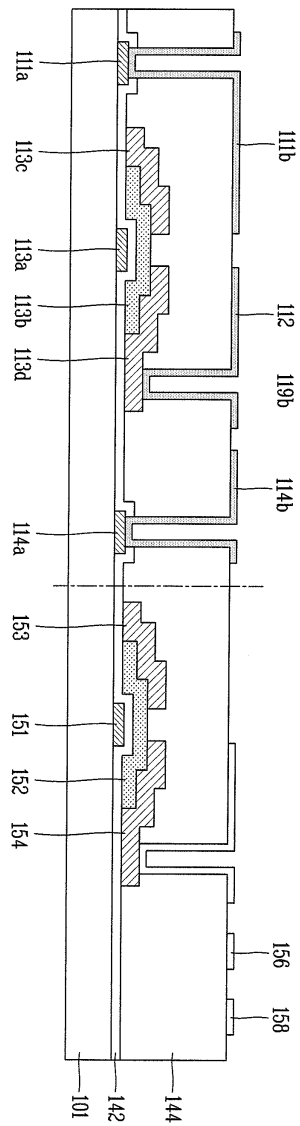
도면7b



도면7c



도면7d



专利名称(译)	液晶显示屏，边框最小化		
公开(公告)号	KR101896377B1	公开(公告)日	2018-09-07
申请号	KR1020120113804	申请日	2012-10-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE YOUNG JANG 이영장 JEONG HO YOUNG 정호영 LEE BOK YOUNG 이복영		
发明人	이영장 정호영 이복영		
IPC分类号	G02F1/1345 G02F1/133 G02F1/1368		
CPC分类号	G02F1/13306 G02F1/133345 G02F1/13452 G02F1/13454 G02F2001/136222 G02F2201/42		
其他公开文献	KR1020140047465A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种边框最小化的液晶显示装置，包括：虚设区域，其中安装有栅极驱动器；包括多个像素区域的有源区域，其中实现实际图像；并且，第一布线和第二布线布置在虚设区域中，其中第一布线形成在基板上，第二布线形成在绝缘层上，并且绝缘层的一部分与绝缘层重叠。

