



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년04월12일

(11) 등록번호 10-1848496

(24) 등록일자 2018년04월06일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2010-0099268

(22) 출원일자 2010년10월12일

심사청구일자 2015년10월02일

(65) 공개번호 10-2012-0037668

(43) 공개일자 2012년04월20일

(56) 선행기술조사문헌

KR1019990047261 A*

(뒷면에 계속)

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

홍기상

광주광역시 북구 서하로 417, 중흥1차 103동 807호 (문흥동)

김정오

서울특별시 강서구 공항대로 382, 우장산 롯데 낙
천대아파트 306/902 (화곡동)

(뒷면에 계속)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 9 항

심사관 : 이옥우

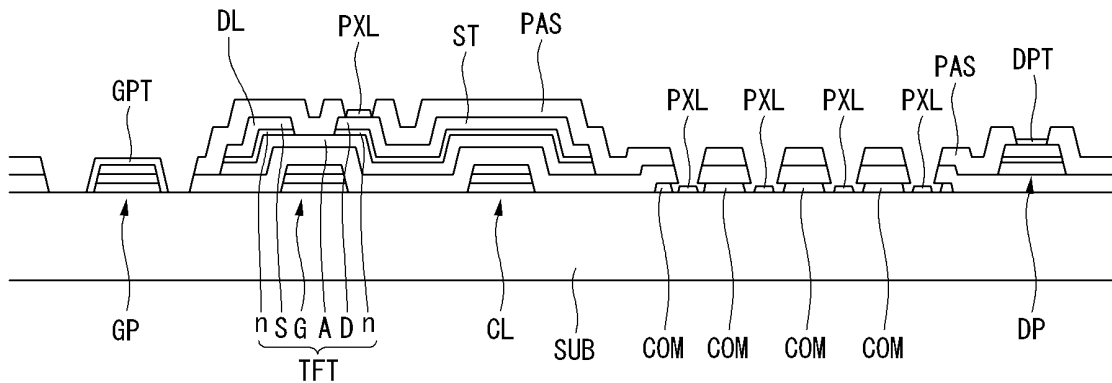
(54) 발명의 명칭 **고투과 수평 전계형 액정표시장치 및 그 제조 방법**

(57) 요약

본 발명은 광 투과율이 높은 수평 전계형 액정표시장치 및 그 제조 방법에 관한 것이다. 본 발명에 의한 고투과 수평 전계형 액정표시장치 제조 방법은, 기판 위에 투명도전층과 게이트 금속층을 증착하고, 제1 마스크 공정으로 게이트 요소 및 장방형 공통 전극을 형성하는 단계; 상기 게이트 요소와 상기 공통 전극이 형성된 상기 기판

(뒷면에 계속)

대표도 - 도4d



위에 게이트 절연막, 반도체층, 불순물 반도체층 그리고 소스-드레인 금속층을 연속으로 증착하고, 제2 마스크 공정으로 박막트랜지스터를 형성하는 단계; 상기 박막트랜지스터가 형성된 상기 기판 위에 보호막을 증착하고, 상기 보호막과 상기 게이트 절연막을 제3 마스크 공정으로 상기 장방형의 공통 전극을 다수 개의 선분들이 서로 평행하게 배열된 빗살 패턴 공통 전극으로 형성하는 단계; 상기 빗살 패턴 공통 전극이 형성된 기판 전면에 투명전극물질을 증착하고, 리프트-오프 공정으로 상기 빗살 패턴 공통 전극의 사이 사이에 화소 전극을 형성하는 단계를 포함한다. 본 발명은 고 투과율을 갖는 수평 전계 액정표시장치를 간단한 제조 공정과 저렴한 비용으로 제조할 수 있다.

(72) 발명자

김강일

서울특별시 은평구 역말로9가길 6-18, 101호 (대조동)

방정호

경기도 파주시 쇄재로 30, 서원마을아파트 702동 703호 (금촌동)

(56) 선행기술조사문헌

KR1020060062642 A*

KR1020070002801 A*

KR1019990062389 A*

KR1020080001493 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

투명 기판 위에 투명도전층과 제1 게이트 금속층 및 제2 게이트 금속층을 연속으로 증착하고, 제1 마스크 공정으로 게이트 배선, 게이트 패드 및 게이트 전극을 포함하는 게이트 요소 그리고 장방형 공통 전극을 형성하는 단계;

상기 게이트 요소와 상기 공통 전극이 형성된 상기 기판 위에 게이트 절연막, 반도체층, 불순물 반도체층 그리고 소스-드레인 금속층을 연속으로 증착하고, 제2 마스크 공정으로 박막트랜지스터, 데이터 배선 및 데이터 패드를 형성하는 단계;

상기 박막트랜지스터가 형성된 상기 기판 위에 보호막을 증착하고, 상기 보호막과 상기 게이트 절연막을 제3 마스크 공정으로 상기 장방형의 공통 전극을 다수 개의 선분들이 서로 평행하게 배열된 빗살 패턴 공통 전극으로 형성하는 단계;

상기 빗살 패턴 공통 전극이 형성된 기판 전면에 투명도전물질을 증착하고, 리프트-오프 공정으로 상기 빗살 패턴 공통 전극의 사이 사이에 화소 전극을 형성하는 단계를 포함하며,

상기 제3 마스크 공정은,

상기 보호막 위에 포토레지스트 물질을 도포하고 제3 마스크로 패터하여 상기 장방형 공통 전극에서 상기 빗살 패턴 공통 전극 부분을 덮고 상기 소스-드레인 금속층 일부를 개방하는 제3 포토레지스트 층을 형성하는 단계;

상기 제3 포토레지스트 층 사이에 노출된 상기 보호막 및 상기 게이트 절연막을 패터하여 상기 장방형 공통 전극의 일부를 노출하고, 상기 소스-드레인 금속층 일부를 덮는 상기 보호막을 패터하여 상기 소스-드레인 금속층의 일부를 노출하는 단계;

상기 노출된 장방형 공통 전극의 일부를 식각하여 상기 빗살 패턴 공통 전극을 형성하는 단계; 그리고

상기 패터된 게이트 절연막 안쪽으로 상기 빗살 패턴 공통 전극을 과 식각하는 단계를 포함하며,

상기 리프트-오프 공정으로 형성된 화소 전극은 상기 노출된 소스-드레인 금속층의 일부와 접촉하는 것을 특징으로 하는 수평 전계형 액정표시장치 제조 방법.

청구항 2

제 1 항에 있어서, 상기 제1 마스크 공정은,

상기 제1 및 제2 게이트 금속층 위에 포토레지스트 물질을 도포하고 제1 하프-톤 마스크로 패터하여 상기 게이트 요소 위에는 제1 두께를 갖고, 상기 장방형 공통 전극 위에는 상기 제1 두께보다 얇은 제2 두께를 갖는 제1 포토레지스트 층을 형성하는 단계;

상기 제1 포토레지스트 층을 마스크로 하여 상기 제1 및 제2 게이트 금속층과 상기 투명도전층을 패터하는 단계;

상기 제1 포토레지스트 층을 애싱하여 상기 제2 두께에 해당하는 양을 제거하여, 상기 장방형 공통 전극의 상기 제1 및 제2 게이트 금속층을 노출시키는 단계; 그리고

상기 노출된 제1 및 제2 게이트 금속층을 제거하여 상기 장방형 공통 전극은 상기 투명도전층만 포함하도록 형성하는 단계를 포함하는 것을 특징으로 하는 수평 전계형 액정표시장치 제조 방법.

청구항 3

제 1 항에 있어서,

상기 제1 게이트 금속층은 구리를 포함하며; 그리고

상기 제2 게이트 금속층은 알루미늄, 티타늄 및 알루미늄-티타늄 합금 중 적어도 어느 하나를 포함하는 수평 전계형 액정표시장치 제조 방법.

청구항 4

제 1 항에 있어서, 상기 제2 마스크 공정은,

상기 소스-드레인 금속층 위에 포토레지스트 물질을 도포하고 제2 하프-톤 마스크로 패터닝하여 상기 박막트랜지스터의 중앙부 위에는 제3 두께를 갖고, 그 외의 상기 박막트랜지스터 부분 위에는 상기 제3 두께 보다 두꺼운 제4 두께를 갖는 제2 포토레지스트 층을 형성하는 단계;

상기 제2 포토레지스트 층을 마스크로 하여, 상기 소스-드레인 금속층, 불순물 반도체층 및 반도체층을 패터닝하는 단계;

상기 제2 포토레지스트 층을 애싱하여 상기 제3 두께에 해당하는 양을 제거하여, 상기 박막트랜지스터의 중앙부의 상기 소스-드레인 금속층을 노출시키는 단계; 그리고

상기 노출된 소스-드레인 금속층과 상기 불순물 반도체층을 제거하여 박막트랜지스터를 완성하는 단계를 포함하는 것을 특징으로 하는 수평 전계형 액정표시장치 제조 방법.

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 빔살 패터닝 공통 전극의 상기 패터닝 게이트 절연막 안쪽으로 과 식각된 정도는 $0.5\mu\text{m}$ 내지 $1.5\mu\text{m}$ 이고,

상기 빔살 패터닝 공통 전극의 상기 선분은 폭이 $3\mu\text{m}$ 인 것을 특징으로 하는 수평 전계형 액정표시장치 제조 방법.

청구항 7

제 1 항에 있어서, 상기 리프트-오프 공정은,

상기 제3 마스크 공정의 최종 단계에서 남아 있는 포토레지스트 층을 포함하는 상기 기판 전면의 상기 투명도전 물질을 증착하여, 상기 빔살 패터닝 공통 전극 사이에서 이웃하는 상기 빔살 패터닝 공통 전극과 접촉하지 않도록 상기 투명도전물질을 채우는 단계; 그리고

상기 제3 마스크 공정에서 남은 상기 포토레지스트 층을 그 위에 증착된 상기 투명도전물질을 함께 제거하여, 상기 빔살 패터닝 공통 전극의 상기 선분들과 평행하게 배열된 빔살 패터닝을 갖는 상기 화소 전극을 완성하는 단계를 포함하는 것을 특징으로 하는 수평 전계형 액정표시장치 제조 방법.

청구항 8

제 7 항에 있어서,

상기 화소 전극의 상기 빔살 패터닝은 폭이 $1\mu\text{m}$ 이고,

상기 빔살 패터닝 공통 전극과 상기 화소 전극의 상기 빔살 패터닝 사이의 이격 간격은 $0.5\mu\text{m}$ 내지 $1.5\mu\text{m}$ 인 것을 특징으로 하는 수평 전계형 액정표시장치 제조 방법.

청구항 9

기관;

상기 기관 위에 제1 방향으로 배열된 게이트 배선;

상기 게이트 배선의 일측 단부에 형성된 게이트 패드;

게이트 절연막을 사이에 두고 상기 게이트 배선과 직교하며 제2 방향으로 배열된 데이터 배선;

상기 데이터 배선의 일측 단부에 형성된 데이터 패드;

상기 게이트 배선과 상기 데이터 배선이 교차하면서 형성한 화소 영역 내의 일측에 형성된 박막트랜지스터;

상기 화소 영역 내에서 상기 기관과 직접 접촉하여 형성된 서로 평행한 다수 개의 선분들을 포함하는 빗살 패턴 공통 전극; 그리고

상기 박막트랜지스터와 연결되고, 상기 기관과 직접 접촉하며, 상기 빗살 패턴 공통 전극의 상기 선분들 사이에서 상기 빗살 패턴 공통 전극과 평행하게 배열되며, 서로 평행한 다수 개의 선분들을 포함하는 빗살 패턴 화소 전극을 포함하고,

상기 게이트 배선 및 상기 게이트 패드는 투명도전층, 제1 게이트 금속층 및 제2 게이트 금속층을 포함하며,

상기 데이터 패드는 반도체층, 불순물 반도체층 및 소스-드레인 금속층을 포함하는 것을 특징으로 하는 수평 전계형 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 빗살 패턴 공통 전극의 상기 선분들은 폭은 $3\mu\text{m}$ 이고,

상기 빗살 패턴 화소 전극의 상기 선분들의 폭은 $1\mu\text{m}$ 이며,

상기 빗살 패턴 공통 전극과 상기 빗살 패턴 화소 전극의 이격 간격은 $0.5\mu\text{m}$ 내지 $1.5\mu\text{m}$ 인 것을 특징으로 하는 수평 전계형 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 광 투과율이 높은 수평 전계형 액정표시장치 및 그 제조 방법에 관한 것이다. 특히, 본 발명은 화소 전극과 공통전극이 동일 평면상에 형성되며 그 간격이 조밀하게 배치되어 전극부 상층면에도 수평전계가 형성된 고투과 수평전계형 액정표시장치 및 그 액정표시장치를 3회 마스크 공정으로 제조하는 방법에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치에는 액정 표시장치(Liquid Crystal Display: LCD), 전계 방출 표시장치(Field Emission Display: FED), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 및 전계발광소자(Electroluminescence Device) 등이 있다.

[0003] 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.

[0004] 현재 주력으로 생산하고 있는, 수평 전계방식의 액정표시장치는, 화소전극과 공통전극은 보호막 위에 형성되며, 대략 $4\mu\text{m}$ 정도의 선폭을 갖는 막대 형상을 갖는다. 그리고, 화소전극과 공통전극들은 선폭의 2.5~3배에 해당하는 10~12 μm 정도의 간격을 갖도록 배열된다. 이와 같은 상태에서, 화소전극과 공통전극 사이에 전계가 인가될 경우, 수평 전계는 화소전극과 공통전극의 서로 가장 인접한 측면 사이에서 형성된다. 반면에, 화소전극과 공

통전극 바로 윗면에서는 수평 전계가 형성되지 않고, 거의 수직 방향으로만 약한 전계가 발생한다.

[0005] 즉, 화소전극과 공통전극 사이의 액정 분자들은 수평 전계에 의해 구동되어 표시 기능을 발휘 하지만, 화소전극과 공통전극 바로 위에 놓인 액정 분자들은 수평전계에 의해 구동되지 않아 표시 기능을 발휘하지 못한다. 따라서, 화소전극과 공통전극이 차지하는 부분은 비 투과영역이 되며, 화소전극과 공통전극 사이 공간만이 투과영역이 된다.

[0006] 수직 전계 방식에서는 화소 영역 모두가 액정표시장치의 개구율을 결정하고, 휘도에 영향을 주지만, 수평 전계 방식에서는 화소 영역 중에서도 화소전극과 공통전극이 차지하는 면적은 개구율 및 휘도에 기여하지 않는 영역이 된다. 이와 같이, 수평 전계형 액정표시장치에서는 화소전극 및 공통전극을 투명 도전물질로 제조하더라도, 개구율 및 휘도를 저해하는 요인이 되고 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 상기 문제점들을 극복하기 위해 고안된 것으로, 수평전계형 액정표시장치를 3회의 마스크 공정으로 제조하는 방법을 제공한다. 본 발명의 다른 목적은 공통 전극과 화소 전극의 상부 면에도 수평 전계를 형성할 수 있는 고 투과율을 갖는 수평전계형 액정표시장치 및 그 제조 방법을 제공한다.

과제의 해결 수단

[0008] 상기 본 발명의 목적을 달성하기 위해, 본 발명에 의한 고투과 수평 전계형 액정표시장치 제조 방법은, 투명 기판 위에 투명도전층과 게이트 금속층을 연속으로 증착하고, 제1 마스크 공정으로 게이트 요소 및 장방형 공통 전극을 형성하는 단계; 상기 게이트 요소와 상기 공통 전극이 형성된 상기 기판 위에 게이트 절연막, 반도체층, 불순물 반도체층 그리고 소스-드레인 금속층을 연속으로 증착하고, 제2 마스크 공정으로 박막트랜지스터를 형성하는 단계; 상기 박막트랜지스터가 형성된 상기 기판 위에 보호막을 증착하고, 상기 보호막과 상기 게이트 절연막을 제3 마스크 공정으로 상기 장방형의 공통 전극을 다수 개의 선분들이 서로 평행하게 배열된 빗살 패턴 공통 전극으로 형성하는 단계; 상기 빗살 패턴 공통 전극이 형성된 기판 전면에 투명전극물질을 증착하고, 리프트-오프 공정으로 상기 빗살 패턴 공통 전극의 사이 사이에 화소 전극을 형성하는 단계를 포함한다.

[0009] 상기 제1 마스크 공정은, 상기 게이트 금속층 위에 포토레지스트 물질을 도포하고 제1 하프-톤 마스크로 패턴하여 상기 게이트 요소 위에는 제1 두께를 갖고, 상기 장방형 공통 전극 위에는 상기 제1 두께보다 얇은 제2 두께를 갖는 제1 포토레지스트 층을 형성하는 단계; 상기 제1 포토레지스트 층을 마스크로 하여 상기 게이트 금속층과 상기 투명도전층을 패턴하는 단계; 상기 제1 포토레지스트 층을 애싱하여 상기 제2 두께에 해당하는 양을 제거하여, 상기 장방형 공통 전극의 상기 게이트 금속층을 노출시키는 단계; 그리고 상기 노출된 게이트 금속층을 제거하여 상기 장방형 공통 전극은 상기 투명도전층만 포함하도록 형성하는 단계를 포함하는 것을 특징으로 한다.

[0010] 상기 게이트 금속층은 구리를 포함하는 제1 게이트 금속층을 증착하는 단계; 그리고 상기 제1 게이트 금속층 위에 알루미늄, 티타늄 및 알루미늄-티타늄 합금 중 적어도 어느 하나를 포함하는 제2 게이트 금속층을 증착하여 형성하는 것을 특징으로 한다.

[0011] 상기 제2 마스크 공정은, 상기 소스-드레인 금속층 위에 포토레지스트 물질을 도포하고 제2 하프-톤 마스크로 패턴하여 상기 박막트랜지스터의 중앙부 위에는 제3 두께를 갖고, 그 외의 상기 박막트랜지스터 부분 위에는 상기 제3 두께 보다 두꺼운 제4 두께를 갖는 제2 포토레지스트 층을 형성하는 단계; 상기 제2 포토레지스트 층을 마스크로 하여, 상기 소스-드레인 금속층, 불순물 반도체층 및 반도체층을 패턴하는 단계; 상기 제2 포토레지스트 층을 애싱하여 상기 제3 두께에 해당하는 양을 제거하여, 상기 박막트랜지스터의 중앙부의 상기 소스-드레인 금속층을 노출시키는 단계; 그리고 상기 노출된 소스-드레인 금속층과 상기 불순물 반도체층을 제거하여 박막트랜지스터를 완성하는 단계를 포함하는 것을 특징으로 한다.

[0012] 상기 제3 마스크 공정은, 상기 보호막 위에 포토레지스트 물질을 도포하고 제3 마스크로 패턴하여 상기 장방형 공통 전극에서 상기 빗살 패턴 공통 전극 부분을 덮는 제3 포토레지스트 층을 형성하는 단계; 상기 제3 포토레지스트 층 사이에 노출된 상기 보호막 및 상기 게이트 절연막을 패턴하여 상기 공통 전극의 일부를 노출하는 단계; 상기 노출된 공통 전극의 일부를 식각하여 상기 빗살 패턴 공통 전극을 형성하는 단계; 그리고 상기 패턴된 게이트 절연막 안쪽으로 상기 빗살 패턴 공통 전극을 과 식각하는 단계를 포함하는 것을 특징으로 한다.

- [0013] 상기 빗살 패턴 공통 전극의 상기 패턴된 게이트 절연막 안쪽으로 과 식각된 정도는 $0.5\mu\text{m}$ 내지 $1.5\mu\text{m}$ 이고, 상기 빗살 패턴 공통 전극의 상기 선분은 폭이 $3\mu\text{m}$ 인 것을 특징으로 한다.
- [0014] 상기 리프트-오프 공정은, 상기 제3 마스크 공정의 최종 단계에서 남아 있는 포토레지스트 층을 포함하는 상기 기판 전면에 상기 투명도전물질을 증착하여, 상기 빗살 패턴 공통 전극 사이에서 이웃하는 상기 빗살 패턴 공통 전극과 접촉하지 않도록 상기 투명도전물질을 채우는 단계; 그리고 상기 제3 마스크 공정에서 남은 상기 포토레지스트 층을 그 위에 증착된 상기 투명도전물질을 함께 제거하여, 상기 빗살 패턴 공통 전극의 상기 선분들과 평행하게 배열된 빗살 패턴을 갖는 상기 화소 전극을 완성하는 단계를 포함하는 것을 특징으로 한다.
- [0015] 상기 화소 전극의 선분은 폭이 $1\mu\text{m}$ 이고, 상기 빗살 패턴 공통 전극과 상기 화소 전극의 선분 사이의 이격 간격은 $0.5\mu\text{m}$ 내지 $1.5\mu\text{m}$ 인 것을 특징으로 한다.
- [0016] 또한, 본 발명에 의한 고투과 수평 전계형 액정표시장치는, 기판; 상기 기판 위에 제1 방향으로 배열된 게이트 배선; 게이트 절연막을 사이에 두고 상기 게이트 배선과 직교하며 제2 방향으로 배열된 데이터 배선; 상기 게이트 배선과 상기 데이터 배선이 교차하면서 형성한 화소 영역 내의 일측에 형성된 박막트랜지스터; 상기 화소 영역 내에서 상기 기판과 직접 접촉하여 형성된 서로 평행한 다수 개의 선분들을 포함하는 빗살 패턴 공통 전극; 그리고 상기 박막트랜지스터와 연결되고, 상기 기판과 직접 접촉하며, 상기 빗살 패턴 공통 전극의 상기 선분들 사이에서 상기 빗살 패턴 공통 전극과 평행하게 배열되며, 서로 평행한 다수 개의 선분들을 포함하는 빗살 패턴 화소 전극을 포함한다.
- [0017] 상기 빗살 패턴 공통 전극의 상기 선분들은 폭은 $3\mu\text{m}$ 이고, 상기 빗살 패턴 화소 전극의 상기 선분들의 폭은 $1\mu\text{m}$ 이며, 상기 빗살 패턴 공통 전극과 상기 빗살 패턴 화소 전극의 이격 간격은 $0.5\mu\text{m}$ 내지 $1.5\mu\text{m}$ 인 것을 특징으로 한다.

발명의 효과

- [0018] 본 발명에 의한 수평 전계형 액정표시장치는, 폭이 좁은 공통 전극과 화소 전극이 조밀하게 배치된 구조를 갖는다. 따라서, 낮은 전압으로도 공통 전극과 화소 전극 사이에 수평 전계를 형성할 수 있다. 또한, 공통 전극과 화소 전극의 상부면에도 수평 전계가 형성된다. 이로써 종래 기술에서는 비 투과 영역이었던 공통 전극과 화소 전극 영역에서도 액정 분자가 수평 전계에 의해 작동되므로 투과 영역이 더 많이 확보된다. 그 결과, 본 발명은 고 투과율을 갖는 수평 전계 액정표시장치를 간단한 제조 공정과 저렴한 비용으로 제조할 수 있다는 장점이 있다.

도면의 간단한 설명

- [0019] 도 1은 본 발명에 의한 수평 전계형 액정표시장치의 박막트랜지스터 어레이 기판을 나타내는 평면도.
- 도 2a 내지 2c는, 도 1의 절취선 I-I'로 자른 단면으로, 본 발명에 의한 수평 전계형 액정표시장치의 박막트랜지스터 어레이 기판을 제조하는 제 1 마스크 공정을 나타내는 단면도들.
- 도 3a 내지 3d는, 도 1의 절취선 I-I'로 자른 단면으로, 본 발명에 의한 수평 전계형 액정표시장치의 박막트랜지스터 어레이 기판을 제조하는 제 2 마스크 공정을 나타내는 단면도들.
- 도 4a 내지 4d는, 도 1의 절취선 I-I'로 자른 단면으로, 본 발명에 의한 수평 전계형 액정표시장치의 박막트랜지스터 어레이 기판을 제조하는 제 3 마스크 공정을 나타내는 단면도들.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 첨부한 도면들, 도 1 내지 도 4d를 참조하여, 본 발명의 바람직한 실시 예들에 대하여 설명한다. 도 1은 본 발명에 의한 수평 전계형 액정표시장치의 박막트랜지스터 어레이 기판을 나타내는 평면도이다. 도 2a 내지 2c는, 도 1의 절취선 I-I'로 자른 단면으로, 본 발명에 의한 수평 전계형 액정표시장치의 박막트랜지스터 어레이 기판을 제조하는 제 1 마스크 공정을 나타내는 단면도들이다.
- [0021] 먼저, 게이트 요소들을 형성하는 제1 마스크 공정에 대하여 설명한다. 투명 기판(SUB) 위에 투명전극층(100), 제1게이트 금속층(200) 및 제2게이트 금속층(300)을 연속으로 증착한다. 투명전극층(100)은 ITO(Indium Tin Oxide) 혹은 IZO (Indium Zinc Oxide)와 같은 투명도전물질을 포함하는 것이 바람직하다. 제1게이트 금속층(200)은 배선 저항을 낮추기 위한 것으로서 구리(Cu)와 같은 저저항 금속물질인 것이 바람직하다. 제2게이트 금속층(300)은 저저항 배선층인 제1 게이트 금속층(200)을 보호하기 위한 것으로서 몰리브덴(Mo), 티타늄(Ti)

혹은 몰리브덴-티타늄 합금(MoTi)와 같은 금속물질인 것이 바람직하다.

- [0022] 그리고, 제2 게이트 금속층(300) 위에 포토레지스트 물질을 전면 증착하고, 제1 마스크를 이용하여 패터닝하여 제1 포토레지스트(PR1)를 형성한다. 특히, 제1 포토레지스트(PR1)는 기판(SUB)의 가로 방향으로 진행되는 게이트 배선(GL), 게이트 배선(GL)에서 분기하는 게이트 전극(G), 게이트 배선(GL)의 일측 단부에 형성되는 게이트 패드(GP), 게이트 배선(GL)과 나란하게 진행되는 공통 배선(CL), 그리고 공통 전극(COM)이 형성되는 부분에만 남아 있도록 패터닝한다. 특히, 공통 전극(COM)은 투명전극층(100)만 포함하고 그 외의 다른 요소들은 투명전극층(100), 제1게이트 금속층(200) 및 제2게이트 금속층(300)을 모두 포함하도록 형성하여야 한다. 따라서, 공통 전극(COM) 위의 제1 포토레지스트(PR1)은 다른 부분의 제1 포토레지스트(PR1)의 두께보다 약 절반 정도로 얇게 형성하는 것이 바람직하다. 이를 위해 제1 마스크는 하프-톤 마스크를 사용하는 것이 바람직하다. (도 2a)
- [0023] 제1 포토레지스트(PR1)의 형상대로 투명전극층(100), 제1게이트 금속층(200) 및 제2게이트 금속층(300)을 식각하여, 게이트 배선(GL), 게이트 패드(GP), 게이트 전극(G), 공통 배선(CL) 및 공통 전극(COM)을 형성한다. 제1 포토레지스트(PR1)을 애싱공정으로 일부 제거한다. 특히, 공통 전극(COM) 부분을 덮는 제1 포토레지스트(PR1)이 모두 없어질 때까지 애싱공정을 수행한다. 그 결과 공통 전극(COM)의 제2게이트 금속층은 노출되지만 다른 게이트 요소(GP, GL, G, CL)들 위에는 제1 포토레지스트(PR1)이 얇아진 채로 남아 있게된다. (도 2b)
- [0024] 그 후에, 다시 식각 공정으로 노출된 공통 전극(COM)의 제2게이트 금속층(300)과 제1게이트 금속층(200)을 제거한다. 즉, 공통 전극(COM)은 투명전극층(100)만 포함한 상태가 된다. 반면에 나머지 게이트 요소들은 투명전극층(100), 제1게이트 금속층(200), 및 제2게이트 금속층(300)들이 적층된 구성을 갖는다. 특히, 공통 전극(COM)은 화소 영역에 상응하는 장방형의 모양을 갖도록 형성하는 것이 바람직하다. (도 2c)
- [0025] 도 3a 내지 3d는, 도 1의 절취선 I-I'로 자른 단면으로, 본 발명에 의한 수평 전계형 액정표시장치의 박막트랜지스터 어레이 기판을 제조하는 제2 마스크 공정을 나타내는 단면도들이다.
- [0026] 남아 있는 제1 포토레지스트(PR1)를 모두 제거한다. 게이트 요소들이 형성된 기판(SUB) 위에 게이트 절연막(GI) 반도체층(AM), 불순물 반도체층(nM), 소스-드레인 금속층(SDM)을 연속으로 증착한다. 그리고, 소스-드레인 금속층(SDM) 위에 포토레지스트 물질을 증착하고 제2 마스크로 패터닝하여, 제2 포토레지스트(PR2)를 형성한다. 특히, 제2 포토레지스트(PR2)는 세로 방향으로 진행되는 데이터 배선(DL), 박막트랜지스터(TFT), 스토리지 전극(ST), 그리고 데이터 배선(DL)의 일측 단부에 형성된 데이터 패드(DP)가 형성되는 부분에만 남아 있도록 패터닝한다. 특히, 박막트랜지스터(TFT)가 형성되는 부분 중에서 소스 전극(S)과 드레인 전극(D) 사이에서는 소스-드레인 금속층(SDM)과 불순물 반도체층(nM)을 제거해야 하므로, 이 부분의 제2 포토레지스트(PR2)의 두께는 다른 부분의 두께보다 절반 정도로 얇게 형성하는 것이 바람직하다. 즉, 제2 마스크 공정도 하프-톤 마스크를 사용한다. (도 3a)
- [0027] 제2 포토레지스트(PR2)를 이용하여, 소스-드레인 금속층(SDM), 불순물 반도체층(nM) 및 반도체층(AM)을 패터닝하여, 게이트 절연막(GI)를 사이에 두고 게이트 배선(GL)과 직교하는 데이터 배선(DL), 박막트랜지스터(TFT) 부, 공통 배선(CL)과 중첩하는 스토리지 전극(ST) 그리고 데이터 배선(DL)의 일측 단부에 형성되는 데이터 패드(DP)를 형성한다. (도 3b)
- [0028] 그리고 나서, 제2 포토레지스트(PR2)에서 박막트랜지스터(TFT) 부의 중앙부분의 얇은 부분이 모두 제거되도록 애싱 공정을 수행한다. 즉, 소스-드레인 요소들을 형성하는 소스-드레인 금속층(SDM)은 박막트랜지스터(TFT)의 채널부(A)가 형성될 부분을 제외하고는 제2 포토레지스트(PR2)에 의해 모두 덮인 상태가 된다. (도 3c)
- [0029] 그 후, 제2 포토레지스트(PR2)에 의해 덮이지 않은 박막트랜지스터(TFT)의 중앙부를 식각하여 박막트랜지스터(TFT)를 완성한다. 즉, 게이트 전극(G)과 중첩하는 채널층(A), 데이터 배선(DL)에서 분기하여 채널층(A)의 일측면과 접촉하는 소스 전극(S), 소스 전극(S)과 대향하며 채널층(A)의 타측면과 접촉하는 드레인 전극(D), 그리고 소스 전극(S) 및 드레인 전극(D)의 하부에는 채널층(A)과의 오믹접촉을 위한 오믹층(n)이 형성된다. (도 3d)
- [0030] 도 4a 내지 4d는, 도 1의 절취선 I-I'로 자른 단면으로, 본 발명에 의한 수평 전계형 액정표시장치의 박막트랜지스터 어레이 기판을 제조하는 제3 마스크 공정 및 리프트-오프 공정을 나타내는 단면도들이다.
- [0031] 남아 있는 제2 포토레지스트(PR2)들을 모두 제거한다. 박막트랜지스터(TFT)가 완성된 기판(SUB) 위에 보호막(PAS)을 전면 증착한다. 그리고, 보호막(PAS) 위에 포토레지스트 물질을 증착하고 제3 마스크로 패터닝하여, 제3 포토레지스트(PR3)를 형성한다. 제3 포토레지스트(PR3)는 화소 전극(PXL), 게이트 패드 전극(GPT) 그리고 데이터 패드 전극(DPT)을 형성하기 위한 것이다. 제1 및 제2 포토레지스트(PR1, PR2)들과는 달리, 제3 포토레지스트(PR3)의 제거된 패턴 홀 부분을 이용하여 화소 전극(PXL), 게이트 패드 전극(GPT) 그리고 데이터 패드 전극

(DPT)을 형성한다. 따라서, 화소 전극(PXL)이 드레인 전극(D)과 접촉하도록 하는 드레인 콘택홀(DH)이 형성될 부분, 화소 영역 내에 형성할 화소 전극(PXL)을 위한 형상부, 그리고 게이트 패드 전극(GPT)과 게이트 패드(GP)를 접촉하도록 하는 게이트 패드 콘택홀(GPH)이 형성될 부분, 그리고 데이터 패드 전극(DPT)과 데이터 패드(DP)를 접촉하도록 하는 데이터 패드 콘택홀(DPH)이 형성될 부분이 노출된 형상으로 패터닝하는 것이 바람직하다. 제3 포토레지스트(PR3)는 두께가 모두 동일하므로 하프-톤 마스크를 사용하지 않는다. (도 4a)

[0032] 제3 포토레지스트(PR3)을 이용한 포토 공정으로 보호막(PAS) 및 게이트 절연막(GI)을 패터닝한다. 그 결과, 드레인 전극(D)의 일부를 노출하는 드레인 콘택홀(DH), 게이트 패드(GP)를 노출하는 게이트 패드 콘택홀(GPH) 및 데이터 패드(DP) 일부를 노출하는 데이터 패드 콘택홀(DPH)을 형성한다. 특히, 게이트 패드 콘택홀(GPH)은 게이트 패드(GP) 전부 혹은 일부를 노출시키도록 형성될 수 있다. 반면, 데이터 패드 콘택홀(DPH)은 데이터 패드(DP)의 일부를 노출시키도록 형성할 수 있다. 또한, 화소 전극(PXL)이 형성될 위치인, 공통 전극(COM)의 제거해야 할 부분들이 노출된다. 그리고, 노출된 공통 전극(COM)을 식각한다. 그 결과 공통 전극(COM)은 복수 개의 선분 모양이 서로 나란하게 배열된 형상으로 패터닝된다. 이 상태에서 공통 전극(COM)을 과 식각시켜 게이트 절연막(GI) 아래로 언더 컷(Under-cut)이 발생하도록 형성하는 것이 바람직하다. 여기서, 화소 전극(PXL)은 선 폭이 약 $1\mu\text{m}$ 가 되도록 제3 포토레지스트(PR3)의 형상을 결정하는 것이 바람직하다. 또한, 선분 모양의 공통 전극(COM)은 폭이 약 $3\mu\text{m}$ 정도가 되도록 식각 공정을 조절하는 것이 바람직하다. 더욱이, 언더-컷의 정도는 게이트 절연막(GI)의 아래로 약 $0.5\sim 1.5\mu\text{m}$ 정도 들어 가도록 형성하는 것이 바람직하다. (도 4b)

[0033] 그 후, 제3 포토레지스트(PR3) 위에 투명도전물질(ITO)을 증착한다. 그러면, 제3 포토레지스트(PR3) 상부 표면 뿐만 아니라, 제3 포토레지스트(PR3)를 패터닝하여 형성된 구멍들 사이로 투명도전물질이 증착된다. (도 4c)

[0034] 이 상태에서, 제3 포토레지스트(PR3)를 상부 표면에 증착된 투명도전물질(ITO)과 함께 리프트-오프(Lift-Off) 공법으로 제거한다. 그 결과, 선분 모양으로 패터닝된 공통 전극(COM) 사이에 화소 전극(PXL)이 형성된다. 화소 전극(PXL)은 드레인 전극(D)의 일부를 노출하는 드레인 콘택홀(DH)을 통해 드레인 전극(D)과 접촉된다. 또한, 게이트 패드(GP)를 노출하는 게이트 패드 콘택홀(GPH) 내에는 게이트 패드 단자(GPT)가 형성된다. 그리고, 데이터 패드(DP)를 노출하는 데이터 패드 콘택홀(DPH) 내에는 데이터 패드 단자(DPT)가 형성된다. (도 4d)

[0035] 이상 살펴본 바와 같이, 본 발명은 수평 전계 방식의 액정표시장치를 3회의 마스크 공정으로 제조한다. 따라서, 제조 공정이 간단하고, 제조 비용이 절감된다. 또한, 본 발명에 의한 수평전계 방식의 액정표시장치는 공통 전극(COM)과 화소 전극(PXL)의 폭이 종래 기술의 것보다 상당히 좁은 폭을 갖는다. 전극의 폭이 좁으면, 공통 전극(COM)과 화소 전극(PXL) 사이에 형성되는 수평 전계가 약할 수 있다. 이를 방지하기 위해, 공통 전극(COM)과 화소 전극(PXL) 사이의 간격을 조밀하게 배치한다. 그 결과, 낮은 전압으로도 공통 전극(COM)과 화소 전극(PXL) 사이에 수평 전계를 형성할 수 있다. 또한, 공통 전극(COM)과 화소 전극(PXL) 사이가 좁으므로 전극의 상부면에도 수평 전계가 형성된다. 이로써 종래 기술에서는 비 투과 영역이었던 공통 전극(COM)과 화소 전극(PXL) 영역에서도 액정 분자가 수평 전계에 의해 작동되므로 투과 영역이 더 많이 확보된다. 즉, 본 발명에 의하면, 고 투과율을 갖는 수평 전계 액정표시장치를 3회의 마스크 공정으로 형성할 수 있다.

[0036] 도 1 및 도 4d를 참조하여, 상기 본 발명의 실시 예로 제조한 수평 전계형 액정표시 패널의 구조를 부가적으로 더 설명하면 다음과 같다. 액정표시패널은 박막트랜지스터가 형성된 박막트랜지스터 어레이 기판을 포함한다. 도면에 도시하지 않았으나, 액정표시패널은 박막트랜지스터 어레이 기판과 대향하는, 칼라필터 및 블랙 매트릭스가 형성된 칼라필터 기판과, 그 사이에 개재된 액정층을 더 포함한다.

[0037] 수평 전계형 액정표시패널의 박막트랜지스터 어레이 기판은 하부 기판(SUB) 상에 교차되게 형성된 게이트 라인(GL) 및 데이터 라인(DL)과, 그 교차부마다 형성된 박막 트랜지스터(TFT)와, 그 교차 구조로 마련된 화소 영역에 수평 전계를 이루도록 형성된 화소 전극(PXL) 및 공통 전극(COM)과, 공통 전극(COM)과 접속된 공통 라인(CL)을 구비한다. 특히, 화소 전극(PXL)과 공통 전극(COM)은 모두 유리 기판(SUB)의 표면 상에 직접 형성된다.

[0038] 박막트랜지스터(TFT)는 게이트 라인(GL)에서 분기된 게이트 전극(G)과, 게이트 전극(G)을 덮는 게이트 절연막(GI) 위에서 게이트 전극(G)과 중첩하도록 형성된 반도체 층(A)과, 데이터 라인(DL)에서 분기되며 반도체 층(A)의 일측단과 접촉하는 소스 전극(S)과, 소스 전극(S)과 대향하며 반도체 층(A)의 타측단과 접촉하는 드레인 전극(D)을 포함한다. 그리고, 박막트랜지스터(TFT) 위에는 보호막(PAS)이 형성되어 박막트랜지스터(TFT)를 보호한다.

[0039] 게이트라인(GL)은 박막트랜지스터(TFT)의 게이트전극(G)에 게이트신호를 공급한다. 데이터라인(DL)은 박막트랜지스터(TFT)의 드레인전극(D)을 통해 화소전극(PXL)에 화소신호를 공급한다. 게이트라인(GL)과 데이터라인(D

L)은 교차구조로 형성되어 화소영역을 정의한다. 공통라인(CL)은 게이트라인(GL)과 나란하게 형성되며 액정 구동을 위한 기준전압을 공통전극(COM)에 공급한다.

[0040] 박막트랜지스터(TFT)는 게이트 라인(GL)의 게이트 신호에 응답하여 데이터 라인(DL)의 화소 신호가 화소 전극(PXL)에 충전되어 유지되게 한다. 화소 전극(PXL)은 보호막(PAS)에 형성된 콘택홀(CHD)을 통해 노출된 박막트랜지스터(TFT)의 드레인 전극(D)과 접속되어 화소 영역에 형성된다. 공통 전극(COM)은 공통 라인(CL)과 접속되어 화소 영역에 형성된다. 특히, 화소 전극(PXL)과 공통전극(COM)은 화소 영역 내에서, 서로 평행하도록 배치된다. 이를 위해, 공통전극(COM)은 화소 영역 내에서 수직 방향으로 일정 간격 떨어져 배치된 다수의 막대 모양을 구비하며, 화소전극(PXL)은 공통전극(COM)들 사이에서 배치되는 막대 모양을 다수 개 구비한다.

[0041] 이에 따라, 박막트랜지스터(TFT)를 통해 화소 신호가 공급된 화소 전극(PXL)과 공통 라인(CL)을 통해 기준 전압이 공급된 공통 전극(COM) 사이에 수평 전계가 형성된다. 특히, 화소 전극(PXL)과 공통전극(COM)은 0.5 μ m 내지 1.5 μ m 범위 내인 전극 폭과 거의 동일하거나 더 좁은 간격으로 떨어져 배열됨으로 인해 화소 전극(PXL)과 공통 전극(COM) 사이 뿐 아니라, 화소 전극(PXL)과 공통전극(COM) 자체의 상부 공간에도 수평 전계가 형성된다.

[0042] 이러한 수평 전계에 의해, 박막 트랜지스터 어레이 기판과 칼라필터 기판 사이에 개재된 액정층의 액정 분자들이 유전 이방성에 의해 회전하게 된다. 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 화상을 구현하게 된다.

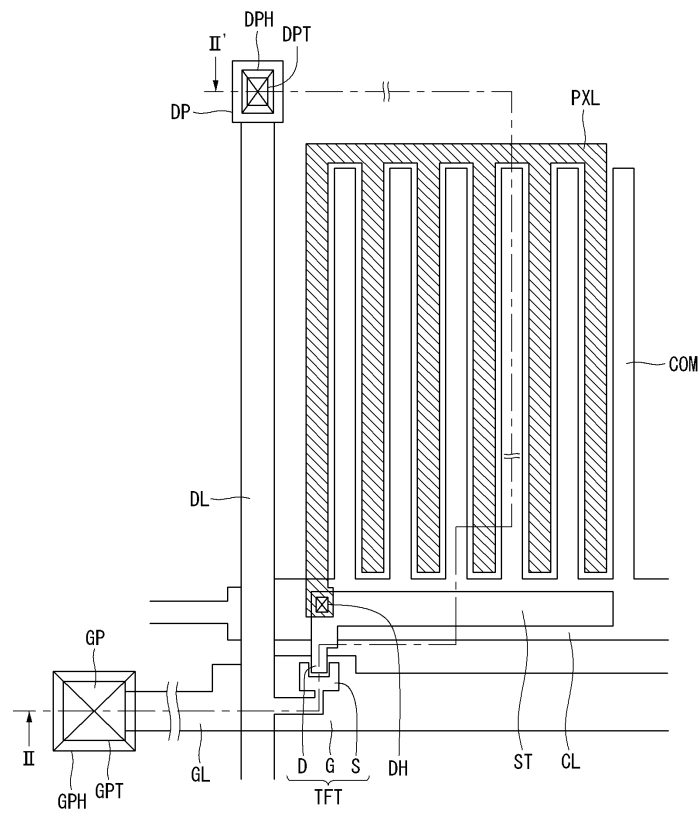
[0043] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

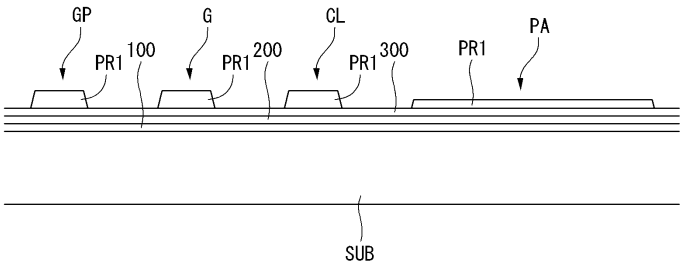
[0044] TFT: 박막트랜지스터	SUB: 기판
GL: 게이트 배선	CL: 공통 배선
DL: 데이터 배선	PXL: 화소 전극
COM: 공통 전극	GP: 게이트 패드
DP: 데이터 패드	GPT: 게이트 패드 단자
DPT: 데이터 패드 단자	ST: 스토리지 전극
DH: 드레인 콘택홀	GPH: 게이트 패드 콘택홀
DPH: 데이터 패드 콘택홀	G: 게이트전극
S: 소스전극	D: 드레인전극
A: 채널 층	n: 오믹층
100: 투명전극층	200: 제1게이트 금속층
300: 제2게이트 금속층	AM: 반도체 층
nA: 불순물 반도체 층	SDM: 소스-드레인 금속층
GI: 게이트 절연막	PASSI: 보호막
PR1: 제1 포토레지스트 층	PR2: 제2 포토레지스트 층
PR3: 제3 포토레지스트 층	ITO: 투명도전물질

도면

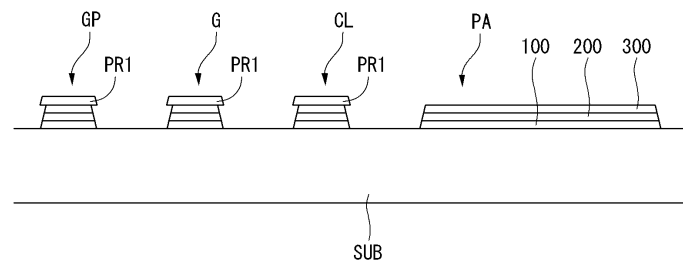
도면1



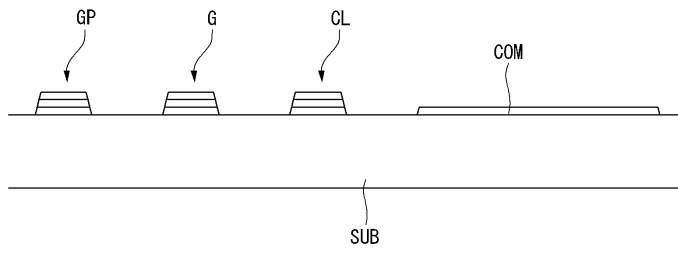
도면2a



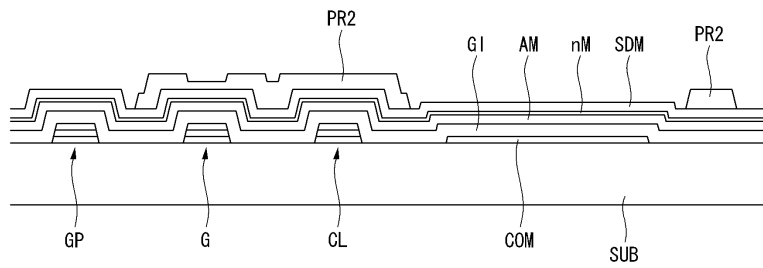
도면2b



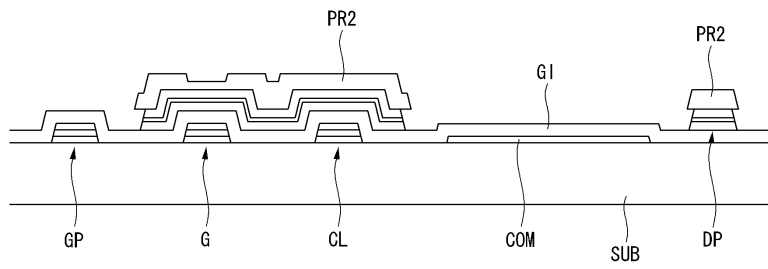
도면2c



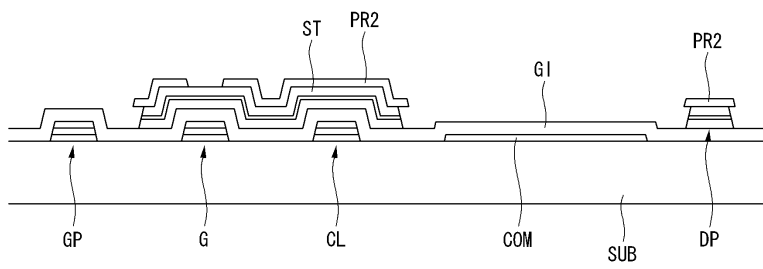
도면3a



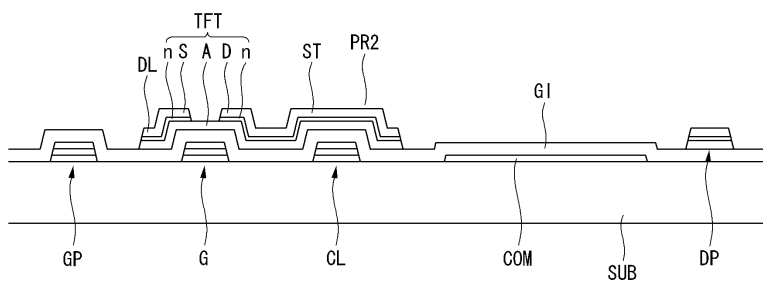
도면3b



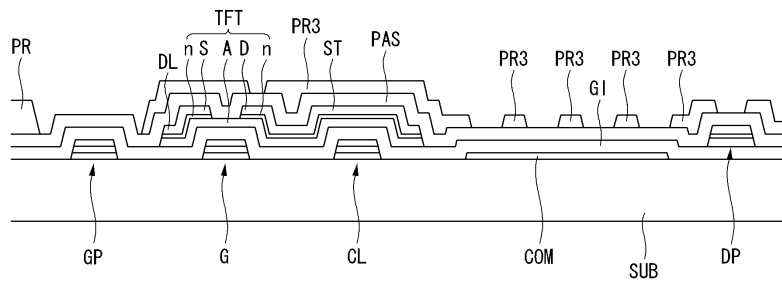
도면3c



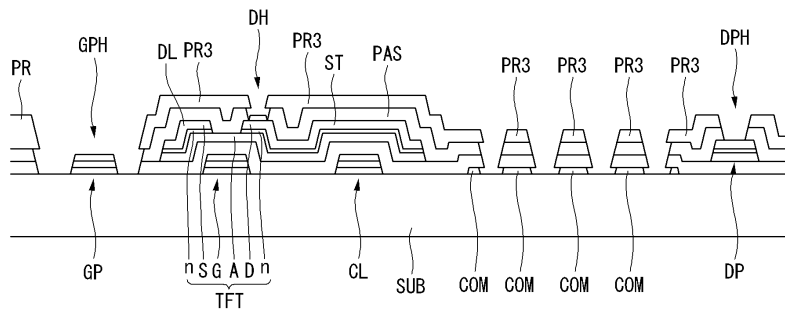
도면3d



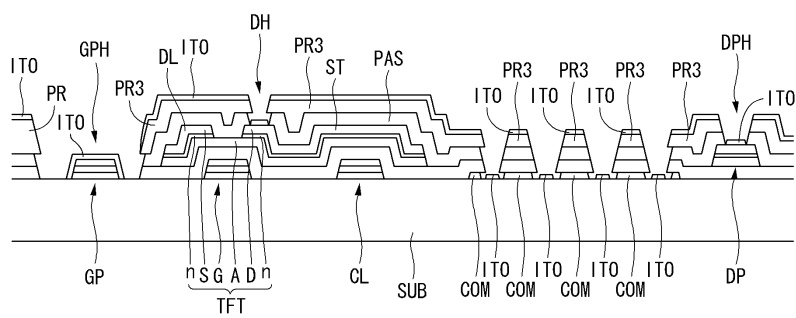
도면4a



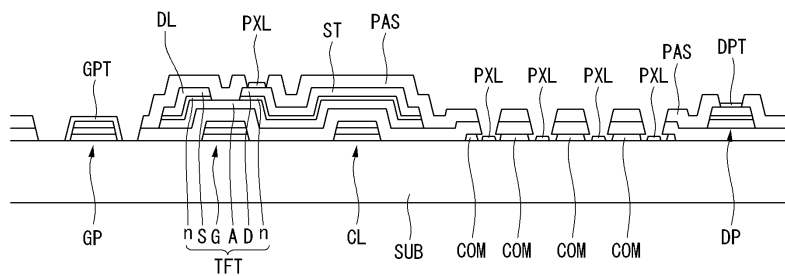
도면4b



도면4c



도면4d



专利名称(译)	高透明水平电场型液晶显示装置及其制造方法		
公开(公告)号	KR101848496B1	公开(公告)日	2018-04-12
申请号	KR1020100099268	申请日	2010-10-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HONG GI SANG 홍기상 KIM JEONG OH 김정오 KIM KANG IL 김강일 BANG JUNG HO 방정호		
发明人	홍기상 김정오 김강일 방정호		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134363 G02F1/13439 G02F2001/134372 G02F2001/13629 G02F2001/136295 G02F1/1343		
其他公开文献	KR1020120037668A		
外部链接	Espacenet		

摘要(译)

目的：提供高透光率平面转换液晶显示装置及其制造方法，以在低电压下在公共电极和像素电极之间形成水平电场。组成：梳形公共电极（COM）包括彼此平行的多个线段。线段直接接触像素区域中的基板。梳状像素电极（PXL）连接到薄膜晶体管。梳形像素电极直接接触基板。梳形像素电极与线段之间的梳形公共电极平行。梳形像素电极包括平行线段。

