



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년03월16일

(11) 등록번호 10-1502836

(24) 등록일자 2015년03월10일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2008-0026435

(22) 출원일자 2008년03월21일

심사청구일자 2013년03월08일

(65) 공개번호 10-2009-0100912

(43) 공개일자 2009년09월24일

(56) 선행기술조사문헌

KR1020020048822 A*

KR1020030071005 A*

KR1020040036824 A*

KR1020030042076 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

신경주

경기도 화성시 영통로61번길 10, 신영통현대1차아파트 105동 1102호 (반월동)

안형철

서울특별시 서초구 서초대로74길 51, 롯데 골드로
즈 1006호 (서초동)

박진오

서울특별시 관악구 남부순환로164길 55 (신림동)

(74) 대리인

박영우

전체 청구항 수 : 총 14 항

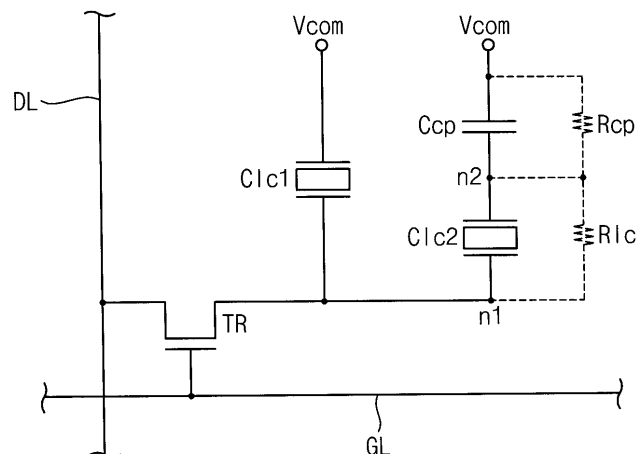
심사관 : 윤성주

(54) 발명의 명칭 액정표시패널

(57) 요약

액정표시패널은 어레이 기관 및 대향 기관을 포함한다. 어레이 기관은 제1 서브 화소 영역과 제2 서브 화소 영역을 가지는 화소 영역에 형성된 화소 전극을 포함한다. 대향 기관은 어레이 기관과 결합하여 액정층을 수용하고, 화소 영역에 대응하는 영역에 형성된 제1 공통 전극과 제2 서브 화소 영역에 대응하는 영역에 플로팅 되어 커패시팅 커패시터를 형성하는 제2 공통 전극을 포함한다. 커패시팅 커패시터를 대향 기관에 형성함으로써 투과율을 향상시키고 잔상을 제거할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 서브 화소 영역과 제2 서브 화소 영역을 가지는 화소 영역에 형성된 화소 전극을 포함하는 어레이 기관; 및
상기 어레이 기관과 결합하여 액정층을 수용하고, 상기 화소 영역에 대응하는 영역에 형성된 제1 공통 전극과
상기 제2 서브 화소 영역에 대응하는 영역에 플로팅 되어 커플링 커패시터를 형성하는 제2 공통 전극을 포함하
는 대향 기관을 포함하고,

상기 대향 기관은 상기 화소 전극의 가장자리를 둘러싸는 영역에 대응되는 차광층을 더 포함하며,

상기 제2 공통 전극은 상기 제2 서브 화소 영역에 형성되는 화소 전극의 일부분과 중첩되는 제1 영역 및 상기
차광층과 중첩되는 제2 영역을 포함하고,

상기 차광층은 공통 전압이 인가되는 상기 커플링 커패시터의 전극인 것을 특징으로 하는 액정표시패널.

청구항 2

제1항에 있어서, 상기 화소 전극은 개구된 제1 개구 패턴을 포함하는 것을 특징으로 하는 액정표시패널.

청구항 3

제2항에 있어서, 상기 제1 공통 전극은 상기 제1 서브 화소 영역에 대응하는 영역에 형성되고, 상기 제2 공통
전극은 제2 개구 패턴에 의해 상기 제1 공통 전극과 이격된 것을 특징으로 하는 액정표시패널.

청구항 4

제3항에 있어서, 상기 제1 및 제2 개구 패턴은 평면상에서 관찰할 때, 서로 이격된 것을 특징으로 하는 액정표
시패널.

청구항 5

제1항에 있어서, 상기 차광층은 전도성 물질로 형성되는 것을 특징으로 하는 액정표시패널.

청구항 6

제5항에 있어서, 상기 차광층과 상기 제2 공통 전극 사이에 형성된 오버 코팅층을 더 포함하는 액정표시패널.

청구항 7

삭제

청구항 8

삭제

청구항 9

제2항에 있어서, 상기 어레이 기관은 상기 화소 전극의 가장자리를 둘러싸는 영역에 형성된 스토리지 배선을 더
포함하는 액정표시패널.

청구항 10

삭제

청구항 11

제1 서브 화소 영역과 제2 서브 화소 영역을 가지는 화소 영역에 형성된 화소 전극을 포함하는 어레이 기관; 및
상기 어레이 기관과 결합하여 액정층을 수용하고, 상기 화소 영역에 대응하는 영역에 형성된 제1 공통 전극과
상기 제2 서브 화소 영역에 대응하는 영역에 플로팅 되어 커플링 커패시터를 형성하는 제2 공통 전극을 포함하
는 대향 기관을 포함하고, 상기 화소 전극은 상기 제1 서브 화소 영역에 형성된 제1 서브 화소 전극과, 상기 제2

서브 화소 영역에 형성된 제2 서브 화소 전극을 포함하고,
 상기 제1 및 제2 서브 화소 전극은 전기적으로 연결되며,
 상기 제1 공통 전극은 상기 제1 및 제2 서브 화소 영역에 대응하는 영역에 공통으로 형성되고,
 상기 제2 공통 전극은 상기 제1 공통 전극과 중첩되도록 상기 제2 서브 화소 영역에 형성된 것을 특징으로 하는 액정표시패널.

청구항 12

제11항에 있어서, 상기 제1 공통 전극과 상기 제2 공통 전극 사이에 형성된 오버 코팅층을 더 포함하는 액정표시패널.

청구항 13

제12항에 있어서, 상기 제1 공통 전극은 공통 전압이 인가되는 상기 커플링 커패시터의 전극인 것을 특징으로 하는 액정표시패널.

청구항 14

제11항에 있어서, 상기 어레이 기판은 상기 제1 서브 화소 영역과 상기 제2 서브 화소 영역 사이의 영역에 형성된 스토리지 배선을 더 포함하는 액정표시패널.

청구항 15

제14항에 있어서, 상기 화소 전극은 상기 스토리지 배선과 중첩되고, 상기 제1 및 제2 서브 화소 전극들을 서로 연결하는 연결 전극을 더 포함하는 액정표시패널.

청구항 16

제1항에 있어서, 상기 대향 기판은 상기 화소 전극이 형성된 영역에 대응하여 형성된 컬러필터층을 더 포함하는 액정표시패널.

청구항 17

제1항에 있어서, 상기 어레이 기판은 서로 교차하는 게이트 배선과 데이터 배선에 연결된 스위칭 소자를 더 포함하고,

상기 화소 전극은 상기 스위칭 소자와 전기적으로 연결된 것을 특징으로 하는 액정표시패널.

청구항 18

삭제

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 사용되는 액정표시패널에 관한 것이다.

배경 기술

[0002] 액정표시장치(Liquid Crystal Display, LCD)는 두 개의 기판 사이에 개재된 액정층에 전압을 인가하여 광의 투과율을 제어함으로써 화상을 표시한다.

[0003] 상기 액정표시장치는 상기 액정층의 액정분자에 의해 차폐되지 않은 방향으로만 광이 투과되어 영상을 구현하기 때문에, 다른 표시장치들에 비해 상대적으로 시야각이 좁다. 이에 따라 광시야각을 실현하기 위하여 수직 배향(Vertically Aligned, VA) 모드의 액정표시장치가 개발되었다.

- [0004] 상기 VA 모드 of 액정표시장치는 서로 수직 배향 처리된 2개의 기관들 간에 밀봉된 네거티브 타입의 유전율 이방성(Negative type dielectric constant anisotropy)을 갖는 액정층을 포함한다. 상기 액정층의 액정분자는 수직(homeotropic) 배향의 성질을 갖는다. 동작시, 두 기관들 사이에 전압이 인가되지 않으면 기관 표면에 대하여 대략 수직 방향으로 액정층이 정렬되어 블랙(black)을 표시하고, 소정의 전압이 인가되면 상기 기관 표면에 대하여 대략 수평 방향으로 액정층이 정렬되어 화이트(white)를 표시하며, 상기 화이트 표시를 위한 전압보다 작은 전압이 인가되면 상기 기관 표면에 대하여 액정층이 경사지게 배향되어 그레이(gray)를 표시한다.
- [0005] 이러한 액정표시장치는 시야각이 좁은 단점을 가진다. 이를 해결하기 위해 하나의 화소를 다중 도메인을 나누어 구동하는 PVA(Patterned Vertical Alignment) 모드 및 SPVA(Super Patterned Vertical Alignment) 모드가 개발되었다. 상기 PVA 모드는 상판 및 하판에 형성된 공통 전극 및 화소 전극을 패턴 하여 다중 도메인을 구현하는 기술이며, 상기 SPVA는 상기 PVA에서 한 단계 발전된 기술로서 하나의 화소를 다수의 서브 화소들로 나누고, 상기 서브 화소들의 화소 전압을 다르게 인가하는 기술이다. 상기 SPVA 모드의 일 예로서, 커플링 커패시터를 이용해 상기 서브 화소들에 서로 다른 화소 전압을 인가하는 CC(Coupling Capacitor)-SPVA 모드가 있다.
- [0006] 상기 CC-SPVA는 데이터 배선으로 인가된 화소 전압이 제1 서브 화소에 그대로 인가되고 제2 서브 화소에는 상기 커플링 커패시터에 의해 상기 화소 전압이 분압된 전압이 인가되는 구동 원리를 가진다. 이에 반해, 실질적으로 CC-SPVA가 적용된 제품은 투과율이 낮고, 잔상이 발생하는 문제점을 가진다.

발명의 내용

해결 하고자하는 과제

- [0007] 이에 본 발명은 상기의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 투과율 향상 및 잔상 개선을 위한 액정표시패널을 제공하는 것이다.

과제 해결수단

- [0008] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 액정표시패널은 어레이 기관 및 대향 기관을 포함한다. 상기 어레이 기관은 제1 서브 화소 영역과 제2 서브 화소 영역을 가지는 화소 영역에 형성된 화소 전극을 포함한다. 상기 대향 기관은 상기 어레이 기관과 결합하여 액정층을 수용하고, 상기 화소 영역에 대응하는 영역에 형성된 제1 공통 전극과 상기 제2 서브 화소 영역에 대응하는 영역에 플로팅 되어 커플링 커패시터를 형성하는 제2 공통 전극을 포함한다.
- [0009] 상기한 본 발명의 목적을 실현하기 위한 다른 실시예에 따른 액정표시패널은 스위칭 소자, 제1 액정 커패시터, 제2 액정 커패시터 및 커플링 커패시터를 포함한다. 상기 스위칭 소자는 게이트 배선과 제어단이 연결되고 상기 게이트 배선과 교차하는 데이터 배선과 입력단이 연결된다. 상기 제1 액정 커패시터는 상기 스위칭 소자의 출력단과 연결된 제1 전극과 공통 전압이 인가되는 제2 전극을 포함한다. 상기 제2 액정 커패시터는 상기 스위칭 소자의 출력단과 제1 전극이 연결된다. 상기 커플링 커패시터는 상기 제2 액정 커패시터의 제2 전극과 연결된 제1 전극과 상기 공통 전압이 인가되는 제2 전극을 포함한다.

효과

- [0010] 이러한 액정표시패널에 의하면, 커플링 커패시터를 대향 기관에 형성함으로써 투과율을 향상시키고 잔상을 제거할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0011] 이하, 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단

수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

- [0012] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0013] 도 1은 본 발명의 실시예 1에 따른 액정표시패널의 등가회로도이다.
- [0014] 도 1을 참조하면, 상기 액정표시패널은 화소(P)를 포함한다. 상기 화소(P)는 스위칭 소자(TR), 제1 액정 커패시터(C1c1), 제2 액정 커패시터(C1c2) 및 커플링 커패시터(Ccp)를 포함한다.
- [0015] 상기 스위칭 소자(TR)의 게이트 배선(GL)과 전기적으로 연결된 제어단(이하, 게이트 전극이라 명칭 함)과, 상기 게이트 배선(GL)과 교차하는 데이터 배선(DL)과 전기적으로 연결된 입력단(이하, 소스 전극이라 명칭 함) 및 상기 제1 액정 커패시터(C1c1)의 일단과 전기적으로 연결된 출력단(이하, 드레인 전극이라 명칭 함)을 포함한다. 상기 제1 액정 커패시터(C1c1)의 타단은 공통 전압(Vcom)이 인가된다. 상기 제2 액정 커패시터(C1c2)는 일단은 상기 스위칭 소자(TR)의 드레인 전극과 연결되고 타단은 상기 커플링 커패시터(Ccp)의 일단이 연결된다. 상기 커플링 커패시터(Ccp)의 타단에는 상기 공통 전압(Vcom)이 인가된다.
- [0016] 상기 화소(P)의 구동 방식은 다음과 같다.
- [0017] 상기 데이터 배선(DL)에 데이터 전압이 인가되고, 상기 게이트 배선(GL)에 게이트 신호가 인가된다. 상기 데이터 전압의 범위는 예를 들면, 0V 내지 12V 이고, 상기 공통 전압은 6V-Vkb (Vkb 은 킥백 전압 임)이다.
- [0018] 상기 데이터 전압은 상기 스위칭 소자(TR)를 통해 상기 제1 액정 커패시터(C1c1)에 제1 화소 전압(V_H)으로 충전된다. 상기 제1 액정 커패시터(C1c1)에 충전된 제1 화소 전압(V_H)은 상기 제1 액정 커패시터(C1c1)와 병렬로 연결된 상기 제2 액정 커패시터(C1c2) 및 커플링 커패시터(Ccp)에 각각 분압되어 충전된다.
- [0019] 이에 따라 상기 제2 액정 커패시터(C1c2)에는 상기 제1 화소 전압(V_H) 보다 낮은 제2 화소 전압(V_L)이 충전된다. 상기 제2 화소 전압(V_L)은 상기 제1 화소 전압(V_H) 보다 약 0.6 내지 0.7배가 되도록 상기 커플링 커패시터(Ccp)가 설계된다.
- [0020] 상기 커플링 커패시터(Ccp)의 내부 저항(Rcp)은 상기 제2 액정 커패시터(C1c2)의 내부 저항(R1c) 보다 크다(Rcp > R1c). 이에 따라 상기 제2 액정 커패시터(C1c2)의 공통 전극인 제2 노드(n2)에 인가된 전압은 장시간 구동시, 상기 커플링 커패시터(Ccp)에 인가된 공통 전압(6V-Vkb)과 제2 액정 커패시터(C1c2)의 입력 전극인 제1 노드(n1)에 인가된 전압(0V 내지 12V), 즉 평균 전압(6V) 사이에서 저항이 낮은 상기 제2 액정 커패시터(C1c2) 측으로 전류가 흘러 상기 평균 전압(6V)에 가까워진다. 상기 제2 액정 커패시터(C1c2)의 공통 전극인 상기 제2 노드(n2)의 전압이 상기 평균 전압(6V) 즉, 상기 공통 전압(Vcom= 6V)에 근접하므로 상기 제2 액정 커패시터(C1c2)에 충전되는 화소 전압은 상기 공통 전압(Vcom=6V) 대비 정극성(+) 및 부극성(-) 간의 비대칭 현상이 거의 발생하지 않아 직류 성분의 잔류로 인해 발생하는 잔상을 막을 수 있다.
- [0021] 도 2는 본 발명의 실시예 2에 따른 액정표시패널의 평면도이다. 도 3은 도 2의 I-I'선을 따라 절단한 단면도이다.
- [0022] 도 2 및 도 3을 참조하면, 상기 액정표시패널은 어레이 기관(100)과 상기 어레이 기관(100)과 결합하여 액정층(300)을 수용하는 대향 기관(200)을 포함한다.
- [0023] 상기 어레이 기관(100)은 화소 영역(PA)이 정의된 제1 베이스 기관(101)을 포함한다. 상기 화소 영역(PA)은 서로 분리된 제1 서브 화소 영역(PAs1)과 제2 서브 화소 영역(PAs2)을 가진다.
- [0024] 상기 제1 베이스 기관(101) 상에는 게이트 배선(GL)과 상기 게이트 배선(GL)과 교차하는 데이터 배선(DL)이 형성된다. 상기 화소 영역(PA)에는 상기 게이트 배선(GL)과 데이터 배선(DL)에 연결된 스위칭 소자(TR), 상기 스위칭 소자(TR)와 연결된 화소 전극(PE)이 형성된다. 상기 화소 영역(PA)에는 상기 화소 전극(PE)과 중첩된 스토리지 배선(STL)이 형성된다.

- [0025] 상기 스위칭 소자(TR)는 게이트 전극(GE), 게이트 절연층(102), 반도체층(130), 소스 전극(SE) 및 드레인 전극(DE)을 포함한다. 상기 게이트 전극(GE)은 상기 게이트 배선(GL)으로부터 돌출되어 형성된다. 상기 게이트 절연층(102)은 상기 게이트 배선(GL) 및 상기 게이트 전극(GE) 위에 형성된다. 상기 반도체층(130)은 불순물이 도핑된 활성층(130a)과 상기 활성층(130a) 위에 형성된 저항 접촉층(130b)을 포함한다. 상기 반도체층(130)은 상기 게이트 전극(GE)이 형성된 영역의 상기 게이트 절연층(102) 위에 형성된다. 상기 소스 전극(SE)은 상기 데이터 배선(DL)으로부터 돌출되어 상기 반도체층(130) 위에 형성된다. 상기 드레인 전극(DE)은 상기 소스 전극(SE)과 이격되어 상기 반도체층(130) 위에 형성된다. 상기 드레인 전극(DE)의 단부에는 콘택부(CT)가 형성되고, 상기 콘택부(CT)를 통해 상기 화소 전극(PE)과 전기적으로 연결된다. 상기 콘택부(CT)는 상기 데이터 배선(DL), 소스 전극(SE) 및 드레인 전극(DE) 위에 형성된 보호 절연층(104)에 형성된 콘택홀을 포함한다.
- [0026] 상기 화소 전극(PE)은 상기 제1 및 제2 서브 화소 영역(PAs1, PAs2)에 공통으로 형성되고, 제1 개구 패턴(OP1)을 포함한다.
- [0027] 상기 스토리지 배선(STL)은 상기 화소 전극(PE)의 가장자리를 둘러싸는 영역에 형성되어, 상기 화소 전극(PE)의 단부와 중첩된다. 예를 들면, 상기 스토리지 배선(STL)은 상기 데이터 및 게이트 배선들(DL, GL)과 상기 화소 전극(PE) 간의 이격 영역에 형성된다. 상기 스토리지 배선(STL)은 상기 화소 전극(PE)과 중첩되는 영역에, 상기 화소 전극(PE)과 상기 스토리지 배선(STL) 사이에 형성된 게이트 절연층(102) 및 보호 절연층(104)에 의해 정의된 스토리지 커패시터(Cst)가 형성된다.
- [0028] 상기 대향 기관(200)은 상기 제1 서브 화소 영역(PAs1) 및 제2 서브 화소 영역(PAs2)을 가지는 상기 화소 영역(PA)이 정의된 제2 베이스 기관(201)을 포함한다. 상기 제2 베이스 기관(201) 위에는 차광층(210), 컬러필터층(220), 제1 공통 전극(CE1) 및 제2 공통 전극(CE2)이 형성된다.
- [0029] 상기 차광층(210)은 상기 화소 전극(PE)의 가장자리를 둘러싸는 영역에 대응하여 전도성을 가지는 물질로 형성되어 광을 차단한다. 예를 들면, 상기 어레이 기관(100)에 형성된 상기 데이터 배선(DL), 게이트 배선(GL) 및 상기 스위칭 소자(TR)에 대응하는 영역에 형성된다. 상기 차광층(210)은 크롬(Cr)/크롬산화막(CrOx)의 이중막 구조를 가진다.
- [0030] 상기 컬러필터층(220)은 상기 화소 영역(PA)에 형성된다. 예를 들면, 상기 차광층(210)에 의해 정의된 상기 화소 영역(PA)에 형성된다.
- [0031] 상기 제1 및 제2 공통 전극(CE1, CE2)은 제2 개구 패턴(OP2)에 의해 서로 분리되고, 상기 제2 공통 전극(CE2)은 상기 화소 영역(PA)에 플로팅 된다. 상기 제1 공통 전극(CE1)은 상기 제1 서브 화소 영역(PAs1)에 형성되고, 상기 제2 공통 전극(CE2)은 상기 제2 서브 화소 영역(PAs2)에 형성된다.
- [0032] 상기 제1 공통 전극(CE1)은 상기 화소 영역(PA)과 인접한 화소 영역들에 형성된 제1 공통 전극(CE1)과 서로 연결되어, 공통 전압(Vcom)이 인가된다. 상기 제2 공통 전극(CE2)은 상기 제1 공통 전극(CE1)과 이격되어 플로팅 된다. 한편, 상기 제2 공통 전극(CE)은 상기 차광층(210)과 부분적으로 중첩되어 형성된다. 예컨대, 상기 제2 공통 전극(CE2)은 상기 화소 전극(PE)과 중첩되는 제1 영역과, 상기 차광층(210)과 중첩되는 제2 영역으로 이루어진다.
- [0033] 상기 대향 기관(200)은 상기 컬러필터층(220)과 상기 공통 전극(CE) 사이에 형성된 오버 코팅층(203)을 더 포함한다.
- [0034] 상기 제1 서브 화소 영역(PAs1)에 형성된 상기 화소 전극(PE)과 상기 액정층(300) 및 상기 제1 공통 전극(CE1)에 의해 제1 액정 커패시터(C1c1)가 정의된다. 상기 제2 서브 화소 영역(PAs2)에 형성된 상기 화소 전극(PE)과 상기 액정층(300) 및 상기 제2 공통 전극(CE2)의 제1 영역에 의해 제2 액정 커패시터(C1c2)가 정의된다. 또한, 상기 제2 공통 전극(CE2)의 제2 영역과 상기 차광층(210) 사이에 형성된 상기 컬러필터층(210) 및 상기 오버 코팅층(203)에 의해 커플링 커패시터(Ccp)가 정의된다. 즉, 상기 커플링 커패시터(Ccp)의 제1 전극은 상기 제2 공통 전극(CE2)의 제2 영역이고, 제2 전극은 상기 제2 영역과 중첩되는 상기 차광층(210)이다. 상기 전도성을 가지는 물질로 형성된 상기 차광층(210)에 상기 공통 전압(Vcom)을 인가하여 상기 커플링 커패시터(Ccp)를 구동할 수 있다.
- [0035] 이와 같이, 상기 커플링 커패시터(Ccp)를 형성하기 위해 상기 어레이 기관(100)에 별도의 플로팅 전극을 형성하지 않으므로 상기 액정표시패널의 개구율을 향상시킬 수 있다.
- [0036] 도 4a 내지 도 4c는 도 3에 도시된 대향 기관의 제조 방법을 설명하기 위한 공정도들이다.

- [0037] 도 3 및 도 4a를 참조하면, 상기 제2 베이스 기관(201) 위에 차광층(210)을 형성한다. 상기 차광층(210)은 상기 화소 전극(PE)의 가장자리를 둘러싸는 영역에 대응하여 전도성을 가지는 물질로 형성된다. 예를 들면, 상기 어레이 기관(100)에 형성된 상기 데이터 배선(DL), 게이트 배선(GL) 및 상기 스위칭 소자(TR)에 대응하는 영역에 형성된다. 상기 차광층(210)은 크롬(Cr)/크롬산화막(CrOx)의 이중막 구조를 가진다.
- [0038] 도 3 및 도 4b를 참조하면, 상기 차광층(210)이 형성된 제2 베이스 기관(201) 위에 컬러필터층(220)을 형성한다. 상기 컬러필터층(220)은 상기 화소 영역(PA)에 대응하여 형성되고, 복수의 컬러 필터들을 포함한다.
- [0039] 도 3 및 도 4c를 참조하면, 상기 컬러필터층(220)이 형성된 제2 베이스 기관(201) 위에 오버 코팅층(203)을 형성한다. 상기 오버 코팅층(203)은 상기 컬러필터층(220)이 형성된 상기 제2 베이스 기관(20)을 평탄하게 하고, 상기 컬러필터층(220)을 보호한다.
- [0040] 도 3 및 도 4c를 참조하면, 상기 오버 코팅층(203)이 형성된 제2 베이스 기관(201) 위에 투명 도전층을 형성한다. 이후, 상기 투명 도전층을 패터닝하여 상기 제2 개구 패턴(OP2)을 형성한다. 상기 제2 개구 패턴(OP2)에 의해 제1 공통 전극(CE1)과 상기 제2 공통 전극(CE2)으로부터 플로팅된 제2 공통 전극(CE)이 형성된다. 상기 제1 공통 전극(CE)은 상기 제1 서브 화소 영역(PAs1)에 형성되고, 상기 제2 공통 전극(CE)은 상기 제2 서브 화소 영역(PAs2)에 형성된다.
- [0041] 상기 제1 공통 전극(CE1)은 서로 인접한 화소 영역들에 형성된 제1 공통 전극과 공통으로 연결된다. 상기 제2 공통 전극(CE2)은 상기 차광층(210)과 부분적으로 중첩되어 형성되어 상기 커플링 커패시터(Ccp)를 형성한다.
- [0042] 도 5a는 도 2에 도시된 어레이 기관의 평면도이다. 도 5b는 도 2에 도시된 대향 기관의 평면도이다.
- [0043] 도 2 및 도 5a를 참조하면, 상기 어레이 기관(100)은 제1 및 제2 서브 화소 영역(PAs1, PAs2)을 가지는 상기 화소 영역(PA)이 정의된다. 상기 어레이 기관(100)은 제1 방향으로 연장된 게이트 배선(GL)과 상기 제1 방향과 교차하는 제2 방향으로 연장된 데이터 배선(DL)을 포함한다. 상기 게이트 배선(GL) 및 상기 데이터 배선(DL)과 인접한 상기 화소 영역(PA)에는 스토리지 배선(STL)이 형성된다. 상기 스토리지 배선(STL)에는 공통 전압(Vcom)이 인가된다.
- [0044] 상기 게이트 배선(GL)과 상기 데이터 배선(DL)이 교차하는 영역에는 스위칭 소자(TR)가 형성된다. 상기 스위칭 소자(TR)의 게이트 전극(GE)은 상기 게이트 배선(GL)으로부터 돌출되어 형성되고, 상기 스위칭 소자(TR)의 소스 전극(DE)은 상기 데이터 배선(DL)으로부터 돌출되어 형성된다.
- [0045] 상기 스토리지 배선(STL)과 단부가 중첩되도록 상기 화소 영역(PA)에 화소 전극(PE)이 형성된다. 상기 화소 전극(PE)은 콘택부(CT)를 통해 상기 스위칭 소자(TR)의 드레인 전극(DE)과 전기적으로 연결된다. 상기 화소 전극(PE)은 갈매기 형상의 제1 개구 패턴(OP1)을 포함하고, 상기 제1 및 제2 서브 화소 영역들(PAs1, PAs2)에 공통으로 형성된다.
- [0046] 도 2, 도 5a 및 도 5b를 참조하면, 상기 대향 기관(200)은 상기 게이트 배선(GL), 상기 데이터 배선(DL), 상기 스토리지 배선(STL) 및 상기 스위칭 소자(TR)에 대응하는 영역에 형성된 차광층(210)을 포함한다. 상기 차광층(210)은 전도성 물질로 형성된다.
- [0047] 상기 대향 기관(200)은 상기 차광층(210) 위에 형성된 공통 전극(CE)을 포함한다. 상기 공통 전극(CE)은 제2 개구 패턴(OP2)을 포함하며, 상기 제2 개구 패턴(OP2)에 의해 서로 분리된 제1 공통 전극(CE1)과 제2 공통 전극(CE2)으로 이루어진다. 상기 제2 개구 패턴(OP2)은 상기 제1 개구 패턴(OP1)과 동일한 갈매기 형상으로 형성되며, 바람직하게 평면상에서 관찰할 때 상기 제1 개구 패턴(OP1)으로부터 이격된다.
- [0048] 상기 제1 공통 전극(CE1)은 상기 제1 서브 화소 영역(PAs1)에 형성되고, 상기 제2 공통 전극(CE2)은 상기 제2 서브 화소 영역(PAs2)에 형성된다. 상기 제1 공통 전극(CE1)은 상기 화소 영역(PA)과 인접한 화소 영역들에 형성된 제1 공통 전극(CE1)과 서로 연결된다. 상기 제2 공통 전극(CE2)은 상기 제1 공통 전극(CE1)과 이격되어 플로팅 된다.
- [0049] 상기 제2 공통 전극(CE2)은 상기 어레이 기관(100)의 상기 화소 전극(PE)과 중첩되는 제1 영역(a1)과 상기 차광층(210)과 중첩되는 제2 영역(a2)으로 이루어진다. 상기 제2 공통 전극(CE2)의 제2 영역(a2)은 상기 차광층(210)과 중첩되어 상기 커플링 커패시터(Ccp)를 형성한다.
- [0050] 도 6a 및 도 6b는 도 5b에 도시된 대향 기관에 따른 다양한 등가회로도들이다.
- [0051] 도 5b 및 도 6a를 참조하면, 상기 차광층(210)에 상기 제1 공통 전극(CE1)에 인가되는 공통 전압(Vcom)을 직접

인가하는 경우이다. 즉, 상기 커플링 커패시터(Ccp)를 상기 제2 공통 전극(CE2)과 상기 차광층(210) 간의 중첩된 영역으로 정의함에 따라서, 상기 차광층(210)에 직접 상기 공통 전압(Vcom)을 인가한다. 상기 차광층(201)은 전도성을 가지는 물질, 예컨대, Cr/CrOx 로 형성되므로 상기 공통 전압(Vcom)이 인가되는 전극으로서 사용될 수 있다.

[0052] 도 5b 및 도 6b를 참조하면, 상기 차광층(210)에 상기 공통 전압(Vcom)을 인가하지 않는 경우이다. 이 경우, 상기 차광층(210)은 가상의 공통 전압(Vcom)이 인가된다. 상기 가상의 공통 전압(Vcom)은 다음과 같다. 상기 액정 표시패널에 형성된 복수의 화소들은 반전 구동 방식으로 구동됨에 따라서 상기 공통 전압(Vcom)을 기준으로 정극성(+) 및 부극성(-)의 화소 전압들이 충전된다. 상기 정극성(+) 및 부극성(-)의 화소 전압들의 중심 전압인 상기 공통 전압(Vcom)이 상기 커플링 커패시터(Ccp)에 인가된다.

[0053] 도 7은 본 발명의 실시예 3에 따른 액정표시패널의 평면도이다. 도 8은 도 7의 II-II'선을 따라 절단한 단면도이다. 본 실시예에 실시예 1과 동일한 부재에 대하여는 동일한 참조부호로 설명한다.

[0054] 도 7 및 도 8을 참조하면, 상기 액정표시패널은 어레이 기판(100a)과 상기 어레이 기판(100a)과 결합하여 액정층(300)을 수용하는 대향 기판(200a)을 포함한다.

[0055] 상기 어레이 기판(100a)은 화소 영역(PA)이 정의된 제1 베이스 기판(101)을 포함한다. 상기 화소 영역(PA)은 제1 서브 화소 영역(PAs1) 및 제2 서브 화소 영역(PAs2)을 가진다.

[0056] 상기 제1 베이스 기판(101) 위에는 게이트 배선(GL)과 상기 게이트 배선(GL)과 교차하는 데이터 배선(DL)이 형성된다. 상기 화소 영역(PA)에는 상기 게이트 배선(GL)과 데이터 배선(DL)에 연결된 스위칭 소자(TR), 상기 스위칭 소자(TR)와 연결된 화소 전극(PE)이 형성된다. 상기 화소 영역(PA)에는 상기 화소 전극(PE)과 중첩된 스토리지 배선(STL)이 형성된다.

[0057] 상기 화소 전극(PE)은 패턴된 제1 서브 화소 전극(PEs1), 제2 서브 화소 전극(PEs2) 및 연결 전극(BE)을 포함한다. 상기 제1 서브 화소 전극(PEs1)은 상기 제1 서브 화소 영역(PAs1)에 형성되고, 상기 제2 서브 화소 전극(PEs2)은 상기 제2 서브 화소 영역(PAs2)에 형성되고, 상기 연결 전극(BE)은 상기 제1 및 제2 서브 화소 전극(PEs1, PEs2) 사이에 형성되어 상기 제1 및 제2 서브 화소 전극(PEs1, PEs2)을 서로 연결한다. 상기 스위칭 소자(TR)는 연결 전극(BE)과 인접하게 형성되어 상기 연결 전극(BE)과 콘택부(CT)를 통해 전기적으로 연결된다.

[0058] 상기 스토리지 배선(STL)은 상기 제1 서브 화소 영역(PAs1)과 상기 제2 서브 화소 영역(PAs2) 사이의 영역, 즉 상기 스위칭 소자(TR)와 인접한 영역에 형성된다. 상기 스토리지 배선(STL)은 도 6에 도시된 바와 같이, 상기 연결 전극(BE)과 중첩되도록 형성된다. 상기 스토리지 배선(STL)과 상기 연결 전극(BE) 사이에 형성된 게이트 절연층(102) 및 보호 절연층(104)에 의해 스토리지 커패시터(Cst)가 정의된다.

[0059] 상기 대향 기판(200a)은 상기 제1 및 제2 서브 화소 영역들(PAs1, PAs2)을 가지는 상기 화소 영역(PA)이 정의된 제2 베이스 기판(201)을 포함한다. 상기 제2 베이스 기판(201) 위에는 차광층(210), 컬러필터층(220), 제1 오버코팅층(203), 제1 공통 전극(CE1), 제2 오버코팅층(205) 및 제2 공통 전극(CE2)이 형성된다.

[0060] 상기 차광층(210)은 상기 게이트 배선(GL) 및 상기 데이터 배선(DL)이 형성된 영역에 대응하여 형성된다. 또는 상기 게이트 배선(GL), 상기 데이터 배선(DL), 상기 스위칭 소자(TR) 및 상기 스토리지 배선(STL)이 형성된 영역에 대응하여 형성될 수 있다.

[0061] 상기 컬러필터층(220)은 상기 화소 영역(PA)에 형성된다.

[0062] 상기 제1 오버코팅층(203)은 상기 컬러필터층(220)이 형성된 제2 베이스 기판(201) 위에 형성되어 상기 컬러필터층(220)을 보호하고 또한 상기 대향 기판(200)을 평탄하게 한다. 상기 제1 공통 전극(CE1)은 상기 제1 오버코팅층(203) 위에 형성한다. 즉, 상기 제1 공통 전극(CE1)은 상기 화소 영역(PA)에 형성된 화소 전극, 즉, 제1, 제2 서브 화소 전극 및 연결 전극들(PEs1, PEs2, BE)에 대응하여 공통으로 형성되고, 공통 전압(Vcom)이 인가된다. 상기 제1 공통 전극(CE1)은 상기 화소 영역(PA)과 인접한 다른 화소 영역들에 형성된 제1 공통 전극과 공통으로 연결된다.

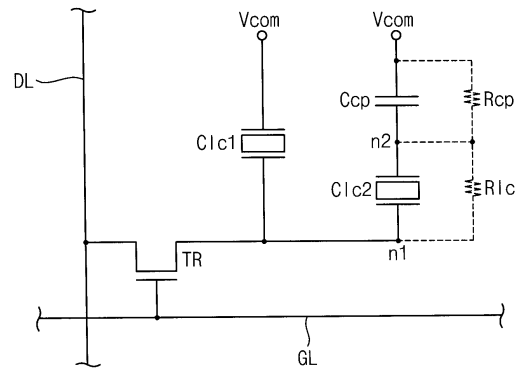
[0063] 상기 제2 오버코팅층(205)은 상기 제2 서브 화소 영역(PAs2)의 상기 제1 공통 전극(CE1) 위에 형성된다. 상기 제2 공통 전극(CE2)은 상기 제2 오버코팅층(205) 위에 형성된다. 즉, 상기 제2 서브 화소 영역(PAs2) 위에 상기 제2 오버코팅층(205) 및 상기 제2 공통 전극(CE2)이 적층되어 형성되고, 상기 제2 공통 전극(CE2)은 플로팅

된다.

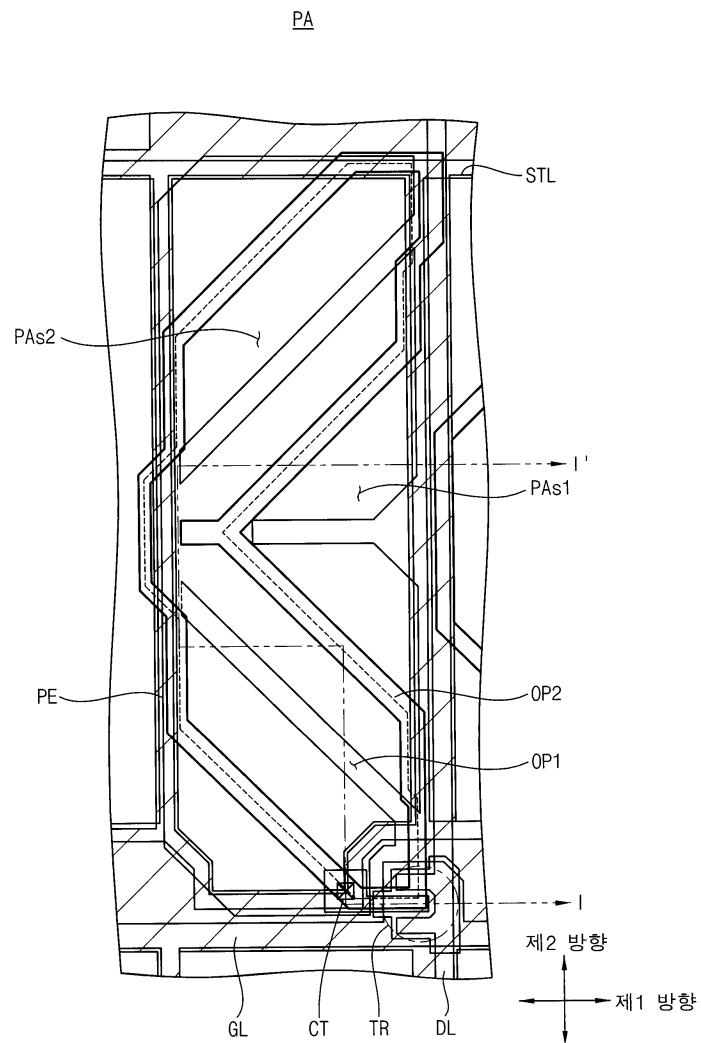
- [0064] 상기 제1 서브 화소 전극(PES1)과 상기 액정층(300) 및 상기 제1 공통 전극(CE1)에 의해 제1 액정 커패시터(C1c1)가 정의된다. 상기 제2 서브 화소 전극(PES2)과 상기 액정층(300) 및 상기 제1 공통 전극(CE1)에 의해 제2 액정 커패시터(C1c2)가 정의된다. 또한, 상기 제1 공통 전극(CE1)과, 제2 오버 코팅층(205) 및 상기 제2 공통 전극(CE2)에 의해 커플링 커패시터(Ccp)가 정의된다. 즉, 상기 커플링 커패시터(Ccp)의 제1 전극은 플로팅 되고, 제2 전극은 상기 제1 공통 전극(CE1)과 연결되어 상기 공통 전압(Vcom)이 인가된다.
- [0065] 이와 같이, 상기 커플링 커패시터(Ccp)를 형성하기 위해 상기 어레이 기판(100a)에 별도의 플로팅 전극을 형성하지 않으므로 상기 액정표시패널의 개구율을 향상시킬 수 있다.
- [0066] 도 9a 내지 도 9c는 도 8에 도시된 대향 기판의 제조 방법을 설명하기 위한 단면도들이다.
- [0067] 도 7, 도 8 및 도 9a를 참조하면, 상기 제2 베이스 기판(201) 위에 도전성 또는 비도전성 물질로 차광층(210)을 형성한다. 상기 차광층(210)은 상기 화소 전극(PE)의 가장자리를 둘러싸는 영역에 대응하여 형성된다. 상기 화소 전극(PE)은 제1 서브 화소 전극(PES1), 제2 서브 화소 전극(PES2) 및 연결 전극(BE)을 포함한다. 예를 들면, 상기 어레이 기판(100)에 형성된 상기 데이터 배선(DL), 게이트 배선(GL)이 형성된 영역에 형성된다. 또한, 상기 스위칭 소자(TR) 및 스토리지 배선(STL)이 형성된 영역에 더 형성될 수 있다.
- [0068] 상기 차광층(210)이 형성된 제2 베이스 기판(201) 위에 컬러필터층(220)을 형성한다. 상기 컬러필터층(220)은 상기 화소 영역(PA)에 대응하여 형성되고, 복수의 컬러 필터들을 포함한다.
- [0069] 도 8 및 도 9b를 참조하면, 상기 컬러필터층(220)이 형성된 제2 베이스 기판(201) 위에 제1 오버 코팅층(203)을 형성한다. 상기 제1 오버 코팅층(203)은 상기 컬러필터층(220)이 형성된 상기 제2 베이스 기판(201)을 평탄하게 하고 상기 컬러필터층(220)을 보호한다.
- [0070] 상기 제1 오버 코팅층(203)이 형성된 제2 베이스 기판(201) 위에 투명 도전층으로 상기 제1 공통 전극(CE1)을 형성한다. 상기 제1 공통 전극(CE1)은 상기 화소 영역(PA)에 형성되고, 또한, 상기 제2 베이스 기판(201)에 정의된 복수의 화소 영역들에 공통으로 형성된다.
- [0071] 도 8 및 도 9c를 참조하면, 상기 제1 공통 전극(CE1)이 형성된 제2 베이스 기판(201) 위에 제2 오버 코팅층(205)을 형성한다. 상기 제2 오버 코팅층(205)이 형성된 제2 베이스 기판(201) 위에 투명 도전층으로 상기 제2 공통 전극(CE2)을 형성한다. 상기 제2 공통 전극(CE2)은 상기 제2 서브 화소 영역(PAS2)에 형성된다. 즉, 상기 제2 서브 화소 영역(PAS2) 위에 상기 제2 오버 코팅층(205) 및 상기 제2 공통 전극(CE2)이 적층되어 상기 커플링 커패시터(Ccp)를 형성한다. 상기 제2 공통 전극(CE2)은 플로팅 된다.
- [0072] 도 10a는 도 8에 도시된 어레이 기판의 평면도이다. 도 10b는 도 8에 도시된 대향 기판의 평면도이다.
- [0073] 도 8 및 도 10a를 참조하면, 상기 어레이 기판(100a)은 제1 및 제2 서브 화소 영역들(PAS1, PAS2)을 가지는 화소 영역(PA)이 정의된다. 상기 어레이 기판(100)은 제1 방향으로 연장된 게이트 배선(GL)과 상기 제1 방향과 교차하는 제2 방향으로 연장된 데이터 배선(DL)을 포함한다. 상기 게이트 배선(GL) 및 상기 데이터 배선(DL)이 교차하는 영역에 상기 스위칭 소자(TR)가 형성된다. 상기 스위칭 소자(TR)와 인접한 영역에 스토리지 배선(STL)이 형성된다.
- [0074] 상기 제1 서브 화소 전극(PES1)은 상기 제1 서브 화소 영역(PAS1)에 형성되고, 상기 제2 서브 화소 전극(PES2)은 상기 제2 서브 화소 영역(PAS2)에 형성되고, 상기 연결 전극(BE)은 상기 제1 및 제2 서브 화소 전극(PES1, PES2) 사이에 형성되어 상기 제1 및 제2 서브 화소 전극(PES1, PES2)을 서로 연결한다. 상기 스위칭 소자(TR)는 연결 전극(BE)과 인접하게 형성되어 상기 연결 전극(BE)과 콘택부(CT)를 통해 전기적으로 연결된다.
- [0075] 예를 들어, 상기 연결 전극(BE)은 상기 스토리지 배선(STL)과 중첩되도록 형성되고, 상기 연결 전극(BE)은 상기 스위칭 소자(TR)의 드레인 전극과 콘택부(CT)를 통해 전기적으로 연결된다.
- [0076] 도 8, 도 10a 및 도 10b를 참조하면, 상기 대향 기판(200a)에는 상기 게이트 배선(GL) 및 상기 데이터 배선(DL)에 대응하는 영역에 차광층(210)이 형성된다. 상기 차광층(210)은 도전성 또는 비도전성 물질로 형성된다.
- [0077] 상기 화소 영역(PA), 즉, 상기 제1, 제2 서브 화소 전극 및 연결 전극들(PES1, PES2, BE)에 대응하는 영역에 공통으로 제1 공통 전극(CE1)이 형성된다. 상기 제2 서브 화소 영역(PAS2)에 상기 제1 공통 전극(CE1)과 중첩되는 제2 공통 전극(CE2)이 형성된다. 상기 제2 공통 전극(CE2)은 플로팅 전극이다. 상기 제1 및 제2 공통 전극들(CE1, CE2) 사이에는 제2 오버 코팅층(205)이 형성된다. 이에 의해 커플링 커패시터(Ccp)는 상기 제1 공통 전극

도면

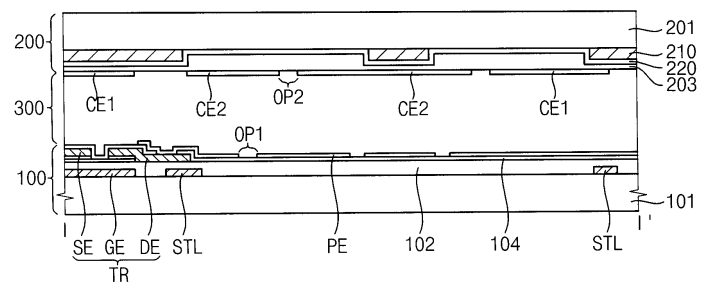
도면1



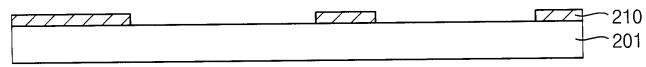
도면2



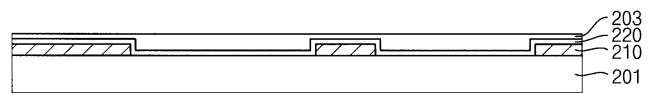
도면3



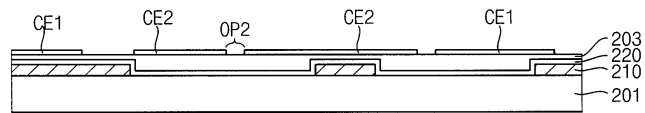
도면4a



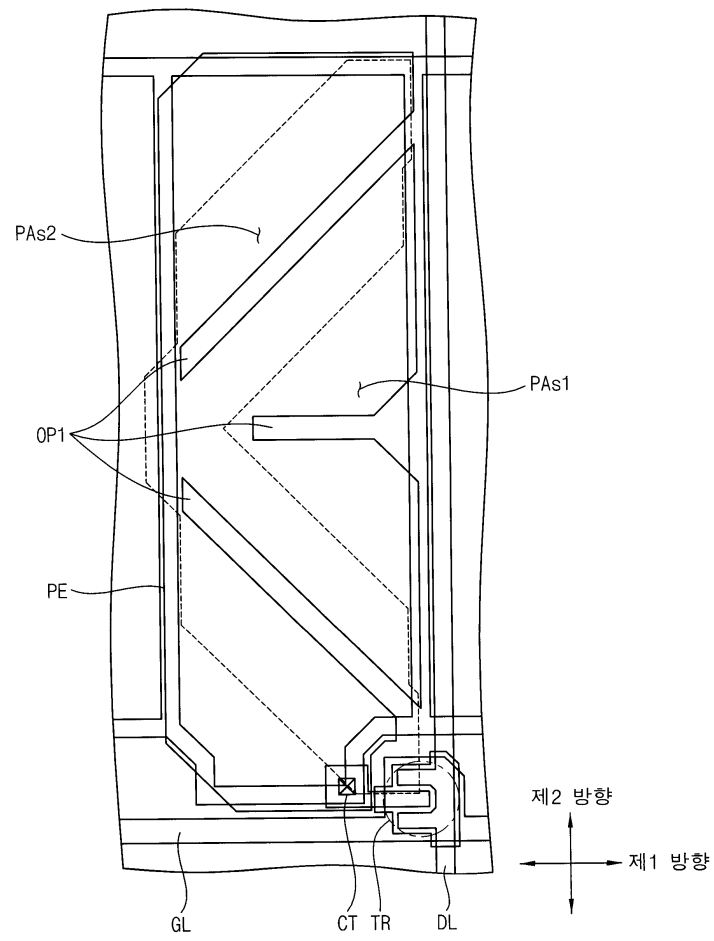
도면4b



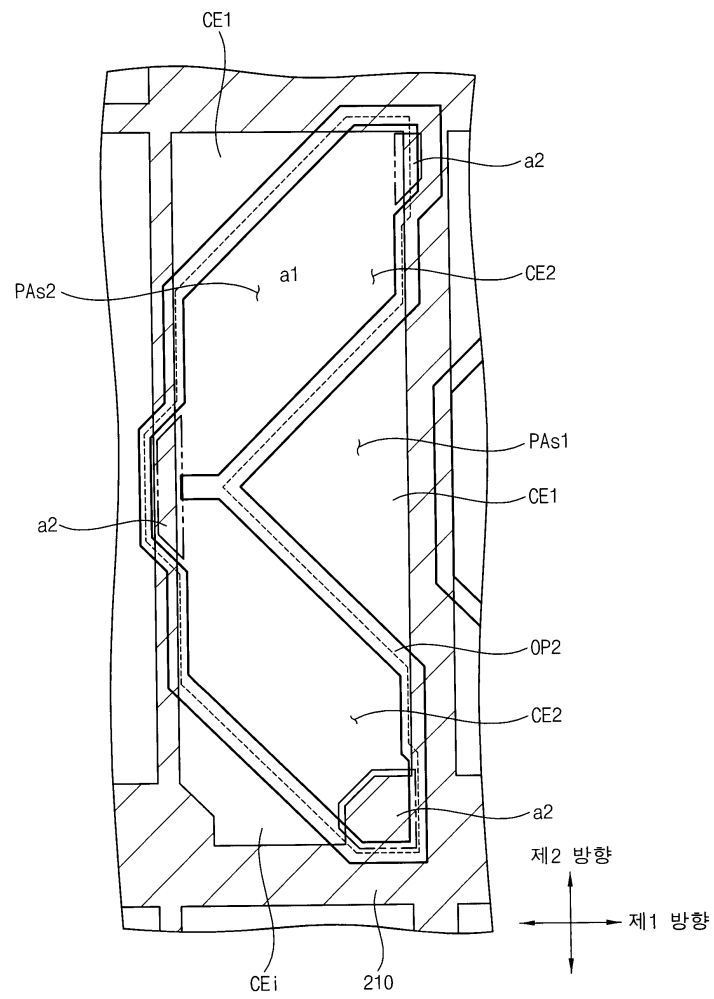
도면4c



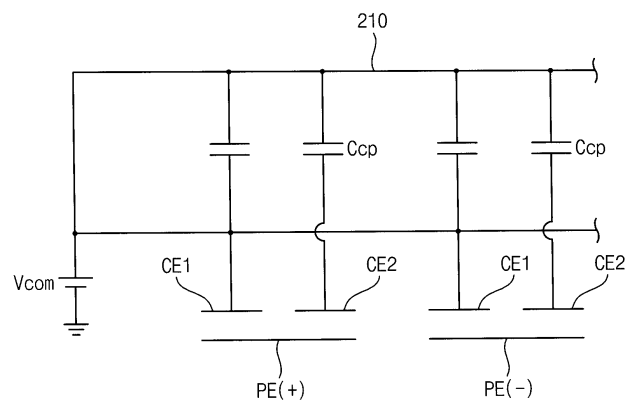
도면5a



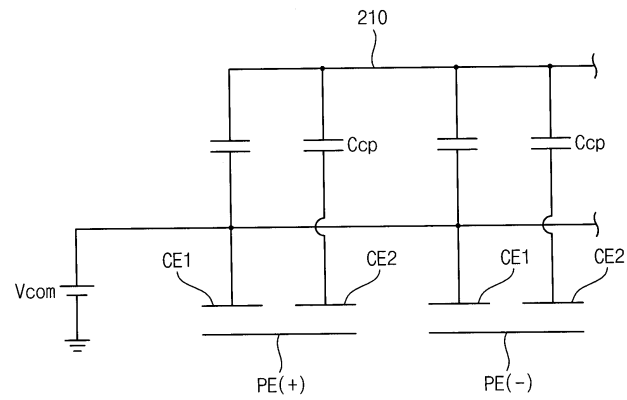
도면5b



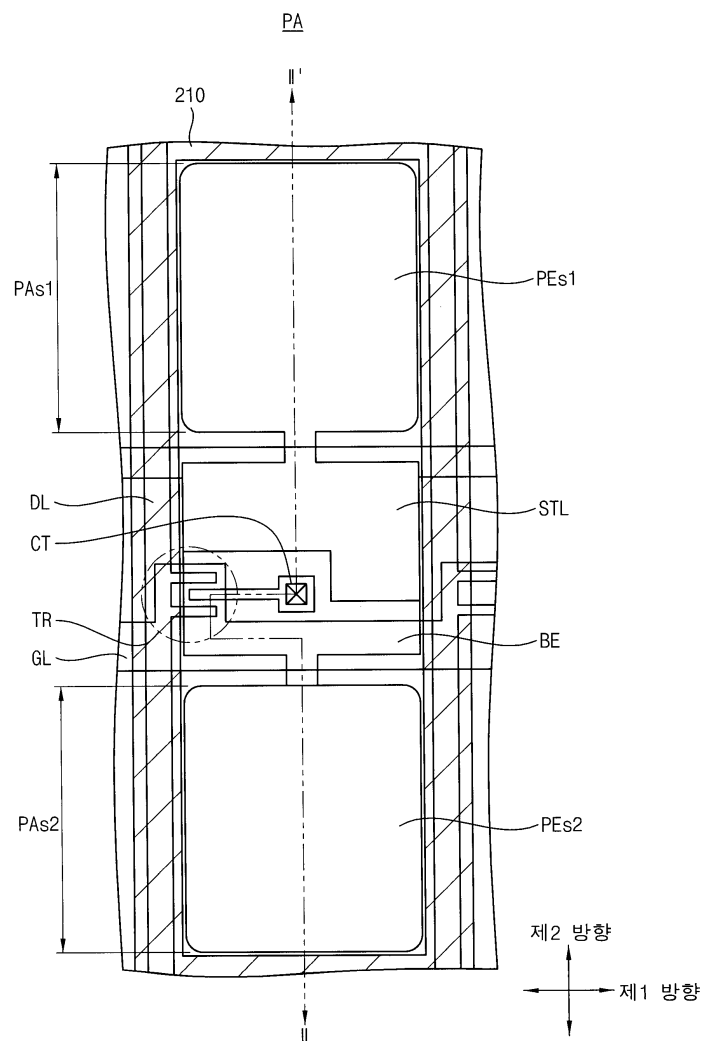
도면6a



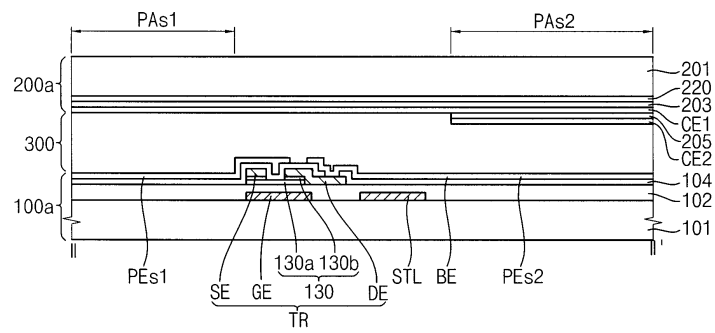
도면6b



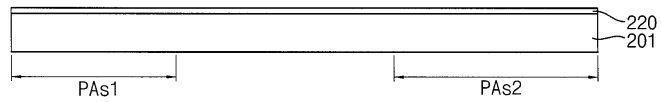
도면7



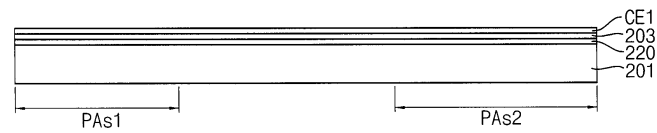
도면8



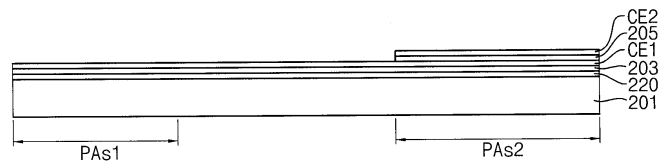
도면9a



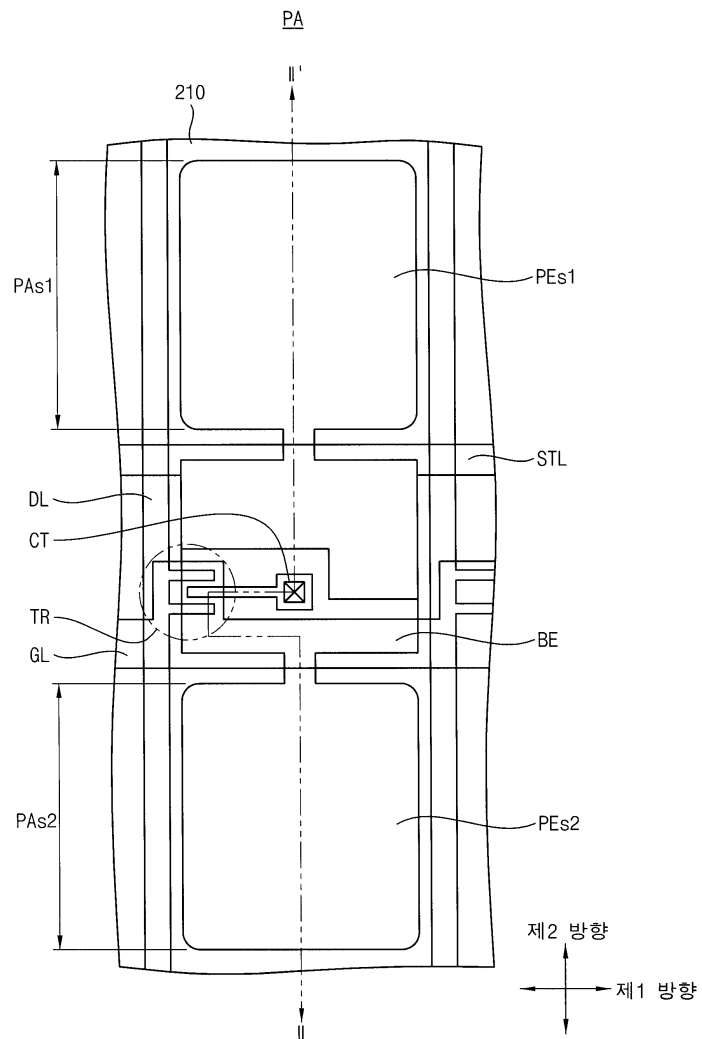
도면9b



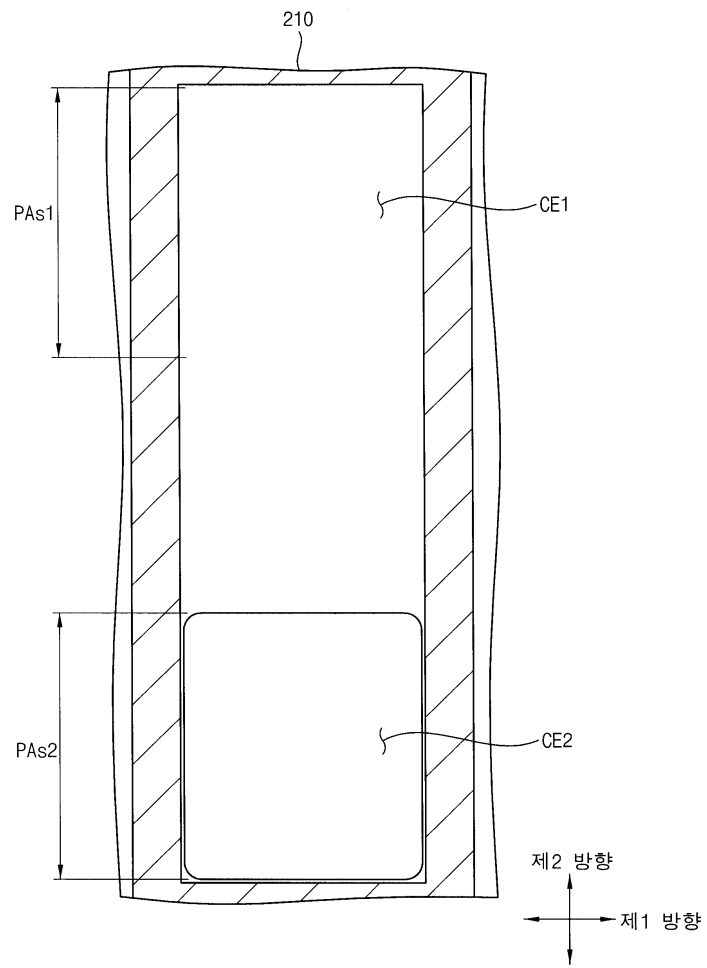
도면9c



도면10a



도면10b



专利名称(译)	液晶显示面板		
公开(公告)号	KR101502836B1	公开(公告)日	2015-03-16
申请号	KR1020080026435	申请日	2008-03-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SHIN KYOUNG JU 신경주 AHN HYEONG CHEOL 안형철 PARK JIN OH 박진오		
发明人	신경주 안형철 박진오		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/1343		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR1020090100912A		
外部链接	Espacenet		

摘要(译)

用于LCD装置的液晶显示 (LCD) 面板包括阵列基板和相对基板。阵列基板包括形成在包括第一子像素区域和第二子像素区域的像素区域中的像素电极。相对基板与阵列基板间隔开以接收液晶层。对向基板包括与像素区域对应地形成的第一公共电极，以及与第二子像素区域对应地浮置的第二公共电极，以形成耦合电容器。

