



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년02월26일

(11) 등록번호 10-2081115

(24) 등록일자 2020년02월19일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2013-0099524

(22) 출원일자 2013년08월22일

심사청구일자 2018년07월11일

(65) 공개번호 10-2015-0023096

(43) 공개일자 2015년03월05일

(56) 선행기술조사문헌

JP2009186869 A*

KR1020060079040 A*

KR1020070070721 A*

KR1020130015187 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

경북대학교 산학협력단

대구광역시 북구 대학로 80 (산격동, 경북대학교)

(72) 발명자

김학린

대구 북구 침산남로 130, 102동 1109호 (침산동, 침산3차푸르지오)

이준호

대구 북구 칠곡중앙대로 312, 101동 703호 (태전동, 강북화성파크드림)

(뒷면에 계속)

(74) 대리인

박영복

전체 청구항 수 : 총 11 항

심사관 : 한상일

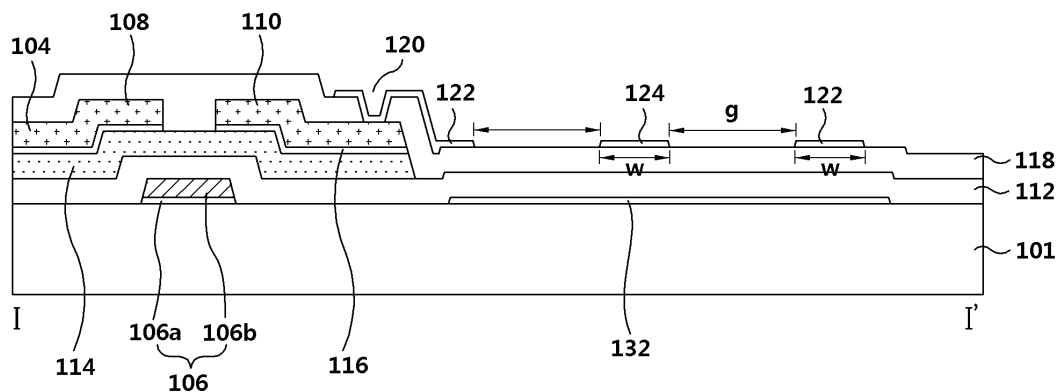
(54) 발명의 명칭 액정 표시 소자 및 그 제조 방법

(57) 요약

본 발명은 투과율을 향상시킬 수 있는 액정 표시 소자 및 그 제조 방법을 제공하는 것이다.

본 발명에 따른 액정 표시 소자는 기판 상에 형성되는 게이트 라인과; 상기 게이트 라인과 교차하여 화소 영역을 마련하는 데이터 라인과; 상기 게이트 라인 및 데이터 라인과 접속되는 박막트랜지스터와; 상기 박막트랜지스터와 접속되며 상기 화소 영역에 형성되는 화소 전극과; 상기 화소 전극과 동일 평면 상에 형성되어 상기 화소 전극과 수평 전계를 형성하는 공통 전극과; 상기 각 화소 영역마다 독립적으로 형성되며, 상기 화소 전극 및 공통 전극과 절연되게 중첩되어 화소 전극 및 공통 전극 각각과 프린지 전계를 형성하는 플로팅 전극을 구비하는 것을 특징으로 한다.

대표도 - 도2



(72) 발명자

김동우

경상남도 창원군 남지읍 남지리 758-171번지

박민규

대구 수성구 수성로 412, 110동 1207호 (수성동4가, 수성보성타운)

명세서

청구범위

청구항 1

기판 상에 형성되는 게이트 라인과;

상기 게이트 라인과 교차하여 화소 영역을 마련하는 데이터 라인과;

상기 게이트 라인 및 데이터 라인과 접속되는 박막트랜지스터와;

상기 박막트랜지스터와 접속되며 상기 화소 영역에 형성되는 화소 전극과;

상기 화소 전극과 동일 평면 상에 형성되어 상기 화소 전극과 수평 전계를 형성하는 공통 전극과;

상기 각 화소 영역마다 독립적으로 형성되며, 상기 화소 전극 및 공통 전극과 절연되게 중첩되어 화소 전극 및 공통 전극 각각과 프린지 전계를 형성하는 플로팅 전극을 구비하고,

상기 플로팅 전극에는 상기 화소 전극에 공급되는 화소 전압과, 상기 게이트 라인과 나란한 공통 라인을 통해 상기 공통 전극에 공급되는 공통 전압 사이의 중간 전압이 대전되는 것을 특징으로 하는 액정 표시 소자.

청구항 2

제 1 항에 있어서,

상기 화소 전극의 총 면적은 상기 공통 전극의 총 면적과 동일한 것을 특징으로 하는 액정 표시 소자.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 화소 전극과 상기 플로팅 전극으로 이루어진 제1 스토리지 커패시터와, 상기 공통 전극과 상기 플로팅 전극으로 이루어진 제2 스토리지 커패시터는 직렬로 연결되는 것을 특징으로 하는 액정 표시 소자.

청구항 5

제 1 항에 있어서,

상기 기판과, 상기 기판과 대향하는 제2 기판 사이에 형성되는 양의 유전 이방성 또는 음의 유전 이방성을 갖는 액정층을 추가로 구비하며,

상기 액정층의 두께는 $3\sim 4\mu\text{m}$ 이고, 상기 화소 전극과 공통 전극 간의 간격은 $4\sim 8\mu\text{m}$ 인 것을 특징으로 하는 액정 표시 소자.

청구항 6

제 1 항에 있어서,

상기 게이트 라인 및 상기 박막트랜지스터의 게이트 전극은

상기 기판 상에 형성되며, 투명 도전층을 이용한 제1 게이트 도전층과;

상기 제1 게이트 도전층 상에 형성되며, 불투명 도전층을 이용한 제2 게이트 도전층을 구비하며,

상기 플로팅 전극은 상기 제1 게이트 도전층과 동일 평면 상에 동일 재질로 형성되며,

상기 플로팅 전극은 상기 게이트 라인 및 데이터 라인 사이에 형성되는 게이트 절연막과, 상기 박막트랜지스터를 덮도록 형성되는 보호막을 사이에 두고 상기 화소 전극 및 공통 전극 각각과 중첩되는 것을 특징으로 하는

액정 표시 소자.

청구항 7

제 1 항에 있어서,

상기 플로팅 전극은 게이트 절연막 상에 형성되며, 상기 박막트랜지스터를 덮도록 형성되는 보호막을 사이에 두고 상기 화소 전극 및 공통 전극 각각과 중첩되는 것을 특징으로 하는 액정 표시 소자.

청구항 8

화소 영역을 마련하도록 서로 교차하여 형성되는 게이트 라인 및 데이터 라인과 접속되는 박막트랜지스터를 기판 상에 형성하는 단계와;

상기 각 화소 영역마다 독립적으로 형성되는 플로팅 전극을 상기 박막트랜지스터와 동시에 또는 개별적으로 형성하는 단계와;

상기 박막트랜지스터와 접속되는 화소 전극을 형성함과 동시에 상기 화소 전극과 동일 평면 상에 상기 화소 전극과 수평 전계를 이루는 공통 전극을 형성하는 단계를 포함하며,

상기 플로팅 전극은 상기 화소 전극에 공급되는 화소 전압과, 상기 공통 전극에 공급되는 공통 전압 사이의 중간 전압이 대전되고, 화소 전극 및 공통 전극과 절연되게 중첩되어 화소 전극 및 공통 전극 각각과 프린지 전계를 형성하는 것을 특징으로 하는 액정 표시 소자의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 화소 전극의 총 면적은 상기 공통 전극의 총 면적과 동일한 것을 특징으로 하는 액정 표시 소자의 제조 방법.

청구항 10

삭제

청구항 11

제 8 항에 있어서,

상기 화소 전극과 상기 플로팅 전극으로 이루어진 제1 스토리지 커패시터와, 상기 공통 전극과 상기 플로팅 전극으로 이루어진 제2 스토리지 커패시터는 직렬로 연결되는 것을 특징으로 하는 액정 표시 소자의 제조 방법.

청구항 12

제 8 항에 있어서,

상기 박막트랜지스터 및 상기 플로팅 전극을 동시에 형성하는 단계는

상기 기판 상에 투명 도전층을 이용한 제1 게이트 도전층과, 제1 게이트 도전층 상에 불투명 도전층을 이용한 제2 게이트 도전층으로 형성된 상기 게이트 라인 및 상기 박막트랜지스터의 게이트 전극을 형성함과 동시에 상기 제1 게이트 도전층과 동일 평면 상에 동일 재질로 상기 플로팅 전극을 형성하는 단계와;

상기 게이트 라인 및 상기 박막트랜지스터의 게이트 전극과 상기 플로팅 전극을 덮도록 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 상기 박막트랜지스터의 활성층 및 오믹접촉층과 상기 박막트랜지스터의 소스 및 드레인 전극을 형성하는 단계를 포함하며,

상기 플로팅 전극은 상기 박막트랜지스터를 덮도록 형성된 보호막과, 상기 게이트 절연막을 사이에 두고 상기 화소 전극 및 공통 전극 각각과 중첩되는 것을 특징으로 하는 액정 표시 소자의 제조 방법.

청구항 13

제 8 항에 있어서,

상기 플로팅 전극을 상기 박막트랜지스터와 개별적으로 형성하는 단계는

상기 박막트랜지스터가 형성된 기판의 게이트 절연막 상에 투명 도전층으로 이루어진 플로팅 전극을 형성하는 단계를 포함하며,

상기 플로팅 전극은 상기 박막트랜지스터를 덮도록 형성된 보호막을 사이에 두고 상기 화소 전극 및 공통 전극 각각과 중첩되는 것을 특징으로 하는 액정 표시 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 투과율을 향상시킬 수 있는 액정 표시 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정 표시 소자(Liquid Crystal Display)는 액정을 이용하여 영상을 표시하는 평판표시장치의 하나로써, 다른 디스플레이 장치에 비해 얇고 가벼우며, 낮은 구동전압 및 낮은 소비전력을 갖는 장점이 있어, 산업 전반에 걸쳐 광범위하게 사용되고 있다.

[0003] 종래 액정 표시 소자에 사용되는 모드에는 수평 전계를 이용하는 인 플레인 스위칭(In-Plane Switching; IPS)모드와, 프린지 전계를 이용하는 프린지 필드 스위칭(Fringe Field Switching; FFS)모드 등이 있다.

[0004] FFS모드의 경우, 동일 평면 상에 위치하는 전극들 각각의 상부 영역과, 전극들 사이의 영역에서 투과도가 감소하므로 전극의 간격이 멀어지면 투과도가 급격히 떨어진다. 따라서, FFS모드의 경우, 고투과도 특성을 얻기 위해서는 동일 평면 상에 위치하는 전극들의 간격이 가깝게 형성되어야 한다. 그러나, 전극들의 간격이 가까워지면, 전극의 패터닝 공정 상의 어려움이 발생하는 문제점이 있다.

[0005] IPS모드의 경우, 공통 전극 및 화소 전극 각각의 상부 영역에서 수평 방향의 전계 벡터가 충분히 발생되지 않아 전극들의 상부 영역이 투과도에 기여하지 못하므로 FFS모드에 비해 투과도가 낮은 문제점이 있다. 또한, IPS모드의 경우, 공통 전극 및 화소 전극이 동일 평면 상에서 이격되어 형성되므로 FFS모드에 비해 스토리지 커패시터를 형성하기 위한 스토리지 전극을 추가로 구비해야 한다. 이에 따라, 종래 IPS모드는 FFS모드에 비해 개구율이 저하되며, 저하된 개구율에 의해 광효율이 저하되는 문제점이 있다.

[0006] 이러한 FFS모드와 IPS모드의 문제점을 해결하기 위해, 서로 다른 화소 전압이 공급되도록 서로 이격되도록 형성된 2개의 화소 전극과, 2개의 화소 전극과 중첩되는 공통 전극을 구비하여 수평 전계와 프린지 전계를 형성하는 액정 표시 소자가 제안되었다. 그러나, 각 화소 영역마다 서로 다른 화소 전압이 공급되는 2개의 화소 전극을 구비하기 위해서는 각 화소 영역마다 2개의 박막트랜지스터를 구비해야 한다. 이러한 박막트랜지스터 개수의 증가로 인해 개구율이 저하되고, 개구율의 저하로 인해 투과율이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0007] 상기와 같은 문제점을 해결하기 위하여, 본 발명은 투과율을 향상시킬 수 있는 액정 표시 소자 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0008] 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 액정 표시 소자는 기판 상에 형성되는 게이트 라인과; 상기 게이트 라인과 교차하여 화소 영역을 마련하는 데이터 라인과; 상기 게이트 라인 및 데이터 라인과 접속되는 박막트랜지스터와; 상기 박막트랜지스터와 접속되며 상기 화소 영역에 형성되는 화소 전극과; 상기 화소 전극과 동일 평면 상에 형성되어 상기 화소 전극과 수평 전계를 형성하는 공통 전극과; 상기 각 화소 영역마다 독립적으로 형성되며, 상기 화소 전극 및 공통 전극과 절연되게 중첩되어 화소 전극 및 공통 전극 각각과 프린지 전계를 형성하는 플로팅 전극을 구비하는 것을 특징으로 한다.

[0009] 상기 화소 전극의 총 면적은 상기 공통 전극의 총 면적과 동일한 것을 특징으로 한다.

- [0010] 상기 플로팅 전극에는 상기 화소 전극에 공급되는 화소 전압과, 상기 게이트 라인과 나란한 공통 라인을 통해 상기 공통 전극에 공급되는 공통 전압 사이의 중간 전압이 대전되는 것을 특징으로 한다.
- [0011] 상기 화소 전극과 상기 플로팅 전극으로 이루어진 제1 스토리지 커패시터와, 상기 공통 전극과 상기 플로팅 전극으로 이루어진 제2 스토리지 커패시터는 직렬로 연결되는 것을 특징으로 한다.
- [0012] 상기 액정 표시 소자는 상기 기판과, 상기 기판과 대향하는 제2 기판 사이에 형성되는 양의 유전 이방성 또는 음의 유전 이방성을 갖는 액정층을 추가로 구비하며, 상기 액정층의 두께는 3~4 μm 이고, 상기 화소 전극과 공통 전극 간의 간격은 4~8 μm 인 것을 특징으로 한다.
- [0013] 상기 게이트 라인 및 상기 박막트랜지스터의 게이트 전극은 상기 기판 상에 형성되며, 투명 도전층을 이용한 제1 게이트 도전층과; 상기 제1 게이트 도전층 상에 형성되며, 불투명 도전층을 이용한 제2 게이트 도전층을 구비하며, 상기 플로팅 전극은 상기 제1 게이트 도전층과 동일 평면 상에 동일 재질로 형성되며, 상기 플로팅 전극은 상기 게이트 라인 및 데이터 라인 사이에 형성되는 게이트 절연막과, 상기 박막트랜지스터를 덮도록 형성되는 보호막을 사이에 두고 상기 화소 전극 및 공통 전극 각각과 중첩되는 것을 특징으로 한다.
- [0014] 상기 플로팅 전극은 상기 게이트 절연막 상에 형성되며, 상기 박막트랜지스터를 덮도록 형성되는 보호막을 사이에 두고 상기 화소 전극 및 공통 전극 각각과 중첩되는 것을 특징으로 한다.
- [0015] 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 액정 표시 소자의 제조 방법은 화소 영역을 마련하도록 서로 교차하여 형성되는 게이트 라인 및 데이터 라인과 접속되는 박막트랜지스터를 기판 상에 형성하는 단계와; 상기 각 화소 영역마다 독립적으로 형성되는 플로팅 전극을 상기 박막트랜지스터와 동시에 또는 개별적으로 형성하는 단계와; 상기 박막트랜지스터와 접속되는 화소 전극을 형성함과 동시에 상기 화소 전극과 동일 평면 상에 상기 화소 전극과 수평 전계를 이루는 공통 전극을 형성하는 단계를 포함하며, 상기 플로팅 전극은 화소 전극 및 공통 전극과 절연되게 중첩되어 화소 전극 및 공통 전극 각각과 프린지 전계를 형성하는 것을 특징으로 한다.
- [0016] 상기 박막트랜지스터 및 상기 플로팅 전극을 동시에 형성하는 단계는 상기 기판 상에 투명 도전층을 이용한 제1 게이트 도전층과, 제1 게이트 도전층 상에 불투명 도전층을 이용한 제2 게이트 도전층으로 형성된 상기 게이트 라인 및 상기 박막트랜지스터의 게이트 전극을 형성함과 동시에 상기 제1 게이트 도전층과 동일 평면 상에 동일 재질로 상기 플로팅 전극을 형성하는 단계와; 상기 게이트 라인 및 상기 박막트랜지스터의 게이트 전극과 상기 플로팅 전극을 덮도록 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 상에 상기 박막트랜지스터의 활성층 및 오믹접촉층과 상기 박막트랜지스터의 소스 및 드레인 전극을 형성하는 단계를 포함하며, 상기 플로팅 전극은 상기 박막트랜지스터를 덮도록 형성된 보호막과, 상기 게이트 절연막을 사이에 두고 상기 화소 전극 및 공통 전극 각각과 중첩되는 것을 특징으로 한다.
- [0017] 상기 플로팅 전극을 상기 박막트랜지스터와 개별적으로 형성하는 단계는 상기 박막트랜지스터가 형성된 기판의 게이트 절연막 상에 투명 도전층으로 이루어진 플로팅 전극을 형성하는 단계를 포함하며, 상기 플로팅 전극은 상기 박막트랜지스터를 덮도록 형성된 보호막을 사이에 두고 상기 화소 전극 및 공통 전극 각각과 중첩되는 것을 특징으로 한다.

발명의 효과

- [0018] 본 발명은 각 화소마다 단 하나의 박막트랜지스터를 통해 화소 전극에 공급되는 화소 전압 및 공통 전극에 공급되는 공통 전압의 사이의 중간 전압을 자발적으로 가지는 플로팅 전극을 구비한다. 이에 따라, 본 발명은 화소 전극 및 공통 전극 각각과, 플로팅 전극 사이에 프린지 전계가 형성되어 화소 전극 및 공통 전극 상의 영역에서의 투과도가 향상되고, 화소 전극 및 공통 전극 사이에는 수평 전계가 추가적으로 형성되어 화소 전극 및 공통 전극 사이 영역에서의 투과도가 향상된다. 또한, 본 발명은 화소 전극과 공통 전극 간의 간격이 증가하여도 FFS모드에 비해 휘도 저하가 유발되지 않으므로 액정 패널의 사이즈 및 각 화소 크기 변화에 따른 전극 설계의 제약을 최소화하면서도 고효율 특성을 얻을 수 있다.

도면의 간단한 설명

- [0019] 도 1은 본 발명에 따른 액정 표시 소자의 박막트랜지스터 기판을 나타내는 평면도이다.
도 2는 도 1에서 선 "I-I'"를 따라 절취한 박막트랜지스터 기판을 나타내는 단면도이다.

도 3은 도 1에서 선" I - I '"를 따라 절취한 박막트랜지스터 기관의 다른 실시 예를 나타내는 단면도이다.

도 4는 도 1에 도시된 액정 표시 소자의 각 화소에 대한 등가회로도이다.

도 5는 도 2 및 도 3에 도시된 액정 표시 소자의 전계벡터를 나타내는 도면이다.

도 6은 종래와 본 발명에 따른 액정 표시 소자의 전극들 간격에 따른 투과도를 나타내는 도면이다.

도 7a 내지 도 7e는 종래와 본 발명에 따른 액정 표시 소자의 전극들 간격 별 구동 전압에 따른 투과도를 설명하기 위한 도면이다.

도 8a 내지 도 8c는 종래와 본 발명에 따른 액정 표시 소자의 전극들 간격 변화에 따른 단위 화소의 투과도를 설명하기 위한 도면이다.

도 9는 본 발명에 따른 액정 표시 소자의 플로팅 전극에 인위적으로 인가된 전압 변화에 따른 투과도 변화를 설명하기 위한 도면이다.

도 10a 내지 도 10d는 도 2에 도시된 액정 표시 소자의 박막트랜지스터 기관의 제조 방법을 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 첨부된 도면 및 실시 예를 통해 본 발명의 실시 예를 구체적으로 살펴보면 다음과 같다.
- [0021] 도 1은 본 발명에 따른 액정 표시 소자의 박막 트랜지스터 기관을 도시한 평면도이고, 도 2는 도 1에 도시된 박막트랜지스터 기관을 I - I '선을 따라 절단하여 도시한 단면도이다.
- [0022] 도 1 및 도 2에 도시된 박막 트랜지스터 기관은 하부 기관(101) 위에 게이트 절연막(112)을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인(102) 및 데이터 라인(104), 게이트 라인(102) 및 데이터 라인(104)의 교차부와 접속된 박막 트랜지스터(130), 박막 트랜지스터(130)와 접속되어 화소 영역에 형성된 화소 전극(122), 화소 영역에서 화소 전극(122)과 수평 전계를 형성하도록 형성된 공통 전극(124), 화소 영역에서 화소 전극(122) 및 공통 전극(124) 각각과 프린지 전계를 형성하도록 형성된 플로팅 전극(132)을 구비한다.
- [0023] 게이트 라인(102)은 게이트 드라이버(미도시)로부터의 스캔 신호를 박막트랜지스터(130)의 게이트 전극(106)에, 데이터 라인(104)은 데이터 드라이버(미도시)로부터의 화소 전압을 박막트랜지스터(130)의 소스 전극(108)에 공급한다. 이러한 게이트 라인(102) 및 데이터 라인(104)은 게이트 절연막(112)을 사이에 두고 교차하여 각 화소 영역을 정의한다.
- [0024] 박막 트랜지스터(130)는 게이트 라인(102)의 스캔 신호에 응답하여 데이터 라인(104) 상의 비디오 신호가 화소 전극(122)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(130)는 게이트 라인(102)과 접속된 게이트 전극(106), 데이터 라인(104)과 접속된 소스 전극(108), 소스 전극(108)과 마주하며 화소 전극(122)과 접속된 드레인 전극(110), 게이트 절연막(112)을 사이에 두고 게이트 라인(102)과 중첩되어 소스 전극(108)과 드레인 전극(110) 사이에 채널을 형성하는 활성층(114), 소스 전극(108) 및 드레인 전극(110)과의 오믹 접촉을 위하여 채널부를 제외한 활성층(114) 위에 형성된 오믹접촉층(116)을 구비한다. 그리고, 활성층(114) 및 오믹 접촉층(116)을 포함하는 반도체 패턴은 데이터 라인(104)과도 중첩되도록 형성된다.
- [0025] 화소 전극(122)은 보호막(118) 상에 투명 도전층으로 형성된다. 이 화소 전극(122)은 게이트 라인(102)과 나란한 제1 전극부(122a)와, 제1 전극부(122a)에서 수직 방향으로 신장된 제2 전극부(122b)를 구비한다. 이러한 화소 전극(122)의 제1 전극부(122a)는 보호막(118)을 관통하는 컨택홀(120)을 통해 노출된 박막 트랜지스터(130)의 드레인 전극(110)과 접속된다. 화소 전극(122)의 제2 전극부(122b)는 공통 전극(124)과 나란하게 형성된다.
- [0026] 화소 전극(122)은 각 화소 영역에서 게이트 절연막(112) 및 보호막(118)/ 또는 게이트 절연막(112)을 사이에 두고 플로팅 전극(132)과 중첩되어 프린지 전계를 형성한다. 그리고, 공통 전극(124)과 나란하게 형성된 화소 전극(122)은 각 화소 영역에서 공통 전극(124)과 수평 전계를 형성한다. 즉, 화소 전극(122)은 박막 트랜지스터(130)를 통해 화소 전압이 공급되면, 공통 전압이 공급된 공통 전극(136)과 수평 전계를, 플로팅된 플로팅 전극(132)과 프린지 전계를 형성하여 상부 기관 및 하부 기관(101) 사이에서 위치하는 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0027] 공통 전극(124)은 각 화소 영역의 일측 또는 양측에 형성된 공통 라인(126)과 접속된다. 이에 따라, 공통 전극

(124)에는 공통 라인(126)을 통해 액정 구동을 위한 기준 전압, 즉 공통 전압이 공급된다. 이러한 공통 전극(124)은 보호막(118) 상에 투명 도전층으로 형성되며, 화소 전극(122)과 교번되게 형성되어 화소 전극(122)과 수평 전계를 형성한다.

[0028] 플로팅 전극(132)은 도 2 또는 도 3에 도시된 바와 같이 각 화소 영역에서 공통 전극(124) 및 화소 전극(122) 각각과 중첩되어 프린지 전계를 형성하며, 인접한 화소 영역의 플로팅 전극(132)과 독립적으로 형성되어 외부로부터 전기적인 신호가 인가되지 않는다

[0029] 도 2에 도시된 플로팅 전극(132)은 기판(101) 상에 판 형태로 형성되며, 투명 도전층으로 형성된다. 이 플로팅 전극(132)은 각 화소 영역에서 게이트 절연막(112) 및 보호막(118)을 사이에 두고 공통 전극(124) 및 화소 전극(122) 각각과 중첩되어 프린지 전계를 형성한다. 이 때, 플로팅 전극(132)은 기판(101) 상에 적어도 이중 이상의 복층 구조로 형성된 게이트 전극(106) 및 게이트 라인(102)에 포함된 투명 도전층과 동일 재질로 동일 평면 상에 형성된다. 예를 들면, 게이트 전극(106) 및 게이트 라인(102)은 도 2에 도시된 바와 같이 투명 도전층을 이용한 제1 게이트 도전층(106a)과, 불투명한 금속을 이용한 제2 게이트 도전층(106b)이 적층된 이중 구조로 형성된다. 이 경우, 제1 게이트 도전층(106a)으로는 IT0, T0, IZO, ITZO 등이, 제2 게이트 도전층(106b)로는 Cu, Mo, Al, Cu합금, Mo 합금, Al 합금 등이 이용된다. 플로팅 전극(132)은 투명 도전층을 이용한 제1 도전층(106a)으로 형성된다.

[0030] 도 3에 도시된 플로팅 전극(132)은 게이트 절연막(112)상에 판 형태로 형성되며, IT0, T0, IZO, ITZO 등과 같은 투명 도전층으로 형성된다. 이 플로팅 전극(132)은 각 화소 영역에서 보호막(118)을 사이에 두고 공통 전극(124) 및 화소 전극(122) 각각과 중첩되어 프린지 전계를 형성한다.

[0031] 이러한 플로팅 전극(132)은 게이트 절연막(112) 및 보호막(118) 중 적어도 어느 하나를 사이에 두고 화소 전극(122) 및 공통 전극(124)과 용량 결합한다. 즉, 플로팅 전극(132)과 화소 전극(122)은 도 4에 도시된 바와 같이 서로 용량 결합하여 제1 스토리지 커패시터(C_{pix})를 형성하고, 플로팅 전극(132)과 공통 전극(124)은 서로 용량 결합하여 제2 스토리지 커패시터(C_{com})를 형성한다. 이러한 제1 및 제2 스토리지 커패시터(C_{pix}, C_{com})는 플로팅 전극(132)을 통해 직렬로 결합된다.

[0032] 한편, 화소 전극(122)에 인가되는 화소 전압(V_{pix}) 및 플로팅 전극(132)에 인가되는 전압(V_{flot})은 수학적 식 1과 같다.

수학적 식 1

$$R_{pix} = \rho_{insulator} \frac{d_{insulator}}{A_{pix}}, \quad C_{pix} = \frac{\epsilon_{insulator}}{d_{insulator}} A_{pix}$$

$$R_{com} = \rho_{insulator} \frac{d_{insulator}}{A_{com}}, \quad C_{com} = \frac{\epsilon_{insulator}}{d_{insulator}} A_{com}$$

$$V_{pix} - V_{flot} = \frac{R_{pix}}{R_{pix} + R_{com}} V_{pix}$$

$$V_{flot} = \frac{R_{com}}{R_{pix} + R_{com}} V_{pix}$$

[0033]

[0034] 수학적 식 1에서 R_{pix} 은 화소 전극(122) 및 플로팅 전극(132) 사이의 저항을, R_{com} 은 공통 전극(124) 및 플로팅 전극(132) 사이의 저항을, $\rho_{insulator}$ 는 화소 전극(122) 및 공통 전극(124) 각각과, 플로팅 전극(132) 사이에 위치하

는 절연막(112,118)의 저항률을, A_{pix} 은 화소 전극(122) 및 플로팅 전극(132)의 중첩 면적을, A_{com} 은 공통 전극(124) 및 플로팅 전극(132)의 중첩 면적을 의미한다.

[0035] 수학식 1을 시간에 따라 커패시터의 전하 증방전을 고려하여 동적 상태에서의 화소 전극에 걸리는 전압(V_{pix})과, 플로팅 전극(132)에 걸리는 전압(V_{flot})의 비를 알아보기 위해 라플라스 변환을 통해 노드(n1)에서 키르히호프 전류법칙(KCL)을 이용하면, 수학식 2 및 수학식 3과 같다.

수학식 2

$$\frac{V_{pix}(s) - V_{flot}(s)}{\frac{1}{sC_{pix}}} + \frac{V_{pix}(s) - V_{flot}(s)}{R_{pix}} = \frac{V_{flot}(s)}{R_{com}} + \frac{V_{flot}(s)}{\frac{1}{sC_{com}}}$$

[0036]

수학식 3

$$V_{pix}(s) \left[sC_{pix} + \frac{1}{R_{pix}} \right] = V_{flot}(s) \left[sC_{pix} + sC_{com} + \frac{1}{R_{pix}} + \frac{1}{R_{com}} \right]$$

[0037]

[0038] 이 때, 각 화소 내에서의 화소 전극(122)의 총 면적과 공통 전극(124)의 총 면적이 동일하면, 수학식 4의 조건을 만족하게 된다.

수학식 4

$$C_{pix} = C_{com}$$

$$R_{pix} = R_{com}$$

[0039]

[0040] 이러한 수학식 4의 조건을 수학식 3에 대입하면, $V_{pix}(s)$ 와 $V_{flot}(s)$ 의 관계는 수학식 5와 같다.

수학식 5

$$V_{pix}(s) = 2V_{flot}(s)$$

$$V_{pix}(t) = 2V_{flot}(t)$$

[0041]

[0042] 수학식 5로부터 알 수 있듯이 화소 전극(122)과 공통 전극(124)의 면적이 동일하면, 플로팅 전극(132)에는 화소 전압 및 공통 전압의 차전압의 1/2의 전압이 인가된다. 이 때, 화소 전극(122) 및 공통 전극(124) 각각과 플로팅 전극(132) 사이에 형성되는 제1 및 제2 스토리지 커패시터(C_{pix}, C_{com})의 용량값은 $C_{pix}/2$ 또는 $C_{com}/2$ 가 된다. 또한, 화소 전극(122) 및 공통 전극(124) 각각과 플로팅 전극(132) 사이에 형성되는 절연막(112,118)에 누설전류가 발생하여 $R_{pix} \neq \infty$, $R_{com} \neq \infty$ 이 되더라도, 플로팅 전극(132)에는 화소 전압의 레벨 변화에 따라 축적되는 전하가 없기 때문에 저항값에 관계없이 항상 화소 전압과 공통 전압의 차전압의 1/2의 전압이 인가된다.

[0043] 이와 같이, 본 발명에 따른 액정 표시 소자는 화소 전압 및 공통 전압의 사이의 중간 전압을 가지는 플로팅 전

극(132)에 의해 도 5에 도시된 바와 같이 화소 전극(122) 및 공통 전극(124) 각각과 플로팅 전극(132) 사이에 프린지 전계가 형성되고, 화소 전극(122) 및 공통 전극(124) 사이에는 수평 전계가 형성된다. 특히, 화소 전극(122) 및 공통 전극(124) 각각의 경계면 및 화소 전극(122) 및 공통 전극(124)의 바로 위 부분에서는 프린지 전계가 형성되고, 하부 기판(101)과 액정층을 사이에 두고 대향하는 상부 기판 부근에서는 화소 전극(122) 및 공통 전극(124) 사이에 수평 전계가 형성되며, 화소 전극(122) 및 공통 전극(124) 사이의 영역에서는 수평 전계 및 프린지 전계를 포함하는 혼합전계가 형성된다. 이에 따라, 본 발명에 따른 액정 표시 소자는 프린지 전계에 의해 화소 전극(122) 및 공통 전극(124) 상의 영역에서의 투과도가 향상되고, 수평 전계에 의해 화소 전극(122) 및 공통 전극(124) 사이의 영역에서의 투과도도 향상된다.

[0044] 도 6은 종래와 본 발명에 따른 액정 표시 소자의 전극들의 간격 변화에 따른 투과도 변화를 설명하기 위한 도면이다.

[0045] 도 6에 도시된 바와 같이, 종래 FFS모드의 경우, 화소 전극들 또는 공통 전극들의 간격이 증가함에 따라 투과도가 급격히 감소된다. 그리고, 종래 IPS모드의 경우, 화소 전극 및 공통 전극의 간격이 증가함에 따라 다소 투과도가 증가하나, 화소 전극 및 공통 전극 상부 영역에서 투과도가 저하된다. 이에 따라, IPS모드의 경우, 화소 전극 및 공통 전극의 간격이 최대한으로 증가하던지, 전극의 폭 자체가 줄어들지 않으면 투과도의 개선 효과를 얻을 수 없다(한편, 도 6에서는 스토리지 커패시터 형성에 따른 개구율 저하 효과는 고려하지 않음).

[0046] 반면, 본 발명에 따른 혼합 전계 구동 모드의 경우, 액정층의 두께가 3~4 μm 일 때 화소 전극 및 공통 전극 간의 간격이 4 μm ~8 μm 로 증가하더라도 투과도가 변화가 거의 없이 일정한 투과도를 얻을 수 있으며, 종래 FFS모드 및 IPS모드에 비해 고투과도 특성을 얻을 수 있다. 특히, 본 발명은 플로팅 전극(132)을 통해 스토리지 커패시터를 형성하므로, 스토리지 커패시터를 형성하기 위한 스토리전극을 추가적으로 구비해야 하는 IPS모드 대비 높은 개구율을 얻을 수 있어 종래 FFS모드 및 IPS모드에 비해 고투과도 특성을 얻을 수 있다.

[0047] 도 7a 내지 도 7e는 종래와 본 발명에 따른 액정 표시 소자의 전극들의 간격변화에 따른 전압 대 투과도를 설명하기 위한 도면이며, 도 8a 내지 도 8c는 종래와 본 발명에 따른 액정 표시 소자의 전극들 간격 변화에 따른 단위 화소의 투과도를 설명하기 위한 도면이다.

[0048] 도 7a 내지 도 7e에 도시된 바와 같이, 종래 FFS모드의 경우 전극 간격이 증가함에 따라 프린지 전계의 세기가 증가더라도 전극과 전극 사이의 중앙부에서 액정 간의 스트레스에 의해 나타나는 액정의 꼬임 현상이 줄어들게 된다. 이에 따라, 도 8a 내지 도 8c에 도시된 바와 같이 전극과 전극 사이의 중앙부에서의 투과도 저하가 종래 IPS모드 및 본원 발명에 비해 극심하게 나타난다.

[0049] 또한, 종래 IPS모드의 경우, 공통 전극들 또는 화소 전극들 간의 간격이 증가함에 따라 구동 전압도 점차적으로 증가하게 된다. 그러나, 구동 전압이 증가하더라도 도 8a 내지 도 8c에 도시된 바와 같이 전극 위 부분에서의 투과도가 종래 FFS모드 및 본원 발명에 비해 낮기 때문에 전체 투과도 향상효과는 미미함을 알 수 있다. 특히, 종래 IPS모드의 경우, 투과도 향상을 위해서는 전극의 폭 자체가 줄어들어야 하므로 구동 전압도 종래 FFS모드 및 본원 발명에 비해 높아져 소비전력이 상승하는 문제점이 있다.

[0050] 반면에, 종래 IPS모드 및 FFS모드와 전극 간격이 동일한 조건에서, 본원 발명에 따른 혼합 전계 모드는 높은 투과도 특성을 얻게 된다. 즉, 본원 발명은 화소 전극(122) 및 공통 전극(124) 간의 간격(g)이 증가하더라도 구동 전압을 증가시키기에 따라 수평 전계에 의해 화소 전극(122) 및 공통 전극(124) 사이의 중앙부에서 액정의 회전을 유도할 수 있기 때문에 종래 IPS모드 및 FFS모드에 비해 높은 투과도 특성을 얻을 수 있다. 특히, 본원 발명에 따른 혼합 전계 모드는 전극 간격이 5.5 μm , 6 μm , 7 μm , 8 μm 로 증가할 때, 종래 FFS모드에 비해 투과도가 4.5%, 6.1%, 8.8%, 10.7% 상승하게 된다.

[0051] 도 9는 본 발명에 따른 액정 표시 소자의 플로팅 전극에 인위적으로 인가된 전압 변화에 따른 투과도 변화를 설명하기 위한 도면이다.

[0052] 화소 전극(122) 및 공통 전극(124) 간의 간격(g)이 각각 3 μm , 4 μm , 5 μm 일 때의 최대 투과도를 얻을 수 있는 화소 전압 및 공통 전압의 차전압은 5V, 5.5V, 5.8V이다. 이에 따라, 플로팅 전극(132)에 인위적으로 화소 전압 및 공통 전압의 차전압의 중간전압인 2.5V, 2.75V, 2.9V를 인가하게 되면, 도 9에 도시된 바와 같이 최대 투과도 특성을 얻을 수 있음을 알 수 있다.

[0053] 한편, 도 6 내지 도 9에서 본 발명에 따른 액정 표시 소자의 시뮬레이션 조건은 표 1과 같으며, 표 1에 기재된 수치는 실시예일 뿐 이를 한정하는 것은 아니며 사용자의 선택에 따라 변경가능하다. 특히, 본 발명은 양의 유전 이방성을 갖는 액정 뿐만 아니라 음의 유전 이방성($\Delta\epsilon < 0$)을 갖는 액정을 사용하더라도 플로팅 전극(132)에

화소 전압 및 공통 전압 사이의 중간 전압이 자발적으로 대전되어 투과도를 향상시킬 수 있는 효과를 얻을 수 있다.

표 1

[0054]

변수		값
액정	복굴절(Δn)	0.1026
	유전이상성($\Delta \epsilon$)	6.9
	퍼짐상수(K_{11})	13.1pN
	비틀림상수(K_{22})	13.1pN
	휨상수(K_{33})	13.1pN
액정층의 두께		3.4 μ m
화소 전극의 폭		2.5 μ m
공통 전극의 폭		2.5 μ m
화소 전극 및 공통 전극 각각과 플로팅 전극 사이의 절연막의 유전율		6.5
화소 전극 및 공통 전극 각각과 플로팅 전극 사이의 절연막의 두께		500 μ m

[0055]

이와 같이, 본 발명에 따른 액정 표시 소자는 플로팅 전극(132)과, 게이트 절연막(112) 및 보호막(118) 중 적어도 어느 하나를 사이에 두고 형성되는 화소 전극(122) 및 공통 전극(124) 각각의 면적을 동일한 화소 내에서 동일하게 형성하면, 플로팅 전극(132)에는 수학적 5에 기재된 바와 같이 화소 전압 및 공통 전압 사이의 중간 전압값이 대전된다. 이에 따라, 본 발명에 따른 액정 표시 소자는 도 9에 도시된 바와 같이 최대 투과도를 얻을 수 있는 조건이 자발적으로 만족됨을 알 수 있다.

[0056]

도 10a 내지 도 10d는 도 2에 도시된 액정 표시 소자의 박막트랜지스터 기판의 제조 방법을 설명하기 위한 도면들이다.

[0057]

도 10a에 도시된 바와 같이, 하부 기판(101) 상에 게이트 라인(102), 게이트 전극(106) 및 플로팅 전극(132)을 포함하는 게이트 패턴이 형성된다.

[0058]

구체적으로, 하부 기판(101) 상에 스퍼터링 방법 등의 증착 방법을 통해 제1 및 제2 게이트 도전층이 순차적으로 형성된다. 제1 게이트 도전층(106a)으로는 ITO, TO, IZO, ITZO 등이, 제2 게이트 도전층(106b)로는 Cu, Mo, Al, Cu합금, Mo 합금, Al 합금 등이 이용된다.

[0059]

그런 다음, 하프톤 마스크 또는 슬릿 마스크를 이용한 노광 공정 및 현상 공정을 통해 형성된 포토레지스트 패턴을 마스크로 이용한 식각 공정을 통해 제1 및 제2 게이트 도전층(106a, 106b)이 식각된다. 이에 따라, 게이트 라인(102), 게이트 전극(106) 및 플로팅 전극(132)을 포함하는 게이트 패턴이 동시에 형성된다. 이 때, 게이트 라인(102) 및 게이트 전극(106)은 제1 및 제2 게이트 도전층(106a, 106b)이 적층된 다층 구조로 형성되며, 플로팅 전극(132)은 제1 게이트 도전층(106)으로 이루어진다.

[0060]

한편, 하프톤 마스크 또는 슬릿 마스크를 이용한 패턴링 공정을 통해 게이트 라인(102), 게이트 전극(106) 및 플로팅 전극(132)이 동시에 형성되는 것을 예로 들어 설명하였지만, 이외에도 2번의 마스크 공정을 통해 게이트 라인(102), 게이트 전극(106) 및 플로팅 전극(132)을 형성할 수도 있다. 즉, 제1 게이트 도전층(106a)을 이용한 패턴링 공정을 통해 플로팅 전극(132)을 먼저 형성한 다음, 제2 게이트 도전층(106b)을 이용한 패턴링 공정을 통해 게이트 라인(102) 및 게이트 전극(106)을 형성할 수도 있다. 따라서, 게이트 라인(102) 및 게이트 전극(106)은 제2 게이트 도전층(106b)으로 이루어진 단층 구조로 형성되며, 플로팅 전극(132)은 투명 도전층인 제1 게이트 도전층(106a)으로 이루어진 단층 구조로 형성된다.

[0061]

도 10b를 참조하면, 게이트 패턴이 형성된 하부 기판(101) 상에 게이트 절연막(112)이 형성되고, 그 위에 데이터 라인(104), 소스 전극(108) 및 드레인 전극(110)을 포함하는 데이터 패턴과, 데이터 금속 패턴을 따라 그 아래에 중첩된 활성층(114) 및 오믹 접촉층(116)을 포함하는 반도체 패턴이 형성된다.

[0062]

구체적으로 설명하면, 게이트 금속 패턴이 형성된 하부 기판(101) 상에 게이트 절연막(112), 비정질 실리콘층, 불순물(n+ 또는 p+)이 도핑된 비정질 실리콘층, 데이터 금속층이 순차적으로 형성된다. 그리고, 데이터 금속층 위에 포토레지스트가 도포된 다음, 하프톤 마스크 또는 회절 마스크를 이용한 포토리소그래피 공정으로 패턴링된 포토레지스트 패턴이 형성된다. 이 포토레지스트 패턴을 이용한 식각 공정을 통해 데이터 패턴과 반도체 패턴이 동시에 형성된다.

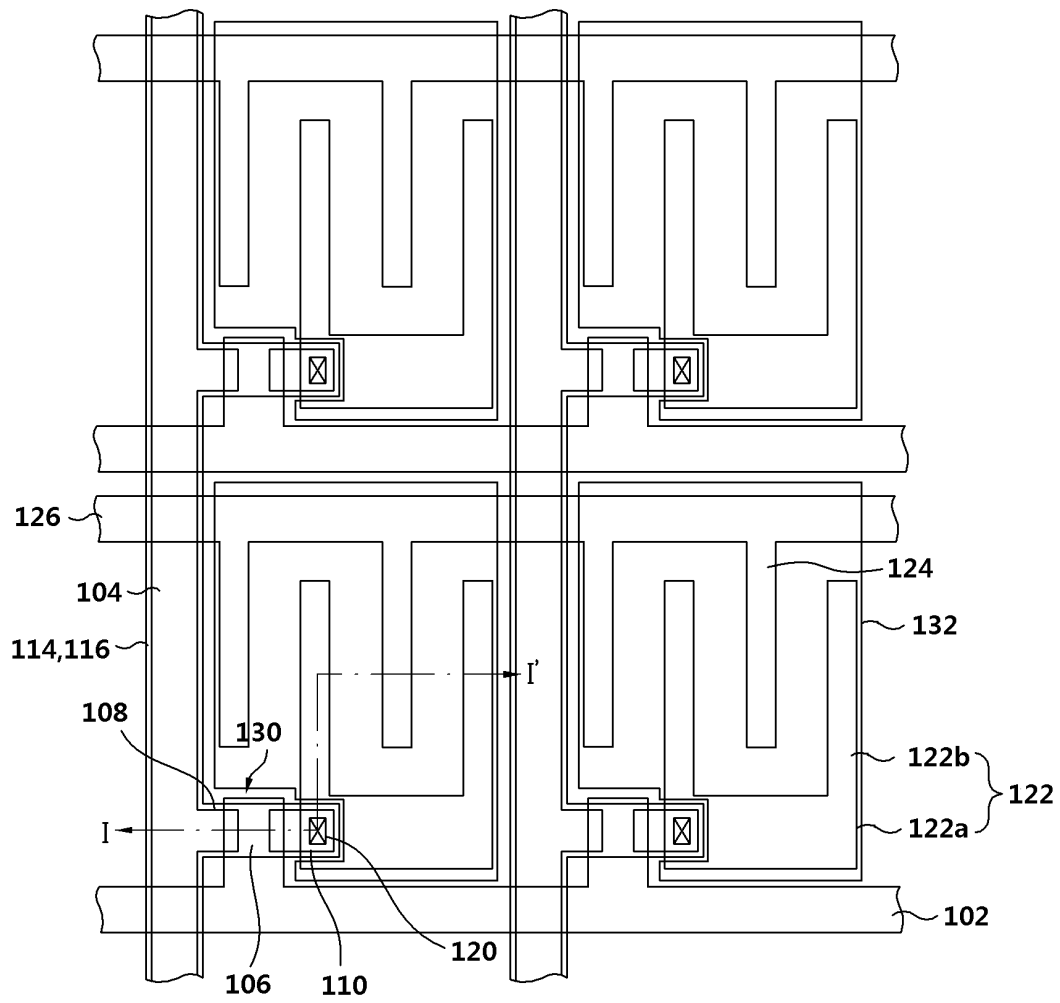
- [0063] 도 10c를 참조하면, 데이터 패턴 및 반도체 패턴이 형성된 기판(101) 상에 컨택홀(120)을 포함하는 보호막(118)이 형성된다.
- [0064] 구체적으로, 데이터 패턴이 형성된 게이트 절연막(112) 상에 CVD, PECVD 등의 방법으로 보호막(118)이 순차적으로 증착된다. 보호막(118)으로는 게이트 절연막(112)과 같은 무기 절연 물질 또는 아크릴계 수지와 같은 유기 절연 물질이 이용된다. 그런 다음, 보호막(118)이 포토리소그래피 공정과 식각 공정을 통해 패터닝됨으로써 컨택홀(120)이 형성된다.
- [0065] 도 10d를 참조하면, 컨택홀(120)을 포함하는 보호막(118)이 형성된 기판(101) 상에 공통 라인(126), 공통 전극(124) 및 화소 전극(122)을 포함하는 투명 도전 패턴이 형성된다.
- [0066] 구체적으로, 보호막(118)이 형성된 기판(101) 상에 스퍼터링 방법 등의 증착 방법을 통해 투명 도전막이 형성된다. 투명 도전막으로는 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 주석 산화물(Tin Oxide : TO), 인듐 아연 산화물(Indium Zinc Oxide : IZO), SnO_2 , 아몰퍼스-인듐 주석 산화물(a-ITO)등이 이용된다. 이어서, 포토리소그래피 공정 및 식각 공정으로 투명 도전막이 패터닝됨으로써 공통 라인(126), 공통 전극(124) 및 화소 전극(122)을 포함하는 투명 도전 패턴이 형성된다.
- [0067] 한편, 도 3에 도시된 박막트랜지스터 기판의 제조 방법은 다음과 같다. 게이트 라인(102) 및 게이트 전극(106)을 포함하는 게이트 패턴을 형성한 다음, 게이트 패턴을 덮도록 게이트 절연막(112)을 형성한다. 그런 다음, 반도체 패턴과 데이터 패턴을 동시에 형성하고, 투명 도전층을 이용하여 플로팅 전극(132)을 형성한다. 그런 다음, 박막트랜지스터의 드레인 전극(110)을 노출시키는 컨택홀(120)을 가지는 보호막(118)을 형성하고, 보호막(118) 상에 화소 전극(122) 및 공통 전극(124)을 형성한다.
- [0068] 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

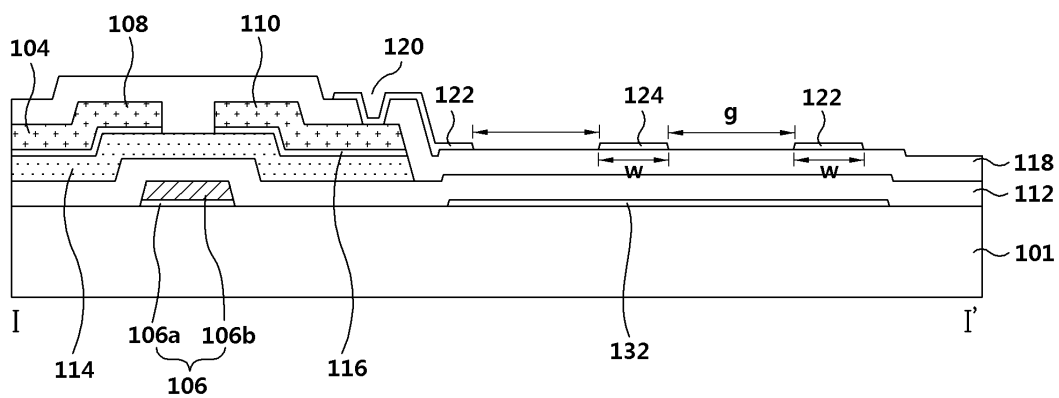
- | | |
|---------------------|---------------|
| [0069] 102 : 게이트 라인 | 104 : 데이터 라인 |
| 106 : 게이트 전극 | 108 : 소스 전극 |
| 110 : 드레인 전극 | 112 : 게이트 절연막 |
| 114 : 활성층 | 116 : 오믹 접촉층 |
| 118 : 보호막 | 120 : 화소 컨택홀 |
| 122 : 화소 전극 | 124 : 공통 전극 |
| 126 : 공통 라인 | 132 : 플로팅 전극 |

도면

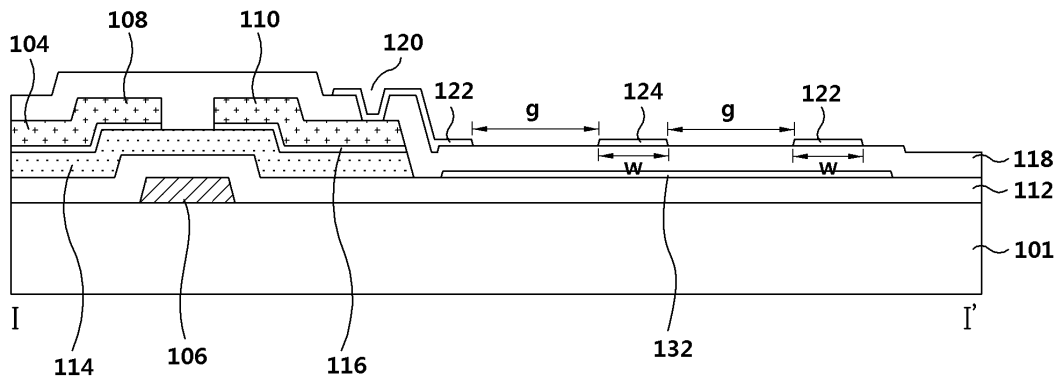
도면1



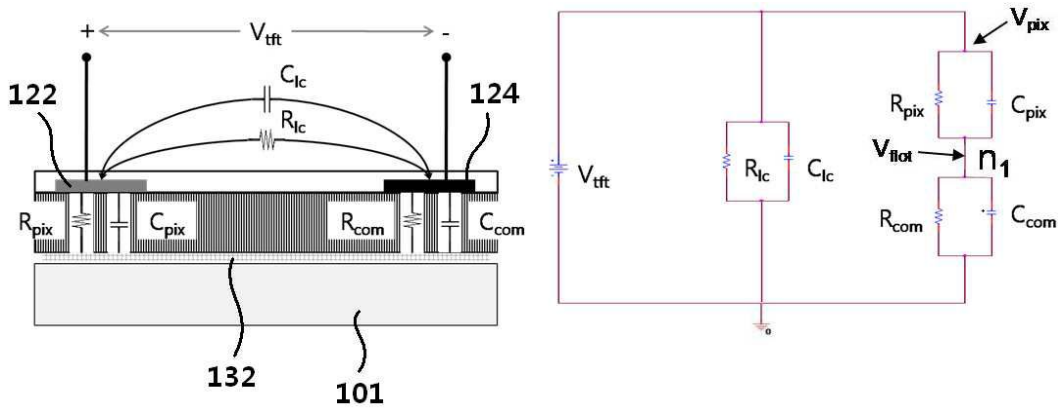
도면2



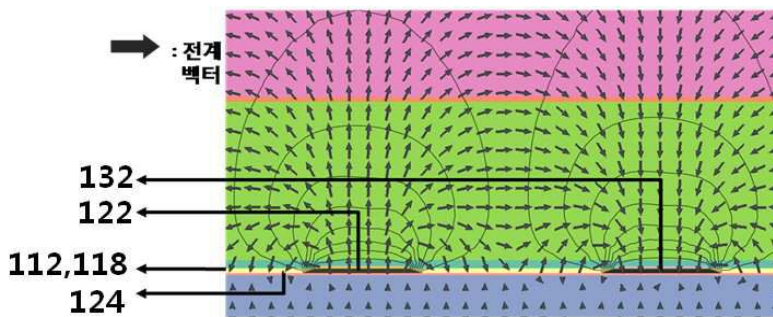
도면3



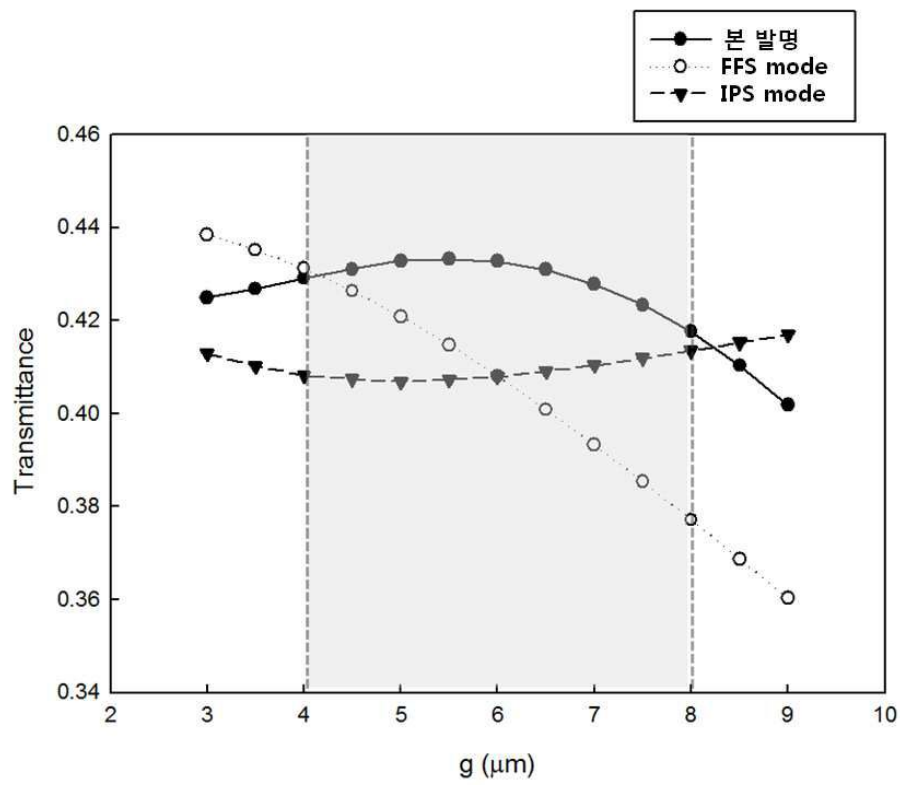
도면4



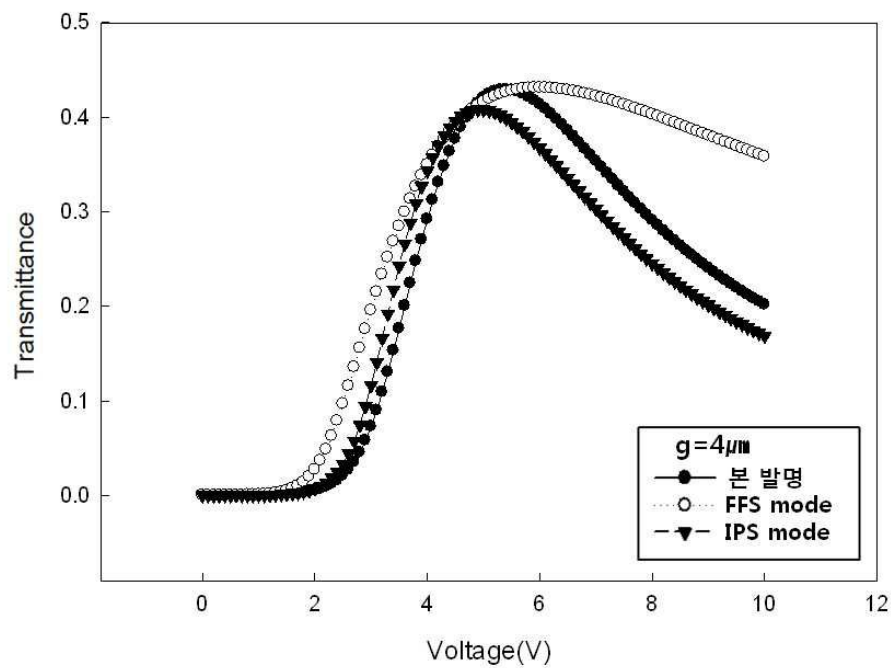
도면5



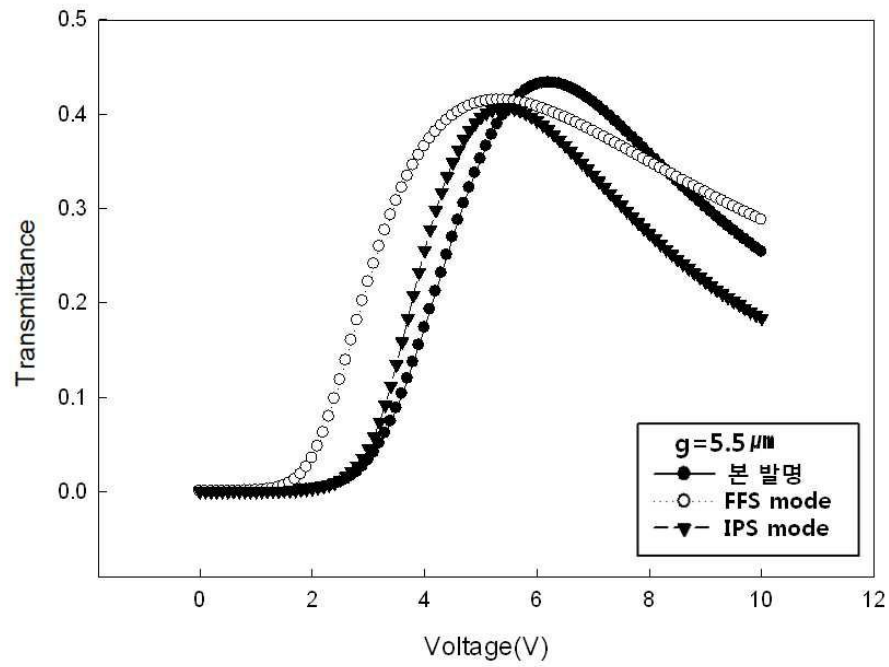
도면6



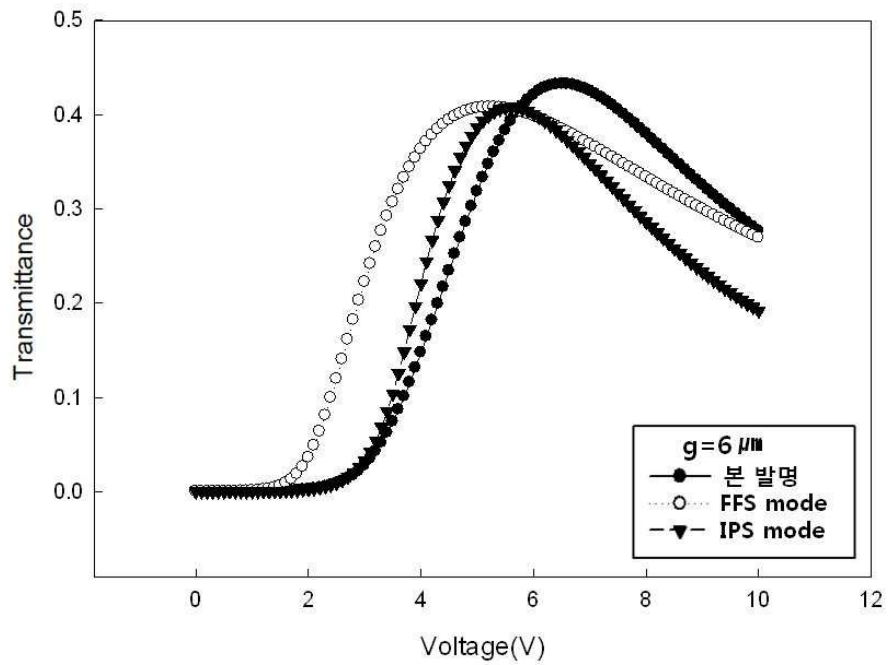
도면7a



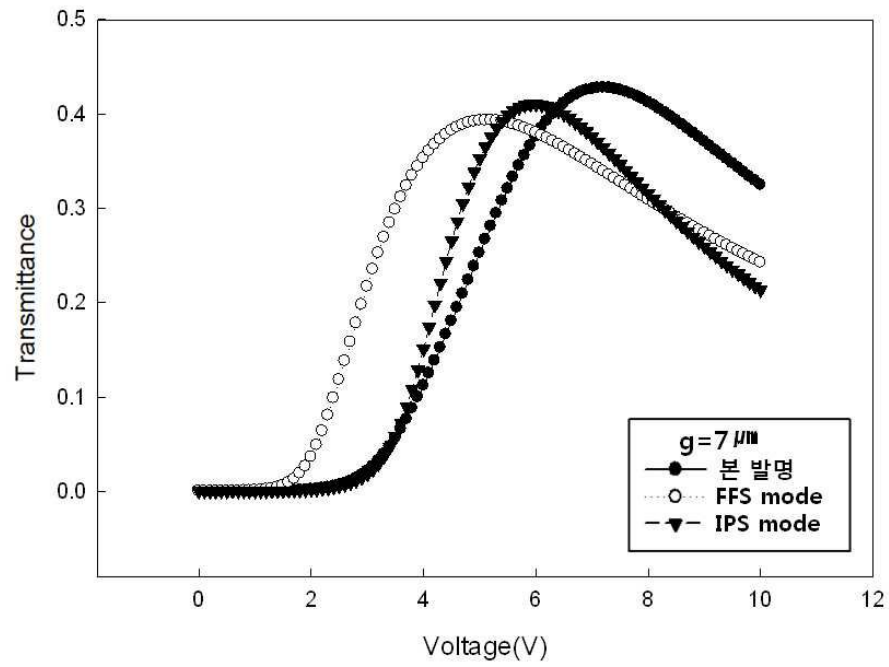
도면7b



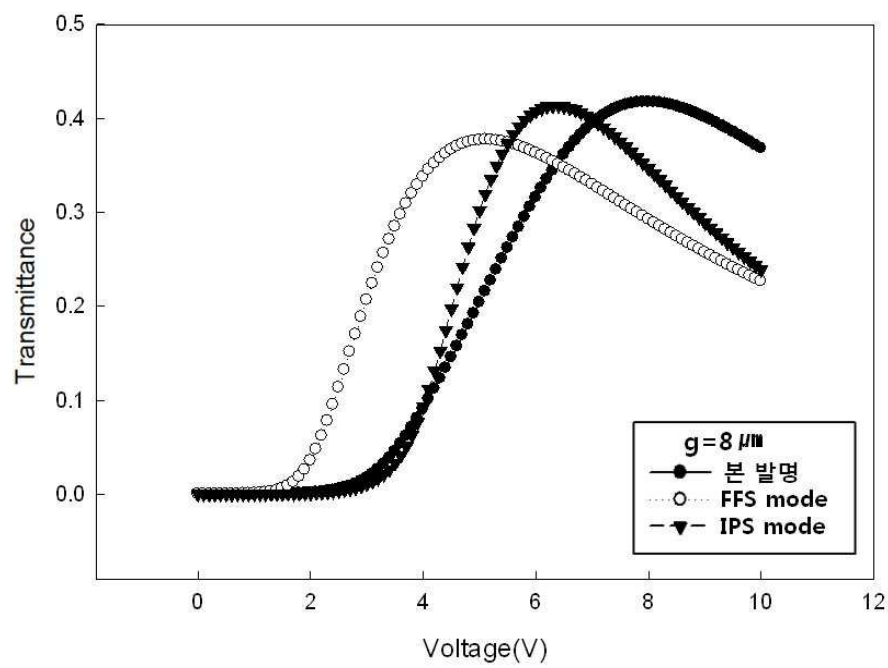
도면7c



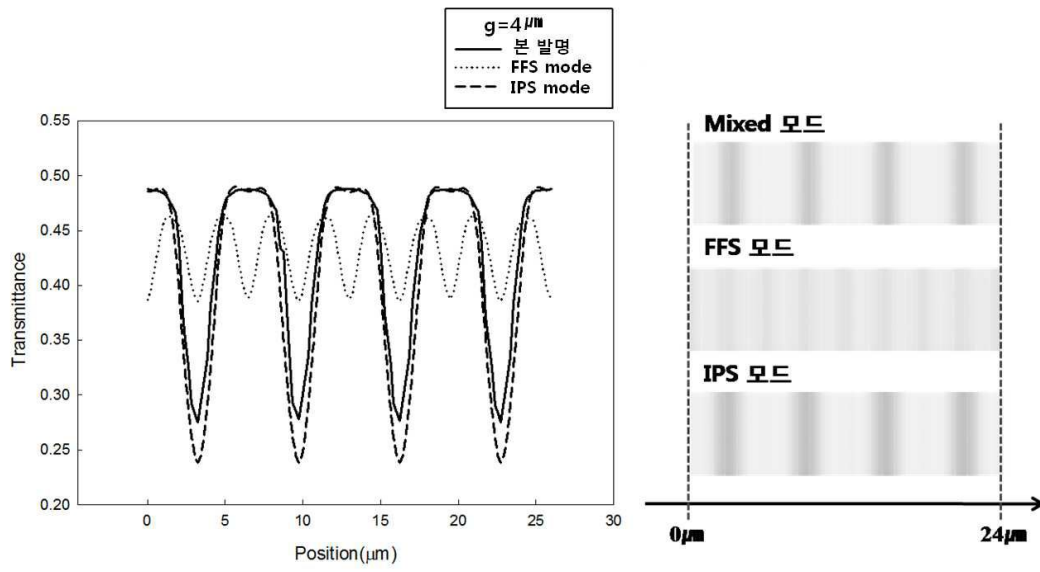
도면7d



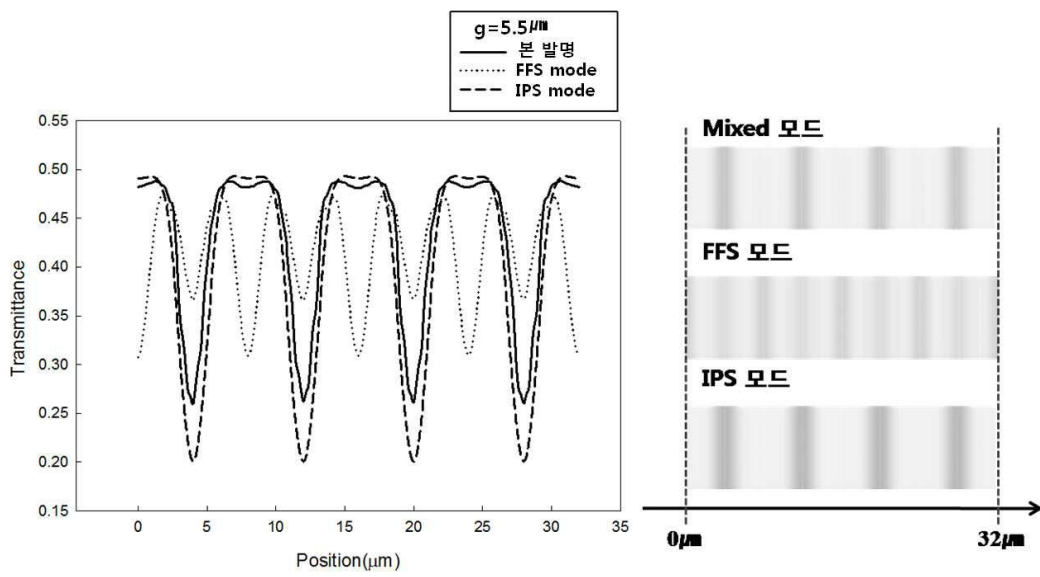
도면7e



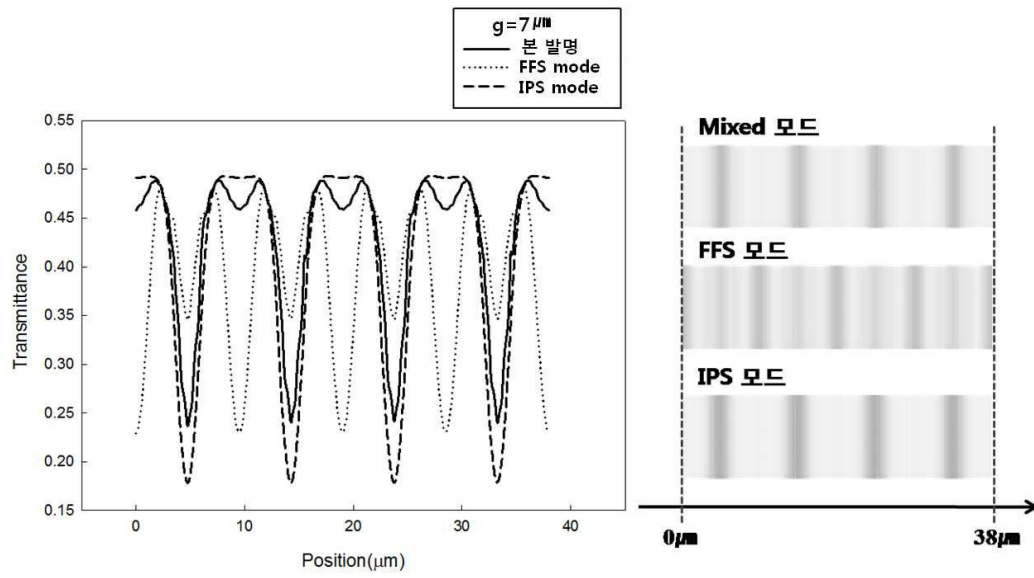
도면8a



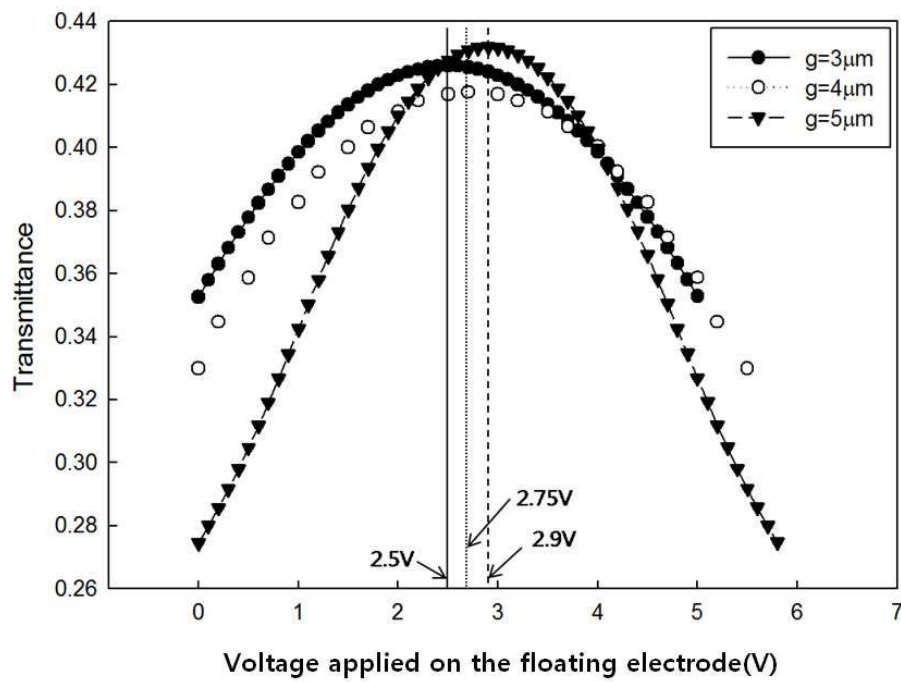
도면8b



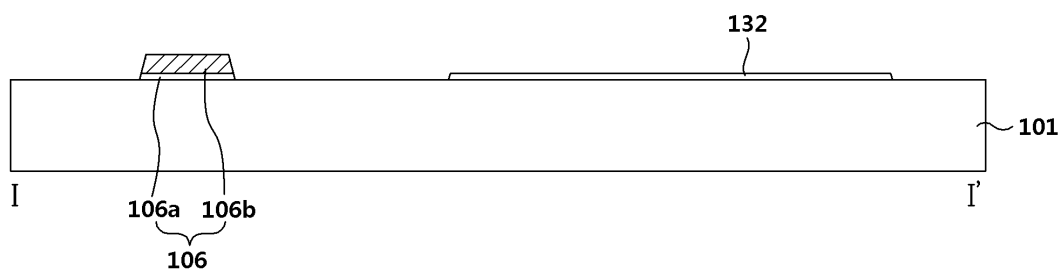
도면8c



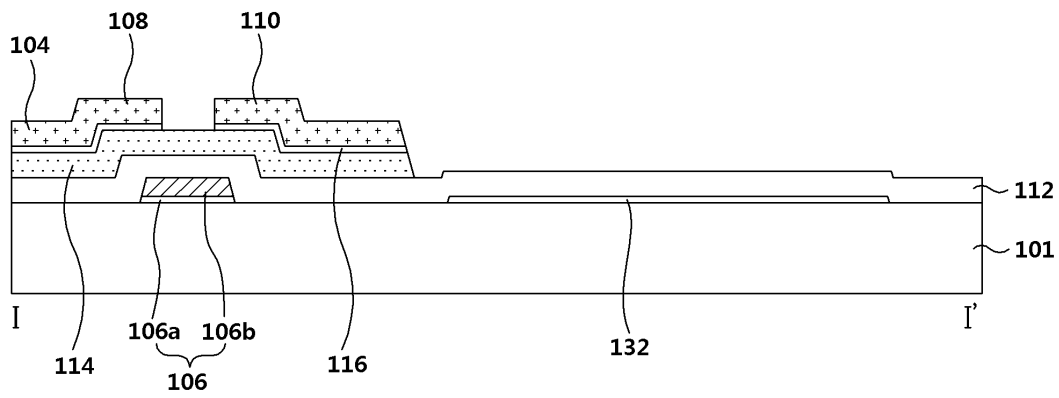
도면9



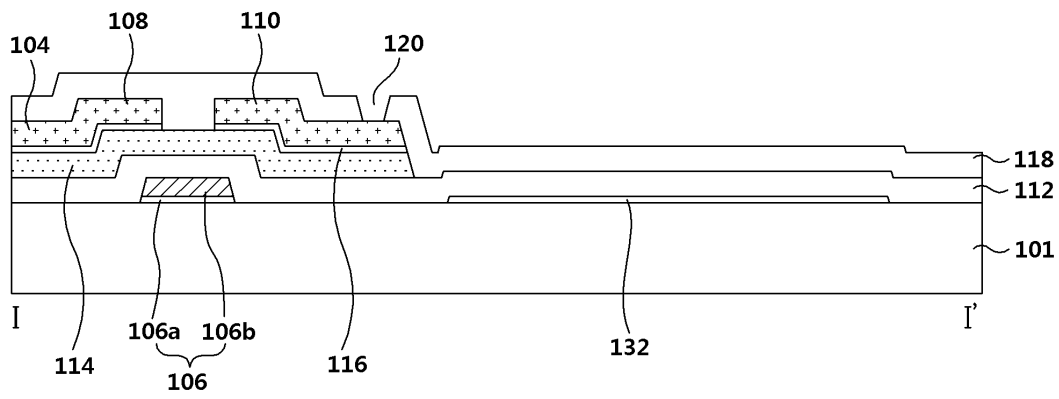
도면10a



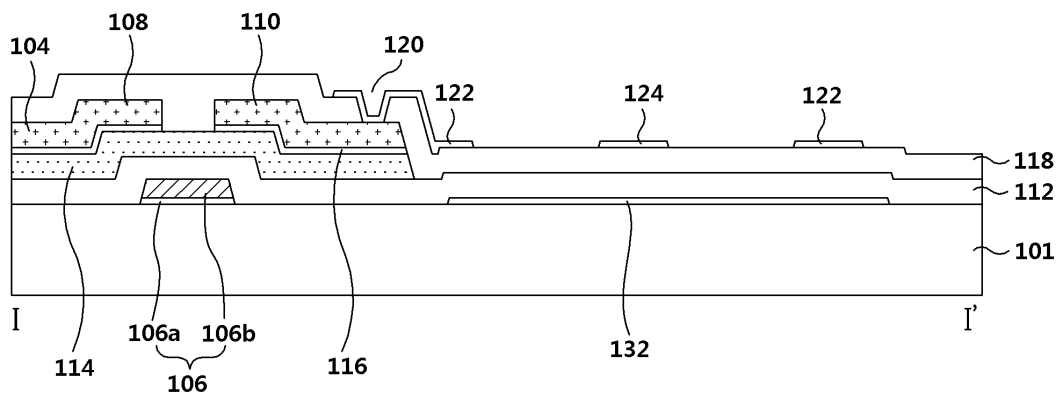
도면10b



도면10c



도면10d



专利名称(译)	液晶显示器及其制造方法		
公开(公告)号	KR102081115B1	公开(公告)日	2020-02-26
申请号	KR1020130099524	申请日	2013-08-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司 庆北国立学术基金会		
当前申请(专利权)人(译)	LG显示器有限公司 庆北国立学术基金会		
[标]发明人	김학린 이준호 김동우 박민규		
发明人	김학린 이준호 김동우 박민규		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F1/134309 G02F1/134363 G02F1/136227 G02F1/1368 G02F2001/134372		
代理人(译)	Bakyoungbok		
审查员(译)	Hansangil		
其他公开文献	KR1020150023096A		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示器及其制造方法。根据本发明的液晶显示器包括形成在基板上的栅极线；以及形成在基板上的栅极线。与栅极线相交以提供像素区域的数据线；薄膜晶体管，其连接至栅极线和数据线；连接到薄膜晶体管并形成在像素区域中的像素电极；公共电极，其形成在与像素电极相同的平面上，并与像素电极形成横向电场。浮置电极独立地形成在每个像素区域中，与像素电极和公共电极重叠以被绝缘，并分别与像素电极和公共电极形成边缘场。

