



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0008462
(43) 공개일자 2019년01월24일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1368 (2006.01)
(52) CPC특허분류
G02F 1/13624 (2013.01)
G02F 1/134309 (2013.01)
(21) 출원번호 10-2017-0089052
(22) 출원일자 2017년07월13일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이계욱
서울특별시 서초구 사임당로19길 10, 서초현대아파트 102동 413호 (서초동)
구자용
경기도 안양시 만안구 박달로 453, 한라아파트 104동 1501호 (박달동)
(74) 대리인
특허법인가산

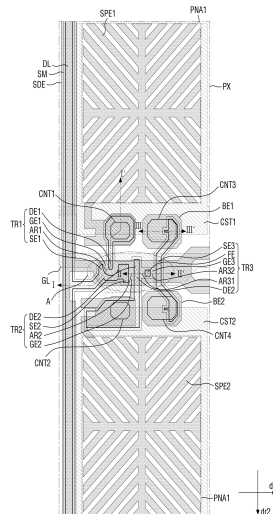
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

액정 표시 장치가 제공된다. 액정 표시 장치는 기판, 상기 기판 상에 배치된 제1 내지 제3 박막 트랜지스터, 상기 제1 내지 제3 박막 트랜지스터 상에 배치된 제1 및 제2 부화소 전극을 포함하되, 상기 제2 박막 트랜지스터의 출력 단자와 상기 제3 박막 트랜지스터의 출력 단자는 하나의 동일한 단자를 공유하고, 상기 제1 부화소 전극은 상기 제1 박막 트랜지스터의 출력 단자와 전기적으로 연결되고, 상기 제2 부화소 전극은 상기 제2 박막 트랜지스터의 출력 단자와 전기적으로 연결된다.

대표도 - 도1



(52) CPC특허분류

G02F 1/1368 (2013.01)

G02F 2001/134345 (2013.01)

(72) 발명자

박기범

충청남도 천안시 동남구 청수4로 11, 청수한양수자인 405동 1302호 (청당동)

신재용

충청남도 아산시 탕정면 탕정면로 37, 탕정삼성트라팰리스아파트 304동 605호

이성영

경기도 화성시 동탄반석로 96, 솔빛마을경남아너스빌아파트 404동 1002호 (반송동)

이슬비

경기도 수원시 영통구 영통로 498, 황골마을1단지아파트 150동 1202호 (영통동)

이웅

충청남도 천안시 서북구 두정상가1길 27, 프라지움722호 (두정동)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치된 제1 내지 제3 박막 트랜지스터;

상기 제1 내지 제3 박막 트랜지스터 상에 배치된 제1 및 제2 부화소 전극을 포함하되,

상기 제2 박막 트랜지스터의 출력 단자와 상기 제3 박막 트랜지스터의 출력 단자는 하나의 동일한 단자를 공유하고,

상기 제1 부화소 전극은 상기 제1 박막 트랜지스터의 출력 단자와 전기적으로 연결되고,

상기 제2 부화소 전극은 상기 제2 박막 트랜지스터의 출력 단자와 전기적으로 연결된 액정 표시 장치.

청구항 2

제1 항에 있어서,

상기 제2 및 제3 박막 트랜지스터의 출력 단자는 일 방향을 따라 일직선으로 연장된 바 모양을 갖는 액정 표시 장치.

청구항 3

제2 항에 있어서,

상기 제2 및 제3 박막 트랜지스터의 입력 단자는 일 방향을 따라 일직선으로 연장된 바 모양을 갖는 액정 표시 장치.

청구항 4

제3 항에 있어서,

상기 제2 및 제3 박막 트랜지스터의 입력 단자 및 출력 단자가 연장된 방향은 서로 동일한 액정 표시 장치.

청구항 5

제1 항에 있어서,

상기 제2 박막 트랜지스터의 채널과 상기 제3 박막 트랜지스터의 채널은 동일 방향으로 형성되는 액정 표시 장치.

청구항 6

제1 항에 있어서,

상기 기관과 상기 제1 및 제2 부화소 전극 사이 층에 배치된 유지 전극, 게이트 라인 및 데이터 라인을 더 포함하되,

상기 제1 내지 제3 박막 트랜지스터의 제어 단자는 상기 게이트 라인과 전기적으로 연결되고,

상기 제1 및 제2 박막 트랜지스터의 입력 단자는 상기 데이터 라인과 연결되고,

상기 제3 박막 트랜지스터의 입력 단자는 상기 유지 전극과 연결된 액정 표시 장치.

청구항 7

제6 항에 있어서,

상기 제2 부화소 전극에 제공되는 전압은 상기 데이터 라인에 제공되는 전압의 전압값과 상기 유지 전극에 제공된 전압의 전압값 사이의 전압값을 갖는 액정 표시 장치.

청구항 8

제6 항에 있어서,

상기 제1 부화소 전극에 제공되는 전압과 상기 유지 전극에 제공되는 전압의 차이는, 상기 제2 부화소 전극에 제공되는 전압과 상기 유지 전극에 제공되는 전압의 차이보다 큰 액정 표시 장치.

청구항 9

제6 항에 있어서,

상기 제2 박막 트랜지스터의 채널과 상기 제3 박막 트랜지스터의 채널은 상기 게이트 라인이 연장된 방향으로 형성되는 액정 표시 장치.

청구항 10

제1 항에 있어서,

상기 제3 박막 트랜지스터는 입력 단자와 출력 단자 사이에 배치된 플로팅 전극을 더 포함하는 액정 표시 장치.

청구항 11

제1 항에 있어서,

상기 제1 박막 트랜지스터의 입력 단자와 출력 단자는 동일한 일 방향을 따라 일직선으로 연장된 바 모양을 갖는 액정 표시 장치.

청구항 12

기관;

상기 기관 상에 배치된 데이터 라인, 상기 데이터 라인과 교차하는 게이트 라인 및 유지 전극, 상기 데이터 라인, 상기 게이트 라인 및 상기 유지 전극과 전기적으로 연결된 제1 내지 제3 박막 트랜지스터;

상기 제1 내지 제3 박막 트랜지스터 상에 배치된 제1 및 제2 부화소 전극을 포함하되,

상기 제1 박막 트랜지스터는 상기 데이터 라인과 전기적으로 연결된 제1 소스 전극, 상기 제1 부화소 전극과 전기적으로 연결된 제1 드레인 전극 및 상기 게이트 라인과 전기적으로 연결된 제1 게이트 전극을 포함하고,

상기 제2 박막 트랜지스터는 상기 데이터 라인과 전기적으로 연결된 제2 소스 전극, 상기 제2 부화소 전극과 전기적으로 연결된 제2 드레인 전극 및 상기 게이트 라인과 전기적으로 연결된 제2 게이트 전극을 포함하고,

상기 제3 박막 트랜지스터는 상기 유지 전극과 전기적으로 연결된 제3 소스 전극, 상기 제2 부화소 전극과 전기적으로 연결된 제2 드레인 전극 및 상기 게이트 라인과 전기적으로 연결된 제3 게이트 전극을 포함하는 액정 표시 장치.

청구항 13

제12 항에 있어서,

상기 제2 드레인 전극은 일 방향을 따라 일직선으로 연장된 바 모양을 갖는 액정 표시 장치.

청구항 14

제13 항에 있어서,

상기 제2 소스 전극 및 상기 제3 소스 전극은 일 방향을 따라 일직선으로 연장된 모양을 갖는 액정 표시 장치.

청구항 15

제14 항에 있어서,

상기 제2 드레인 전극, 상기 제2 소스 전극 및 상기 제3 소스 전극이 연장된 방향은 서로 동일한 액정 표시 장치.

청구항 16

제15 항에 있어서,

상기 제2 소스 전극은 상기 제2 드레인 전극의 일측에 인접하여 배치되고,

상기 제3 소스 전극은 상기 제2 드레인 전극의 일측의 맞은편 타측에 인접하여 배치된 액정 표시 장치.

청구항 17

제12 항에 있어서,

상기 제2 부화소 전극에 제공되는 전압은 상기 데이터 라인에 제공되는 전압의 전압값과 상기 유지 전극에 제공된 전압의 전압값 사이의 전압값을 갖는 액정 표시 장치.

청구항 18

제12 항에 있어서,

상기 제1 부화소 전극에 제공되는 전압과 상기 유지 전극에 제공되는 전압의 차이는, 상기 제2 부화소 전극에 제공되는 전압과 상기 유지 전극에 제공되는 전압의 차이보다 큰 액정 표시 장치.

청구항 19

제12 항에 있어서,

상기 제2 박막 트랜지스터의 채널과 상기 제3 박막 트랜지스터의 채널은 동일 방향으로 형성되는 액정 표시 장치.

청구항 20

제19 항에 있어서,

상기 제2 박막 트랜지스터의 채널과 상기 제3 박막 트랜지스터의 채널은 상기 게이트 라인이 연장된 방향으로 형성되는 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 널리 사용되고 있는 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계 생성 전극이 배치된 적어도 하나의 기관과, 화소 전극과 공통 전극 사이에 배치된 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 형성하고, 이를 통하여 액정층에 포함된 액정의 배향을 결정하고 입사광의 편광을 제어함으로써 화상을 표시한다.

[0003] 이러한 액정 표시 장치 중에서도 전기장이 인가되지 않은 상태에서 액정의 장축이 상하 기관에 대하여 대체로 수직으로 배열되는 수직 배향 모드(Vertically Alignment mode; VA mode) 액정 표시 장치가 개발되고 있다.

[0004] 수직 배향 모드 액정 표시 장치는 전면에서 관찰할 때와, 측면에서 관찰할 때의 밝기 차이가 발생할 수 있다. 이에, 전면에서 관찰할 때와 측면에서 관찰할 때의 밝기 차이를 최소화할 것이 요구된다. 이에, 하나의 화소에서 서로 다른 레벨의 전압이 제공되는 두 개의 부화소 전극을 배치하여 전면에서 관찰할 때와 측면에서 관찰할 때의 밝기 차이를 최소화하는 구조가 제시되어 왔다. 여기서, 두 개의 부화소 전극에 서로 다른 전압을 제공하기 위하여, 복수의 박막 트랜지스터가 사용되며, 각각의 박막 트랜지스터의 채널 길이 및 채널 폭에 의하여 상대적으로 낮은 전압 레벨을 제공받는 부화소 전극에 제공되는 전압 레벨이 결정된다.

발명의 내용

해결하려는 과제

- [0005] 한편, 박막 트랜지스터의 각 층을 형성하는 데 사용되는 노광기는 특정 방향으로 이동하며 기판에 자외선을 조사한다.
- [0006] 그러나, 각각의 화소에 배치된 박막 트랜지스터의 모양이 상이하여, 노광기가 이동하는 방향과 채널이 형성된 방향이 동일한지 여부에 따라, 각각의 화소(PX)에 형성된 박막 트랜지스터의 채널 길이의 편차가 영향을 받는 문제점이 있다. 채널 길이의 편차가 큰 경우, 상대적으로 낮은 전압 레벨을 제공받는 부화소 전극에 제공되는 전압 레벨은 화소별로 상이하여, 얼룩이 시인될 우려가 있다.
- [0007] 이에, 본 발명이 해결하고자 하는 과제는 박막 트랜지스터들 간의 채널 길이의 편차가 최소화된 액정 표시 장치를 제공하는 것이다.
- [0008] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0009] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 다른 액정 표시 장치는 기판, 상기 기판 상에 배치된 제1 내지 제3 박막 트랜지스터, 상기 제1 내지 제3 박막 트랜지스터 상에 배치된 제1 및 제2 부화소 전극을 포함하되, 상기 제2 박막 트랜지스터의 출력 단자와 상기 제3 박막 트랜지스터의 출력 단자는 하나의 동일한 단자를 공유하고, 상기 제1 부화소 전극은 상기 제1 박막 트랜지스터의 출력 단자와 전기적으로 연결되고, 상기 제2 부화소 전극은 상기 제2 박막 트랜지스터의 출력 단자와 전기적으로 연결된다.
- [0010] 또한, 상기 제2 및 제3 박막 트랜지스터의 출력 단자는 일 방향을 따라 일직선으로 연장된 바 모양을 가질 수 있다.
- [0011] 또한, 상기 제2 및 제3 박막 트랜지스터의 입력 단자는 일 방향을 따라 일직선으로 연장된 바 모양을 가질 수 있다.
- [0012] 또한, 상기 제2 및 제3 박막 트랜지스터의 입력 단자 및 출력 단자가 연장된 방향은 서로 동일할 수 있다.
- [0013] 또한, 상기 제2 박막 트랜지스터의 채널과 상기 제3 박막 트랜지스터의 채널은 동일 방향으로 형성될 수 있다.
- [0014] 또한, 상기 기판과 상기 제1 및 제2 부화소 전극 사이 층에 배치된 유지 전극, 게이트 라인 및 데이터 라인을 더 포함하되, 상기 제1 내지 제3 박막 트랜지스터의 제어 단자는 상기 게이트 라인과 전기적으로 연결되고, 상기 제1 및 제2 박막 트랜지스터의 입력 단자는 상기 데이터 라인과 연결되고, 상기 제3 박막 트랜지스터의 입력 단자는 상기 유지 전극과 연결될 수 있다.
- [0015] 또한, 상기 제2 부화소 전극에 제공되는 전압은 상기 데이터 라인에 제공되는 전압의 전압값과 상기 유지 전극에 제공된 전압의 전압값 사이의 전압값을 가질 수 있다.
- [0016] 또한, 상기 제1 부화소 전극에 제공되는 전압과 상기 유지 전극에 제공되는 전압의 차이는, 상기 제2 부화소 전극에 제공되는 전압과 상기 유지 전극에 제공되는 전압의 차이보다 클 수 있다.
- [0017] 또한, 상기 제2 박막 트랜지스터의 채널과 상기 제3 박막 트랜지스터의 채널은 상기 게이트 라인이 연장된 방향으로 형성될 수 있다.
- [0018] 또한, 상기 제3 박막 트랜지스터는 입력 단자와 출력 단자 사이에 배치된 플로팅 전극을 더 포함할 수 있다.
- [0019] 또한, 상기 제1 박막 트랜지스터의 입력 단자와 출력 단자는 동일한 일 방향을 따라 일직선으로 연장된 바 모양을 가질 수 있다.
- [0020] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 액정 표시 장치는 기판, 상기 기판 상에 배치된 데이터 라인, 상기 데이터 라인과 교차하는 게이트 라인 및 유지 전극, 상기 데이터 라인, 상기 게이트 라인 및 상기 유지 전극과 전기적으로 연결된 제1 내지 제3 박막 트랜지스터, 상기 제1 내지 제3 박막 트랜지스터 상에 배치된 제1 및 제2 부화소 전극을 포함하되, 상기 제1 박막 트랜지스터는 상기 데이터 라인과 전기적으로 연결된 제1 소스 전극, 상기 제1 부화소 전극과 전기적으로 연결된 제1 드레인 전극 및 상기 게이트 라인과 전기적으로

연결된 제1 게이트 전극을 포함하고, 상기 제2 박막 트랜지스터는 상기 데이터 라인과 전기적으로 연결된 제2 소스 전극, 상기 제2 부화소 전극과 전기적으로 연결된 제2 드레인 전극 및 상기 게이트 라인과 전기적으로 연결된 제2 게이트 전극을 포함하고, 상기 제3 박막 트랜지스터는 상기 유지 전극과 전기적으로 연결된 제3 소스 전극, 상기 제2 부화소 전극과 전기적으로 연결된 제2 드레인 전극 및 상기 게이트 라인과 전기적으로 연결된 제3 게이트 전극을 포함한다.

- [0021] 또한, 상기 제2 드레인 전극은 일 방향을 따라 일직선으로 연장된 바 모양을 가질 수 있다.
- [0022] 또한, 상기 제2 소스 전극 및 상기 제3 소스 전극은 일 방향을 따라 일직선으로 연장된 모양을 가질 수 있다.
- [0023] 또한, 상기 제2 드레인 전극, 상기 제2 소스 전극 및 상기 제3 소스 전극이 연장된 방향은 서로 동일할 수 있다.
- [0024] 또한, 상기 제2 소스 전극은 상기 제2 드레인 전극의 일측에 인접하여 배치되고, 상기 제3 소스 전극은 상기 제2 드레인 전극의 일측의 맞은편 타측에 인접하여 배치될 수 있다.
- [0025] 또한, 상기 제2 부화소 전극에 제공되는 전압은 상기 데이터 라인에 제공되는 전압의 전압값과 상기 유지 전극에 제공된 전압의 전압값 사이의 전압값을 가질 수 있다.
- [0026] 또한, 상기 제1 부화소 전극에 제공되는 전압과 상기 유지 전극에 제공되는 전압의 차이는, 상기 제2 부화소 전극에 제공되는 전압과 상기 유지 전극에 제공되는 전압의 차이보다 클 수 있다.
- [0027] 또한, 상기 제2 박막 트랜지스터의 채널과 상기 제3 박막 트랜지스터의 채널은 동일 방향으로 형성될 수 있다.
- [0028] 또한, 상기 제2 박막 트랜지스터의 채널과 상기 제3 박막 트랜지스터의 채널은 상기 게이트 라인이 연장된 방향으로 형성될 수 있다.
- [0029] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0030] 본 발명의 실시예는 박막 트랜지스터들간의 채널 길이의 편차가 최소화된 액정 표시 장치를 제공할 수 있다.
- [0031] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0032] 도 1은 일 실시예에 따른 액정 표시 장치의 일 화소에 대한 레이아웃도이다.
- 도 2는 도 1의 I-I'를 따라 절단한 단면도이다.
- 도 3은 도 1의 II-II'를 따라 절단한 단면도이다.
- 도 4는 도 1의 III-III'를 따라 절단한 단면도이며, 도 5는 도 1의 A 영역을 확대 도시한 레이아웃도이다.
- 도 6은 모기관에 노광기를 이용하여 노광하는 공정을 간략하게 나타낸 개략도이다.
- 도 7은 도 1에 도시된 실시예에 따른 제1 박막 트랜지스터의 수직 방향의 제1 채널의 길이와 수평 방향의 제1 채널의 길이를 각각의 화소별로 측정하여 나타낸 그래프이다.
- 도 8은 다른 실시예에 따른 액정 표시 장치의 일 화소의 레이아웃도이다.
- 도 9는 다른 실시예에 따른 액정 표시 장치의 일 화소의 레이아웃도이다.
- 도 10은 다른 실시예에 따른 액정 표시 장치의 일 화소의 레이아웃도이다.
- 도 11은 다른 실시예에 따른 액정 표시 장치의 일 화소의 레이아웃도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 모양으로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속

하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [0034] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0035] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0036] 이하, 첨부된 도면을 참고로 하여 본 발명의 실시예들에 대해 설명한다.
- [0037] 도 1은 일 실시예에 따른 액정 표시 장치의 일 화소에 대한 레이아웃도이고, 도 2는 도 1의 I-I'를 따라 절단한 단면도이며, 도 3은 도 1의 II-II'를 따라 절단한 단면도이고, 도 4는 도 1의 III-III'를 따라 절단한 단면도이며, 도 5는 도 1의 A 영역을 확대 도시한 레이아웃도이다.
- [0038] 도 1 내지 도 5를 참조하면, 일 실시예에 따른 액정 표시 장치는 제1 표시 기관, 제2 표시 기관 및 액정층을 포함한다.
- [0039] 제1 표시 기관(100)에는 액정층(300)에 배치된 액정(LC)의 배열을 제어하기 위한 스위칭 소자들, 예컨대 제1 박막 트랜지스터(TR1), 제2 박막 트랜지스터(TR2) 및 제3 박막 트랜지스터(TR3)가 배치된다. 제2 표시 기관(200)은 제1 표시 기관(100)에 대향하여 배치되는 기관이다.
- [0040] 액정층(300)은 제1 표시 기관(100) 및 제2 표시 기관(200) 사이에 개재되며, 유전율 이방성을 가지는 복수의 액정(LC)을 포함할 수 있다. 제1 표시 기관(100)과 제2 표시 기관(200) 사이에 전계가 인가되면 액정(LC)이 제1 표시 기관(100)과 제2 표시 기관(200) 사이에서 특정 방향으로 회전함으로써 광을 투과시키거나 차단할 수 있다. 여기서, 회전이라는 용어는 액정(LC)이 실제로 회전하는 것뿐만 아니라, 상기 전계에 의해 액정(LC)의 배열이 변화한다는 의미를 포함할 수 있다.
- [0041] 액정 표시 장치는 매트릭스 모양으로 배열되는 복수의 화소(PX)를 포함한다. 화소(PX)는 각각 독립적인 계조의 제어가 가능하면서도 특정 색을 표시하는 기본 단위일 수 있다. 각각의 화소(PX)는 제1 표시 기관(100)의 하부로 입사한 빛을 제2 표시 기관(200)의 상부로 투과시켜 실제로 색이 표시되는 영역인 제1 투과 영역(PNA1) 및 제2 투과 영역(PNA2)을 포함한다.
- [0042] 이하, 제1 표시 기관(100)에 대하여 설명하기로 한다.
- [0043] 제1 표시 기관(100)은 제1 베이스 기관(110)을 포함한다. 제1 베이스 기관(110)은 투명 절연 기관일 수 있다. 예를 들면, 제1 베이스 기관(110)은 유리 기관, 석영 기관, 투명 수지 기관 등으로 이루어 질 수 있다.
- [0044] 몇몇 실시예에서, 제1 베이스 기관(110)은 일 방향을 따라 커브드될 수도 있다. 다른 몇몇 실시예에서, 제1 베이스 기관(110)은 가요성을 가질 수 있다. 즉, 제1 베이스 기관(110)은 롤링, 폴딩, 벤딩 등으로 변형이 가능할 수 있다.
- [0045] 제1 베이스 기관(110) 상에는 게이트 라인(GL), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 제3 게이트 전극(GE3), 제1 유지 전극(CST1) 및 제2 유지 전극(CST2)이 배치된다.
- [0046] 게이트 라인(GL)은 제1 박막 트랜지스터(TR1), 제2 박막 트랜지스터(TR2) 및 제3 박막 트랜지스터(TR3)를 제어하는 게이트 전압을 전달한다. 게이트 라인(GL)은 제1 방향(dr1)으로 연장된 모양을 가질 수 있다.
- [0047] 여기서, 제1 방향(dr1)은 후술하는 제2 방향(dr2)과 서로 직교하는 방향으로서, 제1 베이스 기관(110)이 배치된 평면상에서 제1 베이스 기관(110)의 일변에 평행하도록 연장된 방향에 해당하며, 도 1에 도시된 바와 같이 좌측에서 우측을 향하여 연장되는 임의의 직선이 가리키는 방향으로 정의될 수 있다. 제2 방향(dr2)은 도 1에 도시된 바와 같이 상측에서 하측으로 향하여 연장되는 임의의 직선이 가리키는 방향으로 정의될 수 있다. 다만, 몇몇 실시예에서, 이에 제한되지 아니하고 제1 베이스 기관(110)이 배치된 평면상에서 서로 직교하도록 연장된 두 임의의 직선이 가리키는 방향이 각각 제1 방향(dr1) 및 제2 방향(dr2)에 대응될 수도 있다.
- [0048] 상기 게이트 전압은 외부로부터 제공되며, 변화하는 전압 레벨을 가질 수 있다. 상기 게이트 전압의 전압 레벨

에 대응하여 제1 박막 트랜지스터(TR1), 제2 박막 트랜지스터(TR2) 및 제3 박막 트랜지스터(TR3)의 온(on)/오프(off) 여부가 제어될 수 있다.

- [0049] 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)은 게이트 라인(GL)으로부터 돌출되는 모양으로 형성되며, 게이트 라인(GL)과 물리적으로 연결될 수 있다. 각각의 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)은 후술할 제1 박막 트랜지스터(TR1), 제2 박막 트랜지스터(TR2) 및 제3 박막 트랜지스터(TR3)를 구성하는 하나의 구성 요소일 수 있다.
- [0050] 몇몇 실시예에서, 도 1에 도시된 바와 같이, 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)이 나란히 인접하여 배치된 경우, 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)은 게이트 라인(GL)으로부터 돌출된 하나의 돌출부로 일체로 형성될 수도 있다.
- [0051] 제1 유지 전극(CST1) 및 제2 유지 전극(CST2)은 제1 베이스 기판(110) 상에 배치되며 게이트 라인(GL)과 동일층에 위치할 수 있다. 제1 유지 전극(CST1) 및 제2 유지 전극(CST2)은 대체로 제1 방향(dr1)을 따라 연장된 모양을 갖되, 제1 투과 영역(PNA1) 및 제2 투과 영역(PNA2)의 가장자리를 따라서도 제2 방향(dr2)을 따라 연장된 구간을 더 포함할 수 있다.
- [0052] 제1 유지 전극(CST1)은 제2 유지 전극(CST2)과는 달리, 제1 방향(dr1)을 따라 양측으로 인접하여 배치된 두 개의 화소(PX)와 연결될 수 있다. 즉, 제1 유지 전극(CST1)은 복수의 화소(PX)에 걸쳐 제1 방향(dr1)을 따라 연장될 수 있으며, 제1 유지 전극(CST1)을 통하여 전압이 각각의 화소(PX)로 전달될 수 있다. 제2 유지 전극(CST2)은 후술할 제3 컨택홀(CNT3), 제4 컨택홀(CNT4) 및 제3 소스 전극(SE3)을 통하여 제1 유지 전극(CST1)과 전기적으로 연결될 수 있으며, 제1 유지 전극(CST1)으로부터 전압을 제공받을 수 있다.
- [0053] 제1 유지 전극(CST1)은 외부로부터 입력되는 유지 전압을 후술할 제3 박막 트랜지스터(TR3)에 제공할 수 있다. 여기서, 상기 유지 전압은 외부로부터 제공되는 일정한 전압값을 가질 수 있으며, 후술할 데이터 라인(DL)에 제공되는 전압인 데이터 전압의 최대 전압값보다 작고 최소 전압값보다는 큰 전압값을 가질 수 있다.
- [0054] 또한, 제1 유지 전극(CST1)은 후술할 제1 부화소 전극(SPE1)의 가장자리와 인접하도록 배치되거나 중첩하도록 배치될 수 있으며, 제1 부화소 전극(SPE1)과 제1 유지 전극(CST1) 사이에는 소정의 커패시턴스가 형성될 수 있다. 이에 따라, 제1 부화소 전극(SPE1)에 제공된 전압값의 급격한 강하를 방지할 수 있다.
- [0055] 마찬가지로, 제2 유지 전극(CST2)은 후술할 제2 부화소 전극(SPE2)의 가장자리와 인접하도록 배치되거나 중첩하도록 배치될 수 있으며, 제2 부화소 전극(SPE2)과 제2 유지 전극(CST2) 사이에는 소정의 커패시턴스가 형성되어, 제2 부화소 전극(SPE2)에 제공된 전압값의 급격한 강하가 방지될 수 있다.
- [0056] 게이트 라인(GL), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 제3 게이트 전극(GE3), 제1 유지 전극(CST1) 및 제2 유지 전극(CST2)은 동일한 물질로 이루어질 수 있다. 예시적으로, 게이트 라인(GL), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 제3 게이트 전극(GE3), 제1 유지 전극(CST1) 및 제2 유지 전극(CST2)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 금 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 등을 포함할 수 있다. 게이트 라인(GL), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 제3 게이트 전극(GE3), 제1 유지 전극(CST1) 및 제2 유지 전극(CST2)은 단일층 구조를 가질 수 있으며, 또는 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다층 구조를 가질 수도 있다.
- [0057] 게이트 라인(GL), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 제3 게이트 전극(GE3), 제1 유지 전극(CST1) 및 제2 유지 전극(CST2) 상에는 제1 절연층(120)이 배치된다. 제1 절연층(120)은 절연 물질로 이루어질 수 있으며, 예시적으로 실리콘 질화물 또는 실리콘 산화물 등으로 이루어질 수 있다. 제1 절연층(120)은 단일층 구조로 이루어질 수 있으며, 또는 물리적 성질이 다른 두 개의 절연층을 포함하는 다층 구조를 가질 수도 있다.
- [0058] 제1 절연층(120) 상에는 반도체층(SM)이 배치된다. 반도체층(SM)은 각각의 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)과 적어도 일부가 중첩될 수 있다. 반도체층(SM)은 비정질 규소, 다결정 규소 또는 산화물 반도체로 형성될 수 있다.
- [0059] 반도체층(SM)은 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)과 중첩될 뿐만 아니라, 후술할 데이터 라인(DL), 제1 소스 전극(SE1), 제2 소스 전극(SE2), 제3 소스 전극(SE3), 제1 드레인 전극(DE1), 제2 드레인 전극(DE2)과 중첩할 수도 있다. 다만, 반도체층(SM)과 데이터 라인(DL)이 중첩되도록 형성된 구조는 반도체층(SM)과 데이터 라인(DL)이 배치되는 층을 하나의 마스크(미도시)로 제조함에 따른 공정상의 특

정에 따른 것이며, 반도체층(SM)과 데이터 라인(DL)이 배치되는 층이 서로 다른 마스크를 이용하여 제조되는 경우, 반도체층(SM)은 데이터 라인(DL)과 중첩되지 않을 수도 있다.

- [0060] 도면에는 미도시하였으나, 몇몇 실시예에서 제1 박막 트랜지스터(TR1), 제2 박막 트랜지스터(TR2) 및 제3 박막 트랜지스터(TR3)가 배치된 영역의 일부에는 n형 불순물이 고농도로 도핑되거나, p형 불순물이 고농도로 도핑될 수 있다. 반도체층(SM)이 산화물 반도체를 포함하는 경우, 이러한 도핑 구조는 생략될 수 있다.
- [0061] 반도체층(SM) 및 제1 절연층(120) 상에는 데이터 라인(DL), 제1 소스 전극(SE1), 제2 소스 전극(SE2), 제3 소스 전극(SE3), 제1 드레인 전극(DE1) 및 제2 드레인 전극(DE2)이 배치된다.
- [0062] 데이터 라인(DL)은 제2 방향(dr2)으로 연장되어 게이트 라인(GL)과 교차할 수 있다.
- [0063] 데이터 라인(DL)은 제1 절연층(120)에 의하여 게이트 라인(GL), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 제3 게이트 전극(GE3), 제1 유지 전극(CST1) 및 제2 유지 전극(CST2)과 절연될 수 있다.
- [0064] 데이터 라인(DL)은 상기 데이터 전압을 제1 소스 전극(SE1) 및 제2 소스 전극(SE2)으로 제공할 수 있다. 여기서, 상기 데이터 전압은 외부로부터 제공되며, 변화하는 전압 레벨을 가질 수 있다. 각각의 화소(PX)의 제조는 상기 데이터 전압의 전압 레벨에 대응하여 변화할 수 있다.
- [0065] 제1 소스 전극(SE1)은 데이터 라인(DL)으로부터 분지되어 적어도 일부가 제1 게이트 전극(GE1)과 중첩될 수 있다. 이에 따라, 제1 소스 전극(SE1)은 데이터 라인(DL)으로부터 상기 데이터 전압을 제공받을 수 있다.
- [0066] 또한, 제2 소스 전극(SE2)은 데이터 라인(DL)으로부터 분지되어 적어도 일부가 제2 게이트 전극(GE2)과 중첩될 수 있다. 다만, 이에 제한되지 아니하고, 도 1에 도시된 바와 같이, 제2 소스 전극(SE2)은 제1 소스 전극(SE1)으로부터 분지되어 제1 소스 전극(SE1)으로부터 상기 데이터 전압을 제공받을 수도 있다.
- [0067] 제3 소스 전극(SE3)은 데이터 라인(DL)과 물리적으로 이격되고 전기적으로 절연될 수 있다. 도 1에 도시된 바와 같이, 제3 소스 전극(SE3)은 제1 절연층(120)을 관통하는 제3 컨택홀(CNT3)을 통하여 제1 유지 전극(CST1)과 연결될 수 있으며, 일부가 제3 게이트 전극(GE3)과 중첩될 수 있다. 이에 따라, 제3 소스 전극(SE3)은 제1 유지 전극(CST1)으로부터 상기 유지 전압을 제공받을 수 있다.
- [0068] 제1 드레인 전극(DE1)은 도 1에 도시된 바와 같이, 반도체층(SM)을 사이에 두고 제1 소스 전극(SE1)으로부터 이격되어 배치될 수 있으며, 적어도 일부가 제1 게이트 전극(GE1)과 중첩될 수 있다. 여기서, 반도체층(SM)이 배치된 영역 중 제1 드레인 전극(DE1)과 제1 소스 전극(SE1) 사이의 영역을 제1 액티브 영역(AR1)이라 정의할 수 있다. 제1 액티브 영역(AR1)에는 제1 드레인 전극(DE1)과 제1 소스 전극(SE1)이 전기적으로 연결되도록 제1 채널이 형성될 수 있으며, 이는 제1 게이트 전극(GE1)에 제공된 상기 게이트 전압에 의하여 제어될 수 있다. 제1 드레인 전극(DE1)은 'U'자 모양으로 형성된 제1 소스 전극(SE1)으로부터 일정한 간격을 두고 둘러싸인 모양으로 형성될 수 있다.
- [0069] 제2 드레인 전극(DE2)은 도 1에 도시된 바와 같이, 반도체층(SM)을 사이에 두고 제2 소스 전극(SE2)으로부터 이격되어 배치될 수 있으며, 적어도 일부가 제2 게이트 전극(GE2)과 중첩될 수 있다. 동시에, 제2 드레인 전극(DE2)은 도 1에 도시된 바와 같이, 반도체층(SM)을 사이에 두고 제3 소스 전극(SE3)으로부터 이격되어 배치될 수 있으며, 적어도 일부가 제3 게이트 전극(GE3)과 중첩될 수 있다.
- [0070] 즉, 제2 드레인 전극(DE2)은 제2 소스 전극(SE2) 및 제3 소스 전극(SE3) 모두로부터 전압을 제공받을 수 있다. 이에 따라, 제2 드레인 전극(DE2)에는 제2 소스 전극(SE2)으로부터 제공된 상기 데이터 전압의 전압값과, 제3 소스 전극(SE3)으로부터 제공된 상기 유지 전압의 전압값 사이의 일 전압값을 가질 수 있다.
- [0071] 또한, 제2 드레인 전극(DE2)은 제2 소스 전극(SE2)을 입력 단자로, 제2 게이트 전극(GE2)을 제어 단자로 구성되는 제2 박막 트랜지스터(TR2)의 출력 단자로써 기능할 수 있다. 동시에, 제2 드레인 전극(DE2)은 제3 소스 전극(SE3)을 입력 단자로, 제3 게이트 전극(GE3)을 제어 단자로 구성되는 제3 박막 트랜지스터(TR3)의 출력 단자로도 기능할 수 있다. 다시 말하면, 제2 박막 트랜지스터(TR2)의 출력 단자와 제3 박막 트랜지스터(TR3)의 출력 단자는 제2 드레인 전극(DE2)으로 일체로 형성될 수 있다. 여기서, 제2 박막 트랜지스터(TR2)의 출력 단자와 제3 박막 트랜지스터(TR3)의 출력 단자가 일체형이라는 의미는, 제2 박막 트랜지스터(TR2)의 출력 단자로 기능하는 영역이 동시에 제3 박막 트랜지스터(TR3)의 출력 단자로도 기능한다는 의미일 수 있다. 다시 말하면, 제2 박막 트랜지스터(TR2)의 출력 단자와 제3 박막 트랜지스터(TR3)의 출력 단자는 동일한 하나의 단자를 공유한다는 의미일 수 있다. 나아가, 제2 드레인 전극(DE2)의 일측으로는 제2 소스 전극(SE2)이 배치되고, 이에 대향하는 반대 방향의 제2 드레인 전극(DE2)의 일측으로는 제3 소스 전극(SE3)이 배치되는 구조를 가진다는 의미일 수 있다.

다.

- [0072] 제2 드레인 전극(DE2)은 제2 소스 전극(SE2) 및 제3 소스 전극(SE3)과 일정한 간격을 두고 평행하게 이격되어 배치되는 모양일 수 있다. 더욱 구체적으로, 제2 드레인 전극(DE2), 제2 소스 전극(SE2) 및 제3 소스 전극(SE3)은 각각 제2 방향(dr2)을 따라 연장된 외측 경계를 갖는 구간을 포함하며, 이들이 각각 대향 배치된 사이의 영역은 제2 액티브 영역(AR2) 및 제3 액티브 영역(AR3)이 배치될 수 있다. 다시 말하면, 도 1 및 도 5에 도시된 바와 같이, 제2 방향(dr2)을 따라 연장된 제2 소스 전극(SE2), 제2 액티브 영역(AR2), 제2 방향(dr2)을 따라 연장된 제2 드레인 전극(DE2), 제3 액티브 영역(AR3), 제3 소스 전극(SE3)이 차례로 배치될 수 있다. 다시 말하면, 제2 액티브 영역(AR2)과 제3 액티브 영역(AR3)은 제2 드레인 전극(DE2)을 사이에 두고 대향 배치될 수 있다.
- [0073] 도 1 및 도 5에 도시된 바와 같이, 제2 드레인 전극(DE2)은 반도체층(SM)을 사이에 두고 제2 소스 전극(SE2)으로부터 이격되어 배치될 수 있으며, 적어도 일부가 제2 게이트 전극(GE2)과 중첩될 수 있다. 여기서, 반도체층(SM)이 배치된 영역 중 제2 드레인 전극(DE2)과 제2 소스 전극(SE2) 사이의 영역을 제2 액티브 영역(AR2)이라 정의할 수 있다. 제2 액티브 영역(AR2)에는 제2 드레인 전극(DE2)과 제2 소스 전극(SE2)이 전기적으로 연결되도록 제2 채널이 형성될 수 있으며, 이는 제2 게이트 전극(GE2)에 제공된 상기 게이트 전압에 의하여 제어될 수 있다.
- [0074] 마찬가지로, 도 1 및 도 5에 도시된 바와 같이, 제2 드레인 전극(DE2)은 반도체층(SM)을 사이에 두고 제3 소스 전극(SE3)으로부터 이격되어 배치될 수 있으며, 적어도 일부가 제3 게이트 전극(GE3)과 중첩될 수 있다. 여기서, 반도체층(SM)이 배치된 영역 중 제2 드레인 전극(DE2)과 제3 소스 전극(SE3) 사이의 영역을 제3 액티브 영역(AR3)이라 정의할 수 있다. 제3 액티브 영역(AR3)에는 제3 드레인 전극과 제3 소스 전극(SE3)이 전기적으로 연결되도록 제3 채널이 형성될 수 있으며, 이는 제3 게이트 전극(GE3)에 제공된 상기 게이트 전압에 의하여 제어될 수 있다.
- [0075] 본 실시예에서는 제3 박막 트랜지스터(TR3)의 특성 향상을 위하여, 제3 액티브 영역(AR3) 내에 제2 방향(dr2)을 따라 연장된 모양을 갖는 플로팅 전극(FE)이 추가로 배치된 구조를 예시하였다.
- [0076] 한편, 제1 드레인 전극(DE1)은 후술할 제1 컨택홀(CNT1)을 통하여 제1 부화소 전극(SPE1)과 전기적으로 연결될 수 있다. 또한, 제2 드레인 전극(DE2)은 후술할 제2 컨택홀(CNT2)을 통하여 제2 부화소 전극(SPE2)과 전기적으로 연결될 수 있다.
- [0077] 제3 소스 전극(SE3)은 제3 컨택홀(CNT3)을 통하여 제1 유지 전극(CST1)과 전기적으로 연결될 수 있으며, 동시에 제4 컨택홀(CNT4)을 통하여 제2 유지 전극(CST2)과 전기적으로 연결될 수 있다. 따라서, 제1 유지 전극(CST1)에 제공된 상기 유지 전압은 제3 소스 전극(SE3)을 통하여 제2 유지 전극(CST2)으로 전달될 수 있다.
- [0078] 데이터 라인(DL), 제1 소스 전극(SE1), 제2 소스 전극(SE2), 제3 소스 전극(SE3), 제1 드레인 전극(DE1) 및 제2 드레인 전극(DE2)은 동일한 물질로 이루어질 수 있다. 예시적으로, 데이터 라인(DL), 제1 소스 전극(SE1), 제2 소스 전극(SE2), 제3 소스 전극(SE3), 제1 드레인 전극(DE1) 및 제2 드레인 전극(DE2)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 금 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 등을 포함할 수 있다. 데이터 라인(DL), 제1 소스 전극(SE1), 제2 소스 전극(SE2), 제3 소스 전극(SE3), 제1 드레인 전극(DE1) 및 제2 드레인 전극(DE2)은 단일층 구조를 가질 수 있으며, 또는 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다층 구조를 가질 수도 있다.
- [0079] 제1 게이트 전극(GE1), 제1 액티브 영역(AR1), 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)은 스위칭 소자인 제1 박막 트랜지스터(TR1)를 구성할 수 있다. 마찬가지로, 제2 게이트 전극(GE2), 제2 액티브 영역(AR2), 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)은 스위칭 소자인 제2 박막 트랜지스터(TR2)를 구성할 수 있다. 또한, 제3 게이트 전극(GE3), 제3 액티브 영역(AR3), 제3 소스 전극(SE3) 및 제2 드레인 전극(DE2)은 스위칭 소자인 제3 박막 트랜지스터(TR3)를 구성할 수 있다. 즉, 제2 박막 트랜지스터(TR2)와 제3 박막 트랜지스터(TR3)는 각각의 출력 단자로 제2 드레인 전극(DE2)을 공유할 수 있다.
- [0080] 제1 게이트 전극(GE1)에 제공된 상기 게이트 전압이 제1 박막 트랜지스터(TR1)를 온(on) 시키는 전압값을 갖는 경우, 데이터 라인(DL)에 제공되는 상기 데이터 전압은 제1 소스 전극(SE1)을 통하여 제1 드레인 전극(DE1)으로 제공될 수 있다. 제1 드레인 전극(DE1)은 제1 컨택홀(CNT1)을 통하여 제1 부화소 전극(SPE1)과 전기적으로 연결되므로, 상기 데이터 전압은 제1 부화소 전극(SPE1)에 제공될 수 있다.

[0081] 또한, 제2 게이트 전극(GE2)에 제공된 상기 게이트 전압이 제2 박막 트랜지스터(TR2)를 온(on) 시키는 전압값을 갖는 경우, 데이터 라인(DL)에 제공되는 상기 데이터 전압은 제2 소스 전극(SE2)을 통하여 제2 드레인 전극(DE2)으로 제공될 수 있다. 동시에, 제3 게이트 전극(GE3)에 제공된 상기 게이트 전압이 제3 박막 트랜지스터(TR3)를 온(on) 시키는 전압값을 갖는 경우, 제1 유지 전극(CST1)에 제공되는 상기 유지 전압은 제3 소스 전극(SE3)을 통하여 제2 드레인 전극(DE2)으로 제공될 수 있다.

[0082] 전술한 바와 같이, 제2 드레인 전극(DE2)은 제2 컨택홀(CNT2)을 통하여 제2 부화소 전극(SPE2)과 전기적으로 연결되며, 상기 유지 전압은 상기 데이터 전압보다 작은 값을 가지므로, 최종적으로 제1 부화소 전극(SPE1)에 제공되는 전압은 상기 데이터 전압 및 상기 유지 전압 사이의 일 전압값일 수 있다.

[0083] 이처럼, 하나의 화소(PX)에 하나의 상기 데이터 전압이 제공됨에도, 제1 부화소 전극(SPE1)과 제2 부화소 전극(SPE2)에 최종적으로 제공되는 전압값이 상이하므로, 액정(LC)은 다양한 각도로 기울어질 수 있으며, 액정 표시 장치의 정면 계조와 측면 계조의 차이가 최소화될 수 있다. 다시 말하면, 액정 표시 장치의 시인성이 향상될 수 있다.

[0084] 제2 부화소 전극(SPE2)에 최종적으로 제공되는 전압값, 다시 말하면, 제2 드레인 전극(DE2)에 제공되는 전압값은 아래 수식들에 의하여 계산될 수 있다.

[0086] $V_{dr2} = R_v \times V_{data}$... 수식 (1)

$$R_v = \frac{LEW2 / LEL2}{LEW2 / LEL2 + LEW3 / (LEL31 + LEL32)} \quad \dots \text{수식 (2)}$$

[0089] 여기서, V_{dr2} 는 제2 드레인 전극(DE2)에 걸리는 전압값이며, V_{data} 는 상기 데이터 전압의 전압값이고, R_v 는 전압비이며, $LEW2$ 는 제2 액티브 영역(AR2)에 형성되는 제2 채널의 폭($LEW2$)이며, $LEL2$ 는 제2 액티브 영역(AR2)에 형성되는 제2 채널의 길이($LEL2$)이고, $LEW3$ 는 제3 액티브 영역(AR3)에 형성되는 제3 채널의 폭($LEW3$)이고, $LEW31+LEL32$ 는 제3 액티브 영역(AR3)에 형성되는 제3 채널의 길이($LEL3$)이다.

[0090] 여기서, 채널의 길이는 채널의 양측에 배치된 두 전극이 이격된 정도에 대응하고, 채널의 폭은 채널의 양측에 배치된 두 전극이 서로 대향하고 있는 정도에 대응한다.

[0091] 제3 채널의 길이($LEL3$)와 관련하여 도 5를 참조하면, 본 실시예에서는 제3 액티브 영역(AR3)의 중심 부근에는 플로팅 전극(FE)이 배치된다. 이에, 플로팅 전극(FE)이 배치된 영역은 채널이 형성되지 않고 도전성을 띌 수 있다. 다시 말하면, 플로팅 전극(FE)이 배치된 영역은 제3 액티브 영역(AR3)에서 제외될 수 있다. 따라서, 제3 액티브 영역(AR3)은 도 5의 시점에서 플로팅 전극(FE)의 좌측에 배치된 제1 부분과 플로팅 전극(FE)의 우측에 배치된 제2 부분을 포함하며, 제3 채널의 길이($LEL3$)는 상기 제1 부분 및 상기 제2 부분이 각각 제1 방향($dr1$)으로 연장된 길이의 합일 수 있다.

[0092] 본 실시예의 경우, 도 5를 참조하면, 제2 채널의 길이($LEL2$)와 제3 채널의 길이($LEL3$)는 모두 제1 방향($dr1$)을 따라 측정됨을 확인할 수 있다. 다시 말하면, 제2 채널의 길이($LEL2$) 방향은 제1 방향($dr1$)과 동일한 방향일 수 있으며, 제3 채널의 길이($LEL3$) 방향 또한 제1 방향($dr1$)일 수 있다. 또한, 제2 채널의 길이($LEL2$) 방향은 게이트 라인(GL)이 연장된 방향과 동일할 수 있으며, 제3 채널의 길이($LEL3$) 방향 또한 게이트 라인(GL)이 연장된 방향과 동일할 수 있다. 이에 따라, 각각의 화소(PX)별로 제2 채널의 길이($LEL2$)의 편차가 최소화 될 수 있다.

[0093] 제2 채널의 길이($LEL2$)와 제3 채널의 길이($LEL3$)는 수식 (2)에서 각각의 변수들의 분모에 해당하는 값일 수 있다. 이에 따라, 각각의 화소(PX)별로 제2 채널의 길이($LEL2$)와 제3 채널의 길이($LEL3$)가 서로 다르다면, 즉, 제2 채널의 길이($LEL2$)와 제3 채널의 길이($LEL3$)의 편차가 심하다면, 전압비가 각각의 화소(PX)별로 급격하게 달라질 수 있다. 결과적으로, 각각의 화소(PX)에 동일한 값을 갖는 상기 데이터 전압과 동일한 값을 갖는 상기 유지 전압을 제공한다 하더라도, 제2 드레인 전극(DE2)을 통하여 제2 부화소 전극(SPE2)에 제공된 전압값은 각각의 화소(PX)별로 다소 상이할 수 있다. 그러나, 제2 채널의 길이($LEL2$) 방향이 제1 방향($dr1$)과 동일한 방향

이고, 제3 채널의 길이(LEL3) 방향이 제1 방향(dr1)과 동일한 방향인 경우, 이러한 화소(PX)별 전압비 편차를 최소화할 수 있다. 이에 대한 더욱 구체적인 설명을 위하여 도 6이 참조된다.

[0094] 도 6은 모기관에 노광기를 이용하여 노광하는 공정을 간략하게 나타낸 개략도이다.

[0095] 본 발명의 각종 배선(예시적으로, 데이터 라인(DL), 제1 소스 전극(SE1), 제2 소스 전극(SE2), 제3 소스 전극(SE3), 제1 드레인 전극(DE1) 및 제2 드레인 전극(DE2))을 형성하는 데에는 금속층을 형성하는 단계, 상기 금속층 상에 포토 레지스트층을 형성하는 단계, 상기 포토 레지스트층에 노광기를 이용하여 자외선을 조사함으로써 경화시키는 단계, 상기 포토 레지스트층의 일부를 제거하는 단계, 상부로 드러난 상기 금속층을 제거(즉, 식각)하는 단계, 잔류하는 상기 포토 레지스트층을 제거하는 단계를 포함한다.

[0096] 상기 노광기는 상기 포토 레지스트층이 특정 패턴을 가지고 경화되도록 모기관(10)에 자외선을 조사하는 역할을 수행한다. 상기 노광기는 복수의 렌즈(LS1~LSn)를 이용하여 상기 포토 레지스트층이 패턴을 갖도록 하며, 렌즈(LS1~LSn)를 이용함으로써 포토 레지스트층에 형성되는 패턴이 더욱 미세해질 수 있다. 모기관(10)은 베이스 기관(110)으로 각각 분리되거나 절단되기 전의 기관에 해당할 수 있다.

[0097] 여기서, 복수의 렌즈(LS1~LSn)는 모기관의 일측으로부터 반대편 일측으로 이동하며 상기 포토 레지스트층에 자외선을 조사한다. 본 실시예의 경우, 도 6의 시점을 기준으로 좌측에서 우측을 향하는 제1 방향(dr1)을 따라 렌즈(LS1~LSn)가 이동하며 자외선을 조사하는 것을 예시하였다.

[0098] 또한, 인접하여 배치된 각각의 렌즈(LS1~LSn)는 서로 180도 회전된 모양의 사다리꼴 모양으로 도시된다. 이는 인접하는 두 개의 렌즈가 중첩 배치되어 자외선이 조사되는 중첩 영역(OA)과, 하나의 렌즈에 의하여 자외선이 조사되는 비중첩 영역(NO)에서 모기관(10)에 조사되는 자외선의 광량은 일정함을 개략적으로 나타낸 것이다. 다시 말하면, 비중첩 영역(NO)에 배치된 각각의 렌즈(LS1~LSn)에 대응하는 사다리꼴의 높이(여기서, 사다리꼴의 높이는 제1 방향(dr1)으로 측정된 폭에 해당한다)는 모두 동일하다. 또한, 중첩 영역(OA)에서 인접하는 렌즈(LS1~LSn 중 어느 두개)간의 사다리꼴의 높이의 합은, 비중첩 영역(NO)에 배치된 각각의 렌즈(LS1~LSn)에 대응하는 사다리꼴의 높이의 합과 동일할 수 있다. 한편, 본 실시예에 따른 도면에서는 각각의 렌즈(LS1~LSn)의 단면이 개략적으로 사다리꼴 모양을 갖는 것으로 도시되었으나, 이는 전술한 바와 같이 자외선의 광량이 일정함을 의미하는 것일 뿐, 실제 렌즈의 단면 구조는 이에 제한되지 않을 수 있다. 한편, 본 실시예에 따른 도면에서는 각각의 렌즈(LS1~LSn)가 자외선을 조사하는 폭이 대략 100~110mm일 수 있으나, 이에 제한되지 않고 다양한 크기의 렌즈를 이용할 수도 있다.

[0099] 복수의 렌즈(LS1~LSn)가 제1 방향(dr1)을 따라 이동하며 자외선을 조사하여 상기 포토 레지스트층에 패턴을 형성함에 따라, 제1 방향(dr1)을 따라 형성되는 패턴이 제2 방향(dr2)을 따라 형성되는 패턴에 비하여 보다 정확한 패턴을 가질 수 있다. 이에 따라, 제2 채널의 길이(LEL2) 방향 및 제3 채널의 길이(LEL3) 방향이 제1 방향(dr1)과 동일한 경우, 가장 정확한 패턴을 가질 수 있으며, 각각의 화소(PX)별로 제2 채널의 길이(LEL2) 및 제3 채널의 길이(LEL3)의 편차가 최소화될 수 있다.

[0100] 특히, 중첩 영역(OA)에서는, 비중첩 영역(NO)에 비하여 패턴 형성이 더욱 어려울 수 있다. 그러나, 중첩 영역(OA)이라 할지라도, 제2 채널의 길이(LEL2) 방향 및 제3 채널의 길이(LEL3) 방향이 제1 방향(dr1)과 동일한 경우, 각각의 화소(PX)별로 제2 채널의 길이(LEL2) 및 제3 채널의 길이(LEL3)의 편차가 최소화될 수 있다.

[0101] 다시 도 1 내지 도 5를 참조하면, 제2 채널의 길이(LEL2) 방향 및 제3 채널의 길이(LEL3) 방향이 모두 제1 방향(dr1)으로 연장되기 위하여, 제2 액티브 영역(AR2) 및 제3 액티브 영역(AR3)에 인접하여 배치된 제2 소스 전극(SE2), 제2 드레인 전극(DE2) 및 제3 소스 전극(SE3)은 모두 제2 방향(dr2)을 따라 연장된 바 모양을 갖는 부분을 포함할 수 있다.

[0102] 이와 달리, 제1 액티브 영역(AR1)에 형성되는 제1 채널의 경우, 제1 채널의 폭(LEW1)은 'U'자 모양으로 측정되며, 수직 방향의 제1 채널의 길이(LEL1v) 및 수평 방향의 제1 채널의 길이 성분을 모두 포함한다. 다만, 제1 액티브 영역(AR1)을 포함하는 제1 박막 트랜지스터(TR1)는 제공받은 상기 데이터 전압을 그대로 제1 부화소 전극(SPE1)에 전달하므로, 수직 방향의 제1 채널의 길이(LEL1v)의 편차에 크게 영향을 받지 않을 수 있다. 다시 말하면, 제1 채널은 수직 방향의 제1 채널의 길이(LEL1v) 성분 및 수평 방향의 제1 채널의 길이(LEL1p) 성분을 모두 포함하여도, 표시 품질의 저하가 발생하지 않을 수 있다.

[0103] 한편, 제2 박막 트랜지스터(TR2) 및 제3 박막 트랜지스터(TR3)와 같이 바 모양의 제2 액티브 영역(AR2) 및 제3 액티브 영역(AR3)을 포함하는 경우, 제2 액티브 영역(AR2) 및 제3 액티브 영역(AR3)이 'U'자 모양을 갖는 경우와 비교하여, 제2 소스 전극(SE2), 제3 소스 전극(SE3) 및 제2 드레인 전극(DE2)이 제2 게이트 전극(GE2) 및 제

3 게이트 전극(GE3)과 중첩되는 영역이 작을 수 있다. 이에 따라, 제2 소스 전극(SE2), 제3 소스 전극(SE3) 및 제2 드레인 전극(DE2)과 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3) 사이에 형성되는 커패시턴스가 상대적으로 작을 수 있다. 결과적으로, 제2 박막 트랜지스터(TR2) 및 제3 박막 트랜지스터(TR3)의 충전율이 향상되어 구동 마진이 향상될 수 있다.

[0104] 다만, 제2 박막 트랜지스터(TR2) 및 제3 박막 트랜지스터(TR3)와 같이 바 모양의 제2 액티브 영역(AR2) 및 제3 액티브 영역(AR3)을 포함하는 경우, 제2 액티브 영역(AR2) 및 제3 액티브 영역(AR3)이 'U' 자 모양을 갖는 경우와 비교하여, 상기 게이트 전압이 온(on) 레벨의 전압값에서 오프(off) 레벨의 전압값을 갖도록 변경되는 순간 제2 드레인 전극(DE2)에 충전된 상기 데이터 전압이 영향을 받아 전압값이 급격히 강하하는 킥백(kickback) 현상이 더욱 강하게 나타날 우려가 있다. 그러나, 본 발명의 경우 제2 박막 트랜지스터(TR2)와 제3 박막 트랜지스터(TR3)는 제2 드레인 전극(DE2)을 출력 단자로 공유함으로써, 제2 박막 트랜지스터(TR2)와 제3 박막 트랜지스터(TR3)의 출력 단자가 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)과 중첩되는 면적을 최소화하는 바, 킥백 현상이 최소화될 수 있다.

[0105] 제1 절연층(120), 제1 박막 트랜지스터(TR1), 제2 박막 트랜지스터(TR2) 및 제3 박막 트랜지스터(TR3) 상에는 제2 절연층(130)이 배치된다. 제2 절연층(130)은 절연 물질로 이루어질 수 있으며, 예시적으로 유기 물질로 구성된 유기막일 수 있다. 제2 절연층(130)은 제2 절연층(130)과 제1 베이스 기판(110) 사이에 배치된 구성 요소들로 인하여 발생한 국부적인 단차를 평탄화할 수 있다. 바꾸어 말하면, 제2 절연층(130)의 상부 표면은 실질적으로 평탄할 수 있다.

[0106] 제2 절연층(130)에는 각각 제2 절연층(130)을 관통하는 모양으로 형성되는 제1 콘택홀(CNT1), 제2 콘택홀(CNT2), 제3 콘택홀(CNT3) 및 제4 콘택홀(CNT4)이 배치될 수 있다.

[0107] 구체적으로, 제2 절연층(130)에는 제1 드레인 전극(DE1)의 일부를 제1 베이스 기판(110)의 상부 표면에 수직한 방향을 따라 상부로 노출시키는 제1 콘택홀(CNT1)이 형성될 수 있다. 제1 드레인 전극(DE1)의 일부와 제2 절연층(130) 상부에 배치되는 제1 부화소 전극(SPE1)은 제1 콘택홀(CNT1)을 통하여 서로 물리적으로 연결될 수 있다.

[0108] 또한, 제2 절연층(130)에는 제2 드레인 전극(DE2)의 일부를 제1 베이스 기판(110)의 상부 표면에 수직한 방향을 따라 상부로 노출시키는 제2 콘택홀(CNT2)이 형성될 수 있다. 제2 드레인 전극(DE2)의 일부와 제2 절연층(130) 상에 배치되는 제2 부화소 전극(SPE2)은 제2 콘택홀(CNT2)을 통하여 서로 전기적으로 연결될 수 있다.

[0109] 또한, 제2 절연층(130)에는 제1 유지 전극(CST1)의 일부 및 제3 소스 전극(SE3)의 일부를 제1 베이스 기판(110)의 상부 표면에 수직한 방향을 따라 상부로 노출시키는 제3 콘택홀(CNT3)이 형성될 수 있다. 제2 절연층(130) 상에 배치되는 제1 브릿지 전극(BE1)은 제3 콘택홀(CNT3)을 오버랩하도록 배치될 수 있으며, 제1 유지 전극(CST1) 및 제3 소스 전극(SE3)을 서로 전기적으로 연결시킬 수 있다.

[0110] 또한, 제2 절연층(130)에는 제2 유지 전극(CST2)의 일부 및 제3 소스 전극(SE3)의 일부를 제1 베이스 기판(110)의 상부 표면에 수직한 방향을 따라 상부로 노출시키는 제4 콘택홀(CNT4)이 형성될 수 있다. 제2 절연층(130) 상에 배치되는 제2 브릿지 전극(BE2)은 제4 콘택홀(CNT4)을 오버랩하도록 배치될 수 있으며, 제2 유지 전극(CST2) 및 제3 소스 전극(SE3)을 서로 전기적으로 연결시킬 수 있다.

[0111] 제2 절연층(130) 상에는 제1 부화소 전극(SPE1), 제2 부화소 전극(SPE2), 제1 브릿지 전극(BE1), 제2 브릿지 전극(BE2) 및 차폐 전극(SDE)이 배치된다. 이들 각각은 동일 평면상에 서로 중첩되지 않도록 배치될 수 있다.

[0112] 제1 부화소 전극(SPE1)은 제1 콘택홀(CNT1)을 통하여 제1 드레인 전극(DE1)과 전기적으로 연결되며, 상기 데이터 전압을 제공받을 수 있다.

[0113] 제2 부화소 전극(SPE2)은 제2 콘택홀(CNT2)을 통하여 제2 드레인 전극(DE2)과 전기적으로 연결되며, 상기 데이터 전압 및 상기 유지 전압 사이의 전압값을 갖는 일 전압을 제공받을 수 있다.

[0114] 제1 부화소 전극(SPE1)은 대체로 제1 투과 영역(PNA1) 내에 배치될 수 있으나, 제1 드레인 전극(DE1)과의 연결을 위하여 제1 콘택홀(CNT1)을 오버랩하도록 확장된 영역을 포함할 수 있다. 또한, 제1 부화소 전극(SPE1)은 투명 도전성 물질이 배치되지 않은 개구부를 포함할 수 있다. 상기 개구부에 의하여 제1 부화소 전극(SPE1)에 규칙적인 패턴이 형성되며, 제1 부화소 전극(SPE1)의 모양 및 패턴에 따라 제1 부화소 전극(SPE1)과 중첩되도록 배치된 액정(LC)이 기울어지는 방향 및 정도가 제어될 수 있다. 본 실시예의 경우, 제1 부화소 전극(SPE1)은 제1 투과 영역(PNA1)의 중심으로부터 외측으로 연장되는 다수의 가지들을 포함하는 패턴을 가질 수 있으며, 이에

제한되지 않을 수 있다.

- [0115] 마찬가지로, 제2 부화소 전극(SPE2)은 대체로 제2 투과 영역(PNA2) 내에 배치될 수 있으나, 제2 드레인 전극(DE2)과의 연결을 위하여 제2 컨택홀(CNT2)을 오버랩하도록 확장된 영역을 포함할 수 있다. 또한, 제2 부화소 전극(SPE2)은 투명 도전성 물질이 배치되지 않은 개구부를 포함할 수 있다. 상기 개구부에 의하여 제2 부화소 전극(SPE2)에 규칙적인 패턴이 형성되며, 제2 부화소 전극(SPE2)의 모양 및 패턴에 따라 제2 부화소 전극(SPE2)과 중첩되도록 배치된 액정(LC)이 기울어지는 방향 및 정도가 제어될 수 있다. 본 실시예의 경우, 제2 부화소 전극(SPE2)은 제2 투과 영역(PNA2)의 중심으로부터 외측으로 연장되는 다수의 가지들을 포함하는 패턴을 가질 수 있으며, 이에 제한되지 않을 수 있다.
- [0116] 제1 브릿지 전극(BE1) 및 제2 브릿지 전극(BE2)은 전술한 바와 같이 각각 제3 컨택홀(CNT3) 및 제4 컨택홀(CNT4)을 오버랩하도록 배치될 수 있다.
- [0117] 차폐 전극(SDE)은 제1 부화소 전극(SPE1), 제2 부화소 전극(SPE2), 제1 브릿지 전극(BE1) 및 제2 브릿지 전극(BE2)과 중첩되지 않도록 일정 거리만큼 이격되어 배치될 수 있다. 이에 따라, 제1 부화소 전극(SPE1) 및 제2 부화소 전극(SPE2)에 제공된 전압은 차폐 전극(SDE)에는 제공되지 않을 수 있다.
- [0118] 차폐 전극(SDE)은 제1 부화소 전극(SPE1), 제2 부화소 전극(SPE2), 제1 브릿지 전극(BE1) 및 제2 브릿지 전극(BE2)이 배치된 영역을 제외한 나머지 영역과 오버랩하도록 배치될 수 있다. 다만, 차폐 전극(SDE)은 제1 부화소 전극(SPE1), 제2 부화소 전극(SPE2), 제1 브릿지 전극(BE1) 및 제2 브릿지 전극(BE2)이 배치된 영역을 제외한 나머지 모든 영역과 오버랩되어야 하는 것은 아니며, 일부 영역을 제외하고 오버랩될 수도 있음은 물론이다.
- [0119] 특히, 차폐 전극(SDE)은 데이터 라인(DL)과 오버랩하도록 배치될 수 있다. 데이터 라인(DL)에는 상기 데이터 전압이 제공되어 데이터 라인(DL)과 중첩되도록 배치된 액정(LC)에 영향을 미칠 수 있는데, 차폐 전극(SDE)이 이를 차단할 수 있다. 이에 따라, 빛샘을 방지할 수 있다.
- [0120] 제1 부화소 전극(SPE1), 제2 부화소 전극(SPE2), 제1 브릿지 전극(BE1), 제2 브릿지 전극(BE2) 및 차폐 전극(SDE)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(Al-doped Zinc Oxide) 등의 투명 도전성 물질로 이루어질 수 있다.
- [0121] 한편, 제1 부화소 전극(SPE1), 제2 부화소 전극(SPE2), 제1 브릿지 전극(BE1), 제2 브릿지 전극(BE2) 및 차폐 전극(SDE) 상에는 제1 배향막(도시되지 않음)이 추가로 배치될 수 있다. 상기 제1 배향막은 액정층(300)에 주입되는 액정(LC)의 초기 배향 각도를 제어할 수 있다.
- [0122] 이하, 제2 표시 기판(200)에 대하여 설명한다.
- [0123] 제2 표시 기판(200)은 제1 베이스 기판(110), 차광 부재(BM), 컬러 필터층(CF), 오버코트층(220) 및 공통 전극(CE)을 포함한다.
- [0124] 제2 베이스 기판(210)은 제1 베이스 기판(110)에 대향하여 배치된다. 제2 베이스 기판(210)은 외부로부터의 충격을 견뎌낼 수 있는 내구성을 가질 수 있다. 제2 베이스 기판(210)은 투명 절연 기판일 수 있다. 예를 들면, 제2 베이스 기판(210)은 유리 기판, 석영 기판, 투명 수지 기판 등으로 이루어질 수 있다. 제2 베이스 기판(210)은 평탄한 평판형일 수 있지만, 특정 방향으로 커브드될 수도 있다.
- [0125] 제1 표시 기판(100)을 향하는 제2 베이스 기판(210)의 일면 상에는 차광 부재(BM)가 배치된다.
- [0126] 차광 부재(BM)는 게이트 라인(GL), 데이터 라인(DL), 제1 박막 트랜지스터(TR1), 제2 박막 트랜지스터(TR2), 제3 박막 트랜지스터(TR3), 제1 컨택홀(CNT1), 제2 컨택홀(CNT2), 제3 컨택홀(CNT3) 및 제4 컨택홀(CNT4)과 오버랩하도록, 다시 말하면, 제1 투과 영역(PNA1) 및 제2 투과 영역(PNA2) 이외의 영역을 오버랩하도록 배치될 수 있으며, 제1 투과 영역(PNA1) 및 제2 투과 영역(PNA2) 이외의 영역에서의 빛의 투과를 차단할 수 있다.
- [0127] 제1 표시 기판(100)을 향하는 차광 부재(BM)의 일면 상에는 컬러 필터층(CF)이 배치된다.
- [0128] 컬러 필터층(CF)은 색을 구현하기 위한 안료가 포함된 감광성 유기 조성물로 구성될 수 있으며, 적색, 녹색 또는 청색의 안료 중 어느 하나를 포함할 수 있다. 예시적으로, 컬러 필터층(CF)은 복수의 컬러 필터를 포함할 수 있다. 예시적으로, 상기 복수의 컬러 필터 중 어느 하나는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 어느 하나를 표시할 수 있다. 다만, 이에 한정되는 것은 아니며, 상기 복수의 컬러 필터는 청록색(cyan), 자홍색(magenta), 옐로우(yellow) 및 화이트(white) 계열의 색 중 어느 하나를 표시할 수도 있다.

- [0129] 본 실시예에서는 컬러 필터층(CF)이 제2 표시 기관(200)에 형성된 것을 예시하였으나, 이에 제한되지 않을 수 있다. 즉, 몇몇 실시예에서, 컬러 필터층(CF)은 제1 표시 기관(100)에 형성될 수도 있다.
- [0130] 제1 표시 기관(100)을 향하는 컬러 필터층(CF)의 일면 상에는 오버코트층(220)이 배치된다. 오버코트층(220)은 차광 부재(BM) 및 컬러 필터층(CF)으로 인하여 발생한 단차를 완화할 수 있다. 몇몇 실시예에서, 오버코트층(220)은 생략될 수도 있다.
- [0131] 제1 표시 기관(100)을 향하는 오버코트층(220)의 일면 상에는 공통 전극(CE)이 배치된다.
- [0132] 공통 전극(CE)은 제2 베이스 기관(210)의 전면에 걸쳐 통판으로 형성될 수 있다. 공통 전극(CE)에는 외부로부터 제공되는 공통 전압이 인가되어 제1 부화소 전극(SPE1) 및 제2 부화소 전극(SPE2)과 함께 액정층(300)에 전계를 형성할 수 있다. 다만, 몇몇 실시예의 경우, 공통 전극(CE)이 특정 패턴을 갖도록 개구부가 형성될 수도 있다.
- [0133] 여기서, 상기 공통 전압은 외부로부터 제공될 수 있으며, 액정 표시 장치가 동작하는 동안 상기 공통 전압의 전압 레벨은 일정하게 유지될 수 있다. 이에 따라, 서로 중첩되도록 배치된 제1 부화소 전극(SPE1) 및 공통 전극(CE) 또는 제2 부화소 전극(SPE2) 및 공통 전극(CE)의 전압 레벨 차이에 의하여 전계가 형성될 수 있으며, 상기 전계에 의하여 액정(LC)이 회전하거나 기울어질 수 있다.
- [0134] 한편, 몇몇 실시예에서, 차폐 전극(SDE)에는 상기 공통 전압과 실질적으로 동일한 레벨의 전압이 제공될 수 있다. 이에 따라, 액정 표시 장치가 동작하는 동안, 서로 중첩되도록 배치된 차폐 전극(SDE)과 공통 전극(CE) 사이에 배치되는 액정층(300)의 일부 영역에는 방향성을 가지는 전계가 형성되지 않을 수 있다. 차폐 전극(SDE)과 공통 전극(CE)에 동일한 전압값을 갖는 전압이 제공되므로, 전위차가 발생하지 않기 때문이다. 이에 따라, 서로 중첩되도록 배치된 차폐 전극(SDE)과 공통 전극(CE) 사이의 공간에 배치된 액정(LC)은 회전하거나 기울어지지 않을 수 있으며, 액정 표시 장치의 전원이 오프된 상태와 동일하게 유지될 수 있다. 예시적으로, 빛을 투과를 차단할 수 있다.
- [0135] 한편, 제1 표시 기관(100)을 향하는 공통 전극(CE)의 일면 상에는 제2 배향막(도시되지 않음)이 배치될 수 있다. 상기 제2 배향막은 상기 제1 배향막과 마찬가지로 액정층(300)에 주입된 액정(LC)의 초기 배향 각도를 제어할 수 있다. 상기 제2 배향막은 생략될 수 있다.
- [0136] 이하, 액정층(300)에 대하여 설명한다.
- [0137] 액정층(300)은 유전율 이방성 및 굴절율 이방성을 가지는 복수의 액정(LC)을 포함한다. 액정(LC)은 액정층(300)에 전계가 형성되지 않은 상태에서 제1 표시 기관(100)과 제2 표시 기관(200)에 수직한 방향으로 배열될 수 있다. 제1 표시 기관(100)과 제2 표시 기관(200) 사이에 전계가 형성되면 액정(LC)이 특정 방향으로 회전하거나 기울어짐으로써 빛의 편광을 변화시킬 수 있다.
- [0138] 도 7은 도 1에 도시된 실시예에 따른 제1 박막 트랜지스터의 수직 방향의 제1 채널의 길이와 수평 방향의 제1 채널의 길이를 각각의 화소별로 측정하여 나타낸 그래프이다.
- [0139] 본 그래프에서 X축은 도 6의 각각의 렌즈에 대응되는 위치를 mm 단위로 나타내며, Y축은 길이를 μm 단위로 나타낸다. 구체적으로, X축은 도 6의 시작점(SP)을 원점으로 하여 시작점(SP)으로부터 제2 방향(dr2)으로 이격된 거리를 나타낸다.
- [0140] 도 7을 참조하면, 제1 박막 트랜지스터(TR1)의 수직 방향의 제1 채널의 길이(LEL1v)는 각각의 화소(PX)별로 상대적으로 큰 편차를 갖는 것을 확인할 수 있다. 반면, 제1 박막 트랜지스터(TR1)의 수평 방향의 제1 채널의 길이(LEL1p)는 각각의 화소(PX)별로 상대적으로 작은 편차를 갖는 것을 확인할 수 있다.
- [0141] 전술한 바와 같이, 제1 부화소 전극(SPE1)의 경우 데이터 라인(DL)으로 제공된 상기 데이터 전압을 그대로 전달받으므로, 이와 같은 채널 길이의 편차에 크게 영향을 받지 않을 수 있다.
- [0142] 다만, 제2 박막 트랜지스터(TR2) 및 제3 박막 트랜지스터(TR3)의 제2 채널 및 제3 채널이 수직 방향으로 연장된다면, 이들의 편차는 제2 부화소 전극(SPE2)에 제공되는 전압에 큰 영향을 미칠 수 있다. 즉, 동일한 상기 데이터 전압 및 상기 유지 전압을 인가한다 하더라도, 각각의 화소(PX)별로 제2 부화소 전극(SPE2)에 형성되는 전압값의 편차가 커 얼룩이 시인될 우려가 있다. 그러나, 도 1 내지 도 5에 도시된 실시예의 경우, 제2 박막 트랜지스터(TR2) 및 제3 박막 트랜지스터(TR3)의 채널의 길이인 제2 채널의 길이(LEL2) 및 제3 채널의 길이(LEL3)는 모두 제1 방향(dr1), 즉 수평 방향을 따라 측정될 수 있으므로, 채널 길이의 편차에 따른 화소(PX) 전극간 전압 편차가 최소화될 수 있다.

- [0143] 도 8은 다른 실시예에 따른 액정 표시 장치의 일 화소의 레이아웃도이다.
- [0144] 본 실시예에 따른 액정 표시 장치의 일 화소(PX_a)는, 도 1에 도시된 실시예에 따른 액정 표시 장치의 일 화소(PX)와 비교하여, 제3 박막 트랜지스터(TR3)의 플로팅 전극(FE)이 제거된 차이점을 지닌다. 따라서, 이하에서 중복되는 설명은 생략하기로 한다.
- [0145] 도 8을 참조하면, 본 실시예에 따른 액정 표시 장치의 일 화소(PX_a)는, 게이트 라인(GL), 반도체층(SM), 데이터 라인(DL), 제1 박막 트랜지스터(TR1), 제2 박막 트랜지스터(TR2), 제3 박막 트랜지스터(TR3_a), 제1 컨택홀(CNT1), 제2 컨택홀(CNT2), 제3 컨택홀(CNT3), 제4 컨택홀(CNT4), 제1 부화소 전극(SPE1), 제2 부화소 전극(SPE2), 제1 브릿지 전극(BE1), 제2 브릿지 전극(BE2) 및 차폐 전극(SDE)을 포함한다.
- [0146] 제3 박막 트랜지스터(TR3_a)는 제3 소스 전극(SE3_a), 제3 게이트 전극(GE3_a), 제3 액티브 영역(AR3_a) 및 제2 드레인 전극(DE2)으로 구성된다. 즉, 제3 액티브 영역(AR3)의 중심 부근에 배치된 플로팅 전극(FE)을 포함하는 도 1에 도시된 실시예와는 달리, 본 실시예의 경우 플로팅 전극에 대응되는 구성을 포함하지 않을 수 있다.
- [0147] 도 9는 다른 실시예에 따른 액정 표시 장치의 일 화소의 레이아웃도이다.
- [0148] 본 실시예에 따른 액정 표시 장치의 일 화소(PX_b)는, 도 1에 도시된 실시예에 따른 액정 표시 장치의 일 화소(PX)와 비교하여, 제1 박막 트랜지스터(TR1_b)를 구성하는 제1 소스 전극(SE1_b) 및 제1 드레인 전극(DE1_b)이 모두 바 모양인 차이점을 지닌다. 따라서, 이하에서 중복되는 설명은 생략하기로 한다.
- [0149] 도 9를 참조하면, 본 실시예에 따른 액정 표시 장치의 일 화소(PX_b)는, 게이트 라인(GL), 반도체층(SM), 데이터 라인(DL), 제1 박막 트랜지스터(TR1_b), 제2 박막 트랜지스터(TR2), 제3 박막 트랜지스터(TR3), 제1 컨택홀(CNT1), 제2 컨택홀(CNT2), 제3 컨택홀(CNT3), 제4 컨택홀(CNT4), 제1 부화소 전극(SPE1), 제2 부화소 전극(SPE2), 제1 브릿지 전극(BE1), 제2 브릿지 전극(BE2) 및 차폐 전극(SDE)을 포함한다.
- [0150] 제1 박막 트랜지스터(TR1_b)는 제1 소스 전극(SE1_b), 제1 드레인 전극(DE1_b), 제1 액티브 영역(AR1_b) 및 제1 게이트 전극(GE1_b)을 포함한다. 여기서, 제1 액티브 영역(AR1_b)에 인접하는 제1 소스 전극(SE1_b) 및 제1 드레인 전극(DE1_b)은 모두 제2 방향(dr2)을 따라 연장된 바 모양일 수 있다. 이에 따라, 제1 박막 트랜지스터(TR1_b)에 포함된 제1 채널의 길이는 제1 방향(dr1)을 따라 측정될 수 있다. 결과적으로, 본 실시예에 따른 경우, 각각의 화소(PX_b)별로 제1 채널의 길이에 대한 편차가 최소화될 수 있다.
- [0151] 도 10은 다른 실시예에 따른 액정 표시 장치의 일 화소의 레이아웃도이다.
- [0152] 본 실시예에 따른 액정 표시 장치의 일 화소(PX_c)는, 도 8에 도시된 실시예에 따른 액정 표시 장치의 제3 박막 트랜지스터(TR3_a)와 동일한 구조를 가지며, 도 9에 도시된 실시예에 따른 액정 표시 장치의 제1 박막 트랜지스터(TR1_b)와 동일한 구조를 가질 수 있다.
- [0153] 즉, 본 실시예에 따른 액정 표시 장치의 일 화소(PX_c)는 도 1에 도시된 실시예에 따른 액정 표시 장치와 비교하여, 도 8에 도시된 실시예 및 도 9에 도시된 실시예에 따른 액정 표시 장치로의 변경 사항을 동시에 반영한 구조를 갖는다.
- [0154] 도 11은 다른 실시예에 따른 액정 표시 장치의 일 화소의 레이아웃도이다.
- [0155] 본 실시예에 따른 액정 표시 장치의 일 화소(PX_d)는, 도 1에 도시된 실시예에 따른 액정 표시 장치의 일 화소(PX)와 비교하여, 제2 채널의 길이 방향 및 제3 채널의 길이 방향이 모두 제2 방향(dr2)인 차이점을 지닌다. 따라서, 중복되는 설명은 생략하기로 한다.
- [0156] 도 11을 참조하면, 본 실시예에 따른 액정 표시 장치의 일 화소(PX_d)는, 게이트 라인(GL), 반도체층(SM), 데이터 라인(DL), 제1 박막 트랜지스터(TR1_d), 제2 박막 트랜지스터(TR2_d), 제3 박막 트랜지스터(TR3_d), 제1 컨택홀(CNT1), 제2 컨택홀(CNT2), 제3 컨택홀(CNT3), 제4 컨택홀(CNT4), 제1 부화소 전극(SPE1), 제2 부화소 전극(SPE2), 제1 브릿지 전극(BE1), 제2 브릿지 전극(BE2) 및 차폐 전극(SDE)을 포함한다.
- [0157] 여기서, 제2 박막 트랜지스터(TR2_d)의 제2 채널의 길이 방향은 제2 방향(dr2)일 수 있다. 다시 말하면, 제2 액티브 영역(AR2_d)에 인접한 제2 드레인 전극(DE2_d) 및 제2 소스 전극(SE2_d)은 모두 제1 방향(dr1)을 따라 연장될 수 있다.
- [0158] 또한, 제3 박막 트랜지스터(TR3_d)의 제3 채널의 길이 방향은 제2 방향(dr2)일 수 있다. 다시 말하면, 제3 액티브 영역(AR3_d)에 인접한 제2 드레인 전극(DE2_d) 및 제3 소스 전극(SE3_d)은 모두 제1 방향(dr1)을 따라 연장

될 수 있다.

[0159] 액정 표시 장치의 각 화소(PX_d)가 이와 같은 구조를 갖는 경우, 액정 표시 장치를 제조하는 데 사용되는 노광기의 렌즈가 제2 방향(dr2)을 따라 이동하여 자외선을 조사한다면, 각각의 화소(PX_d)별 제2 채널의 길이 및 제3 채널의 길이의 편차가 최소화될 수 있다.

[0160] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 모양으로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

[0161]

PX: 화소

PNA1: 제1 투과 영역

PNA2: 제2 투과 영역

TR1: 제1 박막 트랜지스터

TR2: 제2 박막 트랜지스터

TR3: 제3 박막 트랜지스터

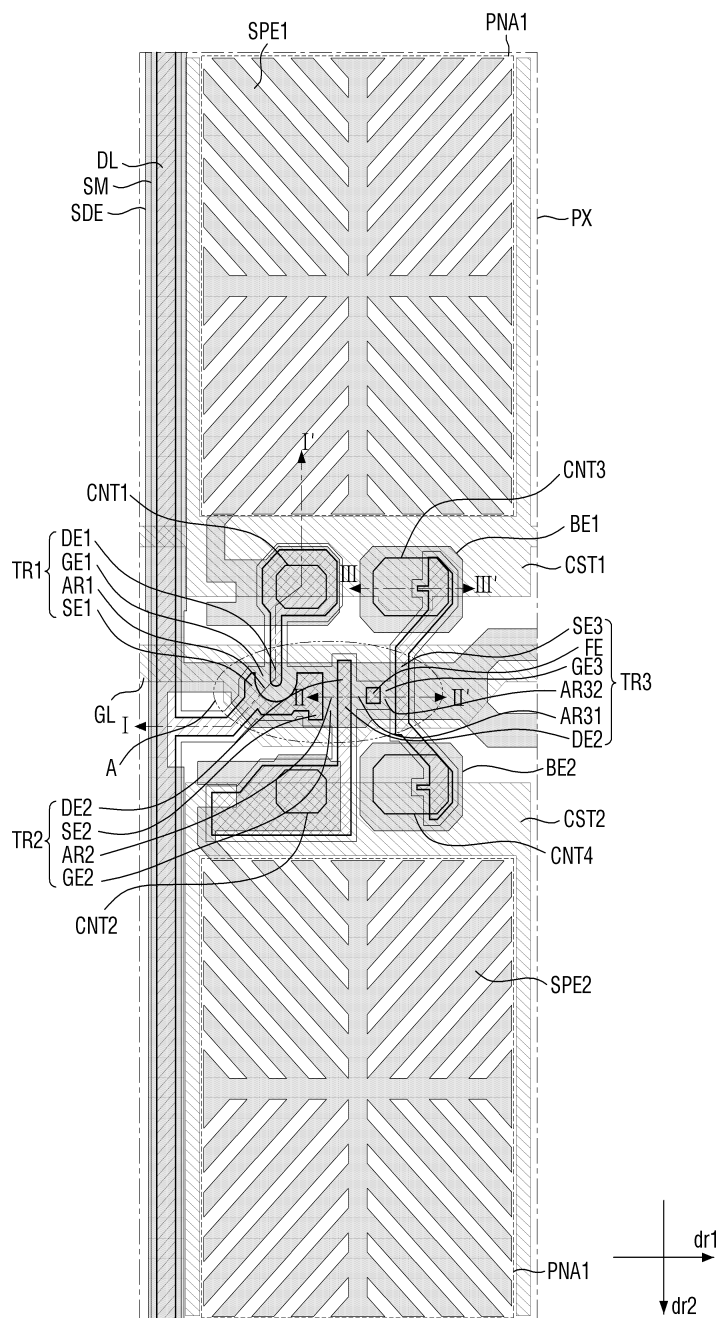
DE2: 제2 드레인 전극

SPE1: 제1 부화소 전극

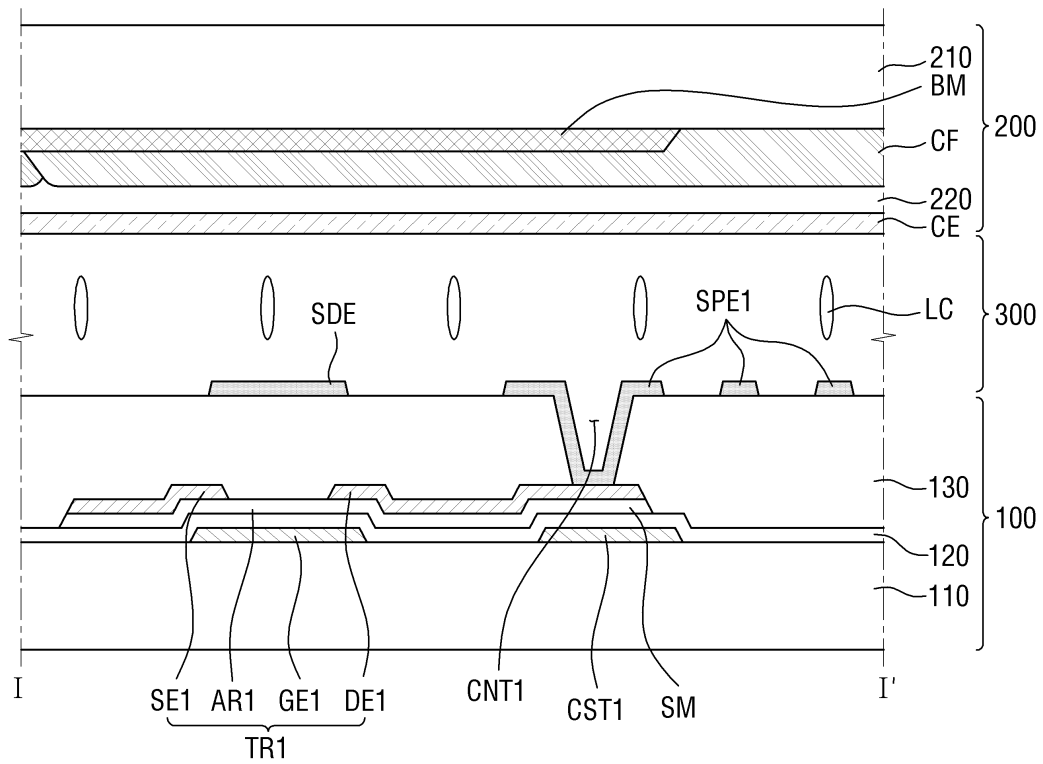
SPE2: 제2 부화소 전극

도면

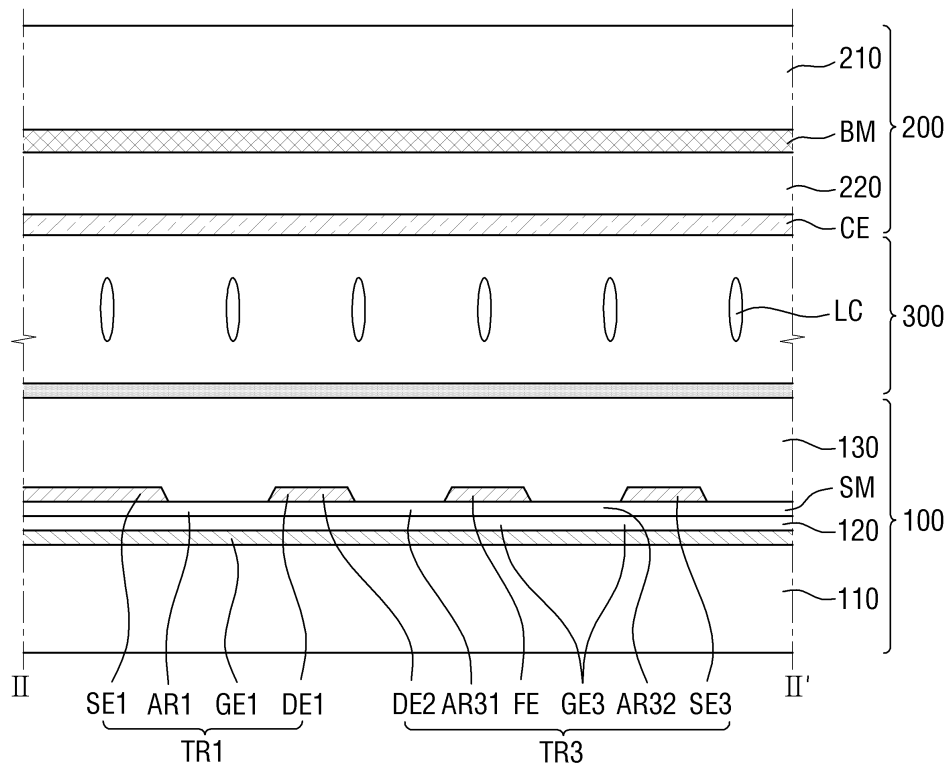
도면1



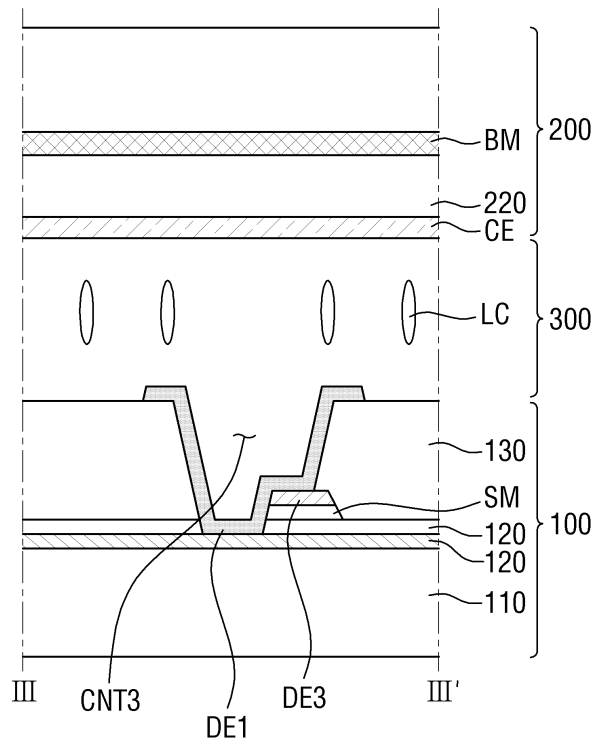
도면2



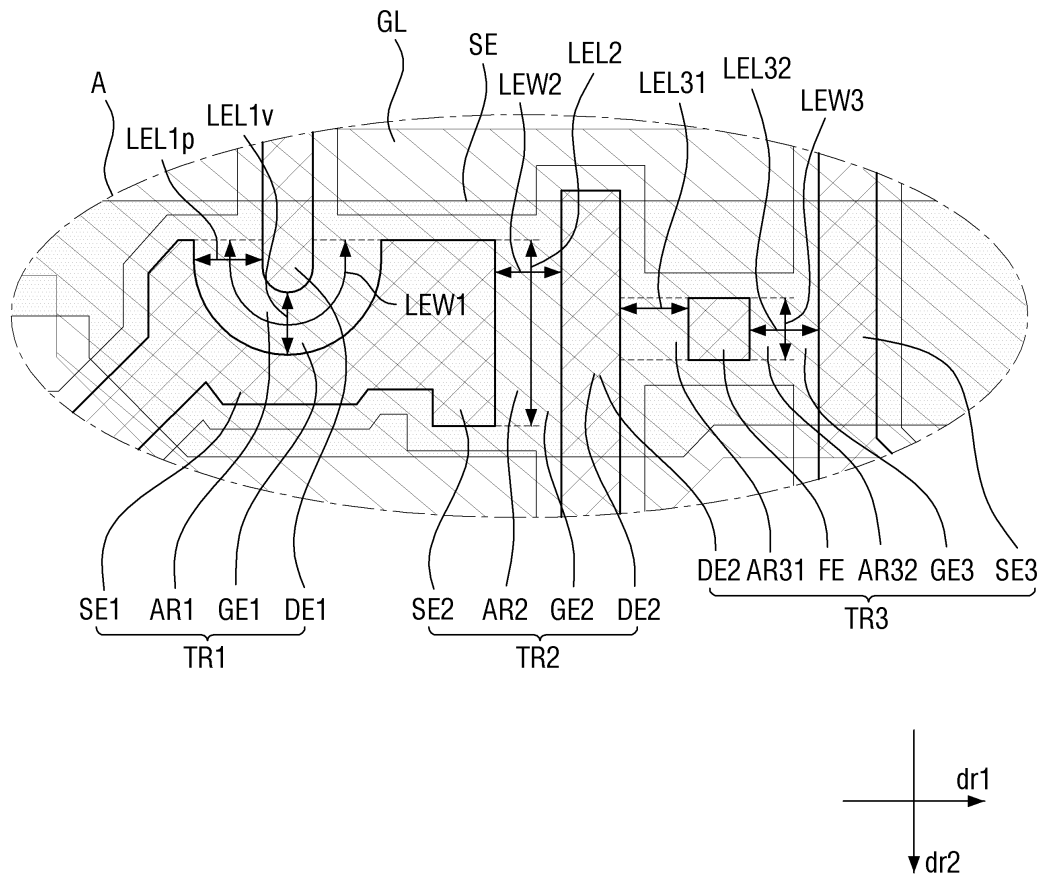
도면3



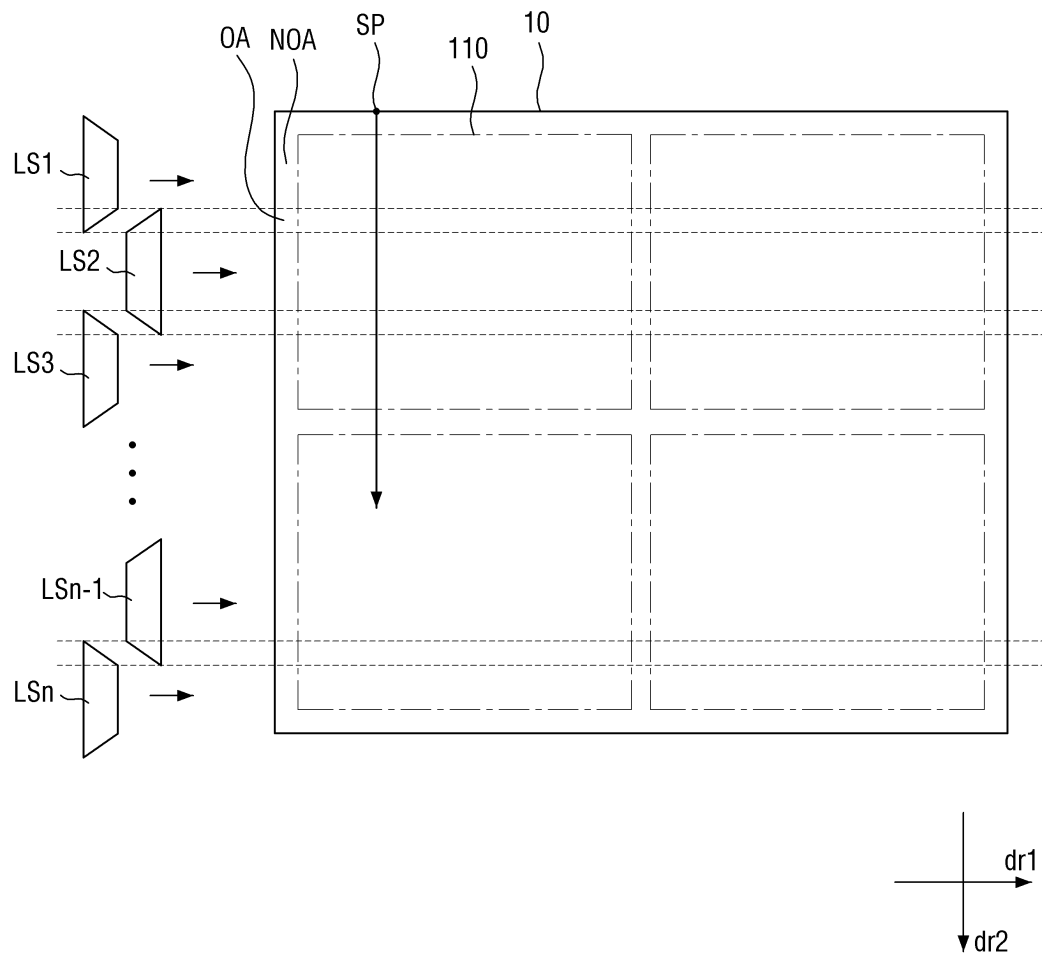
도면4



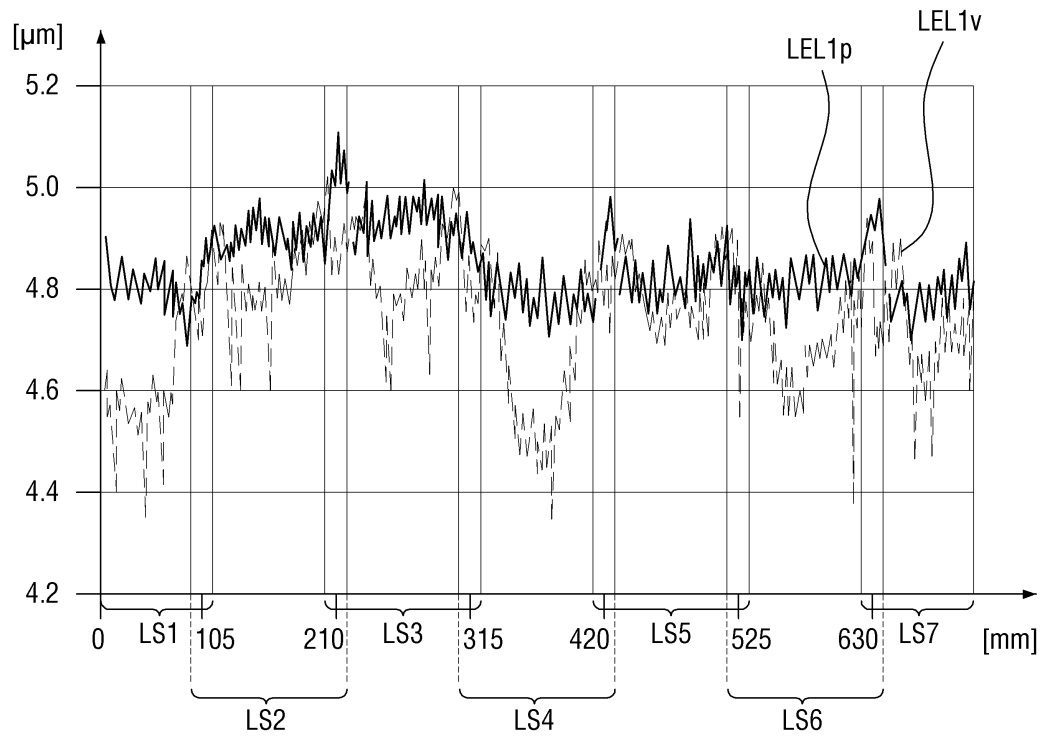
도면5



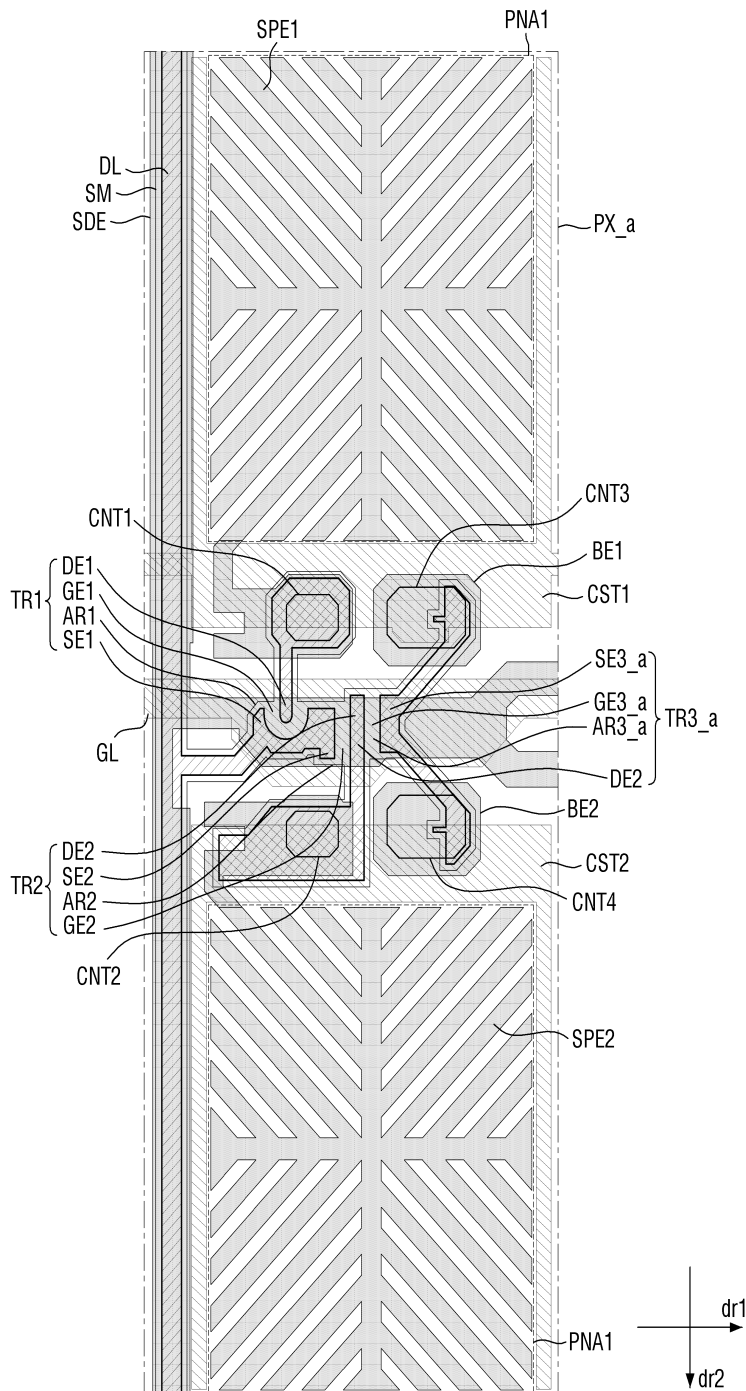
도면6



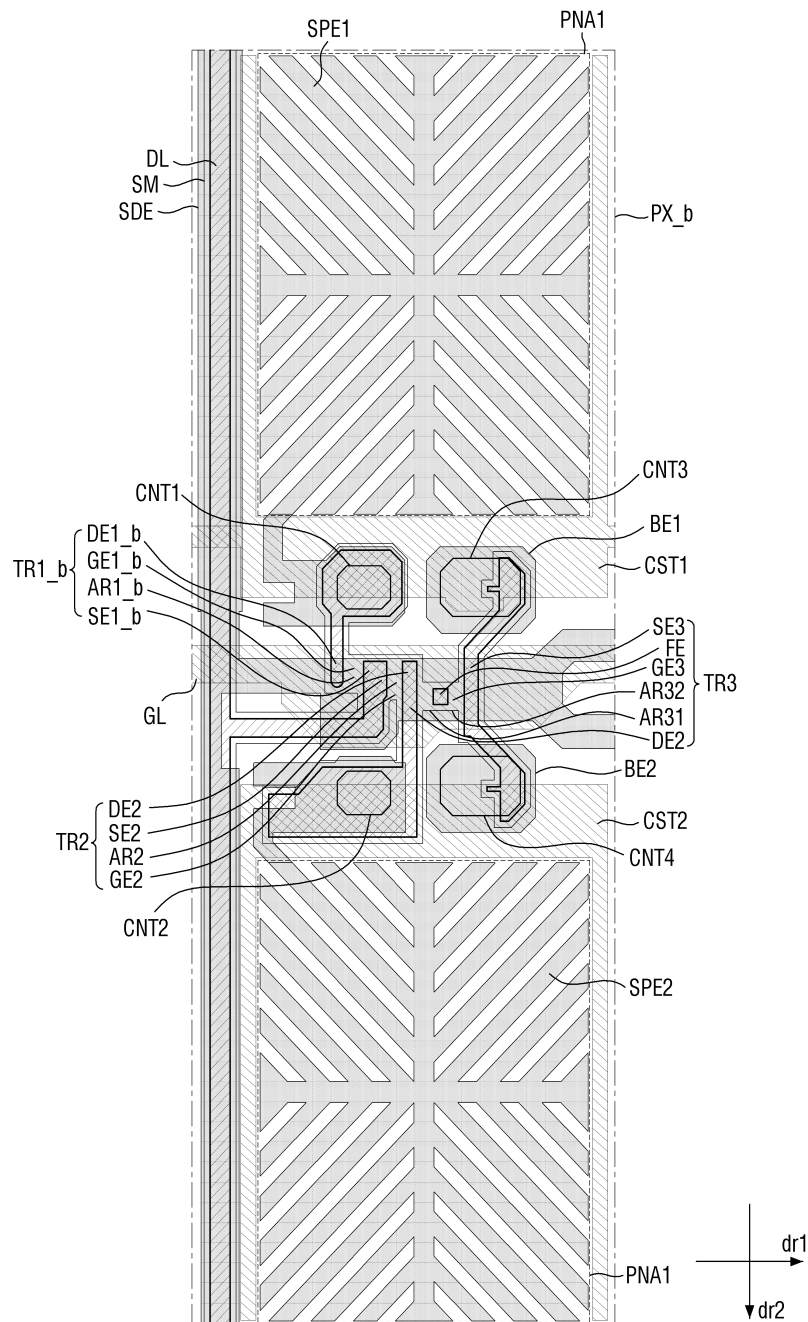
도면7



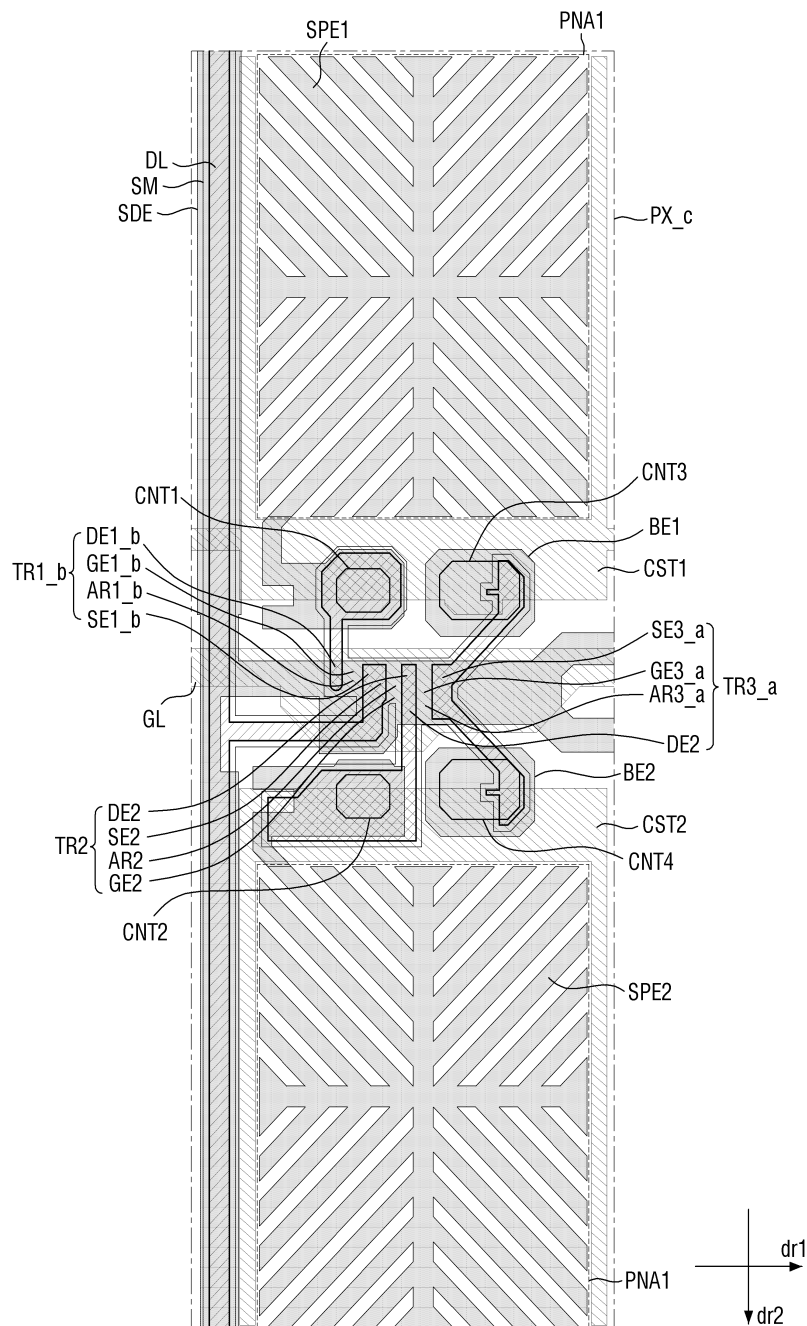
도면8



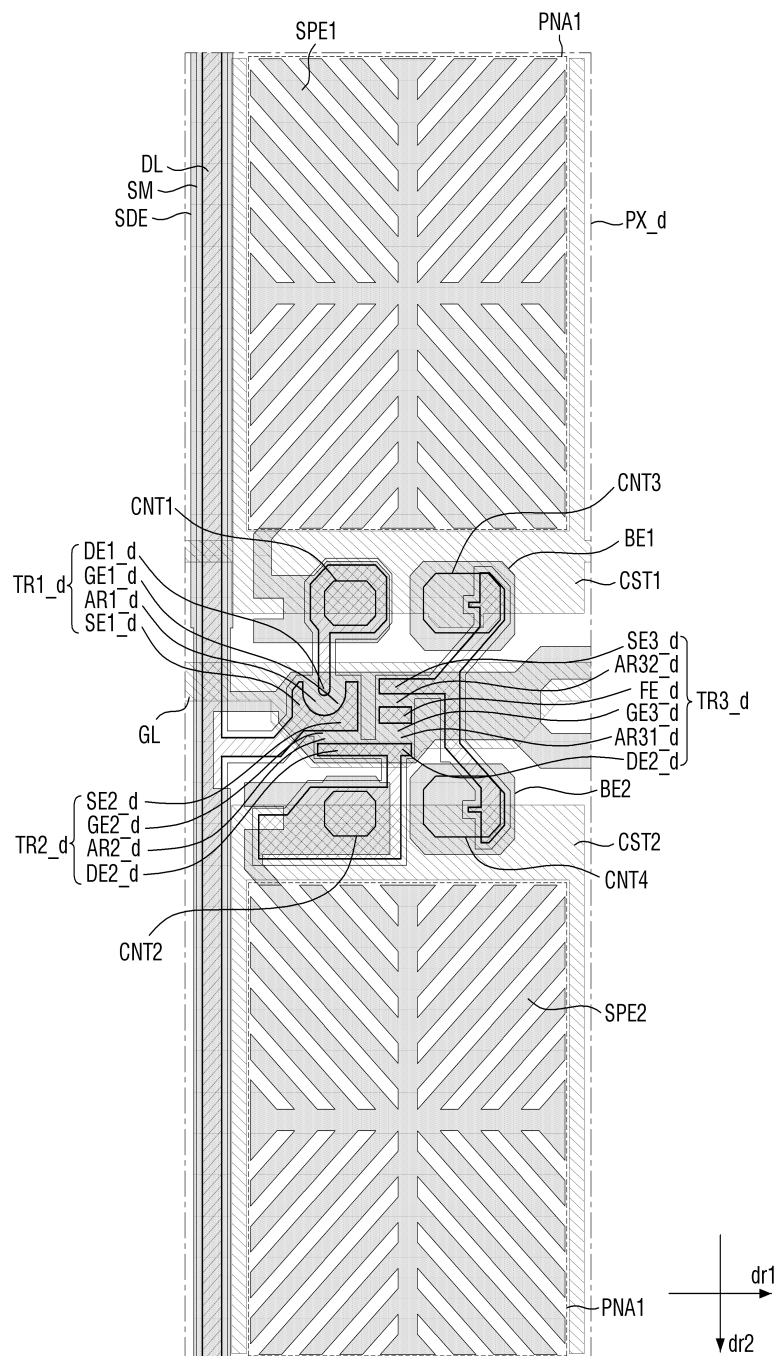
도면9



도면10



도면11



专利名称(译)	液晶显示器		
公开(公告)号	KR1020190008462A	公开(公告)日	2019-01-24
申请号	KR1020170089052	申请日	2017-07-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	이계욱 구자용 박기범 신재용 이성영 이슬비 이웅		
发明人	이계욱 구자용 박기범 신재용 이성영 이슬비 이웅		
IPC分类号	G02F1/1362 G02F1/1368		
CPC分类号	G02F1/13624 G02F1/134309 G02F1/1368 G02F2001/134345 H01L27/124 H01L29/41733 G02F1/1337 G02F1/136286 G02F2001/133742 G02F2001/136295 G02F2201/123 H01L21/0273 H01L27/1262		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示装置。液晶显示器包括基板，设置在基板上的第一至第三薄膜晶体管，以及设置在第一至第三薄膜晶体管上的第一和第二子像素电极，其中第三薄膜晶体管的输出端子和输出端子共享一个端子，第一子像素电极电连接到第一薄膜晶体管的输出端子，第二子像素电极电连接到第一端子。图2所示的电连接到薄膜晶体管的输出端子。

