



(52) CPC특허분류

*G02F 1/133371* (2013.01)

*G02F 1/136* (2013.01)

*G02F 2001/13625* (2013.01)

(72) 발명자

**오익한**

충청남도 천안시 서북구 변영로 278-12, 벽산 블루  
밍 1차 아파트 104동 603호 (백석동)

---

**정영민**

경기도 광명시 도덕공원로 17, 도덕파크타운 101동  
2505호 (철산동)

## 명세서

### 청구범위

#### 청구항 1

제1 기관;

상기 제1 기관 상에 배치되는 박막 트랜지스터;

상기 박막 트랜지스터 상에 배치되는 컬러 필터층;

상기 컬러 필터층 상에 배치되는 감광층;

상기 감광층 상에 배치되며 상기 감광층 및 상기 감광층을 관통하는 콘택홀을 통하여 상기 박막 트랜지스터와 연결되는 화소 전극을 포함하되,

상기 감광층은 상기 박막 트랜지스터와 중첩되는 제1 영역, 상기 콘택홀과 중첩되는 제2 영역, 상기 제1 및 제2 영역을 제외한 나머지 영역인 제3 영역을 포함하고,

상기 감광층은 상기 제1 영역에서 제1 두께를 갖고, 상기 제2 영역의 중심에서 개구되고, 상기 제3 영역에서 상기 제1 두께보다 작은 제2 두께를 갖는 액정 표시 장치.

#### 청구항 2

제1 항에 있어서,

상기 콘택홀의 측벽은 상기 감광층에 의하여 커버되는 액정 표시 장치.

#### 청구항 3

제2 항에 있어서,

상기 콘택홀의 측벽을 커버하도록 배치되는 상기 감광층은 상기 화소 전극에 의하여 커버되는 액정 표시 장치.

#### 청구항 4

제1 항에 있어서,

상기 제2 두께는 상기 제1 두께의 1/2 이하의 값을 갖는 액정 표시 장치.

#### 청구항 5

제1 항에 있어서,

상기 컬러 필터층은 제1 내지 제3 컬러 필터를 포함하되,

상기 제1 내지 제3 컬러 필터는 서로 다른 파장대의 빛을 투과시키는 액정 표시 장치.

#### 청구항 6

제1 항에 있어서,

상기 컬러 필터층과 상기 감광층 사이에 배치되는 패시베이션층을 더 포함하되,

상기 패시베이션층은 상기 콘택홀이 배치되는 영역을 제외한 영역에서 상기 컬러 필터층을 오버랩하도록 배치되는 액정 표시 장치.

#### 청구항 7

제1 항에 있어서,

상기 제1 기관과 대향하는 제2 기관을 더 포함하되,

상기 감광층은 상기 제2 기판과 상기 제1 영역에서 접하는 액정 표시 장치.

#### 청구항 8

제1 항에 있어서,

상기 제1 기판 상에 제1 방향으로 연장되는 게이트 라인, 및

상기 게이트 라인 상에 상기 제1 방향과 교차하는 제2 방향으로 연장되는 데이터 라인을 더 포함하되,

상기 박막 트랜지스터는 상기 게이트 라인과 연결되는 게이트 전극, 상기 데이터 라인과 연결되는 소스 전극, 및 상기 화소 전극과 연결되는 드레인 전극을 포함하는 액정 표시 장치.

#### 청구항 9

제8 항에 있어서,

상기 제2 영역은 상기 게이트 전극과 중첩하도록 배치되고,

상기 제3 영역은 상기 소스 전극으로부터 인접하지 않는 상기 드레인 전극의 일측 끝단과 중첩하도록 배치되는 액정 표시 장치.

#### 청구항 10

제1 기판;

상기 제1 기판 상에 배치된 박막 트랜지스터;

상기 박막 트랜지스터 상에 배치된 컬러 필터층;

상기 컬러 필터층 상에 배치되는 제1 및 제2 감광성 조성물 패턴;

상기 제1 및 제2 감광성 조성물 패턴 상에 배치되며 상기 컬러 필터층을 관통하는 콘택홀을 통하여 상기 박막 트랜지스터와 연결되는 화소 전극을 포함하되,

상기 콘택홀을 측벽의 일부는 상기 제2 감광성 조성물 패턴에 의하여 커버되고,

상기 제1 및 제2 감광성 조성물 패턴은 서로 동일한 물질인 액정 표시 장치.

#### 청구항 11

제10 항에 있어서,

상기 제1 감광성 조성물 패턴은 상기 박막 트랜지스터와 중첩하도록 배치되는 액정 표시 장치.

#### 청구항 12

제10 항에 있어서,

상기 제2 감광성 조성물 패턴은 상기 화소 전극에 의하여 커버되는 액정 표시 장치.

#### 청구항 13

제10 항에 있어서,

상기 컬러 필터층은 제1 내지 제3 컬러 필터를 포함하되,

상기 제1 내지 제3 컬러 필터는 서로 다른 파장대의 빛을 투과시키는 액정 표시 장치.

#### 청구항 14

제10 항에 있어서,

상기 컬러 필터층과 상기 제1 감광성 조성물 패턴 사이에 배치되는 패시베이션층을 더 포함하되,

상기 패시베이션층은 상기 콘택홀이 배치되는 영역을 제외한 영역에서 상기 컬러 필터층을 오버랩하도록 배치되

는 액정 표시 장치.

#### 청구항 15

제10 항에 있어서,

상기 제1 기판 상에 제1 방향으로 연장되는 게이트 라인, 및

상기 게이트 라인 상에 상기 제1 방향과 교차하는 제2 방향으로 연장되는 데이터 라인을 더 포함하되,

상기 박막 트랜지스터는 상기 게이트 라인과 연결되는 게이트 전극, 상기 데이터 라인과 연결되는 소스 전극, 및 상기 화소 전극과 연결되는 드레인 전극을 포함하는 액정 표시 장치.

#### 청구항 16

제15 항에 있어서,

상기 제1 감광성 조성물 패턴은 상기 게이트 전극과 중첩하도록 배치되는 액정 표시 장치.

#### 청구항 17

제16 항에 있어서,

상기 컨택홀은 상기 소스 전극으로부터 인접하지 않는 상기 드레인 전극의 일측 끝단과 중첩하도록 배치되는 액정 표시 장치.

#### 청구항 18

기판 상에 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터 상에 유기층을 형성하는 단계;

상기 유기층 상에 감광층을 형성하는 단계;

상기 감광층 상에 화소 전극을 형성하는 단계를 포함하되,

상기 감광층을 형성하는 단계는

(a) 상기 유기층 상에 감광성 조성물 도포하여 감광성 조성물층을 형성하는 단계,

(b) 상기 감광성 조성물층이 영역별로 서로 다른 두께를 갖도록 노광 및 현상하는 단계,

(c) 상기 감광성 조성물층을 식각하여 상기 박막 트랜지스터의 출력 단자를 노출시키는 단계를 포함하는 액정 표시 장치의 제조 방법.

#### 청구항 19

제18 항에 있어서,

상기 (b) 단계는 영역별로 광 투과율이 서로 다른 하프 톤 마스크를 사용하여 상기 감광성 조성물층을 노광하되,

상기 하프 톤 마스크는 상기 박막 트랜지스터와 중첩되는 영역에서는 제1 투과율 갖고, 상기 박막 트랜지스터와 상기 화소 전극을 연결하는 컨택홀과 중첩되는 영역에서 제2 투과율을 가지며, 이외의 영역에서 제3 투과율을 갖고,

상기 제1 투과율은 상기 제3 투과율보다 높고, 상기 제2 투과율은 상기 제3 투과율보다 낮은 액정 표시 장치의 제조 방법.

#### 청구항 20

제18 항에 있어서,

상기 감광층을 형성하는 단계는 (d) 잔류하는 상기 감광성 조성물층의 일부를 제거하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 표시 기관 및 표시 기관의 제조 방법에 관한 것이다.

### 배경 기술

[0002] 액정 표시 장치는, 매트릭스 형태로 배열되는 복수의 화소 전극들을 포함하는 제1 표시 기관, 상기 제1 표시 기관에 마주하는 제2 표시 기관 및 상기 제1 표시 기관과 상기 제2 표시 기관의 사이에 배치되는 액정층을 포함한다. 상기 제1 표시 기관은 상기 화소 전극들에 전기적인 신호를 제공하는 복수의 신호 라인들 및 스위칭 소자들을 포함할 수 있다.

[0003] 상기 제1 표시 기관, 상기 제2 표시 기관에 배치되는 각종 구성 요소들을 형성하기 위하여는 마스크 공정을 반복하여 수행해야 한다. 다만, 상기 마스크 공정이 반복되는 횟수가 증가할수록, 표시 장치의 제조 비용은 상승하기 때문에, 상기 마스크 공정을 최소화 할 수 있는 방안이 요구된다.

### 발명의 내용

#### 해결하려는 과제

[0004] 본 발명이 해결하고자 하는 과제는 제조 비용이 감소된 표시 기관을 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 또 다른 과제는 제조 비용이 감소된 표시 기관의 제조 방법을 제공하는 것이다.

[0006] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

#### 과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는 제1 기관, 상기 제1 기관 상에 배치되는 박막 트랜지스터, 상기 박막 트랜지스터 상에 배치되는 컬러 필터층, 상기 컬러 필터층 상에 배치되는 감광층, 상기 감광층 상에 배치되며 상기 감광층 및 상기 감광층을 관통하는 컨택홀을 통하여 상기 박막 트랜지스터와 연결되는 화소 전극을 포함하되, 상기 감광층은 상기 박막 트랜지스터와 중첩되는 제1 영역, 상기 컨택홀과 중첩되는 제2 영역, 상기 제1 및 제2 영역을 제외한 나머지 영역인 제3 영역을 포함하고, 상기 감광층은 상기 제1 영역에서 제1 두께를 갖고, 상기 제2 영역의 중심에서 개구되고, 상기 제3 영역에서 상기 제1 두께보다 작은 제2 두께를 갖는다.

[0008] 또한, 상기 컨택홀의 측벽은 상기 감광층에 의하여 커버될 수 있다.

[0009] 또한, 상기 컨택홀의 측벽을 커버하도록 배치되는 상기 감광층은 상기 화소 전극에 의하여 커버될 수 있다.

[0010] 또한, 상기 제3 두께는 상기 제1 두께의 1/2 이하의 값을 가질 수 있다.

[0011] 또한, 상기 컬러 필터층은 제1 내지 제3 컬러 필터를 포함하되, 상기 제1 내지 제3 컬러 필터는 서로 다른 파장대의 빛을 투과시킬 수 있다.

[0012] 또한, 상기 컬러 필터층과 상기 감광층 사이에 배치되는 패시베이션층을 더 포함하되, 상기 패시베이션층은 상기 컨택홀이 배치되는 영역을 제외한 영역에서 상기 컬러 필터층을 오버랩하도록 배치될 수 있다.

[0013] 또한, 상기 제1 기관과 대향하는 제2 기관을 더 포함하되, 상기 감광층은 상기 제2 기관과 상기 제1 영역에서 접할 수 있다.

[0014] 또한, 상기 제1 기관 상에 제1 방향으로 연장되는 게이트 라인, 및

[0015] 상기 게이트 라인 상에 상기 제1 방향과 교차하는 제2 방향으로 연장되는 데이터 라인을 더 포함하되, 상기 박막 트랜지스터는 상기 게이트 라인과 연결되는 게이트 전극, 상기 데이터 라인과 연결되는 소스 전극, 및 상기 화소 전극과 연결되는 드레인 전극을 포함할 수 있다.

[0016] 또한, 상기 제2 영역은 상기 게이트 전극과 중첩하도록 배치되고, 상기 제3 영역은 상기 소스 전극으로부터 인

접하지 않는 상기 드레인 전극의 일측 끝단과 중첩하도록 배치될 수 있다.

- [0017] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 액정 표시 장치는 제1 기판, 상기 제1 기판 상에 배치된 박막 트랜지스터, 상기 박막 트랜지스터 상에 배치된 컬러 필터층, 상기 컬러 필터층 상에 배치되는 제1 및 제2 감광성 조성물 패턴, 상기 제1 및 제2 감광성 조성물 패턴 상에 배치되며 상기 컬러 필터층을 관통하는 콘택홀을 통하여 상기 박막 트랜지스터와 연결되는 화소 전극을 포함하되, 상기 콘택홀을 측벽의 일부는 상기 제2 감광성 조성물 패턴에 의하여 커버되고, 상기 제1 및 제2 감광성 조성물 패턴은 서로 동일한 물질이다.
- [0018] 또한, 상기 제1 감광성 조성물 패턴은 상기 박막 트랜지스터와 중첩하도록 배치될 수 있다.
- [0019] 또한, 상기 제2 감광성 조성물 패턴은 상기 화소 전극에 의하여 커버될 수 있다.
- [0020] 또한, 상기 컬러 필터층은 제1 내지 제3 컬러 필터를 포함하되, 상기 제1 내지 제3 컬러 필터는 서로 다른 파장대의 빛을 투과시킬 수 있다.
- [0021] 또한, 상기 컬러 필터층과 상기 제1 감광성 조성물 패턴 사이에 배치되는 패시베이션층을 더 포함하되, 상기 패시베이션층은 상기 콘택홀이 배치되는 영역을 제외한 영역에서 상기 컬러 필터층을 오버랩하도록 배치될 수 있다.
- [0022] 또한, 상기 제1 기판 상에 제1 방향으로 연장되는 게이트 라인, 및
- [0023] 상기 게이트 라인 상에 상기 제1 방향과 교차하는 제2 방향으로 연장되는 데이터 라인을 더 포함하되, 상기 박막 트랜지스터는 상기 게이트 라인과 연결되는 게이트 전극, 상기 데이터 라인과 연결되는 소스 전극, 및 상기 화소 전극과 연결되는 드레인 전극을 포함할 수 있다.
- [0024] 또한, 상기 제1 감광성 조성물 패턴은 상기 게이트 전극과 중첩하도록 배치될 수 있다.
- [0025] 또한, 상기 콘택홀은 상기 소스 전극으로부터 인접하지 않는 상기 드레인 전극의 일측 끝단과 중첩하도록 배치될 수 있다.
- [0026] 상기 다른 과제를 해결하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법은 기판 상에 박막 트랜지스터를 형성하는 단계, 상기 박막 트랜지스터 상에 유기층을 형성하는 단계, 상기 유기층 상에 감광층을 형성하는 단계, 상기 감광층 상에 화소 전극을 형성하는 단계를 포함하되, 상기 감광층을 형성하는 단계는 (a) 상기 유기층 상에 감광성 조성물 도포하여 감광성 조성물층을 형성하는 단계, (b) 상기 감광성 조성물층이 영역별로 서로 다른 두께를 갖도록 노광 및 현상하는 단계, (c) 상기 감광성 조성물층을 식각하여 상기 박막 트랜지스터의 출력 단자를 노출시키는 단계를 포함한다.
- [0027] 또한, 상기 (b) 단계는 영역별로 광 투과율이 서로 다른 하프 톤 마스크를 사용하여 상기 감광성 물질층을 노광하되, 상기 하프 톤 마스크는 상기 박막 트랜지스터와 중첩되는 영역에서는 제1 투과율을 갖고, 상기 콘택홀과 중첩되는 영역에서 제2 투과율을 가지며, 이외의 영역에서 제3 투과율을 갖고, 상기 제1 투과율은 상기 제3 투과율보다 높고, 상기 제2 투과율은 상기 제3 투과율보다 낮을 수 있다.
- [0028] 또한, 상기 감광층을 형성하는 단계는 (d) 잔류하는 상기 감광성 수지 조성물층의 일부를 제거하는 단계를 더 포함할 수 있다.
- [0029] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

### 발명의 효과

- [0030] 본 발명의 실시예들에 의하면 제조 비용이 감소된 표시 기판을 제공할 수 있다.
- [0031] 또한, 제조 비용이 감소된 표시 기판의 제조 방법을 제공할 수 있다.
- [0032] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

### 도면의 간단한 설명

- [0033] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 레이아웃도이다.
- 도 2는 도 1의 II-II'선을 따라 절단한 단면도이다.

도 3은 도 1의 표시 장치의 데이터 라인, 게이트 라인, 박막 트랜지스터, 콘택홀 및 감광층 간의 배치관계를 도시한 레이아웃도이다.

도 4 내지 도 7은 도 1의 표시 장치의 제조 방법의 공정 단계별 단면도들이다.

도 8은 본 발명의 다른 실시예에 따른 표시 장치의 단면도이다.

도 9 및 도 10은 도 8의 표시 장치의 제조 방법의 공정 단계별 단면도들이다.

### 발명을 실시하기 위한 구체적인 내용

- [0034] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0035] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0036] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0037] 이하, 첨부된 도면을 참고로 하여 본 발명의 실시예들에 대해 설명한다.
- [0038] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치에 배치되는 일 화소의 레이아웃도이고, 도 2는 도 1의 I-I'선을 따라 절단한 단면도이고, 도 3은 도 1에 도시된 액정 표시 장치의 일 화소에서, 데이터 라인, 게이트 라인, 박막 트랜지스터, 콘택홀 및 감광층 간의 예시적 배치관계를 도시한 평면도이다.
- [0039] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치는 제1 표시 기관(100), 제2 표시 기관(400) 및 액정층(300)을 포함한다.
- [0040] 액정 표시 장치는 매트릭스 형태로 배열되는 복수의 화소(10)를 포함한다. 각 화소(10)는 특정 계조의 색을 표시하는 기본 단위일 수 있다. 제1 표시 기관(100)은 화소(10)마다 배치된 화소 전극(211) 및 화소 전극(211)에 데이터 전압을 공급하기 위한 스위칭 소자인 박막 트랜지스터(167)를 포함한다. 제2 표시 기관(400)은 제1 표시 기관(100)에 대하여 배치된다. 액정층(300)은 제1 표시 기관(100)과 제2 표시 기관(400) 사이에 주입되는 액정(310)이 배치되는 공간이다.
- [0041] 이하, 제1 표시 기관(100)에 대하여 설명하기로 한다.
- [0042] 제1 표시 기관(100)은 제1 베이스 기관(110)을 포함한다. 제1 베이스 기관(110)은 투명 절연 기관일 수 있다. 예를 들면, 제1 베이스 기관(110)은 유리 기관, 석영 기관, 투명 수지 기관 등으로 이루어질 수 있다. 제1 베이스 기관(110)은 평판형 기관이지만, 일 방향을 따라 커브드될 수도 있다.
- [0043] 제1 베이스 기관(110) 상에는 복수의 게이트 라인(122) 및 게이트 전극(124)이 배치된다.
- [0044] 게이트 라인(122)은 박막 트랜지스터(167)를 제어하는 게이트 신호를 전달한다. 게이트 라인(122)은 제1 방향(D1)으로 연장된 형상을 가질 수 있다. 여기서, 제1 방향(D1)이란 제1 베이스 기관(110)의 일변에 평행하도록 연장되는 방향에 해당하며, 도 2에 도시된 바와 같이 좌측에서 우측을 향하여 연장되는 임의의 직선이 가리키는 방향으로 정의될 수 있다. 다만, 이에 제한되지는 아니하고, 제1 베이스 기관(110)의 일변에 반드시 평행할 필요는 없으며, 제1 베이스 기관(110) 상에서 특정 방향으로 연장되는 임의의 직선이 가리키는 방향일 수도 있다.
- [0045] 상기 게이트 신호는 외부로부터 제공되는 변화하는 전압값을 갖는 신호일 수 있다. 상기 게이트 신호의 전압값에 대응하여 박막 트랜지스터(167)의 온(on)/오프(off) 여부가 제어될 수 있다.
- [0046] 게이트 전극(124)은 게이트 라인(122)에 연결된다. 게이트 전극(124)은 게이트 라인(122)으로부터 돌출되는 모양으로 형성될 수 있다. 게이트 전극(124)은 박막 트랜지스터(167)의 제어 전극 역할을 할 수 있다. 하나의 게



이트 라인(122)은 복수의 게이트 전극(124)과 연결될 수 있다.

- [0047] 게이트 라인(122) 및 게이트 전극(124)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 금 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 등을 포함할 수 있다.
- [0048] 게이트 라인(122) 및 게이트 전극(124)은 단일층 구조를 가질 수 있으며, 또는 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다층 구조를 가질 수도 있다.
- [0049] 게이트 라인(122) 및 게이트 전극(124) 상에는 게이트 절연막(130)이 배치된다. 게이트 절연막(130)은 절연물질로 이루어질 수 있으며, 예시적으로 실리콘 질화물 또는 실리콘 산화물 등으로 이루어질 수 있다. 게이트 절연막(130)은 단일층 구조로 이루어질 수 있으며, 또는 물리적 성질이 다른 두 개의 절연층을 포함하는 다층 구조를 가질 수도 있다.
- [0050] 게이트 절연막(130) 상에는 반도체층(140)이 배치된다. 반도체층(140)은 게이트 전극(124)과 적어도 일부가 중첩될 수 있다. 반도체층(140)은 비정질 규소, 다결정 규소, 또는 산화물 반도체로 형성될 수 있다.
- [0051] 한편, 반도체층(140)은 게이트 전극(124)과 중첩될 뿐만 아니라, 공정 과정에 따라 데이터 라인(162), 소스 전극(165) 및 드레인 전극(166)의 적어도 일부 또는 전부와 중첩되도록 배치될 수도 있다.
- [0052] 도면에는 미도시하였으나, 몇몇 실시예에서 반도체층(140) 위에는 저항성 접촉 부재가 추가로 배치될 수 있다. 상기 저항성 접촉 부재는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 실리콘 등으로 형성되거나 실리사이드(silicide)로 형성될 수 있다. 상기 저항성 접촉 부재는 쌍을 이루어 반도체층(140) 위에 배치될 수 있다. 상기 저항성 접촉 부재는 소스 전극(165), 드레인 전극(166)과 반도체층(140) 사이에서 이들이 저항성 접촉(ohmic contact) 특성을 갖도록 할 수 있다.
- [0053] 반도체층(140) 및 게이트 절연막(130) 상에는 복수의 데이터 라인(162), 소스 전극(165), 및 드레인 전극(166)이 배치된다.
- [0054] 데이터 라인(162)은 제2 방향(D2)으로 연장되어 게이트 라인(122)과 교차할 수 있다.
- [0055] 여기서, 제2 방향(D2)이란 평면 상에서 제1 방향(D1)에 수직으로 교차하는 방향일 수 있으며, 도 1에서 도시된 바와 같이 상측에서 하측을 향하여 연장되는 임의의 직선이 가리키는 방향일 수 있다. 다만, 이에 제한되지는 아니하고, 제2 방향(D2)과 제1 방향(D1)이 형성하는 사이각은 수직이 아닐 수도 있음은 물론이며, 이 경우 제2 방향(D2)은 제1 방향(D1)과 평행하지 않도록 연장되는 임의의 직선이 가리키는 방향일 수도 있다.
- [0056] 데이터 라인(162)은 게이트 절연막(130)에 의하여 게이트 라인(122) 및 게이트 전극(124)과 절연될 수 있다.
- [0057] 데이터 라인(162)은 데이터 신호를 소스 전극(165)으로 제공할 수 있다. 여기서, 상기 데이터 신호는 외부로부터 제공되는 변화하는 전압값을 갖는 신호일 수 있으며, 상기 데이터 신호에 대응하여 각각의 화소(10)의 게조가 제어될 수 있다.
- [0058] 소스 전극(165)은 데이터 라인(162)으로부터 분지되어 적어도 일부가 게이트 전극(124)과 중첩될 수 있다.
- [0059] 드레인 전극(166)은 평면상 반도체층(140)을 사이에 두고 소스 전극(165)으로부터 이격되어 배치될 수 있으며, 적어도 일부가 게이트 전극(124)과 중첩될 수 있다. 도 1에 도시된 바와 같이, 소스 전극(165)은 막대 모양으로 연장되며 드레인 전극(166)과 일정한 간격을 두고 평행하게 이격되어 배치될 수 있다. 다만, 이에 제한되지 아니하고, 소스 전극(165)은 드레인 전극(166)을 'U'자 모양으로 일정한 간격을 사이에 두고 감싸는 형태로 형성될 수도 있다.
- [0060] 한편, 반도체층(140)은 소스 전극(165)과 드레인 전극(166)이 서로 이격되어 형성되는 소스 전극(165)과 드레인 전극(166) 사이의 영역에도 배치될 수 있다. 즉, 소스 전극(165)과 드레인 전극(166)은 부분적으로 반도체층(140)과 중첩되거나 접하되, 반도체층(140)을 사이에 두고 상호 대향 배치될 수 있다.
- [0061] 데이터 라인(162), 소스 전극(165) 및 드레인 전극(166)은 은 알루미늄, 구리, 은, 몰리브덴, 크롬, 티타늄, 탄탈륨 또는 이들의 합금으로 형성될 수 있다. 또한, 이들은 내화성 금속(refractory metal)등의 하부막(미도시)과 그 위에 형성된 저저항 상부막(미도시)으로 이루어진 다층 구조를 가질 수도 있으나 이에 한정되는 것은 아니다.
- [0062] 게이트 전극(124), 반도체층(140), 소스 전극(165) 및 드레인 전극(166)은 박막 트랜지스터(167)를 구성한다.

박막 트랜지스터(167)는 게이트 전극(124)에 제공되는 상기 게이트 신호의 전압값에 대응하여 소스 전극(165)과 드레인 전극(166)을 전기적으로 연결할 수 있다. 구체적으로, 게이트 전극(124)에 제공되는 상기 게이트 신호의 전압값이 박막 트랜지스터(167)를 오프(off)시키는 전압값에 해당하는 경우, 소스 전극(165) 및 드레인 전극(166)은 전기적으로 절연될 수 있다. 반대로, 게이트 전극(124)에 제공되는 상기 게이트 신호의 전압값이 박막 트랜지스터(167)를 온(on)시키는 전압에 해당하는 경우, 소스 전극(165) 및 드레인 전극(166) 사이에 배치되는 반도체층(140)에 형성되는 채널을 통하여 소스 전극(165) 및 드레인 전극(166)이 전기적으로 연결된다.

- [0063] 상기 채널은 반도체층(140) 중 소스 전극(165)과 드레인 전극(166) 사이의 영역에 형성될 수 있다. 즉, 박막 트랜지스터(167)가 온 상태일 경우, 소스 전극(165)과 드레인 전극(166), 사이에 영역에 배치되는 반도체층(140)을 중심으로 상기 채널이 형성되며, 상기 채널을 따라서 소스 전극(165)의 전압이 드레인 전극(166) 측으로 전달될 수 있다. 드레인 전극(166)에 전달된 데이터 신호는 그와 연결된 화소 전극(211)으로 전달된다.
- [0064] 게이트 절연막(130) 및 박막 트랜지스터(167) 상에는 제1 패시베이션막(171)이 배치된다. 제1 패시베이션막(171)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등의 무기절연물질로 이루어질 수 있으며, 박막 트랜지스터(167)를 커버하도록 배치될 수 있다. 제1 패시베이션막(171)은 박막 트랜지스터(167) 상에 배치되는 다른 구성 요소로부터 박막 트랜지스터(167)를 보호할 수 있다.
- [0065] 제1 패시베이션막(171) 상에는 컬러 필터층(181)이 배치된다. 컬러 필터층(181)은 제1 베이스 기판(110)의 외측으로부터 입사되는 빛이 특정 색을 띄도록 할 수 있다.
- [0066] 컬러 필터층(181)은 색을 구현하기 위한 안료가 포함된 감광성 유기 조성물로 이루어질 수 있으며, 적색, 녹색 또는 청색의 안료 중 어느 하나를 포함할 수 있다.
- [0067] 또한, 컬러 필터층(181)은 제1 내지 제3 컬러 필터를 포함할 수 있다. 상기 제1 내지 제3 컬러 필터는 컬러 필터층(181)을 투과하는 광이 각각 적색, 녹색 및 청색을 띄도록 할 수 있으며, 적색, 녹색 및 청색의 안료로 형성될 수 있다.
- [0068] 상기 제1 내지 제3 컬러 필터는 각각 서로 다른 마스크를 이용하여 패터닝 될 수 있다. 따라서, 상기 마스크의 패턴에 따라 화소(10) 단위로 각각 형성될 수 있으며, 하나의 화소(10) 내에서도 컬러 필터층(181)의 상부를 평탄화하지 않고 부분적으로 함몰된 형상을 가질 수 있다. 여기서, 컬러 필터층(181)의 함몰된 부분은 드레인 전극(166)의 일부와 중첩될 수 있으며, 컨택홀(182)을 형성할 수 있다.
- [0069] 컬러 필터층(181) 상에는 제2 패시베이션막(191)이 배치된다. 제2 패시베이션막(191)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등의 무기 절연물질을 포함할 수 있다. 제2 패시베이션막(191)은 컬러 필터층(181)이 들뜨는 것을 방지하고, 컬러 필터층(181)으로부터 유입되는 용제와 같은 유기물에 의해 액정층(300)이 오염되는 것을 억제할 수 있다. 이에 따라, 액정 표시 장치의 구동 시 발생할 수 있는 잔상과 같은 불량을 방지할 수 있다.
- [0070] 제2 패시베이션막(191)의 상부에는 감광층(201)이 배치된다. 감광층(201)은 감광성 수지 조성물로 형성될 수 있다. 상기 감광성 수지 조성물은 소정 파장의 광에 노출되었을 때 중합 반응이나 분해 반응 등이 일어나는 물질이다. 또한, 상기 감광성 수지 조성물은 높은 투과율을 가질 수 있으며, 충분히 얇은 두께로 형성될 경우, 투명성을 가질 수 있다.
- [0071] 감광층(201)은 도 3에 도시된 것과 같이 박막 트랜지스터와 중첩되도록 배치되는 제1 영역(AR1), 컨택홀과 중첩되도록 배치되는 제2 영역(AR2), 제1 및 제2 영역(AR1, AR2)을 제외한 나머지 영역에 대응되는 제3 영역(AR3)을 포함할 수 있다. 특히, 제1 영역(AR1)은 게이트 전극(124)과 중첩되도록 배치될 수 있다.
- [0072] 또한, 감광층(201)은 제1 영역(AR1)에서 제1 두께(dt1)를 갖고, 제2 영역(AR2)의 중심에서 개구되고, 제3 영역(AR3)에서 제1 두께(dt1)보다 작은 제2 두께(dt2)를 가질 수 있다.
- [0073] 이러한 감광층(201)의 영역별 두께 차이에 의하여, 제2 표시 기판(400)은 제1 표시 기판(100)과 일정한 간격을 두고 배치될 수 있으며, 사이에 액정층(300)이 배치될 수 있다. 즉, 감광층(201)은 제1 영역(AR1)에서 스페이서 역할을 수행할 수 있다. 따라서, 감광층(201)은 제1 영역(AR1)에서 제2 표시 기판(400)과 접하도록 배치될 수 있으며, 제1 표시 기판(100)과 제2 표시 기판(400)은 제1 두께(dt1)만큼 이격되어 셀갯을 형성할 수 있다. 감광층(201)의 제1 영역(AR1)에 의하여 이격된 제1 표시 기판(100)과 제2 표시 기판(400) 사이에는 액정(310)이 주입될 수 있으며, 액정층(300)을 형성할 수 있다.
- [0074] 또한, 감광층(201)은 제2 영역(AR2)의 중심에서 개구될 수 있다. 전술한 바와 같이, 제2 영역(AR2)은 컨택홀

(182)과 중첩하도록 배치될 수 있다. 컨택홀(182)은 하부에 배치되는 드레인 전극(166)과 상부에 배치되는 화소 전극(211)을 서로 물리적으로 연결하는데, 드레인 전극(166)과 화소 전극(211) 사이에는 제2 패시베이션막(191) 및 감광층(201)이 배치된다. 이에 따라, 드레인 전극(166)과 화소 전극(211)의 물리적인 연결을 위하여, 감광층(201)은 제2 영역(AR2)의 중심에서 개구될 수 있으며, 제2 패시베이션막(191) 또한 제2 영역(AR2)의 중심에서 개구될 수 있다.

- [0075] 한편, 컨택홀(182)의 측벽은 제2 패시베이션막(191) 및 감광층(201)에 의하여 커버될 수 있다. 구체적으로, 컬러 필터층(181)의 상기 함몰부의 측벽을 제2 패시베이션막(191)이 커버하도록 배치되어 컬러 필터층(181)으로부터 유입되는 용제 등을 억제할 수 있으며, 제2 패시베이션막(191)은 다시 감광층(201)에 의하여 커버되어 컬러 필터층(181)으로부터 유입되는 용제 등을 억제하는 효과를 극대화할 수 있다.
- [0076] 또한, 감광층(201)은 제2 패시베이션막(191)에 개구부를 형성하는 공정 과정에 필수적인 구성임에도 불구하고, 제1 표시 기관(100)과 제2 표시 기관(400)의 간격을 유지하는 기능도 수행하는 바, 액정 표시 장치의 제조 비용이 절감될 수 있다. 이에 대한 구체적인 사항은 후술하기로 한다.
- [0077] 감광층 상에는 화소 전극(211)이 배치된다. 화소 전극(211)은 컨택홀(182)을 통해 드레인 전극(166)과 물리적으로 연결되어 드레인 전극(166)으로부터 전압을 제공받을 수 있다. 특히, 컨택홀(182)이 배치되는 영역에서, 화소 전극(211)은 컨택홀(182)의 측벽을 커버하도록 배치되는 감광층(201)을 커버하도록 배치될 수 있다.
- [0078] 화소 전극(211)은 줄기부(212) 및 줄기부(212)로부터 방사형으로 돌출되어 연장된 복수의 가지부(213)들을 포함할 수 있으며, 주로 액티브 영역(미도시)에 배치된다.
- [0079] 여기서, 상기 액티브 영역이란 제1 표시 기관(100)의 하부로부터 입사된 빛이 제2 표시 기관(400)의 상부로 투과되는 영역일 수 있다. 액정 표시 장치는 상기 액티브 영역에서 투과되는 광의 편광 및 파장을 제어할 수 있으며, 이에 따라 각각의 화소(10)가 색을 구현할 수 있다.
- [0080] 줄기부(212)는 다양한 형상으로 형성될 수 있다. 예시적으로, 도 1에 도시된 바와 같이 줄기부(212)는 십자 형상을 가질 수 있다. 이러한 경우, 상기 액티브 영역은 줄기부(212)에 의해 4개의 도메인들로 구분될 수 있다.
- [0081] 가지부(213)들은 각 도메인에 대응되어, 각 도메인마다 서로 다른 방향으로 연장될 수 있다. 가지부(213)들은 줄기부(212)에 의해 구획된 각각의 도메인 내에서 서로 평행하게 연장되며 서로 이격되어 배열된다. 서로 인접한 가지부(213)들은 마이크로미터 단위의 거리로 서로 이격되어 복수의 미세 슬릿(214)들을 형성할 수 있다.
- [0082] 화소 전극(211)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(Al-doped Zinc Oxide) 등의 투명 도전성 물질로 이루어질 수 있다.
- [0083] 한편, 도시되지는 않았으나, 화소 전극(211) 상에는 제1 배향막이 배치될 수 있다. 상기 제1 배향막은 액정층(300)에 주입되는 액정(310)의 초기 배향 각도를 제어할 수 있으며, 상기 제1 배향막은 생략될 수도 있다.
- [0084] 이하, 제2 표시 기관(400)에 대해 설명한다.
- [0085] 제2 표시 기관(400)은 제2 베이스 기관(410), 차광 부재(420), 오버코트층(430) 및 공통 전극(440)을 포함할 수 있다.
- [0086] 제2 베이스 기관(410)은 제1 베이스 기관(110)에 대향하여 배치된다. 제2 베이스 기관(410)은 외부로부터의 충격을 견뎌낼 수 있는 내구성을 가질 수 있다. 제2 베이스 기관(410)은 투명 절연 기관일 수 있다. 예를 들면, 제2 베이스 기관(410)은 유리 기관, 석영 기관, 투명 수지 기관 등으로 이루어질 수 있다. 제2 베이스 기관(410)은 평탄한 평판형일 수 있지만, 특정 방향으로 커브드될 수도 있다.
- [0087] 제2 베이스 기관(410) 상(도면상으로, 하부)에는 차광 부재(420)가 배치된다. 차광 부재(420)는 게이트 라인(122), 데이터 라인(162), 박막 트랜지스터(167) 및 컨택홀(182)을 오버랩하도록, 즉 상기 액티브 영역 이외의 영역을 오버랩하도록 배치될 수 있으며, 상기 액티브 영역 이외의 영역에서의 빛의 투과를 차단할 수 있다.
- [0088] 제2 베이스 기관(410) 및 차광 부재 상(도면상으로, 하부)에는 오버코트층(430)이 배치된다. 오버코트층(430)은 차광 부재(420)로 인하여 발생한 단차를 감소시키는 역할을 할 수 있다. 몇몇 실시예에서 오버코트층(430)은 생략될 수도 있다.
- [0089] 오버코트층(430) 상(도면상으로, 하부)에는 공통 전극(440)이 배치된다. 공통 전극(440)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(Al-doped Zinc Oxide) 등의 투명 도전성

물질로 이루어질 수 있다. 공통 전극(440)은 제2 베이스 기관(410)의 전면에 걸쳐 형성될 수 있다. 공통 전극(440)에는 외부로부터 제공되는 공통 신호가 인가되어 화소 전극(211)과 함께 전계를 형성할 수 있다.

- [0090] 한편, 도시되지는 않았으나 공통 전극(440) 상(도면상으로, 하부)에는 제2 배향막이 추가로 배치될 수도 있다. 상기 제2 배향막은 전술한 상기 제1 배향막과 유사한 기능을 할 수 있다. 즉, 상기 제2 배향막은 액정층(300)에 배치되는 액정(310)의 초기 배향을 제어할 수 있다.
- [0091] 액정층(300)은 유전율 이방성 및 굴절율 이방성을 가지는 복수의 액정(310)을 포함할 수 있다. 액정(310)은 제1 표시 기관(100)과 제2 표시 기관(400) 사이에서 상기 두 기관에 수직한 방향으로 배열되는 수직 배향형이거나, 수평으로 배열되는 수평 배향형일 수 있다. 제1 표시 기관(100)과 제2 표시 기관(400) 사이에 전계가 인가되면 액정(310)이 제1 표시 기관(100)과 제2 표시 기관(400) 사이에서 특정 방향으로 회전하거나 기울어짐으로써 빛의 편광을 변화시킬 수 있다.
- [0092] 이하, 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법에 대하여 설명하기로 한다.
- [0093] 도 4 내지 도 7은 본 발명의 일 실시예에 따른 액정 표시 장치의 제조공정을 설명하기 위해 도시한 공정도들이다. 여기서, 도 4 내지 도 7은 각각의 제조공정에서 도 1의 I-I'선을 따라 절단한 단면도이다.
- [0094] 도 4는 제1 베이스 기관(110) 상에 제1 내지 제5 마스크 공정까지 완료된 후 제2 패시베이션막(191)까지 형성된 상태를 도시한다.
- [0095] 도 4를 참조하면, 그 과정을 구체적으로 설명하면, 먼저 제1 베이스 기관(110)을 제공한다.
- [0096] 다음으로, 제1 베이스 기관(110) 상에 게이트 라인(122) 및 게이트 전극(124)을 형성한다. 게이트 라인(122) 및 게이트 전극(124)은 제1 마스크 공정에 의하여 형성된다. 이하의 명세서에서, "마스크 공정"이라 함은 포토 마스크를 이용한 패터닝 공정을 의미한다. 하나의 단위 마스크 공정은 노광과 현상 공정을 포함하며, 식각 공정을 더 포함할 수도 있다.
- [0097] 다음으로, 게이트 절연막(130)을 형성한다. 게이트 절연막(130)은 실리콘 질화물, 실리콘 산화물 또는 이들의 적층막일 수 있으며, 화학기상증착법 또는 스퍼터링법에 의하여 형성될 수 있다.
- [0098] 다음으로, 반도체층(140), 데이터 라인(162), 소스 전극(165) 및 드레인 전극(166)을 형성한다. 반도체층(140), 데이터 라인(162), 소스 전극(165) 및 드레인 전극(166)은 제2 마스크 공정에 의하여 형성된다. 여기서, 제2 마스크 공정은 제1 마스크 공정과는 달리, 하프톤 마스크를 사용하여 노광 단계에서 영역별로 빛이 조사되는 양을 다르게 할 수 있다. 즉, 반도체층(140)이 배치되는 영역과, 데이터 라인(162), 소스 전극(165) 및 드레인 전극(166)이 배치되는 영역과, 반도체층(140), 데이터 라인(162), 소스 전극(165) 및 드레인 전극(166) 중 아무것도 배치되지 않는 영역간 빛이 조사되는 양을 서로 다르게 할 수 있다.
- [0099] 다음으로, 제1 패시베이션막(171)을 형성한다. 제1 패시베이션막(171)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등의 무기절연물질로 이루어질 수 있으며, 화학기상증착법 또는 스퍼터링법에 의하여 형성될 수 있다.
- [0100] 다음으로, 컬러 필터층(181)을 형성한다. 컬러 필터층(181)은 상기 제1 내지 제3 컬러 필터로 구성되며, 이들 각각은 서로 다른 마스크 공정에 의하여 형성될 수 있다. 즉, 상기 제1 컬러 필터는 제3 마스크 공정에 의하여 형성되며, 상기 제2 컬러 필터는 제4 마스크 공정에 의하여 형성되고, 상기 제3 컬러 필터는 제5 마스크 공정에 의하여 형성될 수 있다.
- [0101] 다음으로, 제2 패시베이션막(191)을 형성한다. 제2 패시베이션막(191)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등의 무기절연물질로 이루어질 수 있으며, 화학기상증착법 또는 스퍼터링법에 의하여 형성될 수 있다.
- [0102] 이후, 감광층(201) 및 컨택홀(182)을 형성한다. 이는 도 5 내지 도 7에 의하여 더욱 구체적으로 설명된다.
- [0103] 감광층(201) 및 컨택홀(182)을 형성하기 위하여, 먼저, 도 5에 도시된 바와 같이 제2 패시베이션막(191) 상부에 감광성 수지 조성물층(202)을 형성한다. 전술한 바와 같이, 상기 감광성 수지 조성물은 소정 파장의 광에 노출되었을 때 중합 반응이나 분해 반응 등이 일어나는 물질이다. 상기 감광성 수지 조성물은 노광에 의해 약품에 불용성이 되는 네거티브형과, 노광에 의해 약품에 가용성이 되는 포지티브형이 있으며, 둘 중 어느것을 선택하여도 무방하다. 본 실시예에서는, 네거티브형을 이용하여 감광층(201) 및 컨택홀(182)을 형성하는 방법을 예시하였다.
- [0104] 감광성 수지 조성물층(202)은 컬러 필터층(181)의 상기 함몰부를 채울 정도로 충분한 두께로 형성될 수 있다.



- [0105] 다음으로, 도 6에 도시된 바와 같이, 하프톤 마스크(MSK)(또는 슬릿 마스크)를 이용하여 감광성 수지 조성물층(202)을 노광하고, 노광된 감광성 수지 조성물층(202)을 현상하여 일부를 제거한다.
- [0106] 구체적으로, 하프톤 마스크(MSK)는 제1 영역(AR1)에 대응하여 제1 투과부(T1)가 배치되고, 제2 영역(AR2)에 대응하여 제2 투과부(T2)가 배치되며, 제3 영역(AR3)에 대응하여 제3 투과부(T3)가 배치된다.
- [0107] 여기서, 제1 투과부(T1)는 제3 투과부(T3)보다 더 많은 광을 투과시키고, 제3 투과부(T3)는 제2 투과부(T2)보다 더 많은 광을 투과시킬 수 있다. 따라서, 하프톤 마스크(MSK)의 전면에 걸쳐 상부로부터 동일한 양의 광이 조사된다고 하더라도, 하프톤 마스크(MSK)의 아래로 투과되는 광은 제1 영역(AR1)에서 가장 크고, 제2 영역(AR2)에서 가장 작을 수 있다.
- [0108] 본 실시예에서는, 하프톤 마스크(MSK)의 제1 투과부(T1)는 빛을 모두 투과시키도록 완전히 개구된 것으로 도시하였고, 제2 투과부(T2)는 빛을 완전히 차단하도록 막힌 것으로 도시하였으며, 제3 투과부(T3)는 빛을 일부 차단하도록 부분적으로 개구된 것으로 도시하였다. 이는 예시적인 것이며, 각각의 제1 내지 제3 투과부(T1, T2, T3)의 광 투과율은 독립적으로 조절될 수 있다.
- [0109] 이러한 하프톤 마스크(MSK)를 사용하여 노광한 이후, 감광성 수지 조성물층(202)의 경화된 영역을 제외한 나머지 영역을 제거하는 현상이 수행된다. 이 때, 가장 많은 빛이 조사된 제1 영역(AR1)에 배치되는 감광성 수지 조성물층(202)은 제3 두께(dt3)로 잔류하고, 가장 적은 빛이 조사된 제2 영역(AR2)에 배치되는 감광성 수지 조성물층(202)은 개구되고, 제1 영역(AR1)보다는 적고 제2 영역(AR2)보다는 많은 빛이 조사된 제3 영역(AR3)에 배치되는 감광성 수지 조성물층(202)은 제4 두께(dt4)로 잔류한다. 여기서, 제3 두께(dt3)는 제4 두께(dt4)보다 큰 값을 갖는다.
- [0110] 다음으로, 도 7에 도시된 바와 같이, 감광성 수지 조성물층(202)의 개구된 부분을 통하여 상부로 드러난 제2 패시베이션막(191)의 일부를 제거하는 식각 공정을 진행한다. 식각 공정이 수행됨에 따라 드레인 전극(166)의 일부가 상부로 노출되어 컨택홀(182)이 형성될 수 있다.
- [0111] 다만, 식각이 수행됨에 따라 감광성 수지 조성물층(202) 또한 일부 제거되어, 감광층(201)을 형성할 수 있다. 감광층(201)은, 식각이 수행되기 이전의 감광성 수지 조성물층(202)의 단차를 반영할 수 있다. 이에 따라, 감광층(201)은 제1 영역(AR1)에서 제1 두께(dt1)를 갖도록 형성되며, 제3 영역(AR3)에서 제2 두께(dt2)를 갖도록 형성될 수 있고, 제2 두께(dt2)보다 제1 두께(dt1)가 큰 값을 가짐은 전술한 바와 동일하다.
- [0112] 여기서, 제1 영역(AR1)에서 제1 두께(dt1)를 갖는 감광층(201)과 컨택홀(182)은 동일한 마스크 공정을 통하여 동시에 형성되므로, 제1 표시 기관(100)과 제2 표시 기관(400)을 이격시키기 위한 구성 요소를 별도로 형성하는 경우에 비하여 액정 표시 장치의 제조 비용이 절감할 수 있는 이점이 있다.
- [0113] 도 5 내지 도 7에 도시된 바와 같이 감광층(201) 및 컨택홀(182)을 형성한 이후에는, 제7 마스크 공정에 의하여 화소 전극(211)을 형성한다.
- [0114] 이러한 과정을 통하여 도 2에 도시된 것과 같은 본 발명의 일 실시예에 따른 액정 표시 장치의 제1 표시 기관(100)을 제작할 수 있다.
- [0115] 도 8은 도 1에 도시된 액정 표시 장치의 일 화소의 다른 실시예를 I-I'선을 따라 절단한 단면도이고, 도 9는 도 8에 도시된 액정 표시 장치의 일 화소에서, 데이터 라인, 게이트 라인, 박막 트랜지스터, 컨택홀, 제1 및 제2 감광성 조성물 패턴 간의 예시적 배치관계를 도시한 평면도이다.
- [0116] 본 실시예에 포함된 구성 중 전술한 실시예에서 이미 설명한 구성과 동일한 구성에 대하여는 동일한 참조 번호로서 지칭하며, 중복 설명은 생략하거나 간략화하기로 하고, 차별점을 갖는 구성을 위주로 설명하기로 한다.
- [0117] 도 8 및 도 9를 참조하면, 도 2에 도시된 실시예에 따른 액정 표시 장치의 감광층(201) 대신, 제1 감광성 조성물 패턴(501) 및 제2 감광성 조성물 패턴(502)이 배치된다.
- [0118] 제1 감광성 조성물 패턴(501)은 제2 패시베이션막(191)의 상부에 배치되며, 제2 표시 기관(400)과 접하도록 배치될 수 있다. 즉, 제1 감광성 조성물 패턴(501)은 스페이서 역할을 수행할 수 있다. 따라서, 제1 표시 기관(100)과 제2 표시 기관(400)은 제1 감광성 조성물 패턴(501)에 의하여 접하는 부분을 제외하고, 일정한 간격을 두고 이격되도록 배치될 수 있으며, 사이에 액정층(300)이 배치될 수 있다.
- [0119] 제1 감광성 조성물 패턴(501)은 박막 트랜지스터(167)와 중첩되도록 배치될 수 있으며, 특히 게이트 전극(124)과 중첩되도록 배치될 수 있다. 결과적으로, 제1 감광성 조성물 패턴(501)은 도 3에 도시된 제1 영역(AR1)과 중

칩되도록 배치될 수 있다.

- [0120] 또한, 제1 감광성 조성물 패턴(501)은 제5 두께(dt5)를 가질 수 있다. 이는 도 2의 제1 영역(AR1)에 배치되는 감광층(201)의 두께인 제1 두께(dt1)보다 작을 수 있다. 이러한 두께 관계는 제1 감광성 조성물 패턴(501)의 제조 공정에 기인할 수 있으며, 이에 대하여는 후술하기로 한다.
- [0121] 제2 감광성 조성물 패턴(502)은 제2 패시베이션막(191)의 상부에 배치되되, 제1 패시베이션막(171) 및 컬러 필터층(181)을 관통하는 컨택홀(182)의 측벽 일부를 커버하도록 배치된다. 본 실시예에서는, 제2 감광성 조성물 패턴(502)이 컨택홀(182) 측벽의 모든 면적을 커버하도록 도시되었으나, 이는 예시적인 것이며, 이에 제한되지 않는다. 즉, 제2 감광성 조성물 패턴(502)은 도 8에 도시된 컨택홀(182)의 좌측 측벽만을 커버하도록 배치될 수도 있으며, 반대로 우측 측벽만을 커버하도록 배치될 수도 있다. 나아가, 도 8에 도시된 컨택홀(182)의 측벽의 중단 일부만을 커버하도록 배치될 수도 있으며, 하단 일부만을 커버하도록 배치될 수도 있다. 또한, 각각의 화소(10)에 형성되는 제2 감광성 조성물 패턴(502)은 서로 상이한 모양을 가질 수도 있으며, 그 예시적인 형태는 상술한 바와 같다.
- [0122] 컨택홀(182)의 측벽을 따라 배치되어 드레인 전극(166)과 접하는 화소 전극(211)은 제2 감광성 조성물 패턴(502)의 상부에 배치될 수 있으며, 제2 감광성 조성물 패턴(502)의 표면 단차가 반영될 수 있다.
- [0123] 도 10은 제1 감광성 조성물 패턴 및 제2 감광성 조성물 패턴을 형성하기 위하여 애싱이 수행되는 과정을 나타낸 공정도이다.
- [0124] 도 9를 참조하면, 본 실시예에 따른 제1 및 제2 감광성 조성물 패턴(501, 502)은 도 4 내지 도 7에 도시된 공정 과정에 따라 형성된 감광층(201)에, 애싱을 추가적으로 수행함으로써 형성된다.
- [0125] 애싱은 식각이 수행된 이후 잔류하는 상기 감광성 수지 조성물을 제거하는 공정으로, 제1 영역(AR1)과 제2 영역(AR2)을 제외한 나머지 영역에서 제2 패시베이션막(191)이 상부로 노출될 정도로 진행된다. 이에 따라, 상기 액티브 영역을 포함하는 제3 영역(AR3)에서는, 상기 감광성 수지 조성물이 잔류하지 않으므로, 더 높은 투과율을 얻어낼 수 있다. 또한, 이러한 공정에 의하더라도, 컨택홀(182)과 제1 감광성 조성물 패턴(501)은 하나의 마스크 공정에 의하여 형성되므로, 제1 감광성 조성물 패턴(501)과 동일한 기능을 수행하는 구성을 별도로 형성하는 경우에 비하여 액정 표시 장치의 제조 비용이 절감될 수 있다.
- [0126] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

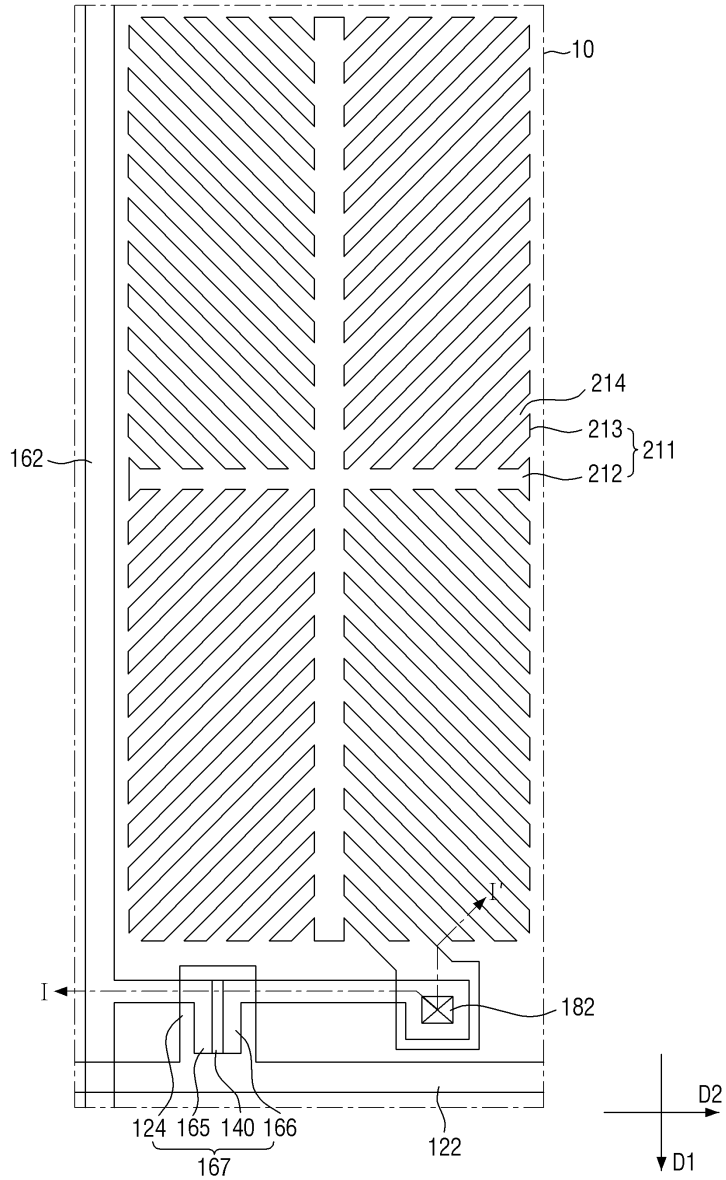
## 부호의 설명

- [0127] 10: 화소
- 100: 제1 표시 기관
- 300: 액정층
- 400: 제2 표시 기관
- 171: 제1 패시베이션막
- 181: 컬러 필터층
- 182: 컨택홀
- 191: 제2 패시베이션막
- 201: 감광층
- 211: 화소 전극
- AR1: 제1 영역
- AR2: 제2 영역

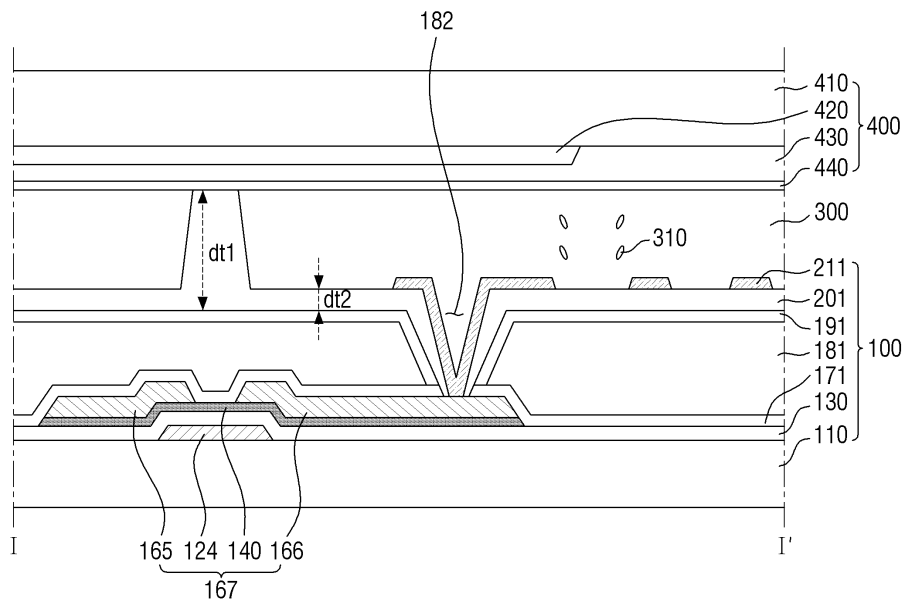
AR3: 제3 영역

도면

도면1

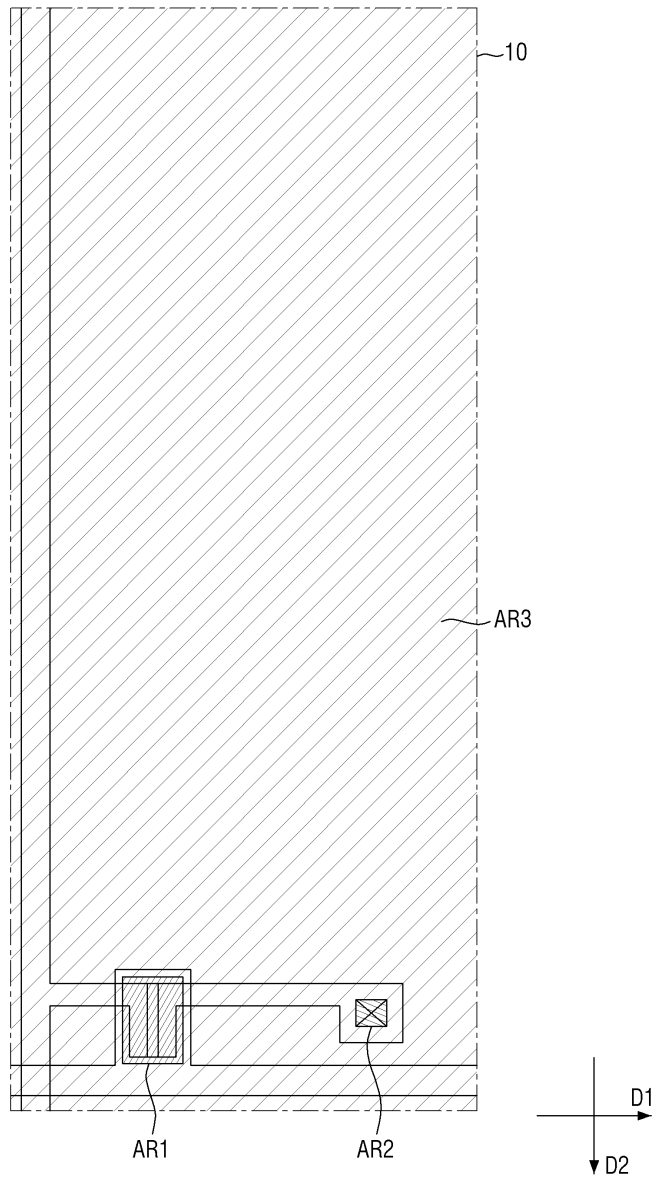


도면2

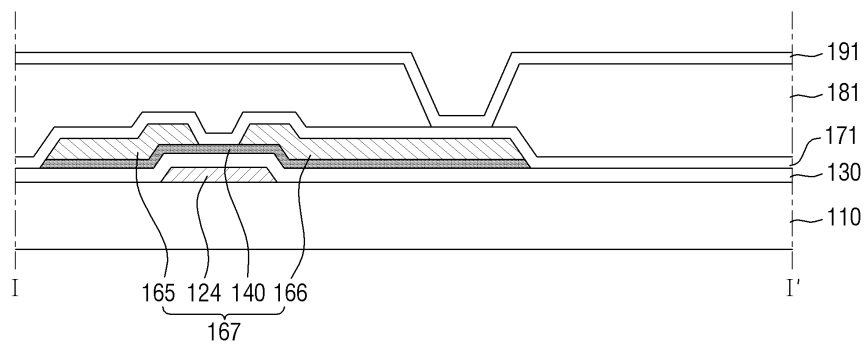




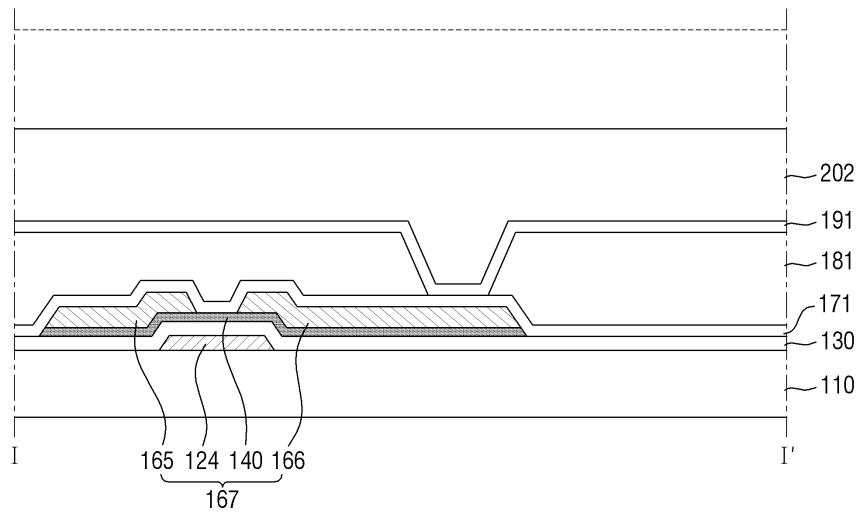
도면3



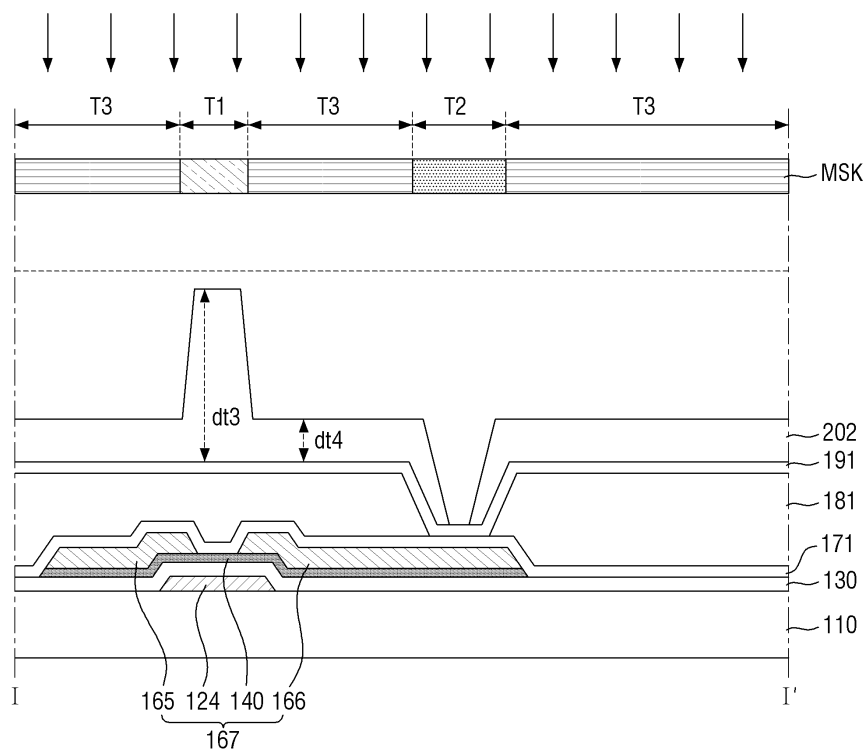
도면4



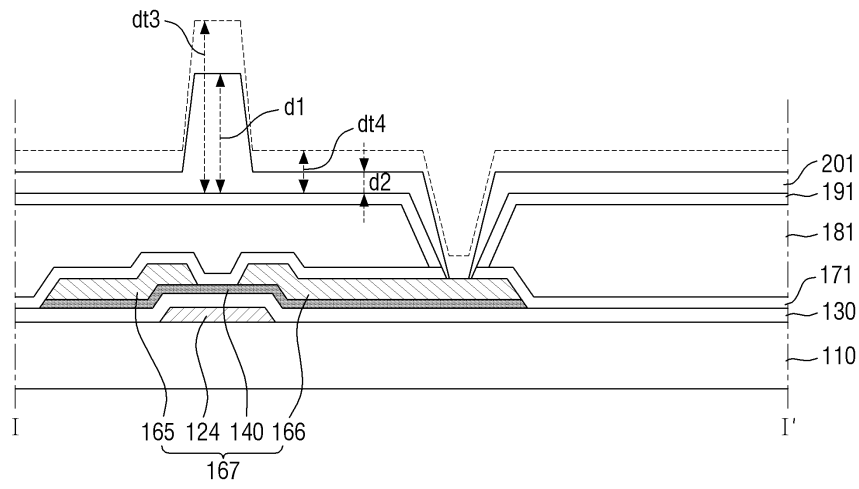
도면5



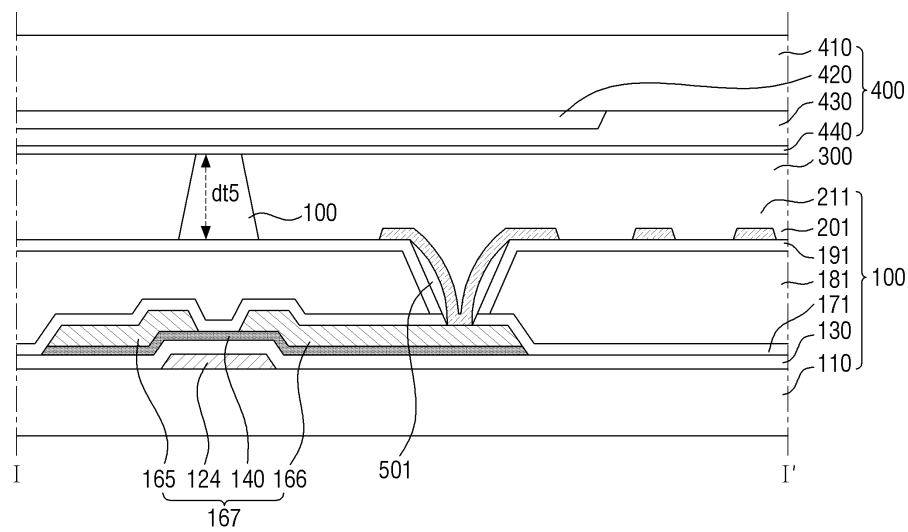
도면6



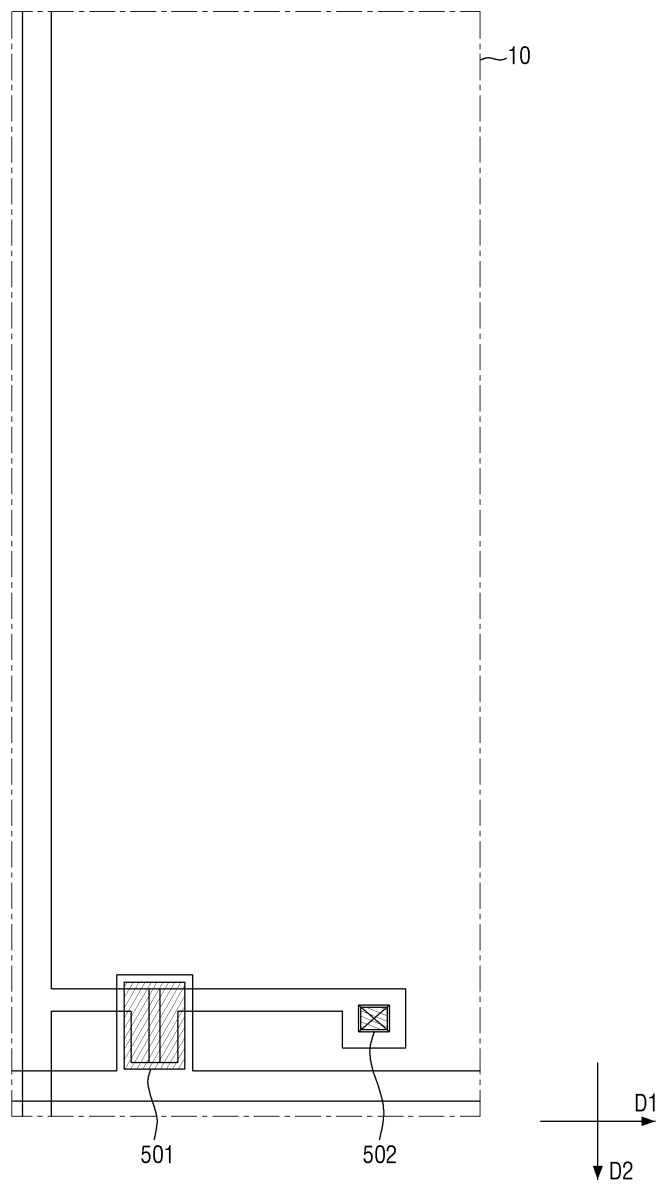
도면7



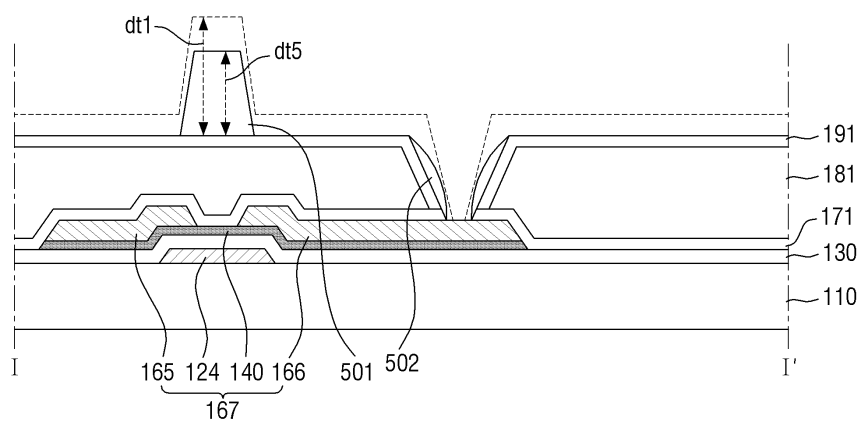
도면8



도면9



도면10



|                |                                                                                                            |         |            |
|----------------|------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 标题：显示基板及其制造方法                                                                                              |         |            |
| 公开(公告)号        | <a href="#">KR1020170116274A</a>                                                                           | 公开(公告)日 | 2017-10-19 |
| 申请号            | KR1020160043240                                                                                            | 申请日     | 2016-04-08 |
| [标]申请(专利权)人(译) | 三星显示有限公司                                                                                                   |         |            |
| 申请(专利权)人(译)    | 三星显示器有限公司                                                                                                  |         |            |
| [标]发明人         | KIM DUK SUNG<br>김덕성<br>KIM HYUK JIN<br>김혁진<br>OH IK HAN<br>오익한<br>JUNG YOUNG MIN<br>정영민                    |         |            |
| 发明人            | 김덕성<br>김혁진<br>오익한<br>정영민                                                                                   |         |            |
| IPC分类号         | G02F1/1339                                                                                                 |         |            |
| CPC分类号         | G02F1/13394 G02F1/136 G02F1/133345 G02F1/133371 G02F2001/13625 G02F1/136227 G02F2001/13398 G02F2001/136222 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                  |         |            |

# 摘要(译)

提供了一种液晶显示装置和制造液晶显示装置的方法。液晶显示器具有薄膜晶体管，设置在第一基板上，第一基板设置为滤色器层，设置在薄膜晶体管上，感光层设置在滤色器层上，感光层设置在滤色器层上，光敏层上布置有第二厚度，第二厚度包括通过穿过光敏层的接触孔连接到薄膜晶体管的像素电极，光敏层包括第一区域，与薄膜晶体管重叠，第二部分与第二部分重叠接触孔和除第一和第二区域之外的剩余区域的第三区域和感光层在第一区域中具有第一厚度并且在第二区域的中心开口并且小于第一区域中的第一厚度。第三个地区。

