



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0084417
(43) 공개일자 2017년07월20일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/133 (2006.01)
G02F 1/1335 (2006.01) G02F 1/1362 (2006.01)
G02F 1/1368 (2006.01)

(52) CPC특허분류

G02F 1/134336 (2013.01)
G02F 1/133 (2013.01)

(21) 출원번호 10-2016-0003346

(22) 출원일자 2016년01월11일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

임완순

충청남도 천안시 서북구 충무로 124-25, 202동 201호

송영구

충청남도 아산시 탕정면 탕정면로 37, 104동 605호

(뒷면에 계속)

(74) 대리인

박영우

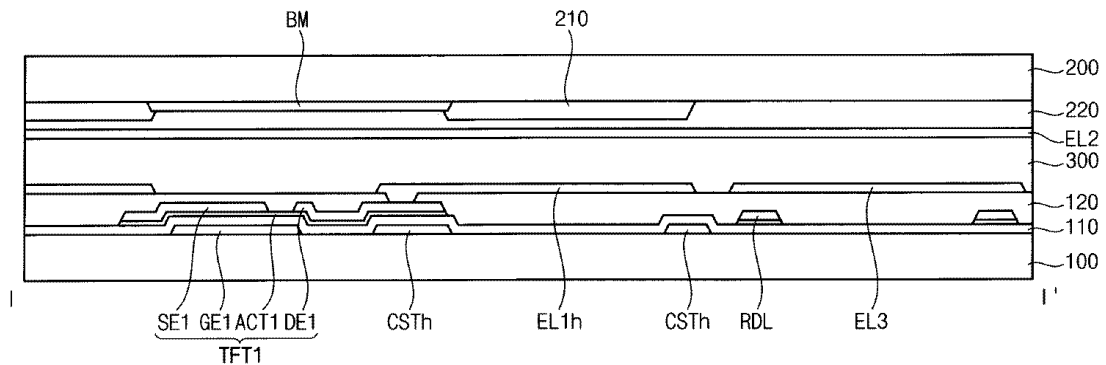
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 패널 및 이의 제조 방법

(57) 요약

표시 패널은 제1 베이스 기판, 게이트 라인 및 데이터 라인, 상기 제1 베이스 기판 상에 배치되고 상기 게이트 라인 및 상기 데이터 라인과 전기적으로 연결된 박막 트랜지스터, 상기 박막 트랜지스터와 전기적으로 연결되는 제1 전극, 상기 제1 전극과 이격되어 배치되고 상기 데이터 라인의 보다 넓은 면적을 갖는 제3 전극, 상기 제1 전극 및 상기 제2 전극과 마주보는 제2 전극, 및 상기 제1 및 제3 전극들과 상기 제2 전극 사이에 배치되는 액정 층을 포함한다. 이에 따라, 상기 표시 패널은 필요에 따라 투명 디스플레이 또는 일반 디스플레이를 구현할 수 있다.

대표도



(52) CPC특허분류

G02F 1/133514 (2013.01)

G02F 1/136209 (2013.01)

G02F 1/1368 (2013.01)

(72) 발명자

윤여건

경기도 수원시 장안구 파장로6번길 11

주장복

경기도 성남시 분당구 내정로 55, 315동 1902호

명세서

청구범위

청구항 1

제1 베이스 기관;

게이트 라인 및 데이터 라인;

상기 제1 베이스 기관 상에 배치되고 상기 게이트 라인 및 상기 데이터 라인과 전기적으로 연결된 박막 트랜지스터;

상기 박막 트랜지스터와 전기적으로 연결되는 제1 전극;

평면상에서 상기 제1 전극과 이격되어 배치되는 제3 전극;

상기 제1 전극 및 상기 제3 전극과 마주보고, 상기 데이터 라인을 제1 방향으로 완전히 중첩하는 제2 전극; 및
상기 제1 및 제3 전극들과 상기 제2 전극 사이에 배치되는 액정층을 포함하는 표시 패널.

청구항 2

제1 항에 있어서,

상기 제3 전극에 온 전압이 인가되는 경우, 상기 제3 전극과 상기 제2 전극 사이의 상기 액정층의 부분이 광을 투과시키고,

상기 제3 전극에 오프 전압이 인가되는 경우, 상기 제3 전극과 상기 제2 전극 사이의 상기 액정층의 상기 부분은 광을 차단시키는 것을 특징으로 하는 표시 패널.

청구항 3

제2 항에 있어서,

상기 제2 전극에는 공통 전압이 인가되고,

상기 오프 전압과 공통 전압의 차는 1.5볼트(V) 이하인 것을 특징으로 하는 표시 패널.

청구항 4

제2 항에 있어서,

상기 제3 전극에 상기 온 전압과 상기 오프 전압의 사이 값을 갖는 전압이 인가되는 것을 특징으로 하는 표시 패널.

청구항 5

제1 항에 있어서,

상기 제3 전극의 일부는 상기 데이터 라인과 중첩하는 것을 특징으로 하는 표시 패널.

청구항 6

제1 항에 있어서,

상기 제3 전극은 화소 내에서 박막 트랜지스터와 전기적으로 연결되지 않는 것을 특징으로 하는 표시 패널.

청구항 7

제1항에 있어서,

상기 제1 전극과 중첩하고, 상기 제3 전극과 중첩하지 않는 컬러 필터를 더 포함하는 것을 특징으로 하는 표시

패널.

청구항 8

제1 항에 있어서,

상기 제1 전극과 상기 제3 전극은 동일한 물질을 포함하는 것을 특징으로 하는 표시 패널.

청구항 9

제8 항에 있어서,

상기 제1 전극과 상기 제3 전극은 동일한 평면 상에 배치되는 것을 특징으로 하는 표시 패널.

청구항 10

제1 항에 있어서,

상기 박막 트랜지스터와 중첩하는 차광 패턴을 더 포함하는 것을 특징으로 하는 표시 패널.

청구항 11

제10 항에 있어서,

상기 차광 패턴은 이웃하는 화소의 차광 패턴과 연결되지 않고 이격되어 배치되는 것을 특징으로 하는 표시 패널.

청구항 12

제1 항에 있어서,

상기 제1 전극은 제1 하이 전극과 제1 로우 전극을 포함하고, 상기 박막 트랜지스터는 제1 박막 트랜지스터 및 제2 박막 트랜지스터를 포함하고,

상기 제1 하이 전극은 상기 제1 박막 트랜지스터와 전기적으로 연결되고, 상기 제1 로우 전극은 상기 제2 박막 트랜지스터와 전기적으로 연결되는 것을 특징으로 하는 표시 패널.

청구항 13

제12 항에 있어서,

제3 박막 트랜지스터 및 상기 데이터 라인과 평행하게 연장되는 분압 기준 전압 라인을 더 포함하고,

상기 제3 박막 트랜지스터는 상기 분압 기준 전압 라인 및 상기 제2 박막 트랜지스터와 전기적으로 연결되고,

상기 분압 기준 전압 라인에는 분압 기준 전압이 인가되는 것을 특징으로 하는 표시 패널.

청구항 14

제12 항에 있어서,

상기 분압 기준 전압 라인은 상기 제1 하이 전극 및 상기 제1 로우 전극과 중첩하지 않는 것을 특징으로 하는 표시 패널.

청구항 15

제1 항에 있어서,

상기 제3 전극은 제1 방향으로 연장되는 제1 줄기, 상기 제1 방향과 교차하는 제2 방향으로 연장되는 제2 줄기 및 상기 제1 또는 제2 줄기로부터 상기 제1 및 제2 방향과 경사진 방향으로 연장되어 복수의 슬릿들을 형성하는 복수의 슬릿부들을 포함하는 것을 특징으로 하는 표시 패널.

청구항 16

제1 항에 있어서,

상기 제3 전극은 상기 게이트 라인과 평행한 방향으로 연장되는 연결 전극을 포함하고, 상기 연결 전극은 이웃하는 화소의 제3 전극과 연결되는 것을 특징으로 하는 표시 패널.

청구항 17

제1 항에 있어서,

상기 제3 전극은 상기 박막 트랜지스터와 중첩하는 것을 특징으로 하는 표시 패널.

청구항 18

제1 베이스 기관 상에 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터 상에 투명 도전 물질을 포함하는 화소 전극층을 형성한 후, 상기 화소 전극층을 패터닝하여 상기 박막 트랜지스터와 전기적으로 연결되는 제1 전극 및 상기 제1 전극과 이격되어 배치되는 제3 전극을 형성하는 단계;

제2 베이스 기관 상에 상기 제1 전극 및 상기 제3 전극과 마주보는 제2 전극을 형성하는 단계;

상기 제2 베이스 기관 상에 상기 제1 전극과 중첩하는 컬러 필터를 형성하는 단계; 및

상기 제1 베이스 기관과 상기 제2 베이스 기관 사이에 액정층을 형성하는 단계를 포함하는 표시 패널의 제조 방법.

청구항 19

제18 항에 있어서,

상기 제1 전극과 중첩하고 상기 제3 전극과 중첩하지 않는 컬러 필터를 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 패널의 제조 방법.

청구항 20

데이터 라인 및 게이트 라인과 전기적으로 연결되는 제1 전극;

투명 모드 또는 일반 모드에 따라 서로 다른 전압이 인가되는 제3 전극;

상기 제1 전극과 상기 제3 전극을 마주보고 공통 전압이 인가되는 제2 전극; 및

상기 제1 및 제3 전극들과 상기 제2 전극 사이에 배치되는 액정층을 포함하고,

상기 투명 모드에서는 영상을 표시하면서 투명한 디스플레이로 작동되고,

상기 일반 모드에서는 영상을 표시하고 투명하지 않은 디스플레이로 작동되는 것을 특징으로 하는 표시 패널.

발명의 설명

기술 분야

[0001] 본 발명은 표시 패널 및 상기 표시 패널의 제조 방법에 관한 것으로, 보다 상세하게는 투명 표시 패널 및 상기 투명 표시 패널의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근 들어, 기술의 발전에 힘입어 소형, 경량화 되면서 성능은 더욱 뛰어난 디스플레이 제품들이 생산되고 있다. 지금까지 디스플레이 장치에는 기존 브라운관 텔레비전(cathode ray tube: CRT)이 성능이나 가격 면에서 많은 장점을 가지고 널리 사용되었으나, 소형화 또는 휴대성의 측면에서 CRT의 단점을 극복하고, 소형화, 경량화 및 저전력 소비 등의 장점을 갖는 액정 표시 장치가 주목을 받고 있다.

[0003] 상기 액정 표시 장치는 구동 방법에 따라 다양한 구조의 화소를 포함할 수 있고, 각각의 화소 구조에 따라 개구율과 투과율을 향상시키기 위한 다양한 노력이 있어왔다.

발명의 내용

해결하려는 과제

[0004] 이에 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로, 본 발명의 목적은 투과율 향상되고 투명도를 조절할 수 있는 표시 패널을 제공하는 것이다.

[0005] 본 발명의 다른 목적은 상기 표시 패널의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 표시 패널은 제1 베이스 기판, 게이트 라인 및 데이터 라인, 상기 제1 베이스 기판 상에 배치되고 상기 게이트 라인 및 상기 데이터 라인과 전기적으로 연결된 박막 트랜지스터, 상기 박막 트랜지스터와 전기적으로 연결되는 제1 전극, 상기 제1 전극과 이격되어 배치되고 상기 데이터 라인의 보다 넓은 면적을 갖는 제3 전극, 상기 제1 전극 및 상기 제2 전극과 마주보는 제2 전극, 및 상기 제1 및 제3 전극들과 상기 제2 전극 사이에 배치되는 액정층을 포함한다.

[0007] 본 발명의 일 실시예에 있어서, 상기 제3 전극에 온 전압이 인가되는 경우, 상기 제3 전극과 상기 제2 전극 사이의 상기 액정층의 부분이 광을 투과시킬 수 있다. 상기 제3 전극에 오프 전압이 인가되는 경우, 상기 제3 전극과 상기 제2 전극 사이의 상기 액정층의 상기 부분은 광을 차단시킬 수 있다.

[0008] 본 발명의 일 실시예에 있어서, 상기 제2 전극에는 공통 전압이 인가될 수 있다. 상기 오프 전압과 공통 전압의 차는 1.5볼트(V) 이하일 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 제3 전극에 상기 온 전압과 상기 오프 전압의 사이 값을 갖는 전압이 인가될 수 있다.

[0010] 본 발명의 일 실시예에 있어서, 상기 제3 전극의 일부는 상기 데이터 라인과 중첩할 수 있다.

[0011] 본 발명의 일 실시예에 있어서, 상기 제3 전극은 화소 내에서 박막 트랜지스터와 전기적으로 연결되지 않을 수 있다.

[0012] 본 발명의 일 실시예에 있어서, 상기 제1 전극과 중첩하고, 상기 제3 전극과 중첩하지 않는 컬러 필터를 더 포함할 수 있다.

[0013] 본 발명의 일 실시예에 있어서, 상기 제1 전극과 상기 제3 전극은 동일한 물질을 포함할 수 있다.

[0014] 본 발명의 일 실시예에 있어서, 상기 제1 전극과 상기 제3 전극은 동일한 평면 상에 배치될 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 상기 박막 트랜지스터와 중첩하는 차광 패턴을 더 포함할 수 있다.

[0016] 본 발명의 일 실시예에 있어서, 상기 차광 패턴은 이웃하는 화소의 차광 패턴과 연결되지 않고 이격되어 배치될 수 있다.

[0017] 본 발명의 일 실시예에 있어서, 상기 제1 전극은 제1 하이 전극과 제1 로우 전극을 포함하고, 상기 박막 트랜지스터는 제1 박막 트랜지스터 및 제2 박막 트랜지스터를 포함할 수 있다. 상기 제1 하이 전극은 상기 제1 박막 트랜지스터와 전기적으로 연결되고, 상기 제1 로우 전극은 상기 제2 박막 트랜지스터와 전기적으로 연결될 수 있다.

[0018] 본 발명의 일 실시예에 있어서, 제3 박막 트랜지스터 및 상기 데이터 라인과 평행하게 연장되는 분압 기준 전압 라인을 더 포함할 수 있다. 상기 제3 박막 트랜지스터는 상기 분압 기준 전압 라인 및 상기 제2 박막 트랜지스터와 전기적으로 연결될 수 있다. 상기 분압 기준 전압 라인에는 분압 기준 전압이 인가될 수 있다.

[0019] 본 발명의 일 실시예에 있어서, 상기 분압 기준 전압 라인은 상기 제1 하이 전극 및 상기 제1 로우 전극과 중첩하지 않을 수 있다.

[0020] 본 발명의 일 실시예에 있어서, 상기 제3 전극은 제1 방향으로 연장되는 제1 줄기, 상기 제1 방향과 교차하는 제2 방향으로 연장되는 제2 줄기 및 상기 제1 또는 제2 줄기로부터 상기 제1 및 제2 방향과 경사진 방향으로 연장되어 복수의 슬릿들을 형성하는 복수의 슬릿부들을 포함할 수 있다.

[0021] 본 발명의 일 실시예에 있어서, 상기 제3 전극은 상기 게이트 라인과 평행한 방향으로 연장되는 연결 전극을 포

함하고, 상기 연결 전극은 이웃하는 화소의 제3 전극과 연결될 수 있다.

[0022] 본 발명의 일 실시예에 있어서, 상기 제3 전극은 상기 박막 트랜지스터와 중첩될 수 있다.

[0023] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 표시 패널의 제조 방법은 제1 베이스 기판 상에 박막 트랜지스터를 형성하는 단계, 상기 박막 트랜지스터 상에 투명 도전 물질을 포함하는 화소 전극층을 형성한 후, 상기 화소 전극층을 패틴이 하여 상기 박막 트랜지스터와 전기적으로 연결되는 제1 전극 및 상기 제1 전극과 이격되어 배치되는 제3 전극을 형성하는 단계, 제2 베이스 기판 상에 상기 제1 전극 및 상기 제3 전극과 마주보는 제2 전극을 형성하는 단계, 상기 제2 베이스 기판 상에 상기 제1 전극과 중첩하는 컬러 필터를 형성하는 단계, 및 상기 제1 베이스 기판과 상기 제2 베이스 기판 사이에 액정층을 형성하는 단계를 포함한다.

[0024] 본 발명의 일 실시예에 있어서, 상기 제조 방법은 상기 제1 전극과 중첩하고 상기 제3 전극과 중첩하지 않는 컬러 필터를 형성하는 단계를 더 포함할 수 있다.

[0025] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 표시 패널은 데이터 라인 및 게이트 라인과 전기적으로 연결되는 제1 전극, 투명 모드 또는 일반 모드에 따라 서로 다른 전압이 인가되는 제3 전극, 상기 제1 전극과 상기 제3 전극을 마주보고 공통 전압이 인가되는 제2 전극, 및 상기 제1 및 제3 전극들과 상기 제2 전극 사이에 배치되는 액정층을 포함한다. 상기 투명 모드에서는 영상을 표시하면서 투명한 디스플레이로 작동되고, 상기 일반 모드에서는 영상을 표시하고 투명하지 않은 디스플레이로 작동될 수 있다.

발명의 효과

[0026] 본 발명의 실시예들에 따르면, 표시 패널은 투명 모드 및 일반 모드를 구현할 수 있도록, 제1 전극, 제2 전극, 제3 전극 및 액정층 포함한다. 상기 투명 모드에서는, 상기 제3 전극에 온 전압이 인가되고, 상기 제2 전극에 상기 공통 전압이 인가될 수 있다. 이에 따라, 상기 액정층이 광을 투과시키고, 투명 디스플레이를 구현할 수 있다. 상기 일반 모드에서는, 상기 제3 전극에 오프 전압이 인가되고, 상기 제2 전극에 상기 공통 전압이 인가될 수 있다. 이에 따라, 상기 액정층이 광을 차단시키고, 일반 디스플레이를 구현할 수 있다.

[0027] 또한, 상기 표시 패널은 차광 패틴을 최소화 하고, 상기 제3 전극의 형상을 다양하게 설계하여 투과율을 향상시킬 수 있다. 또한, 상기 표시 패널은 분압 기준 전압 배선의 위치를 조정하여 개구율을 향상시킬 수 있다. 또한, 상기 제3 전극에 인가되는 전압을 조절하여 투명 디스플레이의 투명도를 조절할 수 있다.

[0028] 다만, 본 발명의 효과는 상기 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 일 실시예에 따른 표시 패널의 하나의 화소를 나타낸 평면도이다.

도 2는 도 1의 I-I'선을 따라 절단한 단면도이다.

도 3은 도 1의 표시 패널의 제1 하이 전극, 제1 로우 전극 및 제3 전극을 상세히 나타낸 평면도이다.

도 4는 도 1의 상기 화소에 대한 등가 회로도이다.

도 5는 본 발명의 일 실시예에 따른 표시 패널의 하나의 화소를 나타낸 평면도이다.

도 6은 본 발명의 일 실시예에 따른 표시 패널의 하나의 화소를 나타낸 평면도이다.

도 7은 본 발명의 일 실시예에 따른 표시 패널의 하나의 화소를 나타낸 평면도이다.

도 8은 본 발명의 일 실시예에 따른 표시 패널의 하나의 화소를 나타낸 평면도이다.

도 9는 본 발명의 일 실시예에 따른 표시 패널의 하나의 화소를 나타낸 평면도이다.

도 10은 본 발명의 일 실시예에 따른 표시 패널의 하나의 화소를 나타낸 평면도이다.

도 11a 내지 도 15b는 도 1의 표시 패널의 제조 방법을 설명하기 위한 평면도들 및 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.

- [0031] 도 1은 본 발명의 일 실시예에 따른 표시 패널의 하나의 화소를 나타낸 평면도이다. 도 2는 도 1의 I-I'선을 따라 절단한 단면도이다.
- [0032] 도 1 및 2를 참조하면, 상기 표시 패널은 제1 베이스 기판(100), 게이트 라인(GL), 하이 스토리지 패턴(CSTh), 로우 스토리지 패턴(CSTl), 제1 절연층(110), 데이터 라인(DL), 분압 기준 전압 라인(RDL), 제2 절연층(120), 제1 하이 전극(EL1h), 제1 로우 전극(EL1l), 제3 전극(EL3), 제2 베이스 기판(200), 차광 패턴(BM), 컬러 필터(210), 오버 코팅층(220), 제2 전극(EL2) 및 액정층(300)을 포함할 수 있다.
- [0033] 상기 제1 베이스 기판(100)은 투명 절연 기판을 포함할 수 있다. 예를 들면, 상기 제1 베이스 기판(100)은 유리 기판, 석영 기판, 투명 수지 기판 등으로 구성될 수 있다. 이 경우, 상기 투명 수지 기판은 폴리이미드계(polyimide-based) 수지, 아크릴계(acryl-based) 수지, 폴리아크릴레이트계(polyacrylate-based) 수지, 폴리카보네이트계(polycarbonate-based) 수지, 폴리에테르계(polyether-based) 수지, 술폰산계(sulfonic acid-based) 수지, 폴리에틸렌테레프탈레이트계(polyethyleneterephthalate-based) 수지 등을 포함할 수 있다.
- [0034] 상기 게이트 라인(GL)은 상기 제1 베이스 기판(100) 상에 배치될 수 있다. 상기 게이트 라인(GL)은 제1 방향(D1)으로 연장될 수 있다. 상기 게이트 라인(GL)은 제1 게이트 전극(GE1)과 전기적으로 연결될 수 있다. 예를 들면, 상기 제1 게이트 전극(GE1)은 상기 게이트 라인(GL)의 일부일 수 있다. 또한, 상기 게이트 라인(GL)은 제2 게이트 전극 및 제3 게이트 전극과 전기적으로 연결된다. 예를 들면, 상기 제2 게이트 전극 및 상기 제3 게이트 전극은 상기 게이트 라인(GL)의 일부일 수 있다.
- [0035] 상기 게이트 라인(GL)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성물질 등을 사용하여 형성될 수 있다.
- [0036] 도시하지 않았으나, 상기 제1 베이스 기판(100)과 상기 게이트 라인(GL) 사이에 버퍼층이 더 배치될 수 있다. 상기 버퍼층은 상기 제1 베이스 기판(100)으로부터 금속 원자들이나 불순물들이 확산되는 현상을 방지할 수 있다. 또한, 상기 버퍼층은 상기 제1 베이스 기판(100)의 표면이 균일하지 않을 경우, 상기 제1 베이스 기판(100)의 표면의 평탄도를 향상시키는 역할을 수행할 수도 있다. 상기 버퍼층은 실리콘 화합물을 사용하여 형성될 수 있다. 예를 들면, 상기 버퍼층은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xNy), 실리콘 산탄화물(SiO_xCy), 실리콘 탄질화물(SiC_xNy) 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 상기 버퍼층은 실리콘 화합물을 포함하는 단층 구조 또는 다층 구조를 가질 수 있다. 예를 들면, 상기 버퍼층은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 실리콘 산탄화막 및/또는 실리콘 탄질화막을 포함하는 단층 구조 또는 다층 구조로 상기 제1 베이스 기판(100)상에 형성될 수 있다.
- [0037] 상기 하이 스토리지 패턴(CSTh)이 상기 제1 베이스 기판(100) 상에 배치될 수 있다. 상기 하이 스토리지 패턴(CSTh)은 상기 제1 방향(D1)으로 이웃하는 화소의 하이 스토리지 패턴과 연결될 수 있다. 상기 하이 스토리지 패턴(CSTh)은 상기 제1 하이 전극(EL1h)의 가장자리와 중첩할 수 있다. 상기 하이 스토리지 패턴(CSTh)에는 스토리지 전압이 인가될 수 있다.
- [0038] 상기 하이 스토리지 패턴(CSTh)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다.
- [0039] 상기 로우 스토리지 패턴(CSTl)이 상기 제1 베이스 기판(100) 상에 배치될 수 있다. 상기 로우 스토리지 패턴(CSTl)은 상기 제1 방향(D1)으로 이웃하는 화소의 로우 스토리지 패턴과 연결될 수 있다. 상기 로우 스토리지 패턴(CSTl)은 상기 제1 로우 전극(EL1l)의 가장자리와 중첩할 수 있다. 상기 로우 스토리지 패턴(CSTh)에는 스토리지 전압이 인가될 수 있다.
- [0040] 상기 제1 절연층(110)이 상기 게이트 라인(GL), 상기 하이 스토리지 패턴(CSTh) 및 상기 로우 스토리지 패턴(CSTl)이 배치된 상기 제1 베이스 기판(100) 상에 배치될 수 있다. 상기 제1 절연층(110)은 실리콘 질화물, 실리콘 산질화물, 실리콘 탄질화물, 실리콘 산탄화물, 금속 산화물 등을 사용하여 형성될 수 있다. 예를 들면, 상기 제1 절연층(110)을 구성하는 금속 산화물은 하프늄 산화물(HfO_x), 알루미늄 산화물(AlO_x), 지르코늄 산화물(ZrO_x), 티타늄 산화물(TiO_x), 탄탈륨 산화물(TaO_x) 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예시적인 실시예들에 있어서, 상기 제1 절연층(110)은 상기 게이트 라인(GL), 상기 하이 스토리지 패턴(CSTh) 및 상기 로우 스토리지 패턴(CSTl)의 프로파일(profile)을 따라 상기 제1 베이스 기판(100) 상에 실질적으로 균일한 두께로 형성될 수 있다. 이 경우, 상기 제1 절연층(110)은 상대적으로 얇은 두께를 가질 수 있으며, 상기 제1 절연층(110)에는 상기 게이트 라인(GL), 상기 하이 스토리지 패턴(CSTh) 및 상기 로우 스토리지 패턴(CSTl)에 인접하는 단차부가 생성될 수 있다. 다른 예시적인 실시예들에 따르면, 상기 제1 절연층

(110)은 상기 게이트 라인(GL), 상기 하이 스토리지 패턴(CSTh) 및 상기 로우 스토리지 패턴(CSTl)을 충분히 커버하면서 실질적으로 평탄한 상면을 가질 수 있다.

- [0041] 액티브 패턴이 상기 제1 절연층(110) 상에 배치될 수 있다. 상기 액티브 패턴은 제1 액티브 영역(ACT1), 제2 액티브 영역 및 제3 액티브 영역을 포함할 수 있다. 상기 제1 액티브 영역(ACT1)은 상기 제1 게이트 전극(GE1)과 중첩될 수 있다. 상기 제2 액티브 영역은 상기 제2 게이트 전극과 중첩될 수 있다. 상기 제3 액티브 영역은 상기 제3 게이트 전극과 중첩될 수 있다. 상기 액티브 패턴은 비정질 실리콘(a-Si:H)으로 이루어진 반도체층 및 n+ 비정질 실리콘(n+ a-Si:H)으로 이루어진 저항성 접촉층을 포함할 수 있다. 또한, 상기 액티브 패턴은 산화물 반도체를 포함할 수 있다. 예를 들면, 상기 산화물 반도체는 인듐(indium: In), 아연(zinc: Zn), 갈륨(gallium: Ga), 주석(tin: Sn) 또는 하프늄(hafnium: Hf) 중 적어도 하나를 포함하는 비정질 산화물로 이루어질 수 있다.
- [0042] 상기 데이터 라인(DL)은 상기 제1 절연층(110) 상에 배치될 수 있다. 상기 데이터 라인(DL)은 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장될 수 있다. 상기 제2 방향(D2)은 상기 제1 방향(D1)에 실질적으로 수직할 수 있다. 상기 데이터 라인(DL)은 제1 소스 전극(SE1) 및 제2 소스 전극과 전기적으로 연결될 수 있다. 상기 데이터 라인(DL)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다.
- [0043] 상기 제1 소스 전극(SE1)은 상기 액티브 패턴의 상기 제1 액티브 영역(ACT)과 전기적으로 연결될 수 있다. 제1 드레인 전극(DE1)은 상기 제1 소스 전극(SE1)과 이격되고, 상기 액티브 패턴의 상기 제1 액티브 영역(ACT1)과 전기적으로 연결될 수 있다.
- [0044] 상기 제2 소스 전극은 상기 액티브 패턴의 상기 제2 액티브 영역과 전기적으로 연결될 수 있다. 제2 드레인 전극은 상기 제2 소스 전극과 이격되고, 상기 액티브 패턴의 상기 제2 액티브 영역과 전기적으로 연결될 수 있다.
- [0045] 상기 분압 기준 전압 라인(RDL)은 상기 제1 절연층(110) 상에 배치될 수 있다. 상기 분압 기준 전압 라인(RDL)은 상기 데이터 라인(DL)과 상기 제1 방향(D1)으로 이격되어, 상기 제2 방향(D2)으로 연장될 수 있다. 상기 분압 기준 전압라인(RDL)은 제3 드레인 전극과 전기적으로 연결될 수 있다. 상기 분압 기준 전압라인(RDL)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성물질 등을 사용하여 형성될 수 있다.
- [0046] 상기 제3 드레인 전극은 상기 액티브 패턴의 상기 제3 액티브 영역과 전기적으로 연결될 수 있다. 제3 소스 전극은 상기 제3 드레인 전극과 이격되고, 상기 액티브 패턴의 상기 제3 액티브 영역과 전기적으로 연결될 수 있다. 상기 제3 소스 전극은 상기 제2 드레인 전극과 전기적으로 연결될 수 있다.
- [0047] 상기 제1 게이트 전극(GE1), 상기 제1 소스 전극(SE1), 상기 제1 드레인 전극(DE1), 상기 액티브 패턴의 상기 제1 액티브 영역(ACT1)은 제1 박막 트랜지스터(TFT1)를 구성할 수 있다.
- [0048] 상기 제2 게이트 전극, 상기 제2 소스 전극, 상기 제2 드레인 전극, 상기 액티브 패턴의 상기 제2 액티브 영역은 제2 박막 트랜지스터(TFT2)를 구성할 수 있다.
- [0049] 상기 제3 게이트 전극, 상기 제3 소스 전극, 상기 제3 드레인 전극, 상기 액티브 패턴의 상기 제3 액티브 영역은 제3 박막 트랜지스터(TFT3)를 구성할 수 있다.
- [0050] 상기 제2 절연층(120)이 상기 데이터 라인(DL) 및 상기 분압 기준 전압 라인(RDL)이 배치된 상기 제1 절연층(110) 상에 배치될 수 있다. 상기 제2 절연층(120)은 실리콘 질화물, 실리콘 산질화물, 실리콘 탄질화물, 실리콘 산탄화물, 금속 산화물 등을 사용하여 형성될 수 있다. 예를 들면, 상기 제2 절연층(120)을 구성하는 금속 산화물은 하프늄 산화물(HfO_x), 알루미늄 산화물(AlO_x), 지르코늄 산화물(ZrO_x), 티타늄 산화물(TiO_x), 탄탈륨 산화물(TaO_x) 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예시적인 실시예들에 있어서, 상기 제2 절연층(120)은 상기 데이터 라인(DL) 및 상기 분압 기준 전압 라인(RDL)을 충분히 커버하면서 실질적으로 평탄한 상면을 가질 수 있다. 다른 예시적인 실시예들에 따르면, 상기 제2 절연층(120)은 상기 데이터 라인(DL) 및 상기 분압 기준 전압 라인(RDL)이 배치된 상기 제1 절연층(110) 상에 실질적으로 균일한 두께로 형성될 수 있다.
- [0051] 상기 제1 하이 전극(EL1h)은 상기 제2 절연층(120) 상에 배치될 수 있다. 상기 제1 하이 전극(EL1h)은 상기 제2 절연층(120)을 통해 형성되는 콘택홀을 통해 상기 제1 박막 트랜지스터(TFT1)의 상기 제1 드레인 전극(DE1)과 전기적으로 연결될 수 있다. 상기 제1 하이 전극(EL1h)의 가장자리는 상기 하이 스토리지 패턴(CSTh)과 일부 중첩할 수 있다.

- [0052] 상기 제1 하이 전극(EL1h)은 투명 도전 물질을 포함할 수 있다. 예를 들면, 상기 제1 하이 전극(EL1h)은 산화 인듐 주석(indium tin oxide: ITO), 산화 아연 주석(indium zinc oxide: IZO) 등을 포함할 수 있다.
- [0053] 상기 제1 로우 전극(EL1l)은 상기 제2 절연층(120) 상에 배치될 수 있다. 상기 제1 로우 전극(EL1l)은 상기 제1 하이 전극(EL1h)과 상기 제2 방향(D2)으로 이격되어, 상기 제2 절연층(120) 상에 배치될 수 있다. 상기 제1 로우 전극(EL1l)은 상기 제2 절연층(120)을 통해 형성되는 콘택홀을 통해 상기 제2 박막 트랜지스터(TFT2)의 상기 제2 드레인 전극 및 상기 제3 트랜지스터의 상기 제3 소스 전극과 전기적으로 연결될 수 있다. 상기 제1 로우 전극(EL1l)의 가장자리는 상기 로우 스토리지 패턴(CST1)과 일부 중첩할 수 있다.
- [0054] 상기 제1 로우 전극(EL1l)은 투명 도전 물질을 포함할 수 있다. 예를 들면, 상기 제1 로우 전극(EL1l)은 산화 인듐 주석(indium tin oxide: ITO), 산화 아연 주석(indium zinc oxide: IZO) 등을 포함할 수 있다.
- [0055] 상기 제3 전극(EL3)은 상기 제1 하이 전극(EL1h) 및 상기 제1 로우 전극(EL1l)과 상기 제1 방향(D1)으로 이격되어 상기 제2 절연층(120) 상에 배치될 수 있다. 상기 제3 전극(EL3)은 상기 제2 방향(D2)으로 연장될 수 있다. 상기 제3 전극(EL3)은 상기 분압 기준 전압 라인(RDL) 및 이웃하는 화소의 데이터 라인과 중첩할 수 있다. 상기 제3 전극(EL3)은 투명 모드와 일반 모드의 전환을 위해, 온 전압 또는 오프 전압을 인가받을 수 있다. 상기 제3 전극(EL3)은 상기 제1 방향(D1)으로 연장되고, 상기 제1 하이 전극(EL1h) 및 상기 제1 로우 전극(EL1l) 사이에 배치되는 연결 전극에 의해 이웃하는 화소의 제3 전극과 연결될 수 있다.
- [0056] 상기 제3 전극(EL3)은 투명 도전 물질을 포함할 수 있다. 예를 들면, 상기 제3 전극(EL3)은 산화 인듐 주석(indium tin oxide: ITO), 산화 아연 주석(indium zinc oxide: IZO) 등을 포함할 수 있다.
- [0057] 상기 제2 베이스 기판(200)은 상기 제1 베이스 기판(100)과 마주보게 배치될 수 있다. 상기 제2 베이스 기판(200)은 투명 절연 기판을 포함할 수 있다. 예를 들면, 상기 제2 베이스 기판(200)은 유리 기판, 석영 기판, 투명 수지 기판 등으로 구성될 수 있다. 이 경우, 상기 투명 수지 기판은 폴리이미드계(polyimide-based) 수지, 아크릴계(acryl-based) 수지, 폴리아크릴레이트계(polyacrylate-based) 수지, 폴리카보네이트계(polycarbonate-based) 수지, 폴리에테르계(polyether-based) 수지, 술폰산계(sulfonic acid-based) 수지, 폴리에틸렌테레프탈레이트계(polyethyleneterephthalate-based) 수지 등을 포함할 수 있다.
- [0058] 상기 차광 패턴(BM)은 상기 제2 베이스 기판(200) 상에 배치될 수 있다. 상기 차광 패턴(BM)은 광을 차단하는 물질을 포함할 수 있다. 상기 차광 패턴(BM)은 상기 제1 내지 제3 박막 트랜지스터들(TFT1, TFT2, TFT3)과 중첩하여 배치될 수 있다.
- [0059] 상기 컬러 필터(210)가 상기 차광 패턴(BM)이 배치된 상기 제2 베이스 기판(200) 상에 배치될 수 있다. 상기 컬러 필터(210)는 상기 액정층(300)을 투과하는 광에 색을 제공하기 위한 것이다. 상기 컬러 필터(210)는 적색 컬러 필터(red), 녹색 컬러 필터(green), 및 청색 컬러 필터(blue)일 수 있다. 상기 컬러 필터(210)는 상기 화소에 대응하여 제공되며, 서로 인접한 화소 사이에서 서로 다른 색을 갖도록 배치될 수 있다. 상기 컬러 필터(210)는 서로 인접하는 화소들의 경계에서 일부가 인접하는 화소의 컬러 필터에 의해 서로 중첩되거나, 또는 서로 이격될 수 있다.
- [0060] 상기 컬러 필터(210)는 상기 제1 전극(EL1)과 중첩하게 배치될 수 있다. 상기 컬러 필터(210)는 상기 제3 전극(EL3)과 중첩하지 않도록 배치될 수 있다. 즉, 상기 컬러 필터(210)는 평면에서 볼 때, 상기 제3 전극(EL3)과 이격되어 배치될 수 있다.
- [0061] 상기 오버 코팅층(220)은 상기 컬러 필터(210) 및 상기 차광 패턴(BM) 상에 형성될 수 있다. 상기 오버 코팅층(220)은 상기 컬러 필터(210)를 평탄화하면서, 상기 컬러 필터(210)를 보호하는 역할과 절연하는 역할을 하며 아크릴계 에폭시 재료를 이용하여 형성될 수 있다.
- [0062] 상기 제2 전극(EL2)이 상기 오버 코팅층(220) 상에 배치될 수 있다. 상기 제2 전극(EL2)은 상기 제1 하이 전극(EL1h) 및 상기 제1 로우 전극(EL1l)과 마주보게 배치될 수 있다. 또한, 상기 제2 전극(EL2)은 상기 제3 전극(EL3)과 마주보게 배치될 수 있다. 상기 제2 전극(EL2)에는 공통 전압이 인가될 수 있다. 상기 제2 전극(EL2)은 투명 도전 물질을 포함할 수 있다. 예를 들면, 상기 제2 전극(EL2)은 산화 인듐 주석(indium tin oxide: ITO), 산화 아연 주석(indium zinc oxide: IZO) 등을 포함할 수 있다.
- [0063] 상기 액정층(300)은 상기 제1 하이 및 로우 전극들(EL1h, EL1l)과 상기 제2 전극(EL2) 사이에 배치될 수 있다. 또한, 상기 액정층(300)은 상기 제3 전극(EL3)과 상기 제2 전극(EL2) 사이에 배치될 수 있다. 상기 액정층(300)은 광학적 이방성을 갖는 액정 분자들을 포함한다. 상기 액정 분자들은 전계에 의해 구동되어 상기 액정층

(300)을 지나는 광을 투과시키거나 차단시켜 영상을 표시한다.

- [0064] 상기 투명 모드에서는, 상기 제3 전극(EL3)에 상기 온 전압이 인가되고, 상기 제2 전극(EL2)에 상기 공통 전압이 인가될 수 있다. 이에 따라, 상기 액정층(300)이 광을 투과시키고, 투명 디스플레이를 구현할 수 있다.
- [0065] 상기 일반 모드에서는, 상기 제3 전극(EL3)에 상기 오프 전압이 인가되고, 상기 제2 전극(EL2)에 상기 공통 전압이 인가될 수 있다. 이에 따라, 상기 액정층(300)이 광을 차단시키고, 일반 디스플레이를 구현할 수 있다. 이때, 상기 제3 전극(EL3)에 대응하는 액정층(300)의 부분은 광을 차단시키므로, 광 차단부의 역할을 할 수 있다.
- [0066] 상기 표시 패널을 포함하는 표시 장치가 노멀리 블랙(normally black)으로 구현되는 경우, 상기 오프 전압은 상기 공통 전압과 약 1.5V 이하의 차이를 갖는 값일 수 있다. 바람직하게는 상기 오프 전압은 상기 공통 전압과 실질적으로 동일한 값을 가질 수 있다.
- [0067] 본 실시예에서는 상기 표시 장치가 노멀리 블랙(normally black)인 경우를 기준으로 설명하였으나, 노멀리 화이트(normally white)의 경우도 유사한 방법으로 구현될 수 있다.
- [0068] 또한, 상기 제3 전극(EL3)에 인가되는 전압을 상기 온 전압과 상기 오프 전압의 사이 값으로 조절하면, 상기 투명 모드에서의 투명도를 조절할 수 있다.
- [0069] 도 3은 도 1의 표시 패널의 제1 하이 전극, 제1 로우 전극 및 제3 전극을 상세히 나타낸 평면도이다.
- [0070] 도 3을 참조하면, 제1 하이 화소 전극(EL1h), 제1 로우 화소 전극(EL1l) 및 제3 전극(EL3)은 각각 슬릿 구조를 가질 수 있다.
- [0071] 상기 제1 하이 화소 전극(EL1h)은 제1 줄기(131), 제2 줄기(132) 및 복수의 슬릿부(132)를 포함할 수 있다. 상기 제1 줄기(131)은 제1 방향(D1)으로 연장될 수 있다. 상기 제2 줄기(132)는 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장될 수 있다. 상기 슬릿부들(132)은 상기 제1 줄기(131) 또는 제2 줄기(132)로부터 상기 제1 및 제2 방향(D1, D2)과 경사진 방향으로 연장되어 복수의 슬릿들을 형성할 수 있다.
- [0072] 상기 제1 로우 화소 전극(EL1l)은 제1 줄기(134), 제2 줄기(135) 및 복수의 슬릿부(136)를 포함할 수 있다. 상기 제1 줄기(134)은 상기 제1 방향(D1)으로 연장될 수 있다. 상기 제2 줄기(135)는 상기 제2 방향(D2)으로 연장될 수 있다. 상기 슬릿부들(136)은 상기 제1 줄기(134) 또는 제2 줄기(135)로부터 상기 제1 및 제2 방향(D1, D2)과 경사진 방향으로 연장되어 복수의 슬릿들을 형성할 수 있다.
- [0073] 상기 제3 전극(EL3)은 제1 줄기(137), 제2 줄기(138) 및 복수의 슬릿부(139)를 포함할 수 있다. 상기 제1 줄기(137)은 상기 제1 방향(D1)으로 연장될 수 있다. 상기 제2 줄기(138)는 상기 제2 방향(D2)으로 연장될 수 있다. 상기 슬릿부들(139)은 상기 제1 줄기(137) 또는 제2 줄기(138)로부터 상기 제1 및 제2 방향(D1, D2)과 경사진 방향으로 연장되어 복수의 슬릿들을 형성할 수 있다.
- [0074] 상기 슬릿 구조에 의해 액정층의 액정에 대한 제어가 향상되어 시인성이 향상될 수 있다.
- [0075] 본 실시예에서는 상기 제3 전극은 상기 슬릿 구조를 갖으나, 이에 한정되지 않는다. 예를 들면 상기 제3 전극은 슬릿 구조 없이 평판형의 전극일 수 있다.
- [0076] 도 4는 도 1의 상기 화소에 대한 등가 회로도이다.
- [0077] 도 4 및 도 1을 참조하면, 표시 패널의 상기 화소는 복수의 신호선들과 상기 신호선들에 전기적으로 연결되는 제1 박막 트랜지스터(TFT1), 제2 박막 트랜지스터(TFT2), 제3 박막 트랜지스터(TFT3), 하이 액정 커패시터(HC1c), 로우 액정 커패시터(LC1c), 하이 스토리지 커패시터(HCST), 및 로우 스토리지 커패시터(LCST)를 포함할 수 있다. 상기 신호선들은 게이트 라인(GL), 하이 스토리지 패턴(CSTh), 로우 스토리지 패턴(CSTl), 데이터 라인(DL) 및 분압 기준 전압 라인(RDL)을 포함할 수 있다. 상기 하이 스토리지 패턴(CSTh), 제1 하이 전극(EL1h) 및 이들 사이의 제1 및 제2 절연층들(110, 120)이 상기 하이 스토리지 커패시터(HCST)를 구성하고, 상기 로우 스토리지 패턴(CSTl), 제1 로우 전극(EL1l) 및 이들 사이의 상기 제1 및 제2 절연층들(110, 120)이 상기 로우 스토리지 커패시터(LCST)를 구성할 수 있다.
- [0078] 상기 게이트 라인(GL)에는 게이트 신호(gate)가 인가되고, 상기 데이터 라인(DL)에는 데이터 신호(data)가 인가되고, 상기 분압 기준 전압 라인(RDL)에는 분압 기준 전압(VRD)이 공급될 수 있다. 제2 전극(EL2)에는 공통 전압(Vcom)이 공급될 수 있다. 상기 하이 스토리지 패턴(CSTh)에는 스토리지 전압(Vcst)이 인가될 수 있다. 상기 로우 스토리지 패턴(CSTl)에는 상기 스토리지 전압(Vcst)이 인가될 수 있다. 다른 실시예에서 상기 하이 스토리

지 패턴(CSTh)과 상기 로우 스토리지 패턴(CST1)에 인가되는 전압은 서로 다를 수 있다.

- [0079] 상기 게이트 라인(GL)에 게이트 온 신호가 인가되면, 상기 제1 박막 트랜지스터(TFT1), 상기 제2 박막 트랜지스터(TFT2) 및 상기 제3 박막 트랜지스터(TFT3)가 턴 온(turn on) 될 수 있다. 이에 따라 상기 데이터 라인(DL)에 인가된 데이터 전압은 턴 온된 상기 제1 박막 트랜지스터(TFT1)를 통하여 상기 제1 하이 전극(EL1h)에 인가될 수 있다. 이 때, 상기 하이 액정 커패시터(HC1c)는 공통 전압(Vcom)과 상기 데이터 전압의 차이만큼 충전될 수 있다. 이와 동시에 상기 데이터 전압은 턴 온된 상기 제2 박막 트랜지스터(TFT2) 및 턴 온된 상기 제2 박막 트랜지스터(TFT2)를 통해 분압되어, 상기 로우 액정 커패시터(LC1c)에 충전될 수 있다. 상기 로우 액정 커패시터(LC1c)에 충전된 값은 상기 하이 액정 커패시터(HC1c)에 충전된 값보다 낮을 수 있다. 이에 따라 액정 제어에 향상되어 측면 시인성이 향상될 수 있다.
- [0080] 도 5는 본 발명의 일 실시예에 따른 표시 패널의 하나의 화소를 나타낸 평면도이다.
- [0081] 도 5를 참조하면, 상기 표시 패널은 제3 전극(EL3)의 형상 및 차광 패턴의 유무를 제외하면 도 1의 표시 패널과 실질적으로 동일하다. 따라서 반복되는 설명은 간략히 하거나 생략한다.
- [0082] 상기 표시 패널은 제1 베이스 기판, 게이트 라인(GL), 하이 스토리지 패턴(CSTh), 로우 스토리지 패턴(CST1), 제1 절연층, 데이터 라인(DL), 분압 기준 전압 라인(RDL), 제2 절연층, 제1 하이 전극(EL1h), 제1 로우 전극(EL1l), 제3 전극(EL3), 제2 베이스 기판, 컬러 필터, 오버 코팅층, 제2 전극 및 액정층을 포함할 수 있다.
- [0083] 상기 제1 베이스 기판은 투명 절연 기판을 포함할 수 있다. 상기 게이트 라인(GL)은 상기 제1 베이스 기판 상에 배치될 수 있다. 상기 하이 스토리지 패턴(CSTh)이 상기 제1 베이스 기판 상에 배치될 수 있다. 상기 로우 스토리지 패턴(CST1)이 상기 제1 베이스 기판 상에 배치될 수 있다. 상기 제1 절연층이 상기 게이트 라인(GL), 상기 하이 스토리지 패턴(CSTh) 및 상기 로우 스토리지 패턴(CST1)이 배치된 상기 제1 베이스 기판 상에 배치될 수 있다. 액티브 패턴이 상기 제1 절연층 상에 배치될 수 있다. 상기 데이터 라인(DL)은 상기 제1 절연층 상에 배치될 수 있다. 상기 분압 기준 전압 라인(RDL)은 상기 제1 절연층 상에 배치될 수 있다. 상기 제2 절연층이 상기 데이터 라인(DL) 및 상기 분압 기준 전압 라인(RDL)이 배치된 상기 제1 절연층 상에 배치될 수 있다. 상기 제1 하이 전극(EL1h)은 상기 제2 절연층 상에 배치될 수 있다. 상기 제1 로우 전극(EL1l)은 상기 제2 절연층 상에 배치될 수 있다. 상기 제3 전극(EL3)은 상기 제2 절연층 상에 배치될 수 있다. 상기 제2 베이스 기판은 상기 제1 베이스 기판과 마주보게 배치될 수 있다. 상기 컬러 필터가 상기 제2 베이스 기판 상에 배치될 수 있다. 상기 오버 코팅층은 상기 컬러 필터 상에 배치될 수 있다. 상기 제2 전극이 상기 오버 코팅층 상에 배치될 수 있다. 상기 액정층은 상기 제1 하이 및 로우 전극들(EL1h, EL1l) 및 상기 제3 전극(EL3)과 상기 제2 전극 사이에 배치될 수 있다.
- [0084] 상기 게이트 라인(GL) 제1 방향(D1)으로 연장될 수 있다. 상기 하이 스토리지 패턴(CSTh)은 상기 제1 방향(D1)으로 이웃하는 화소의 하이 스토리지 패턴과 연결될 수 있다. 상기 로우 스토리지 패턴(CST1)은 상기 제1 방향(D1)으로 이웃하는 화소의 로우 스토리지 패턴과 연결될 수 있다.
- [0085] 상기 데이터 라인(DL) 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장될 수 있다. 상기 제2 방향(D2)은 상기 제1 방향(D1)에 실질적으로 수직할 수 있다. 상기 분압 기준 전압 라인(RDL)은 상기 데이터 라인(DL)과 상기 제1 방향(D1)으로 이격되어, 상기 제2 방향(D2)으로 연장될 수 있다.
- [0086] 상기 제1 하이 전극(EL1h)은 상기 제2 절연층을 통해 형성되는 콘택홀을 통해 제1 박막 트랜지스터(TFT1)의 상기 제1 드레인 전극과 전기적으로 연결될 수 있다. 상기 제1 하이 전극(EL1h)의 가장자리는 상기 하이 스토리지 패턴(CSTh)과 일부 중첩할 수 있다.
- [0087] 상기 제1 하이 전극(EL1h)은 투명 도전 물질을 포함할 수 있다. 예를 들면, 상기 제1 하이 전극(EL1h)은 산화 인듐 주석(indium tin oxide: ITO), 산화 아연 주석(indium zinc oxide: IZO) 등을 포함할 수 있다.
- [0088] 상기 제1 로우 전극(EL1l)은 상기 제1 하이 전극(EL1h)과 상기 제2 방향(D2)으로 이격되어 배치될 수 있다. 상기 제1 로우 전극(EL1l)은 상기 제2 절연층을 통해 형성되는 콘택홀을 통해 상기 제2 박막 트랜지스터(TFT2)의 상기 제2 드레인 전극 및 상기 제3 트랜지스터의 상기 제3 소스 전극과 전기적으로 연결될 수 있다. 상기 제1 로우 전극(EL1l)의 가장자리는 상기 로우 스토리지 패턴(CST1)과 일부 중첩할 수 있다.
- [0089] 상기 제1 로우 전극(EL1l)은 투명 도전 물질을 포함할 수 있다. 예를 들면, 상기 제1 로우 전극(EL1l)은 산화 인듐 주석(indium tin oxide: ITO), 산화 아연 주석(indium zinc oxide: IZO) 등을 포함할 수 있다.
- [0090] 상기 제3 전극(EL3)은 상기 제1 하이 전극(EL1h) 및 상기 제1 로우 전극(EL1l)과 이격되어 배치될 수 있다. 상

기 제3 전극(EL3)은 상기 제2 방향(D2)으로 연장될 수 있다. 상기 제3 전극(EL3)은 상기 분압 기준 전압 라인(RDL) 및 이웃하는 화소의 데이터 라인과 중첩할 수 있다. 상기 제3 전극(EL3)은 투명 모드와 일반 모드의 전환을 위해, 온 전압 또는 오프 전압을 인가받을 수 있다. 상기 제3 전극(EL3)은 상기 제1 방향(D1)으로 연장되어, 이웃하는 화소의 제3 전극과 연결될 수 있다. 상기 제3 전극(EL3)은 상기 제1 내지 제3 박막 트랜지스터들(TFT1, TFT2, TFT3)과 중첩할 수 있다. 따라서, 상기 제3 전극(EL3)은 상기 일반 모드에서, 광을 차단하는 차광 패턴의 역할을 할 수 있다. 이에 따라, 별도의 차광 패턴이 컬러 필터 기판에 형성될 필요가 없다.

- [0091] 상기 제3 전극(EL3)은 투명 도전 물질을 포함할 수 있다. 예를 들면, 상기 제3 전극(EL3)은 산화 인듐 주석(indium tin oxide: ITO), 산화 아연 주석(indium zinc oxide: IZO) 등을 포함할 수 있다.
- [0092] 도 6은 본 발명의 일 실시예에 따른 표시 패널의 하나의 화소를 나타낸 평면도이다.
- [0093] 도 6을 참조하면, 상기 표시 패널은 게이트 라인(GL), 데이터 라인(DL), 제1 전극(EL1), 제3 전극(EL3), 박막 트랜지스터(TFT) 및 제2 전극을 포함할 수 있다. 상기 박막 트랜지스터(TFT)는 소스 전극(SE), 액티브 패턴(ACT), 드레인 전극(DE) 및 게이트 전극(GE)을 포함할 수 있다.
- [0094] 상기 게이트 라인(GL)은 제1 방향(D1)으로 연장될 수 있다. 상기 게이트 라인(GL)은 상기 박막 트랜지스터(TFT)의 상기 게이트 전극(GE)과 전기적으로 연결될 수 있다.
- [0095] 상기 데이터 라인(DL)은 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장될 수 있다. 상기 제2 방향(D2)은 상기 제1 방향(D1)에 실질적으로 수직할 수 있다. 상기 데이터 라인(DL)은 상기 박막 트랜지스터(TFT)의 상기 소스 전극(SE)에 전기적으로 연결될 수 있다.
- [0096] 상기 제1 전극(EL1)은 상기 박막 트랜지스터(TFT)의 상기 드레인 전극(DE)과 전기적으로 연결될 수 있다. 상기 제1 전극(EL1)은 투명 도전 물질을 포함할 수 있다. 예를 들면, 상기 제1 전극(EL1)은 산화 인듐 주석(indium tin oxide: ITO), 산화 아연 주석(indium zinc oxide: IZO) 등을 포함할 수 있다.
- [0097] 상기 제3 전극(EL3)은 상기 제1 전극(EL1)과 이격되어 배치될 수 있다. 상기 제3 전극(EL3)은 상기 제2 방향(D2)으로 연장될 수 있다. 상기 제3 전극(EL3)은 투명 모드와 일반 모드의 전환을 위해, 온 전압 또는 오프 전압을 인가받을 수 있다. 상기 제3 전극(EL3)은 투명 도전 물질을 포함할 수 있다. 예를 들면 상기 제3 전극(EL3)은 산화 인듐 주석(indium tin oxide: ITO), 산화 아연 주석(indium zinc oxide: IZO) 등을 포함할 수 있다. 상기 제1 전극(EL1)과 상기 제3 전극(EL3)은 동일한 층으로부터 형성되어, 동일 물질을 포함할 수 있다. 또한, 상기 제1 전극(EL1)과 상기 제3 전극(EL3)은 동일한 층으로부터 형성되어, 동일 평면상에 배치될 수 있다.
- [0098] 상기 제2 전극은 상기 제1 전극(EL1) 및 상기 제2 전극(EL2)과 마주보게 배치되고, 상기 제1 전극(EL1) 및 상기 제2 전극(EL2)과 중첩할 수 있다.
- [0099] 상기 액정층은 상기 제1 전극(EL1)과 상기 제2 전극(EL2) 사이 및 상기 제3 전극(EL3)과 상기 제2 전극(EL2) 사이에 배치될 수 있다.
- [0100] 도 7은 본 발명의 일 실시예에 따른 표시 패널의 하나의 화소를 나타낸 평면도이다.
- [0101] 도 7을 참조하면, 상기 표시 패널은 차광 패턴(BM)을 제외하고 도 6의 표시 패널과 실질적으로 동일하다. 따라서 반복되는 설명은 간략히 하거나 생략한다.
- [0102] 상기 표시 패널은 상기 표시 패널은 게이트 라인(GL), 데이터 라인(DL), 제1 전극(EL1), 제3 전극(EL3), 박막 트랜지스터(TFT), 제2 전극 및 차광 패턴(BM)을 포함할 수 있다. 상기 박막 트랜지스터(TFT)는 소스 전극(SE), 액티브 패턴(ACT), 드레인 전극(DE) 및 게이트 전극(GE)을 포함할 수 있다.
- [0103] 상기 게이트 라인(GL)은 제1 방향(D1)으로 연장될 수 있다. 상기 게이트 라인(GL)은 상기 박막 트랜지스터(TFT)의 상기 게이트 전극(GE)과 전기적으로 연결될 수 있다.
- [0104] 상기 데이터 라인(DL)은 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장될 수 있다. 상기 제2 방향(D2)은 상기 제1 방향(D1)에 실질적으로 수직할 수 있다. 상기 데이터 라인(DL)은 상기 박막 트랜지스터(TFT)의 상기 소스 전극(SE)에 전기적으로 연결될 수 있다.
- [0105] 상기 제1 전극(EL1)은 상기 박막 트랜지스터(TFT)의 상기 드레인 전극(DE)과 전기적으로 연결될 수 있다. 상기 제1 전극(EL1)은 투명 도전 물질을 포함할 수 있다.
- [0106] 상기 제3 전극(EL3)은 상기 제1 전극(EL1)과 이격되어 배치될 수 있다. 상기 제3 전극(EL3)은 상기 제2 방향

(D2)으로 연장될 수 있다. 상기 제3 전극(EL3)은 투명 모드와 일반 모드의 전환을 위해, 온 전압 또는 오프 전압을 인가받을 수 있다. 상기 제3 전극(EL3)은 투명 도전 물질을 포함할 수 있다. 상기 제3 전극(EL3)은 인접하는 화소의 데이터 라인과 완전히 중첩할 수 있다. 다른 실시예에서 상기 제3 전극(EL3)은 상기 인접하는 화소의 데이터 라인과 일부 중첩할 수 있다.

- [0107] 상기 제2 전극은 상기 제1 전극(EL1) 및 상기 제2 전극(EL2)과 마주보게 배치되고, 상기 제1 전극(EL1) 및 상기 제2 전극(EL2)과 중첩할 수 있다.
- [0108] 상기 액정층은 상기 제1 전극(EL1)과 상기 제2 전극(EL2) 사이 및 상기 제3 전극(EL3)과 상기 제2 전극(EL2) 사이에 배치될 수 있다.
- [0109] 상기 차광 패턴(BM)은 상기 박막 트랜지스터(TFT)와 중첩하게 배치될 수 있다. 상기 차광 패턴(BM)은 상기 제1 방향(D1)을 따라 연장되어, 상기 게이트 라인(GL)의 일부와 중첩할 수 있다.
- [0110] 도 8은 본 발명의 일 실시예에 따른 표시 패널의 하나의 화소를 나타낸 평면도이다.
- [0111] 도 8을 참조하면, 상기 표시 패널은 제3 전극(EL3)을 제외하고 도 6의 표시 패널과 실질적으로 동일하다. 따라서 반복되는 설명은 간략히 하거나 생략한다.
- [0112] 상기 표시 패널은 상기 표시 패널은 게이트 라인(GL), 데이터 라인(DL), 제1 전극(EL1), 제3 전극(EL3), 박막 트랜지스터(TFT) 및 제2 전극을 포함할 수 있다. 상기 박막 트랜지스터(TFT)는 소스 전극(SE), 액티브 패턴(ACT), 드레인 전극(DE) 및 게이트 전극(GE)을 포함할 수 있다.
- [0113] 상기 게이트 라인(GL)은 제1 방향(D1)으로 연장될 수 있다. 상기 게이트 라인(GL)은 상기 박막 트랜지스터(TFT)의 상기 게이트 전극(GE)과 전기적으로 연결될 수 있다.
- [0114] 상기 데이터 라인(DL)은 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장될 수 있다. 상기 제2 방향(D2)은 상기 제1 방향(D1)에 실질적으로 수직할 수 있다. 상기 데이터 라인(DL)은 상기 박막 트랜지스터(TFT)의 상기 소스 전극(SE)에 전기적으로 연결될 수 있다.
- [0115] 상기 제1 전극(EL1)은 상기 박막 트랜지스터(TFT)의 상기 드레인 전극(DE)과 전기적으로 연결될 수 있다. 상기 제1 전극(EL1)은 투명 도전 물질을 포함할 수 있다.
- [0116] 상기 제3 전극(EL3)은 상기 제1 전극(EL1)과 이격되어 배치될 수 있다. 상기 제3 전극(EL3)은 투명 모드와 일반 모드의 전환을 위해, 온 전압 또는 오프 전압을 인가받을 수 있다. 상기 제3 전극(EL3)은 투명 도전 물질을 포함할 수 있다.
- [0117] 상기 제3 전극(EL3)은 상기 투명 모드에서 투명도를 향상시키기 위하여, 상기 제1 전극(EL1)이 배치되지 않는 부분에 형성될 수 있다. 예를 들면, 상기 제3 전극(EL3)은 상기 게이트 라인(GL) 및 상기 데이터 라인(DL)과 중첩하게 배치될 수 있다. 또한, 상기 제3 전극(EL3)은 상기 박막 트랜지스터(TFT)와 중첩하게 배치될 수 있다.
- [0118] 상기 제2 전극은 상기 제1 전극(EL1) 및 상기 제3 전극(EL3)과 마주보게 배치되고, 상기 제1 전극(EL1) 및 상기 제2 전극(EL2)과 중첩할 수 있다.
- [0119] 상기 액정층은 상기 제1 전극(EL1)과 상기 제2 전극(EL2) 사이 및 상기 제3 전극(EL3)과 상기 제2 전극(EL2) 사이에 배치될 수 있다.
- [0120] 도 9는 본 발명의 일 실시예에 따른 표시 패널의 하나의 화소를 나타낸 평면도이다.
- [0121] 도 9를 참조하면, 상기 표시 패널은 제3 전극(EL3)을 제외하고 도 6의 표시 패널과 실질적으로 동일하다. 따라서 반복되는 설명은 간략히 하거나 생략한다.
- [0122] 상기 표시 패널은 상기 표시 패널은 게이트 라인(GL), 데이터 라인(DL), 제1 전극(EL1), 제3 전극(EL3), 박막 트랜지스터(TFT) 및 제2 전극을 포함할 수 있다. 상기 박막 트랜지스터(TFT)는 소스 전극(SE), 액티브 패턴(ACT), 드레인 전극(DE) 및 게이트 전극(GE)을 포함할 수 있다.
- [0123] 상기 게이트 라인(GL)은 제1 방향(D1)으로 연장될 수 있다. 상기 게이트 라인(GL)은 상기 박막 트랜지스터(TFT)의 상기 게이트 전극(GE)과 전기적으로 연결될 수 있다.
- [0124] 상기 데이터 라인(DL)은 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장될 수 있다. 상기 제2 방향(D2)은 상기 제1 방향(D1)에 실질적으로 수직할 수 있다. 상기 데이터 라인(DL)은 상기 박막 트랜지스터(TFT)의 상기

소스 전극(SE)에 전기적으로 연결될 수 있다.

- [0125] 상기 제1 전극(EL1)은 상기 박막 트랜지스터(TFT)의 상기 드레인 전극(DE)과 전기적으로 연결될 수 있다. 상기 제1 전극(EL1)은 투명 도전 물질을 포함할 수 있다.
- [0126] 상기 제3 전극(EL3)은 상기 제1 전극(EL1)과 이격되어 배치될 수 있다. 상기 제3 전극(EL3)은 상기 제1 전극(EL1)과 상기 제2 방향(D2)으로 인접하여, 상기 제1 방향(D1)으로 연장될 수 있다. 또한, 상기 제3 전극(EL3)의 일부는 상기 데이터 라인(DL)과 중첩하며 상기 제2 방향(D2)으로 연장되어 이웃하는 화소의 제3 전극과 연결될 수 있다. 상기 제3 전극(EL3)은 투명 모드와 일반 모드의 전환을 위해, 온 전압 또는 오프 전압을 인가받을 수 있다. 상기 제3 전극(EL3)은 투명 도전 물질을 포함할 수 있다.
- [0127] 상기 제2 전극은 상기 제1 전극(EL1) 및 상기 제3 전극(EL3)과 마주보게 배치되고, 상기 제1 전극(EL1) 및 상기 제3 전극(EL3)과 중첩할 수 있다.
- [0128] 상기 액정층은 상기 제1 전극(EL1)과 상기 제2 전극(EL2) 사이 및 상기 제3 전극(EL3)과 상기 제2 전극(EL2) 사이에 배치될 수 있다.
- [0129] 도 10은 본 발명의 일 실시예에 따른 표시 패널의 하나의 화소를 나타낸 평면도이다.
- [0130] 도 10을 참조하면, 상기 표시 패널은 제3 전극(EL3)을 제외하고 도 6의 표시 패널과 실질적으로 동일하다. 따라서 반복되는 설명은 간략히 하거나 생략한다.
- [0131] 상기 표시 패널은 상기 표시 패널은 게이트 라인(GL), 데이터 라인(DL), 제1 전극(EL1), 제3 전극(EL3), 박막 트랜지스터(TFT) 및 제2 전극을 포함할 수 있다. 상기 박막 트랜지스터(TFT)는 소스 전극(SE), 액티브 패턴(ACT), 드레인 전극(DE) 및 게이트 전극(GE)을 포함할 수 있다.
- [0132] 상기 게이트 라인(GL)은 제1 방향(D1)으로 연장될 수 있다. 상기 게이트 라인(GL)은 상기 박막 트랜지스터(TFT)의 상기 게이트 전극(GE)과 전기적으로 연결될 수 있다.
- [0133] 상기 데이터 라인(DL)은 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장될 수 있다. 상기 제2 방향(D2)은 상기 제1 방향(D1)에 실질적으로 수직할 수 있다. 상기 데이터 라인(DL)은 상기 박막 트랜지스터(TFT)의 상기 소스 전극(SE)에 전기적으로 연결될 수 있다.
- [0134] 상기 제1 전극(EL1)은 상기 박막 트랜지스터(TFT)의 상기 드레인 전극(DE)과 전기적으로 연결될 수 있다. 상기 제1 전극(EL1)은 투명 도전 물질을 포함할 수 있다.
- [0135] 상기 제3 전극(EL3)은 상기 제1 전극(EL1)과 이격되어 배치될 수 있다. 상기 제3 전극(EL3)은 상기 제1 방향(D1) 및 상기 제2 방향(D2)으로 연장되어 격자 구조(mesh)를 이룰 수 있다. 상기 제3 전극(EL3)은 투명 모드와 일반 모드의 전환을 위해, 온 전압 또는 오프 전압을 인가받을 수 있다. 상기 제3 전극(EL3)은 투명 도전 물질을 포함할 수 있다.
- [0136] 상기 제2 전극은 상기 제1 전극(EL1) 및 상기 제3 전극(EL3)과 마주보게 배치되고, 상기 제1 전극(EL1) 및 상기 제3 전극(EL3)과 중첩할 수 있다.
- [0137] 상기 액정층은 상기 제1 전극(EL1)과 상기 제2 전극(EL2) 사이 및 상기 제3 전극(EL3)과 상기 제2 전극(EL2) 사이에 배치될 수 있다.
- [0138] 도 11a 내지 도 15b는 도 1의 표시 패널의 제조 방법을 설명하기 위한 평면도들 및 단면도들이다.
- [0139] 도 11a 및 11b를 참조하면, 게이트 패턴이 제1 베이스 기판(100) 상에 형성될 수 있다. 상기 제1 베이스 기판(100) 상에 도전막(도시되지 않음)을 형성한 후, 사진 식각 공정 또는 추가적인 식각 마스크를 이용하는 식각 공정 등을 이용하여 상기 도전막을 패터닝함으로써, 상기 게이트 패턴을 수득할 수 있다.
- [0140] 상기 게이트 패턴은 게이트 라인(GL), 하이 스토리지 패턴(CSTh) 및 로우 스토리지 패턴(CSTl)을 포함할 수 있다. 상기 게이트 라인(GL)은 제1 방향(D1)으로 연장될 수 있다. 상기 게이트 라인(GL)은 제1 게이트 전극(도 2b의 GE1 참조)와 전기적으로 연결될 수 있다. 예를 들면, 상기 제1 게이트 전극은 상기 게이트 라인(GL)의 일부일 수 있다. 또한, 상기 게이트 라인(GL)은 제2 게이트 전극 및 제3 게이트 전극과 전기적으로 연결된다. 예를 들면, 상기 제2 게이트 전극 및 상기 제3 게이트 전극은 상기 게이트 라인(GL)의 일부일 수 있다.
- [0141] 상기 하이 스토리지 패턴(CSTh)은 상기 제1 방향(D1)으로 연장되어 상기 제1 방향(D1)으로 이웃하는 화소의 하이 스토리지 패턴과 연결될 수 있다. 상기 로우 스토리지 패턴(CSTl)은 상기 제1 방향(D1)으로 연장되어 상기

제1 방향(D1)으로 이웃하는 화소의 로우 스토리지 패턴과 연결될 수 있다. 상기 게이트 라인(GL)은 상기 하이 스토리지 패턴(CSTh)과 상기 로우 스토리지 패턴(CSTl) 사이에 형성될 수 있다.

- [0142] 도 12a 및 12b를 참조하면, 상기 제1 절연층(110)이 상기 게이트 라인(GL), 상기 하이 스토리지 패턴(CSTh) 및 상기 로우 스토리지 패턴(CSTl)이 형성된 상기 제1 베이스 기판(100) 상에 형성될 수 있다. 상기 제1 절연층(110)은 스핀 코팅 공정, 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정, 고밀도 플라즈마-화학 기상 증착 공정 등을 이용하여 수득될 수 있다.
- [0143] 상기 제1 절연층(110) 상에 액티브 패턴 및 데이터 패턴이 형성될 수 있다. 상기 제1 절연층(110) 상에 액티브 층(도시되지 않음)을 형성한 후, 상기 액티브 층 상에 도전막을 형성할 수 있다. 이후, 상기 도전막 및 상기 액티브 층을 동시에 패터닝 하여 상기 액티브 패턴 및 상기 데이터 패턴을 형성할 수 있다. 상기 액티브층은 비정질 실리콘(a-Si:H)으로 이루어진 반도체층 및 n+ 비정질 실리콘(n+ a-Si:H)으로 이루어진 저항성 접촉층을 포함할 수 있다. 따라서, 상기 액티브 패턴 및 상기 데이터 패턴 사이에는 저항성 접촉층이 형성될 수 있다. 또한, 상기 액티브 층은 산화물 반도체를 포함할 수 있다. 상기 산화물 반도체는 인듐(indium: In), 아연(zinc: Zn), 갈륨(gallium: Ga), 주석(tin: Sn) 또는 하프늄(hafnium: Hf) 중 적어도 하나를 포함하는 비정질 산화물로 이루어질 수 있다.
- [0144] 상기 액티브 패턴은 제1 액티브 영역(ACT1), 제2 액티브 영역(ACT2) 및 제3 액티브 영역(ACT3)을 포함할 수 있다.
- [0145] 상기 데이터 패턴은 데이터 라인(DL), 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 제2 소스 전극(SE2), 제2 드레인 전극(DE2), 제3 소스 전극(SE3), 제3 드레인 전극(DE3) 및 분압 기준 전압 라인(RDL)을 포함할 수 있다.
- [0146] 상기 데이터 라인(DL)은 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장될 수 있다. 상기 제2 방향(D2)은 상기 제1 방향(D1)에 실질적으로 수직할 수 있다. 상기 데이터 라인(DL)은 상기 제1 소스 전극(SE1) 및 상기 제2 소스 전극(SE2)과 전기적으로 연결될 수 있다.
- [0147] 상기 제1 소스 전극(SE1)은 상기 제1 액티브 영역(ACT)과 전기적으로 연결될 수 있다. 제1 드레인 전극(DE1)은 상기 제1 소스 전극(SE1)과 이격되고, 상기 제1 액티브 영역(ACT1)과 전기적으로 연결될 수 있다.
- [0148] 상기 제2 소스 전극(SE2)은 상기 제2 액티브 영역(ACT2)과 전기적으로 연결될 수 있다. 제2 드레인 전극(DE2)은 상기 제2 소스 전극(SE2)과 이격되고, 상기 제2 액티브 영역(ACT2)과 전기적으로 연결될 수 있다.
- [0149] 상기 분압 기준 전압 라인(RDL)은 상기 데이터 라인(DL)과 상기 제1 방향(D1)으로 이격되어, 상기 제2 방향(D2)으로 연장될 수 있다. 상기 분압 기준 전압라인(RDL)은 상기 제3 드레인 전극(DE3)과 전기적으로 연결될 수 있다.
- [0150] 상기 제3 드레인 전극(DE3)은 상기 제3 액티브 영역(ACT3)과 전기적으로 연결될 수 있다. 제3 소스 전극(SE3)은 상기 제3 드레인 전극(DE3)과 이격되고, 상기 제3 액티브 영역(ACT3)과 전기적으로 연결될 수 있다. 상기 제3 소스 전극(SE3)은 상기 제2 드레인 전극(DE2)과 전기적으로 연결될 수 있다.
- [0151] 도 13a 및 13b를 참조하면, 제2 절연층(120)이 상기 데이터 라인(DL) 및 상기 분압 기준 전압 라인(RDL)이 배치된 상기 제1 절연층(110) 상에 형성될 수 있다.
- [0152] 상기 제2 절연층(120)은 구성 물질에 따라 스핀 코팅 공정, 프린팅 공정, 스퍼터링 공정, 화학 기상 증착 공정, 원자층 적층 공정, 플라즈마 증대 화학 기상 증착 공정, 고밀도 플라즈마-화학 기상 증착 공정, 진공 증착 공정 등을 이용하여 상기 제2 절연층(120)을 수득할 수 있다.
- [0153] 상기 제2 절연층(120)을 통해 상기 데이터 패턴을 노출하는 콘택홀들을 형성할 수 있다. 사진 식각 공정이나 추가적인 마스크를 사용하는 식각 공정을 통해 상기 제2 절연층(120)을 부분적으로 식각함으로써, 상기 제2 절연층(120)을 관통하여 각각 상기 제1 및 제2 박막 트랜지스터들(TFT1, TFT2)의 상기 제1 및 제2 드레인 전극들을 부분적으로 노출시키는 상기 콘택홀들을 형성할 수 있다.
- [0154] 상기 제2 절연층(120) 상에 화소 전극 패턴이 형성될 수 있다. 상기 화소 전극 패턴은 상기 콘택홀들을 채우면서 상기 제2 절연층(120) 상에 형성될 수 있다. 상기 화소 전극 패턴은 제1 하이 전극(EL1h), 제1 로우 전극(EL1l) 및 제3 전극(EL3)을 포함할 수 있다. 상기 제2 절연층(120) 상에 화소 전극층을 형성한 후, 사진 식각 공정 또는 추가적인 식각 마스크를 이용하는 식각 공정 등을 이용하여 상기 화소 전극층을 패터닝 함으로써, 상기 화소 전극 패턴을 형성할 수 있다. 상기 화소 전극층은 프린팅 공정, 스퍼터링 공정, 화학 기상 증착 공정,

원자층 적층 공정, 진공 증착 공정, 펄스 레이저 증착 공정 등을 이용하여 형성될 수 있다.

- [0155] 상기 제1 하이 전극(EL1h)은 상기 콘택홀을 통해 상기 제1 박막 트랜지스터(TFT1)의 상기 제1 드레인 전극(DE1)과 전기적으로 연결될 수 있다. 상기 제1 하이 전극(EL1h)의 가장자리는 상기 하이 스토리지 패턴(CSTh)과 일부 중첩할 수 있다.
- [0156] 상기 제1 로우 전극(EL1l)은 상기 제1 하이 전극(EL1h)과 상기 제2 방향(D2)으로 이격되어 형성될 수 있다. 상기 제1 로우 전극(EL1l)은 상기 콘택홀을 통해 상기 제2 박막 트랜지스터(TFT2)의 상기 제2 드레인 전극(DE2) 및 상기 제3 트랜지스터(TFT3)의 상기 제3 소스 전극(SE3)과 전기적으로 연결될 수 있다. 상기 제1 로우 전극(EL1l)의 가장자리는 상기 로우 스토리지 패턴(CSTl)과 일부 중첩할 수 있다.
- [0157] 상기 제3 전극(EL3)은 상기 제1 하이 전극(EL1h) 및 상기 제1 로우 전극(EL1l)과 상기 제1 방향(D1)으로 이격되어 형성될 수 있다. 상기 제3 전극(EL3)은 상기 제2 방향(D2)으로 연장될 수 있다. 상기 제3 전극(EL3)은 상기 분압 기준 전압 라인(RDL) 및 이웃하는 화소의 데이터 라인과 중첩할 수 있다. 상기 제3 전극(EL3)은 상기 제1 방향(D1)으로 연장되고, 상기 제1 하이 전극(EL1h) 및 상기 제1 로우 전극(EL1l) 사이에 배치되는 연결 전극(EL3a)에 의해 이웃하는 화소의 제3 전극과 연결될 수 있다.
- [0158] 도 14를 참조하면, 제2 베이스 기판(200) 상에 차광 패턴(BM)이 형성될 수 있다. 상기 차광 패턴(BM)은 상기 제1 내지 제3 박막 트랜지스터들(TFT1, TFT2, TFT3)과 중첩하도록 형성될 수 있다.
- [0159] 컬러 필터(210)가 상기 차광 패턴(BM)이 배치된 상기 제2 베이스 기판(200) 상에 형성될 수 있다. 상기 컬러 필터(210)는 상기 제1 전극(EL1)과 중첩하게 형성될 수 있다. 상기 컬러 필터(210)는 상기 제3 전극(EL3)과 중첩하지 않도록 형성될 수 있다.
- [0160] 오버 코팅층(220)은 상기 컬러 필터(210) 및 상기 차광 패턴(BM) 상에 형성될 수 있다. 상기 오버 코팅층(220)은 상기 컬러 필터(210)를 평탄화하면서, 상기 컬러 필터(210)를 보호하는 역할과 절연하는 역할을 하며 아크릴계 에폭시 재료를 이용하여 형성될 수 있다.
- [0161] 상기 제2 전극(EL2)이 상기 오버 코팅층(220) 상에 형성될 수 있다. 상기 제2 전극(EL2) 상기 제2 베이스 기판(200) 전체 상에 형성될 수 있다.
- [0162] 도 15a 및 15b를 참조하면, 상기 제1 하이 및 제1 로우 전극 및 제3 전극(EL1h, EL1l, EL3)과 상기 제2 전극(EL3) 사이에 액정층(300)을 형성할 수 있다. 이에 따라 상기 표시 패널을 제조할 수 있다.
- [0163] 본 발명의 실시예들에 따르면, 표시 패널은 투명 모드 및 일반 모드를 구현할 수 있도록, 제1 전극, 제2 전극, 제3 전극 및 액정층 포함한다. 상기 투명 모드에서는, 상기 제3 전극에 온 전압이 인가되고, 상기 제2 전극에 상기 공통 전압이 인가될 수 있다. 이에 따라, 상기 액정층이 광을 투과시키고, 투명 디스플레이를 구현할 수 있다. 상기 일반 모드에서는, 상기 제3 전극에 오프 전압이 인가되고, 상기 제2 전극에 상기 공통 전압이 인가될 수 있다. 이에 따라, 상기 액정층이 광을 차단시키고, 일반 디스플레이를 구현할 수 있다.
- [0164] 또한, 상기 표시 패널은 차광 패턴을 최소화 하고, 상기 제3 전극의 형상을 다양하게 설계하여 투과율을 향상시킬 수 있다. 또한, 상기 표시 패널은 분압 기준 전압 배선의 위치를 조정하여 개구율을 향상시킬 수 있다. 또한, 상기 제3 전극에 인가되는 전압을 조절하여 투명 디스플레이의 투명도를 조절할 수 있다.
- [0165] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

- [0166] 100: 제1 베이스 기판 110: 제1 절연층
120: 제2 절연층 200: 제2 베이스 기판
210: 컬러 필터 220: 오버 코팅층
300: 액정층 GL: 게이트 라인
DL: 데이터 라인 EL1h: 제1 하이 전극
EL1l: 제1 로우 전극 EL2: 제2 전극

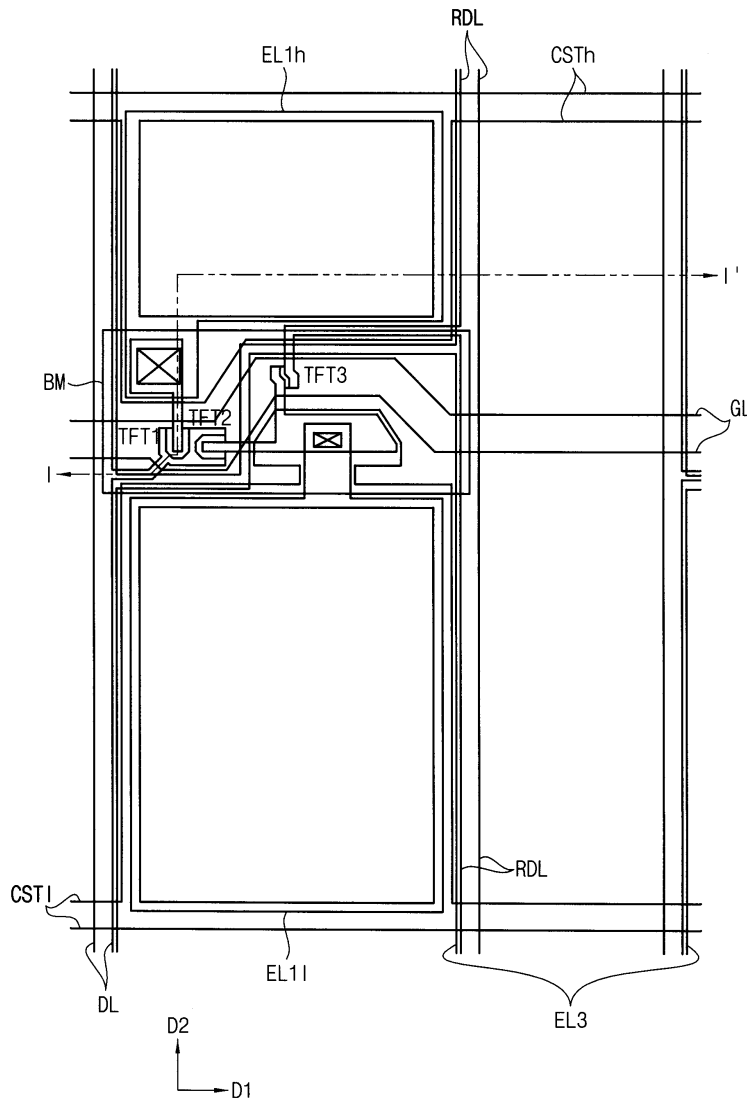
EL3: 제3 전극 RDL: 분압 기준 전압 라인

TFT1: 제1 박막 트랜지스터 TFT2: 제2 박막 트랜지스터

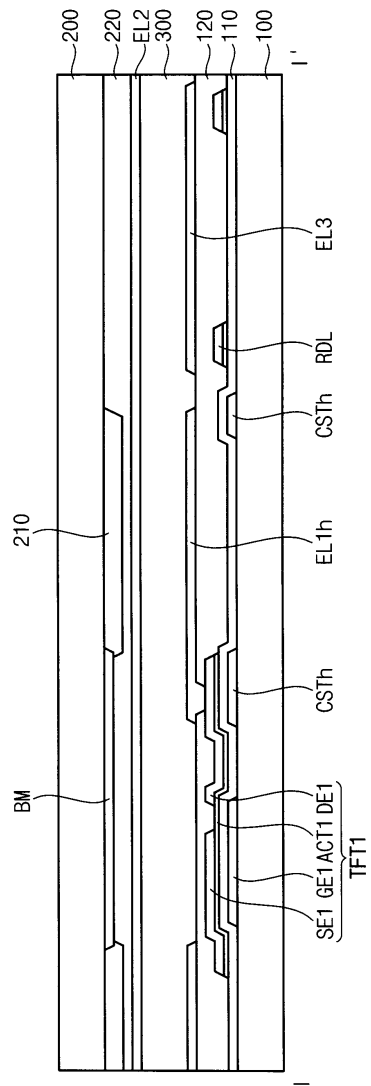
TFT3: 제3 박막 트랜지스터

도면

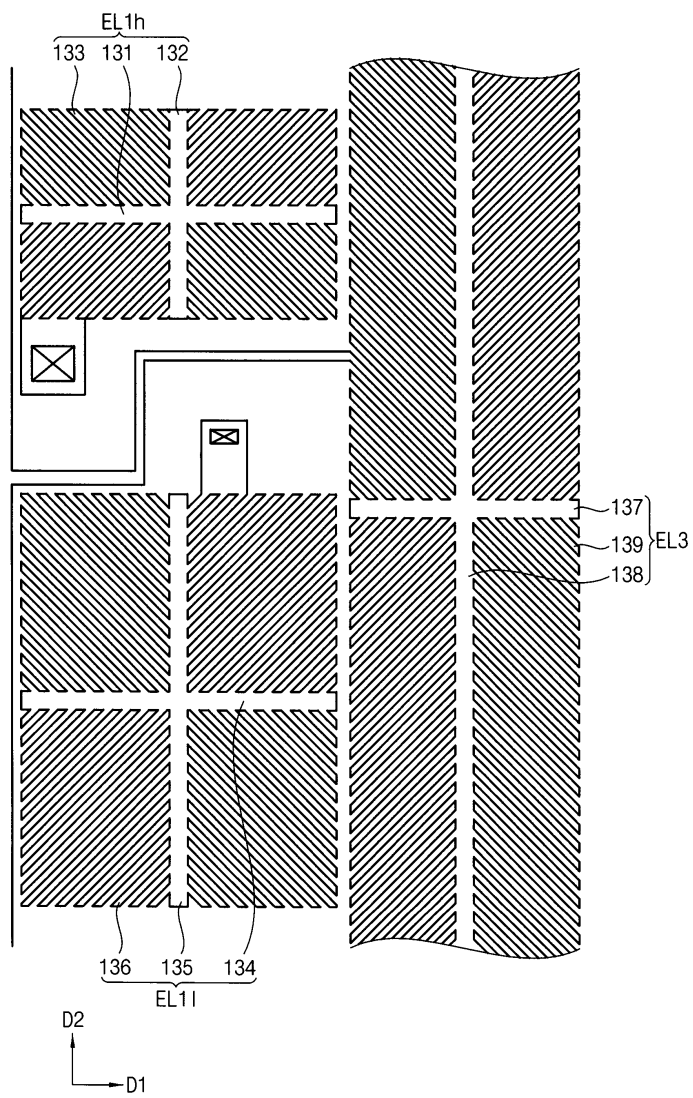
도면1



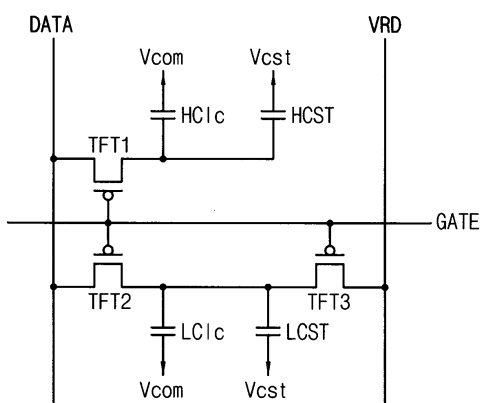
도면2



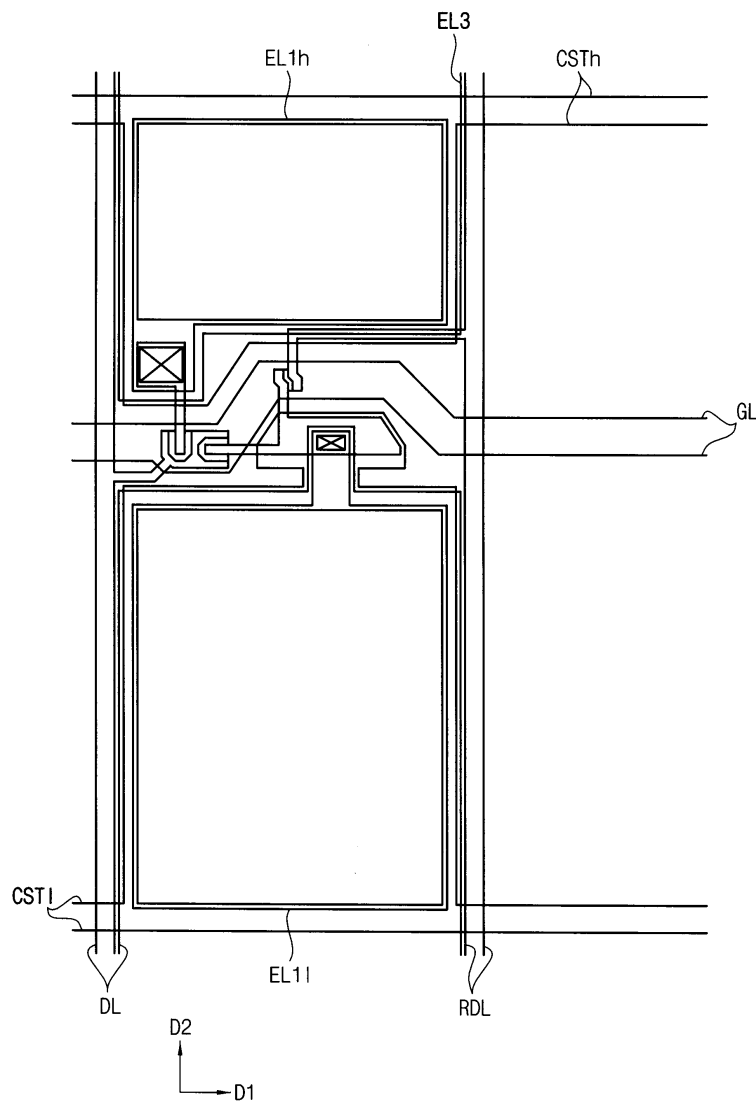
도면3



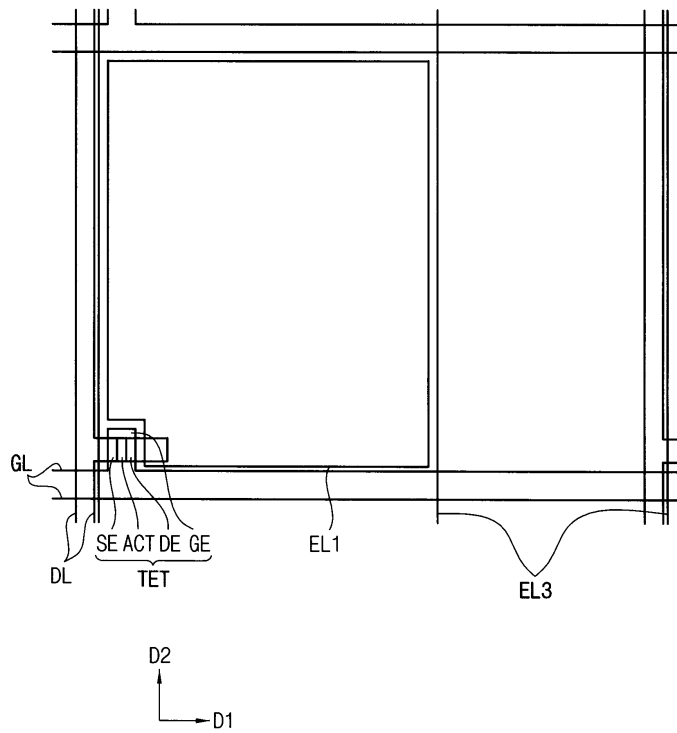
도면4



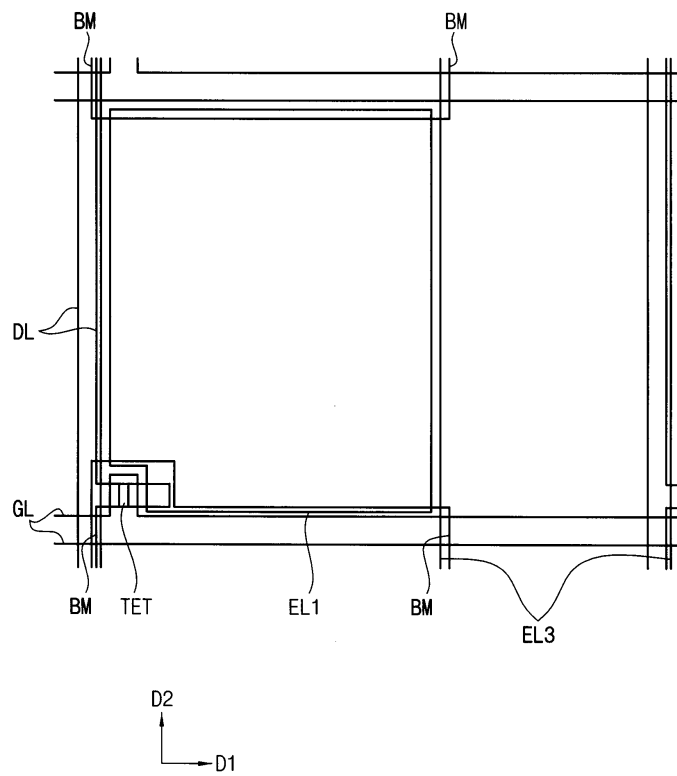
도면5



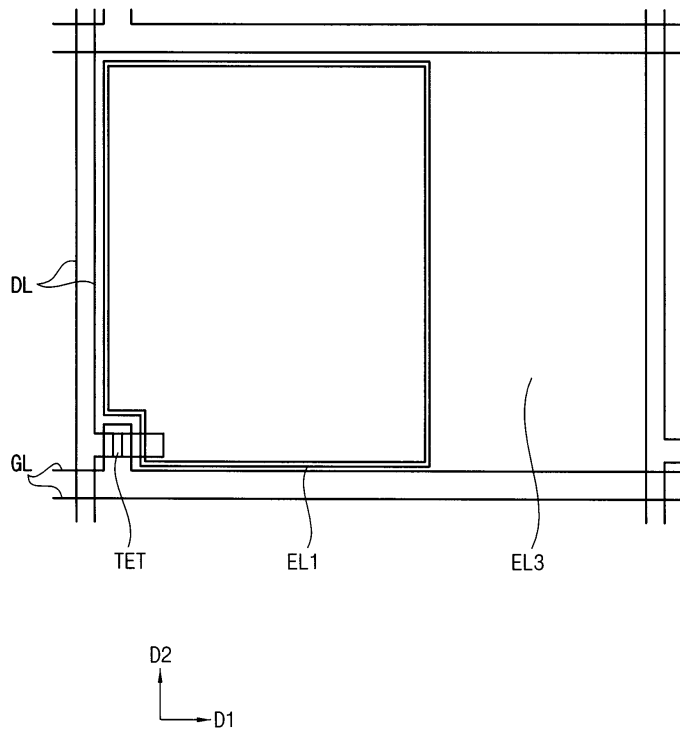
도면6



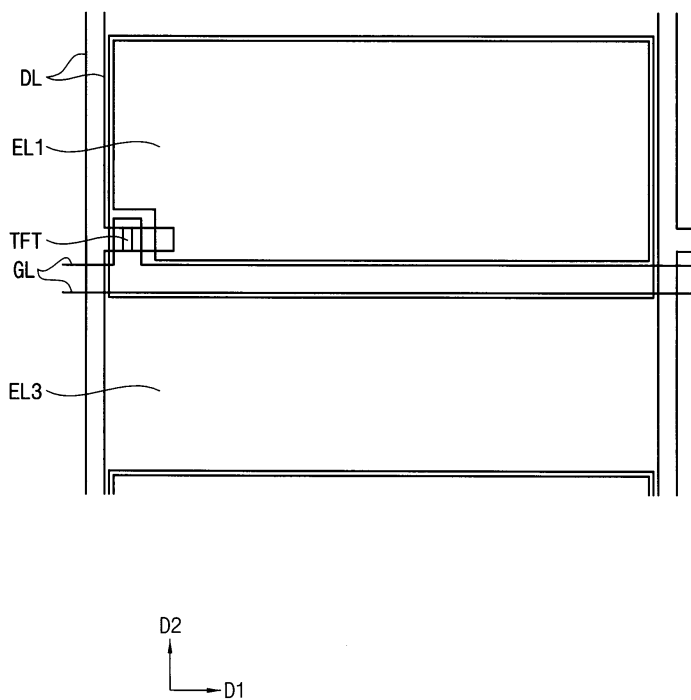
도면7



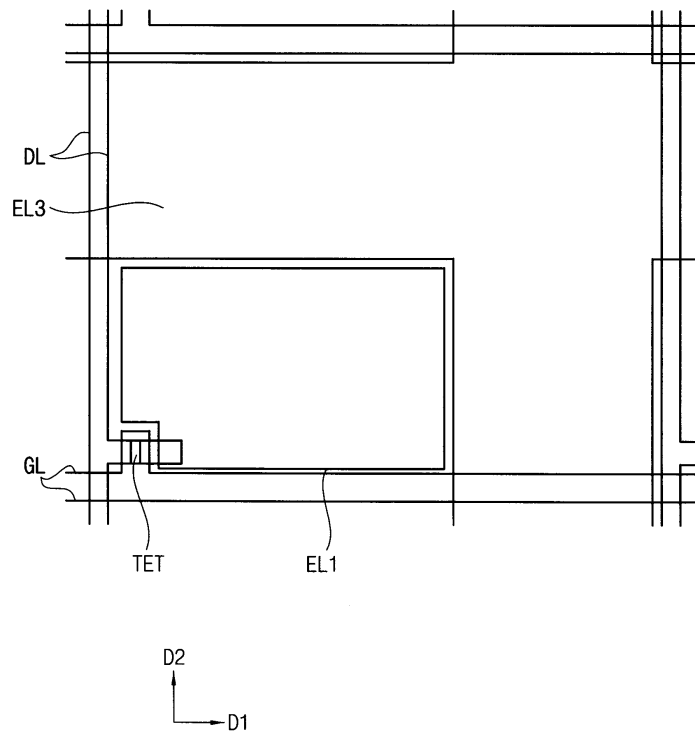
도면8



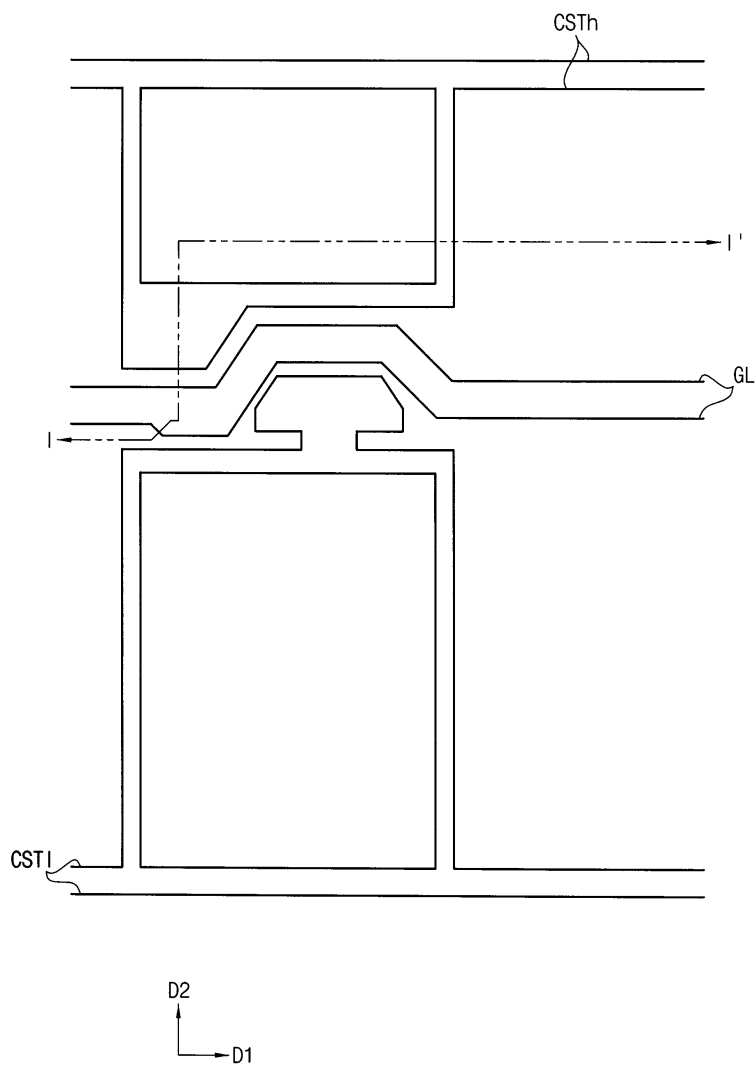
도면9



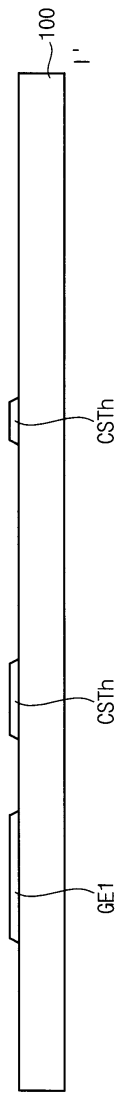
도면10



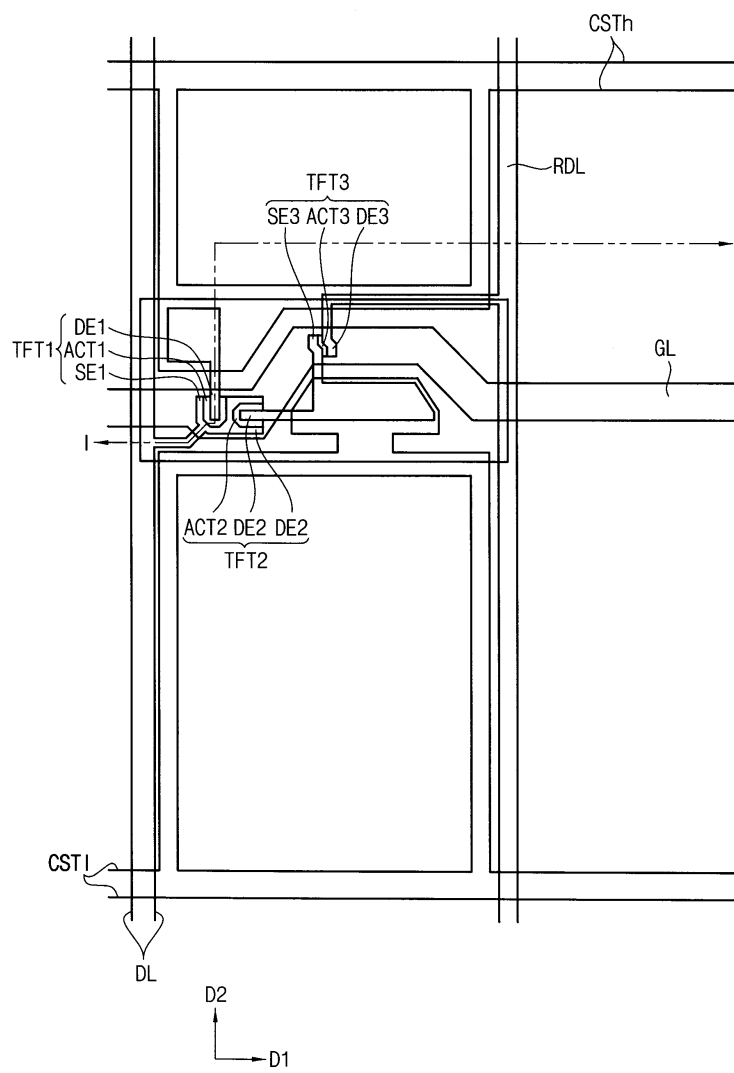
도면11a



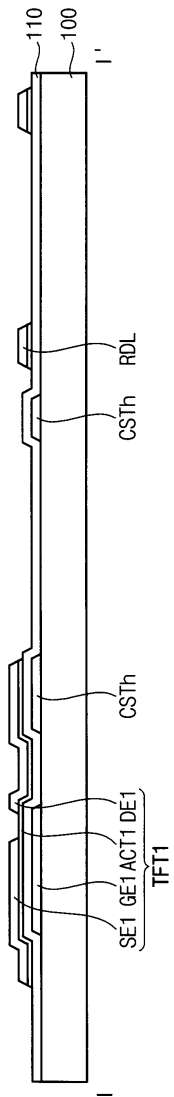
도면11b



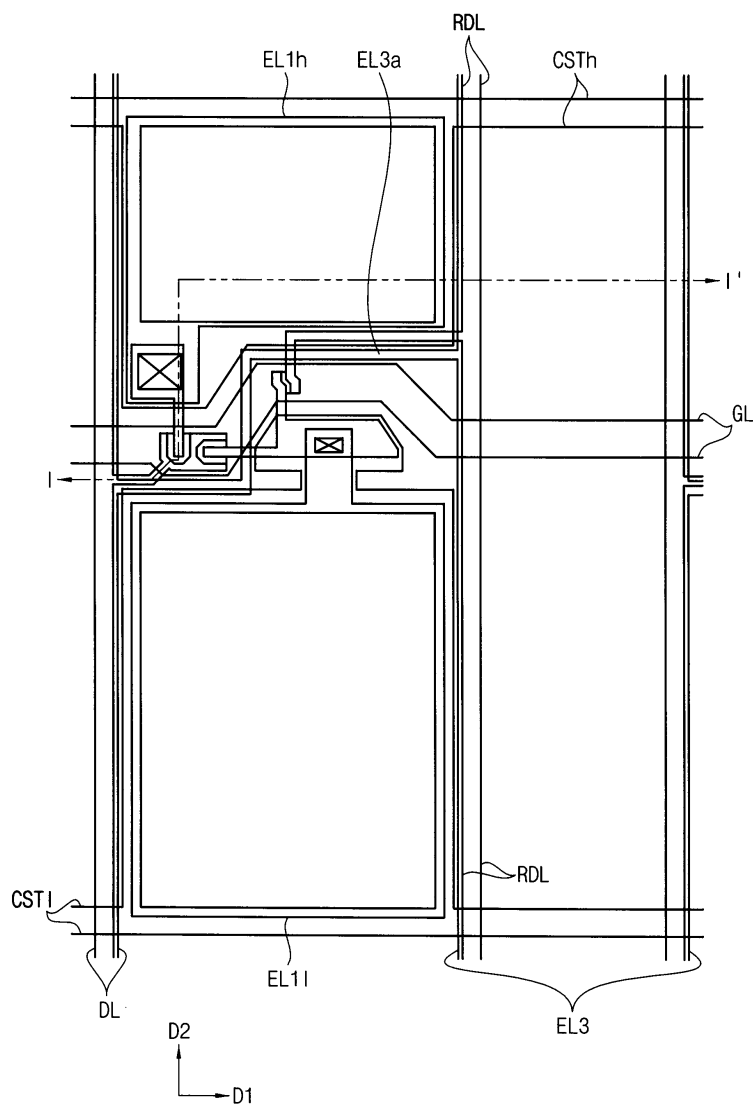
도면12a



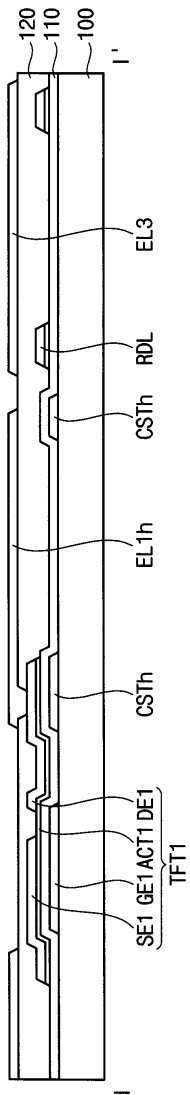
도면12b



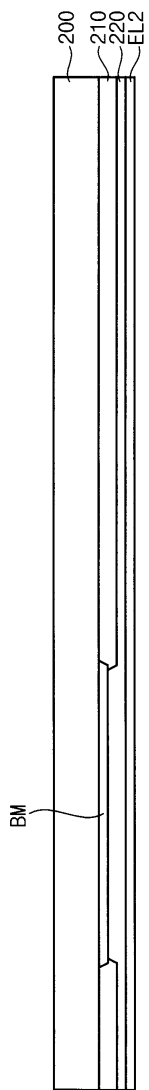
도면13a



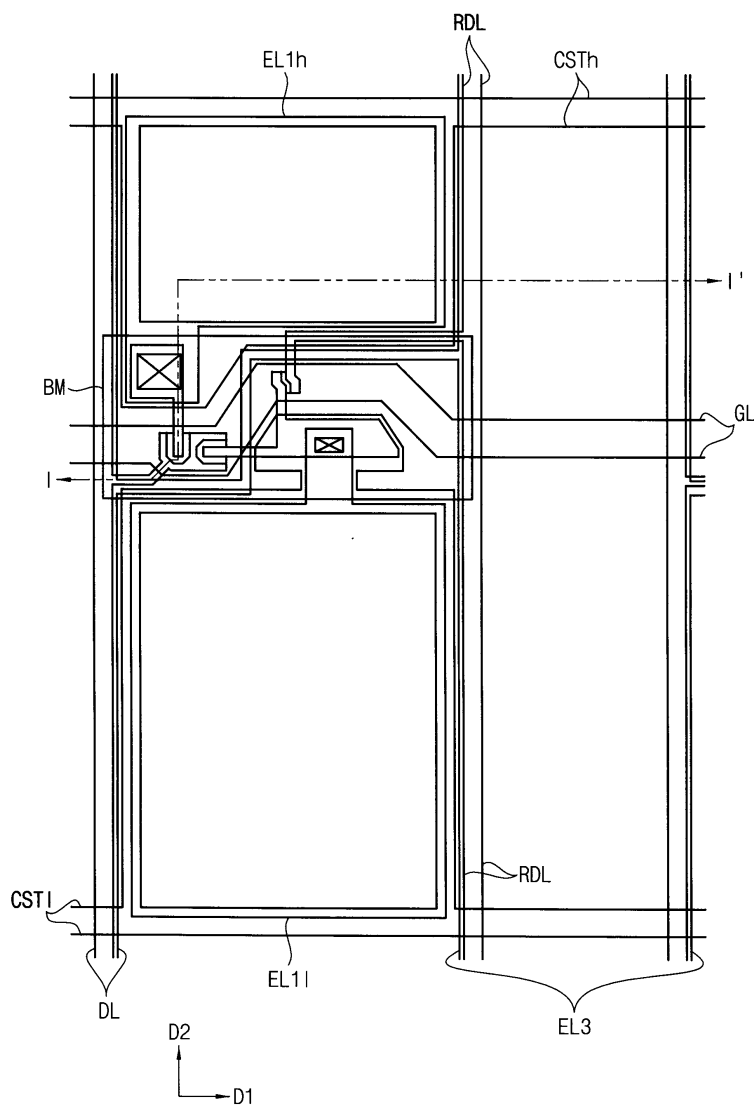
도면13b



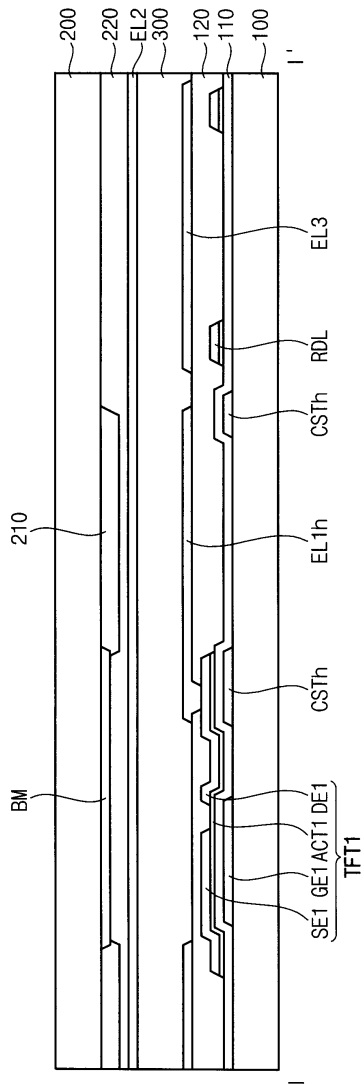
도면14



도면15a



도면15b



专利名称(译)	显示面板及其制造方法		
公开(公告)号	KR1020170084417A	公开(公告)日	2017-07-20
申请号	KR1020160003346	申请日	2016-01-11
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	IM WAN SOON 임완순 SONG YOUNG GOO 송영구 YOON YEO GEON 윤여건 JU JANG BOG 주장복		
发明人	임완순 송영구 윤여건 주장복		
IPC分类号	G02F1/1343 G02F1/133 G02F1/1335 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/134336 G02F1/133 G02F1/1368 G02F1/133514 G02F1/136209 G02F1/134309 G02F1/139 G02F2203/64 G02F1/136286 G02F1/137 G02F2001/13756		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

显示面板包括第一基础基板，栅极线和数据线，薄膜晶体管设置在第一基础基板上并与栅极线和数据线电连接，第一电极与薄电连接薄膜晶体管，具有数据线宽边的第三电极和第一电极分开布置，第一电极和第二电极面对第二电极和第一和第三电极，液晶层布置在第二电极和第二电极之间电极。因此，显示面板可以根据需要实现透明显示器或一般显示器。

