



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0073309
(43) 공개일자 2017년06월28일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)

(52) CPC특허분류
G09G 3/3648 (2013.01)
G09G 3/3677 (2013.01)

(21) 출원번호 10-2015-0182058
(22) 출원일자 2015년12월18일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
김병우
서울특별시 성동구 광나루로9길 5 202호
조성현
서울특별시 서대문구 통일로34길 43 흥제원현대아파트 105동 301호

장성욱
경기도 고양시 일산서구 일현로 97-11(탄현동, 일산 위브더제니스) 101동 1208호

(74) 대리인
특허법인인벤투스

전체 청구항 수 : 총 15 항

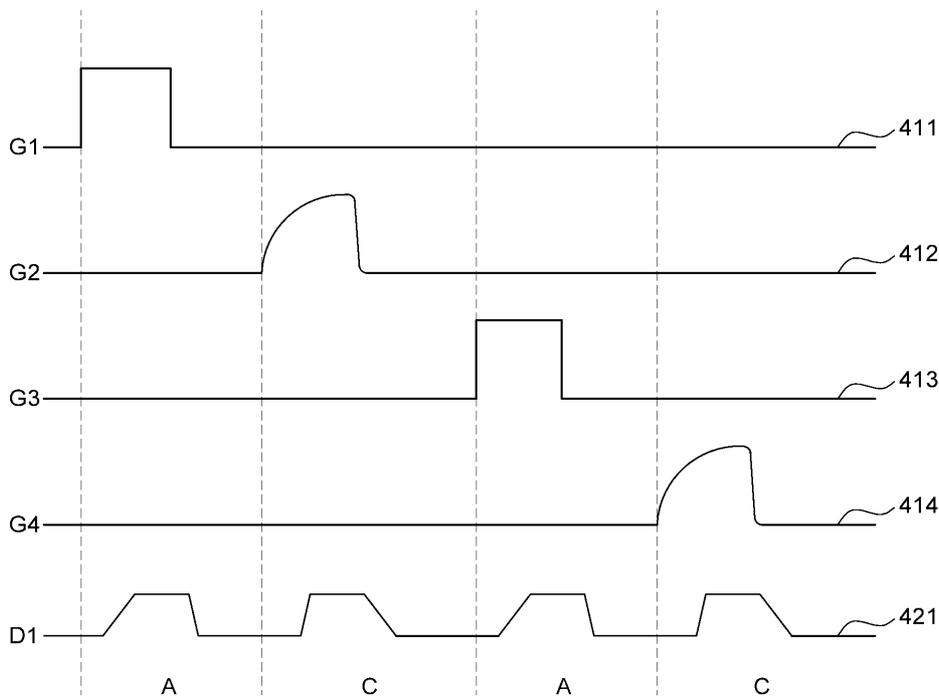
(54) 발명의 명칭 액정 표시 장치

(57) 요약

액정 표시 장치가 제공된다. 액정 표시 장치는 표시 영역에서 복수의 데이터 라인 및 복수의 게이트 라인이 교차되고, 교차된 영역마다 화소가 배치된 화소 어레이를 포함한다. 게이트 구동회로는 표시 영역의 일측에 인접한 제1 비표시 영역에 배치되고, 복수의 게이트 라인 중 기수(odd) 게이트 라인에 게이트 신호를 공급하도록 구성된

(뒷면에 계속)

대표도 - 도4a



기수 게이트 구동회로, 및 표시 영역의 타측에 인접한 제2 비표시 영역에 배치되고, 복수의 게이트 라인 중 우수 (even) 게이트 라인에 게이트 신호를 공급하도록 구성된 우수 게이트 구동회로를 포함한다. 데이터 구동회로는 복수의 데이터 라인 각각에 데이터 신호를 공급하도록 구성된다. 데이터 구동회로는 표시 영역의 일측 및 타측 각각에 인접한 화소에 연결된 데이터 라인 각각에 슬루 레이트(slew rate)가 서로 상이한 데이터 신호를 공급하도록 구성된다. 본 발명의 일 실시예에 따른 액정 표시 장치에서는 슬루 레이트를 조절한 데이터 신호를 통해 게이트 신호의 RC 딜레이에 의한 화소 사이의 휘도 차이가 저감될 수 있다.

(52) CPC특허분류

G09G 3/3688 (2013.01)

G09G 2300/0828 (2013.01)

G09G 2310/08 (2013.01)

G09G 2320/0223 (2013.01)

명세서

청구범위

청구항 1

표시 영역에서 복수의 데이터 라인 및 복수의 게이트 라인이 교차되고, 교차된 영역마다 화소가 배치된 화소 어레이;

상기 표시 영역의 일측에 인접한 제1 비표시 영역에 배치되고, 상기 복수의 게이트 라인 중 기수(odd) 게이트 라인에 게이트 신호를 공급하도록 구성된 기수 게이트 구동회로, 및 상기 표시 영역의 타측에 인접한 제2 비표시 영역에 배치되고, 상기 복수의 게이트 라인 중 우수(even) 게이트 라인에 게이트 신호를 공급하도록 구성된 우수 게이트 구동회로를 포함하는 게이트 구동회로; 및

상기 복수의 데이터 라인 각각에 데이터 신호를 공급하도록 구성된 데이터 구동회로를 포함하고,

상기 데이터 구동회로는 상기 표시 영역의 상기 일측 및 상기 타측 각각에 인접한 화소에 연결된 데이터 라인 각각에 슬루 레이트(slew rate)가 서로 상이한 데이터 신호를 공급하도록 구성된, 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 데이터 구동회로는,

상기 복수의 게이트 라인 중 일 게이트 라인을 기준으로, 상기 표시 영역의 상기 일측에 인접한 화소에서 상기 표시 영역의 상기 타측에 인접한 화소로 갈수록 라이징 에지(rising edge)의 슬루 레이트가 감소하도록, 상기 복수의 데이터 라인 각각에 상기 데이터 신호를 공급하도록 더 구성된, 액정 표시 장치.

청구항 3

제1항에 있어서,

상기 데이터 구동회로는,

상기 복수의 게이트 라인 중 일 게이트 라인을 기준으로, 상기 표시 영역의 상기 일측에 인접한 화소에서 상기 표시 영역의 상기 타측에 인접한 화소로 갈수록 폴링 에지(falling edge)의 슬루 레이트가 증가하도록, 상기 복수의 데이터 라인 각각에 상기 데이터 신호를 공급하도록 구성된, 액정 표시 장치.

청구항 4

제1항에 있어서,

상기 데이터 구동회로는,

상기 복수의 게이트 라인 중 일 게이트 라인을 기준으로, 상기 표시 영역의 상기 일측에 인접한 화소에서 상기 표시 영역의 상기 타측에 인접한 화소로 갈수록 상기 데이터 신호에 의해 상기 화소가 충전되는 충전 시간이 증가하도록, 상기 복수의 데이터 라인 각각에 상기 데이터 신호를 공급하도록 더 구성된, 액정 표시 장치.

청구항 5

제1항에 있어서,

상기 데이터 구동회로는,

상기 표시 영역의 상기 일측 또는 상기 타측에서의 상기 복수의 데이터 라인 중 일 데이터 라인에, 서로 인접하는 제1 게이트 라인에 배치된 제1 화소 및 제2 게이트 라인에 배치된 제2 화소에 서로 다른 슬루 레이트를 갖는 데이터 신호를 공급하도록 더 구성된, 액정 표시 장치.

청구항 6

제5항에 있어서,

상기 데이터 구동회로는,

상기 제1 화소에 공급되는 데이터 신호의 라이징 에지의 슬루 레이트가 상기 제2 화소에 공급되는 데이터 신호의 폴링 에지의 슬루 레이트와 동일한 데이터 신호를 공급하도록 더 구성된, 액정 표시 장치.

청구항 7

제5항에 있어서,

상기 데이터 구동회로는,

상기 제1 화소에 공급되는 데이터 신호의 폴링 에지의 슬루 레이트가 상기 제2 화소에 공급되는 데이터 신호의 라이징 에지의 슬루 레이트와 동일한 데이터 신호를 공급하도록 더 구성된, 액정 표시 장치.

청구항 8

제5항에 있어서,

상기 제1 화소에서의 화소 충전율 및 상기 제2 화소에서의 화소 충전율이 동일한, 액정 표시 장치.

청구항 9

표시 영역에서 복수의 데이터 라인 및 복수의 게이트 라인이 교차되고, 교차된 영역마다 화소가 배치된 화소 어레이;

상기 표시 영역의 양단에 인접한 비표시 영역에 배치되고, 상기 화소마다 배치된 박막 트랜지스터를 턴-온(turn-on)하기 위한 게이트 신호를 상기 복수의 게이트 라인에 공급하도록 구성된 게이트 구동회로; 및

인접하는 게이트 라인에 각각 배치된 화소의 충전율을 일정하게 유지하도록 데이터 신호를 공급하는 데이터 구동회로를 포함하는, 액정 표시 장치.

청구항 10

제9항에 있어서,

상기 게이트 구동회로는,

상기 복수의 게이트 라인 각각에 연결되고, 상기 표시 영역의 일측에 배치된 제1 비표시 영역 및 상기 표시 영역의 타측에 배치된 제2 비표시 영역에 각각 교번하여 배치된 스테이지를 포함하고,

상기 스테이지에 인접한 화소에는 상기 스테이지에 인접한 화소의 반대편에 배치된 화소에 공급되는 데이터 신호의 라이징 타임(rising time)보다 라이징 타임이 길고 상기 스테이지에 인접한 화소의 반대편에 배치된 화소에 공급되는 데이터 신호의 폴링 타임(falling time)보다 폴링 타임이 짧은 데이터 신호를 공급하는, 액정 표시 장치.

청구항 11

제10항에 있어서,

상기 박막 트랜지스터는 상기 게이트 신호가 입력되는 게이트 전극 및 상기 데이터 신호가 입력되는 소스 전극을 포함하고,

상기 스테이지에 인접한 화소에서의 상기 게이트 전극 및 상기 소스 전극 사이의 전압(V_{gs})은 상기 스테이지에 인접한 화소의 반대편에 배치된 화소에서의 상기 게이트 전극 및 상기 소스 전극 사이의 전압(V_{gs})보다 큰, 액정 표시 장치.

청구항 12

제11항에 있어서,

상기 스테이지에 인접한 화소에서의 상기 게이트 전극 및 상기 소스 전극 사이의 전압(V_{gs})의 최대값은 상기 스

테이지에 인접한 화소의 반대편에 배치된 화소에서의 상기 게이트 전극 및 상기 소스 전극 사이의 전압(Vgs)의 최대값보다 큰, 액정 표시 장치.

청구항 13

제11항에 있어서,

상기 스테이지에 인접한 화소에서의 상기 게이트 전극 및 상기 소스 전극 사이의 전압(Vgs)의 최소값은 상기 스테이지에 인접한 화소의 반대편에 배치된 화소에서의 상기 게이트 전극 및 상기 소스 전극 사이의 전압(Vgs)의 최소값보다 큰, 액정 표시 장치.

청구항 14

표시 영역에서 복수의 데이터 라인 및 복수의 게이트 라인이 교차되고, 교차된 영역마다 화소가 배치된 화소 어레이;

상기 표시 영역의 양단에 인접한 비표시 영역에 배치되고, 상기 화소마다 배치된 박막 트랜지스터를 턴-온(turn-on)하기 위한 게이트 신호를 상기 복수의 게이트 라인에 공급하도록 구성된 게이트 구동회로;

인접하는 게이트 라인에 각각 배치된 화소의 충전율을 일정하게 유지하도록 데이터 신호를 공급하도록 구성된 데이터 구동회로; 및

상기 데이터 신호의 라이징 에지 및 폴링 에지 중 적어도 하나의 슬루 레이트를 설정하는 슬루 레이트 제어 신호를 상기 데이터 구동회로에 공급하도록 구성된 타이밍 컨트롤러를 포함하는, 액정 표시 장치.

청구항 15

제14항에 있어서,

상기 데이터 구동회로는,

논리 비트(logic bit)로 구성된 상기 슬루 레이트 제어 신호를 수신하여, 상기 라이징 에지 및 상기 폴링 에지 중 적어도 하나의 상기 슬루 레이트를 상기 논리 비트에 대응하는 슬루 레이트로 변환하도록 구성된 디지털 아날로그 변환부를 포함하는, 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로서, 보다 상세하게는 화소 간의 충전율을 균일하게 구현될 수 있는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 모바일폰, 태블릿, 노트북 컴퓨터, 텔레비전 및 모니터와 같은 다양한 전자 디바이스에 평면 패널 표시 장치(flat panel display; FPD)가 채용되었다. FPD에는 액정 표시 장치(Liquid Crystal Display Device, 이하 ‘LCD’라 함) 등이 있다. 이와 같은 표시 장치는 복수의 화소를 포함하고, 영상이 표시되고 복수의 화소로 이루어진 화소 어레이와 복수의 화소 각각에서 광이 투과되도록 제어하는 구동회로를 포함한다. 표시 장치의 구동회로는 화소 어레이의 데이터 라인들에 데이터 신호를 공급하는 데이터 구동회로, 데이터 신호에 동기되는 게이트 신호(또는 스캔 신호)를 화소 어레이의 게이트 라인들(또는 스캔 라인)에 순차적으로 공급하는 게이트 구동회로(또는 스캔 구동회로) 및 데이터 구동회로와 게이트 구동회로를 제어하는 타이밍 컨트롤러 등을 포함한다.

[0003] 복수의 화소 각각은 게이트 라인을 통해 공급되는 게이트 신호에 응답하여 데이터 라인의 전압을 화소 전극에 공급하는 박막 트랜지스터(Thin Film Transistor)를 포함할 수 있다. 게이트 신호는 게이트 하이 전압(Gate High Voltage; VGH)과 게이트 로우 전압(Gate Low Voltage; VGL) 사이에서 스윙(swing)한다. 즉, 게이트 신호는 펄스 형태로 나타난다. 게이트 하이 전압(VGH)은 표시 패널에 형성된 박막 트랜지스터의 문턱 전압보다 높은 전압으로 설정되고, 게이트 로우 전압(VGL)은 박막 트랜지스터의 문턱 전압보다 낮은 전압으로 설정된다. 화소들의 박막 트랜지스터는 게이트 하이 전압에 응답하여 턴-온(turn-on)된다.

[0004] 최근 표시 장치가 박형화됨에 따라 게이트 구동회로를 화소 어레이와 함께 표시 패널에 내장하는 기술이 개발되

고 있다. 이와 같이 표시 패널에 내장된 게이트 구동회로는 "GIP(Gate In Panel) 회로"로 알려져 있다. 여기서, 게이트 구동회로는 게이트 신호를 생성하기 위한 시프트 레지스터(shift register)를 포함한다. 시프트 레지스터는 종속적으로 접속된 복수의 스테이지(stage)를 포함한다. 복수의 스테이지는 스타트 신호에 응답하여 출력을 발생시키고 그 출력을 시프트 클럭에 따라 시프트시킨다. 이에 따라, 게이트 구동회로는 시프트 레지스터에서의 복수의 스테이지를 순차적으로 구동하여 게이트 신호를 생성할 수 있다.

[0005] GIP 회로는 표시 패널의 양측부에 배치되고, GIP 회로가 게이트 신호를 출력하는 방향에 따라 인터레이스(interlace) 방식의 GIP 회로와 헤드-투-헤드(head-to-head) 방식의 GIP 회로로 구분될 수 있다. 인터레이스 방식의 GIP 회로는 하나의 게이트 라인에 하나의 스테이지가 연결되어, 한 쪽에서 게이트 신호가 반대 쪽까지 공급된다. 반면, 헤드-투-헤드 방식의 GIP 회로는 하나의 게이트 라인의 양쪽단에 두 개의 스테이지가 연결되어, 양쪽에서 게이트 신호가 공급되어 표시 패널의 중앙까지 공급된다.

[0006] 최근 액정 표시 장치를 사용하는 기기들이 네로우 베젤(narrow bezel)을 추구함에 따라, 보다 작은 크기를 갖는 인터레이스 방식의 GIP 회로가 많이 적용되고 있다.

[0007] [관련기술문헌]

[0008] 1. 표시장치 및 그 구동 방법 (한국공개특허번호 제 10-2014-0133271 호)

발명의 내용

해결하려는 과제

[0009] 인터레이스 방식의 GIP 회로는 일단의 하나의 스테이지에서 게이트 신호를 공급하므로, 게이트 신호는 하나의 게이트 라인 전체를 따라 표시 영역의 일단에서 타단까지 전송된다. 이러한 게이트 신호는 게이트 라인을 따라 전송되면서 게이트 라인의 저항 및 화소에서의 커패시턴스의 영향을 받는다. 이에 따라, 게이트 신호는 게이트 라인에서의 RC 딜레이를 겪게 되어, 하나의 게이트 라인을 따라 배치된 화소들 사이에 충전되는 데이터 전압이 서로 상이해질 수 있다.

[0010] 특히, 인터레이스 방식의 GIP 회로는 게이트 라인에 대해 스테이지가 액정 표시 패널의 양측에서 교번하여 배치된다. 구체적으로, 인터레이스 방식의 GIP 회로에서 기수(odd) 게이트 라인에 액정 표시 패널의 좌측에 스테이지가 연결되면, 우수(even) 게이트 라인에는 액정 표시 패널의 우측에 스테이지가 연결되고, 그 반대로도 GIP 회로가 구현될 수 있다. 이와 같이 인터레이스 방식의 GIP 회로에서는 스테이지가 액정 표시 패널의 양단에 배치됨에 따라, 게이트 라인에 공급되는 게이트 신호는 게이트 라인의 저항에 의해 RC 딜레이(delay)된다. 이에 따라, GIP 회로의 스테이지에 인접한 화소들에는 게이트 라인의 저항의 영향을 적게 받아 게이트 신호의 게이트 하이 전압(VGH)이 충분히 공급되어 화소의 충전율이 높고, GIP 회로의 스테이지에 인접한 화소의 반대편에 배치된 화소들에는 게이트 라인의 저항의 영향을 크게 받아 게이트 신호의 게이트 하이 전압(VGH)이 일부 감소되고 늦게 공급되어 화소의 충전율이 낮다. 즉, 스테이지에서 인접한 화소들은 휘도가 높고 스테이지에 인접한 화소의 반대편에 배치된 화소들은 휘도가 낮아져, 인접하는 게이트 라인에 배치된 화소들의 휘도 차이가 시인되는 문제가 발생할 수 있다.

[0011] 이에, 상술한 인터레이스 방식의 GIP 회로에 인접한 화소에서 충전율의 차이로 인해 발생하는 휘도 차이를 저감시킬 수 있는 액정 표시 장치에 대한 필요성이 존재한다.

[0012] 본 발명의 발명자들은 상술한 바와 같이 인터레이스 방식의 GIP 회로를 사용하는 액정 표시 패널의 양단의 인접한 영역에서, 서로 이웃하는 게이트 라인에 배치된 화소들 사이의 휘도 차이로 인한 뒹(dim)성 불량을 저감시킬 수 있는 액정 표시 장치의 새로운 방법을 발명하였다.

[0013] 이에, 본 발명이 해결하고자 하는 과제는 인터레이스 방식의 GIP 회로를 사용하는 액정 표시 패널의 양단에 인접한 영역의 화소들 사이의 충전율을 균일하게 할 수 있는 액정 표시 장치를 제공하는 것이다.

[0014] 또한, 본 발명이 해결하고자 하는 다른 과제는 게이트 신호의 RC 딜레이에 따른 충전율 차이를 보상할 수 있도록 슬루 레이트를 조절한 데이터 신호를 공급할 수 있는 액정 표시 장치를 제공하는 것이다.

[0015] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0016] 본 발명의 일 실시예에 따른 액정 표시 장치가 제공된다. 액정 표시 장치는 표시 영역에서 복수의 데이터 라인 및 복수의 게이트 라인이 교차되고, 교차된 영역마다 화소가 배치된 화소 어레이를 포함한다. 게이트 구동회로는 표시 영역의 일측에 인접한 제1 비표시 영역에 배치되고, 복수의 게이트 라인 중 기수(odd) 게이트 라인에 게이트 신호를 공급하도록 구성된 기수 게이트 구동회로, 및 표시 영역의 타측에 인접한 제2 비표시 영역에 배치되고, 복수의 게이트 라인 중 우수(even) 게이트 라인에 게이트 신호를 공급하도록 구성된 우수 게이트 구동회로를 포함한다. 데이터 구동회로는 복수의 데이터 라인 각각에 데이터 신호를 공급하도록 구성된다. 데이터 구동회로는 표시 영역의 일측 및 타측 각각에 인접한 화소에 연결된 데이터 라인 각각에 슬루 레이트(slew rate)가 서로 상이한 데이터 신호를 공급하도록 구성된다. 본 발명의 일 실시예에 따른 액정 표시 장치에서는 슬루 레이트를 조절한 데이터 신호를 통해 게이트 신호의 RC 딜레이에 의한 화소 사이의 휘도 차이가 저감될 수 있다.
- [0017] 데이터 구동회로는 복수의 게이트 라인 중 일 게이트 라인을 기준으로, 표시 영역의 일측에 인접한 화소에서 표시 영역의 타측에 인접한 화소로 갈수록 라이징 에지(rising edge)의 슬루 레이트가 감소하도록, 복수의 데이터 라인 각각에 데이터 신호를 공급하도록 더 구성될 수 있다.
- [0018] 데이터 구동회로는 복수의 게이트 라인 중 일 게이트 라인을 기준으로, 표시 영역의 일측에 인접한 화소에서 표시 영역의 타측에 인접한 화소로 갈수록 폴링 에지(falling edge)의 슬루 레이트가 증가하도록, 복수의 데이터 라인 각각에 데이터 신호를 공급하도록 구성될 수 있다.
- [0019] 데이터 구동회로는 복수의 게이트 라인 중 일 게이트 라인을 기준으로, 표시 영역의 일측에 인접한 화소에서 표시 영역의 타측에 인접한 화소로 갈수록 데이터 신호에 의해 화소가 충전되는 충전 시간이 증가하도록, 복수의 데이터 라인 각각에 데이터 신호를 공급하도록 더 구성될 수 있다.
- [0020] 데이터 구동회로는 표시 영역의 일측 또는 타측에서의 복수의 데이터 라인 중 일 데이터 라인에, 서로 인접하는 제1 게이트 라인에 배치된 제1 화소 및 제2 게이트 라인에 배치된 제2 화소에 서로 다른 슬루 레이트를 갖는 데이터 신호를 공급하도록 더 구성될 수 있다.
- [0021] 데이터 구동회로는 제1 화소에 공급되는 데이터 신호의 라이징 에지의 슬루 레이트가 제2 화소에 공급되는 데이터 신호의 폴링 에지의 슬루 레이트와 동일한 데이터 신호를 공급하도록 더 구성될 수 있다.
- [0022] 데이터 구동회로는 제1 화소에 공급되는 데이터 신호의 폴링 에지의 슬루 레이트가 제2 화소에 공급되는 데이터 신호의 라이징 에지의 슬루 레이트와 동일한 데이터 신호를 공급하도록 더 구성될 수 있다.
- [0023] 제1 화소에서의 화소 충전율 및 제2 화소에서의 화소 충전율이 동일할 수 있다.
- [0024] 본 발명의 다른 실시예에 따른 액정 표시 장치가 제공된다. 액정 표시 장치는 표시 영역에서 복수의 데이터 라인 및 복수의 게이트 라인이 교차되고, 교차된 영역마다 화소가 배치된 화소 어레이를 포함한다. 게이트 구동회로는 표시 영역의 양단에 인접한 비표시 영역에 배치되고, 화소마다 배치된 박막 트랜지스터를 턴-온(turn-on)하기 위한 게이트 신호를 복수의 게이트 라인에 공급하도록 구성된다. 데이터 구동회로는 인접하는 게이트 라인에 각각 배치된 화소의 충전율을 일정하게 유지하도록 데이터 신호를 공급한다. 본 발명의 다른 실시예에 따른 액정 표시 장치에서는 데이터 구동회로에 의해 화소 각각의 충전 전압 및 충전율을 균일하게 하도록 데이터 신호에 의한 화소의 충전 시간이 제어될 수 있다.
- [0025] 게이트 구동회로는 복수의 게이트 라인 각각에 연결되고, 표시 영역의 일측에 배치된 제1 비표시 영역 및 표시 영역의 타측에 배치된 제2 비표시 영역에 각각 교번하여 배치된 스테이지를 포함하고, 스테이지에 인접한 화소에는 스테이지에 인접한 화소의 반대편에 배치된 화소에 공급되는 데이터 신호의 라이징 타임(rising time)보다 라이징 타임이 길고 스테이지에 인접한 화소의 반대편에 배치된 화소에 공급되는 데이터 신호의 폴링 타임(falling time)보다 폴링 타임이 짧은 데이터 신호를 공급할 수 있다.
- [0026] 박막 트랜지스터는 게이트 신호가 입력되는 게이트 전극 및 데이터 신호가 입력되는 소스 전극을 포함하고, 스테이지에 인접한 화소에서의 게이트 전극 및 소스 전극 사이의 전압(Vgs)은 스테이지에 인접한 화소의 반대편에 배치된 화소에서의 게이트 전극 및 소스 전극 사이의 전압(Vgs)보다 클 수 있다.
- [0027] 스테이지에 인접한 화소에서의 게이트 전극 및 소스 전극 사이의 전압(Vgs)의 최대값은 스테이지에 인접한 화소의 반대편에 배치된 화소에서의 게이트 전극 및 소스 전극 사이의 전압(Vgs)의 최대값보다 클 수 있다.
- [0028] 스테이지에 인접한 화소에서의 게이트 전극 및 소스 전극 사이의 전압(Vgs)의 최소값은 스테이지에 인접한 화소

의 반대편에 배치된 화소에서의 게이트 전극 및 소스 전극 사이의 전압(Vgs)의 최소값보다 클 수 있다.

[0029] 본 발명의 다른 실시예에 따른 액정 표시 장치가 제공된다. 액정 표시 장치는 표시 영역에서 복수의 데이터 라인 및 복수의 게이트 라인이 교차되고, 교차된 영역마다 화소가 배치된 화소 어레이를 포함한다. 게이트 구동회로는 표시 영역의 양단에 인접한 비표시 영역에 배치되고, 화소마다 배치된 박막 트랜지스터를 턴-온(turn-on)하기 위한 게이트 신호를 복수의 게이트 라인에 공급하도록 구성된다. 데이터 구동회로는 인접하는 게이트 라인에 각각 배치된 화소의 충전율을 일정하게 유지하도록 데이터 신호를 공급한다. 타이밍 컨트롤러는 데이터 신호의 라이징 에지 및 폴링 에지 중 적어도 하나의 슬루 레이트를 설정하는 슬루 레이트 제어 신호를 데이터 구동회로에 공급하도록 구성된다. 본 발명의 다른 실시예에 따른 액정 표시 장치에서는 인터레이스 방식의 GIP 회로 양단에서 화소 사이의 휘도 차이로 인한 덤싱 불량을 저감시킬 수 있도록 화소에 공급되는 데이터 신호의 충전 시간이 상이하게 제어될 수 있다.

[0030] 데이터 구동회로는 논리 비트(logic bit)로 구성된 슬루 레이트 제어 신호를 수신하여, 라이징 에지 및 폴링 에지 중 적어도 하나의 슬루 레이트를 논리 비트에 대응하는 슬루 레이트로 변환하도록 구성된 디지털 아날로그 변환부를 포함할 수 있다.

[0031] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0032] 본 발명은 게이트 신호의 RC 딜레이에 의한 화소의 충전율 차이를 보상할 수 있도록 데이터 신호의 슬루 레이트를 조절하여 데이터 라인에 공급하는 데이터 구동회로를 포함하는 액정 표시 장치를 제작할 수 있다.

[0033] 또한, 본 발명은 인터레이스 방식의 GIP 회로 양단에서 화소 사이의 휘도 차이로 인한 덤싱 불량을 저감시킬 수 있도록 화소에 공급되는 데이터 신호의 충전 시간을 상이하게 제어할 수 있는 액정 표시 장치를 제작할 수 있다.

[0034] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0035] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 구동회로 및 구동회로의 관계를 나타내는 블록도이다.

도 2는 본 발명의 일 실시예에 따른 게이트 구동회로의 스테이지들과 게이트 드라이버 제어 신호의 관계를 나타내는 블록도이다.

도 3은 본 발명의 일 실시예에 따른 게이트 신호 및 데이터 신호의 입력을 설명하기 위한 액정 표시 패널의 개략적인 구성도이다.

도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 도 3에 도시된 액정 표시 패널의 A 내지 C 영역별 데이터 라인에 배치된 화소에 공급되는 게이트 신호 및 데이터 신호를 나타내는 파형도이다.

도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 도 3에 도시된 액정 표시 패널의 A 내지 C 영역별 게이트 신호 및 데이터 신호를 나타내는 파형도이다.

도 6은 본 발명의 일 실시예에 따른 도 3에 도시된 액정 표시 패널의 A 및 C 영역에서의 게이트 신호 및 데이터 신호를 비교하기 위한 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0036] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0037] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서

상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

- [0038] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0039] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접' 이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0040] 소자 또는 층이 다른 소자 또는 층 위 (on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0041] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0042] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0043] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0044] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0045] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0046] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 구동회로 및 구동회로의 관계를 나타내는 블록도이다. 도 1을 참조하면, 액정 표시 장치(100)는 액정 표시 패널(PNL)과 액정 표시 패널(PNL)의 화소 어레이(pixel array)(110)에 입력 영상의 데이터를 입력하기 위한 구동회로를 포함한다.
- [0047] 도 1을 참조하면, 액정 표시 패널(PNL)은 복수의 데이터 라인(139), 복수의 데이터 라인(139)과 직교하는 복수의 게이트 라인(149), 및 복수의 데이터 라인(139)과 복수의 게이트 라인(149)에 의해 정의된 매트릭스 형태로 화소들이 배치된 화소 어레이(110)를 포함한다. 화소 어레이(110)의 화소마다 화소 각각을 구동하는 박막 트랜지스터(TFT)가 배치되고, 박막 트랜지스터는 게이트 라인(149)을 통해 게이트 신호가 입력되는 게이트 전극, 데이터 라인(139)을 통해 데이터 신호가 입력되는 소스 전극 및 화소 전극(Ep)에 연결되는 드레인 전극을 포함한다. 화소 전극(Ep)의 맞은 편에는 공통 전극(Ec)이 배치되고, 화소 전극(Ep) 및 공통 전극(Ec) 사이에는 액정층이 배치된다. 여기서, 공통 전극(Ec)에는 공통 전압(Vcom)이 인가된다.
- [0048] 도 1을 참조하면, 액정 표시 장치(100)는 복수의 데이터 라인(139)에 데이터 전압을 공급하는 데이터 구동회로(130), 데이터 전압에 동기되는 게이트 신호를 복수의 게이트 라인(149)에 순차적으로 공급하는 게이트 구동회로(140) 및 타이밍 컨트롤러(Timing Controller, TCON, 120)를 포함한다.
- [0049] 타이밍 컨트롤러(120)는 외부의 호스트 시스템으로부터 수신된 입력 영상의 데이터를 데이터 구동회로(130) 및 게이트 구동회로(140)로 전송한다. 타이밍 컨트롤러(120)는 외부의 호스트 시스템으로부터 입력 영상에 동기되는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호 및 도트 클럭 등의 타이밍 신호를 수신한다. 타이밍 컨트롤러(120)는 입력된 타이밍 신호를 기준으로 데이터 구동회로(130)와 게이트 구동회로(140)의 동작 타이밍을 제어하기 위한 다양한 제어 신호를 생성한다. 즉, 타이밍 컨트롤러(120)는 데이터 구동회로(130)를 제어하기 위한 데이터 드라이버 제어 신호(Data Driver Control signal; DDC)를 생성하고, 게이트 구동회로(140)를 제어하기 위한 게이트 드라이버 제어 신호(Gate Driver Control signal; GDC)를 생성한다. 이러한 타이밍 컨트롤러(120)는 액정 표시 패널(PNL)의 외부에 배치될 수 있다. 구체적으로, 타이밍 컨트롤러(120)는 인쇄 회로 기판과 같은 회로부에 배치된다. 이에 따라, 타이밍 컨트롤러(120)는 액정 표시 패널(PNL)의 외부에서 데이터 드라이버 제어 신호(DDC)를 데이터 구동회로(130)로 전송하고, 게이트 드라이버 제어 신호(GDC)를 게이트 드라이버, 예를 들어 GIP 회로로 전송한다.
- [0050] 특히, 타이밍 컨트롤러(120)는 데이터 신호의 파형을 조절할 수 있는 제어 신호를 데이터 구동회로에 공급한다. 구체적으로, 타이밍 컨트롤러(120)는 데이터 신호의 라이징 에지(rising edge) 및 폴링 에지(falling edge) 중

적어도 하나의 슬루 레이트를 설정하는 슬루 레이트 제어 신호(Slew rate Control Signal; SCS)를 데이터 구동 회로에 공급한다. 여기서, 슬루 레이트 제어 신호(SCS)는 디지털 신호로 적어도 하나의 논리 비트로 구성되며, 적어도 하나의 논리 비트 각각마다 데이터 신호의 슬루 레이트가 매칭된다. 예를 들어, 슬루 레이트 제어 신호(SCS)의 구성은 다음 [표 1]과 같이 매칭될 수 있다.

표 1

[0051]

SCS	전력 모드	슬루 레이트의 정도
LLL	제1 초 저전력 모드	8
LLH	제2 초 저전력 모드	7
LHL	제1 저전력 모드	6
LHH	제2 저전력 모드	5
HLL	제1 정상전력 모드	4
HLH	제2 정상전력 모드	3
HHL	제1 고전력 모드	2
HHH	제2 고전력 모드	1

[0052]

여기서, L은 데이터 신호를 출력하는데 필요한 전력이 낮은 것을 의미하고, H는 데이터 신호를 출력하는데 필요한 전력이 높은 것을 의미한다. 또한, 슬루 레이트의 정도는 숫자가 클수록 슬루 레이트가 크고, 숫자가 작을수록 슬루 레이트가 작다. 상기 [표 1]을 참조하면, 'LLL'은 가장 낮은 전력으로 출력되는 데이터 신호의 슬루 레이트에 대응하는 논리 비트이고, 'HHH'는 가장 높은 전력으로 출력되는 데이터 신호의 슬루 레이트에 대응하는 논리 비트이다. 이에, 'LLL'는 데이터 신호의 가장 낮은 전력으로 슬루 레이트가 출력되어, 데이터 신호의 라이징 에지 또는 폴링 에지에 '8' 단계의 가장 큰 슬루 레이트가 나타난다. 반대로, 'HHH'는 데이터 신호의 가장 높은 전력으로 슬루 레이트가 출력되어, 데이터 신호의 라이징 에지 또는 폴링 에지에 '1' 단계의 가장 작은 슬루 레이트가 나타난다.

[0053]

데이터 구동회로(130)는 타이밍 콘트롤러(120)로부터 입력 영상의 데이터와 데이터 드라이버 제어 신호(DDC)를 수신한다. 데이터 구동회로(130)는 타이밍 콘트롤러(120)로부터 전송되는 데이터 드라이버 제어 신호(DDC)에 의해 입력 영상의 데이터를 감마 보상 전압으로 변환하여 데이터 전압을 생성하고, 데이터 전압을 복수의 데이터 라인(139)으로 출력한다. 데이터 구동회로(130)는 복수의 소스 전극 드라이버 IC(Integrated Circuit)를 포함한다. 소스 전극 드라이버 IC는 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정에 의해 복수의 데이터 라인(139)에 접속된다.

[0054]

또한, 데이터 구동회로(130)는 데이터 신호의 특성을 조절하여 데이터 라인(139)에 데이터 신호를 공급할 수 있다. 여기서, 데이터 구동회로(130)는 디지털 아날로그 변환부를 포함하며, 디지털 아날로그 변환부는 디지털 신호로 구성된 데이터 신호를 아날로그 신호로 변환하여 데이터 신호를 데이터 라인에 공급한다. 특히, 디지털 아날로그 변환부는 논리 비트로 구성된 슬루 레이트 제어 신호를 수신하여, 라이징 에지 및 폴링 에지 중 적어도 하나의 슬루 레이트를 논리 비트에 대응하는 슬루 레이트로 변환한다. 이에 따라, 데이터 구동회로(130)는 타이밍 콘트롤러(120)로부터 전송되는 슬루 레이트 제어 신호를 수신하고, 수신한 슬루 레이트 제어 신호에 대응하여 데이터 신호의 슬루 레이트를 조절하여 데이터 라인에 데이터 신호를 공급한다.

[0055]

게이트 구동회로(140)는 GIP 회로로 구현될 수 있다. 게이트 구동회로(140)는 레벨 시프터(Level shifter)로부터 전송되는 신호를 수신하여 GIP 회로를 구동시켜 게이트 신호를 게이트 라인에 공급한다. 여기서, 레벨 시프터는 GIP 회로와 물리적으로 분리되어 액정 표시 패널(PNL)의 외부에 배치될 수 있으며, 액정 표시 패널(PNL)에 연결된 외부 회로부(예를 들어, 인쇄 회로 기판)에 배치될 수 있다.

[0056]

타이밍 콘트롤러(120)로부터 전송되는 게이트 드라이버 제어 신호(GDC)는 레벨 시프터에 의해 전압 레벨이 변환되어 GIP 회로에 입력된다. 레벨 시프터에 입력되는 신호는 디지털 신호이기 때문에 액정 표시 패널(PNL)의 박막 트랜지스터들을 구동할 수 없다. 이에, 레벨 시프터는 타이밍 콘트롤러(120)로부터 전송된 게이트 드라이버 제어 신호(GDC) 각각의 전압을 시프트(shift)하여 게이트 로우 전압(VGL)과 게이트 하이 전압(VGH) 사이에서 스윙하는 전압을 갖는 신호로 변환한다. 게이트 하이 전압(VGH)은 액정 표시 패널(PNL)에 형성된 박막 트랜지스터의 문턱 전압보다 높은 전압으로 설정되고, 게이트 로우 전압(VGL)은 박막 트랜지스터의 문턱 전압보다 낮은 전압으로 설정된다.

[0057]

게이트 구동회로(140)는 GIP 회로의 구동방식에 따라 액정 표시 패널(PNL)의 양측 가장자리에 배치될 수 있다.

도 1에 도시된 게이트 구동회로(140)는 인터레이스(Interlace) 방식의 GIP 회로로 액정 표시 패널(PNL)의 좌측 및 우측 가장자리에 배치된다. 즉, 게이트 구동회로(140)는 액정 표시 패널(PNL)의 좌측에 배치된 기수(odd) 게이트 구동회로(140L) 및 액정 표시 패널(PNL)의 우측에 배치된 우수(even) 게이트 구동회로(140R)로 이루어진다. 게이트 구동회로(140)가 액정 표시 패널(PNL)에서 배치되는 위치는 도 1에 도시된 바로 한정되지 않고 실시예에 따라 다양하게 구현될 수 있다. 이하에서는 인터레이스 방식의 GIP 회로를 기준으로 게이트 구동회로(140)의 구성 및 동작에 대해서 설명한다. 게이트 구동회로(140)는 화소 어레이(110)와 동시에 액정 표시 패널(PNL)의 기관 상에 배치될 수 있다.

- [0058] 본 발명의 일 실시예에 따른 액정 표시 장치(100)는 화소 어레이(110)를 구동하기 위한 타이밍 컨트롤러(120), 데이터 구동회로(130) 및 게이트 구동회로(140)를 포함한다. 여기서, 게이트 구동회로(140)는 타이밍 컨트롤러(120)로부터 전송된 게이트 드라이버 제어 신호(GDC)에 의해 게이트 라인(149)에 순차적으로 게이트 신호를 공급한다. 게이트 구동회로(140)에서 GIP 회로의 구체적인 구성에 대해서는 이하 도 2를 참조하여 후술한다.
- [0059] 도 2는 본 발명의 일 실시예에 따른 게이트 구동회로(140)의 복수의 스테이지와 게이트 드라이버 제어 신호의 관계를 나타내는 블록도이다. 신호 및 클럭에 (L)로 병기된 것은 좌측에 배치된 기수 게이트 구동회로(140L)에 인가되는 신호 및 클럭을 의미하는 기호이고, (R)로 병기된 것은 우측에 배치된 우수 게이트 구동회로(140R)에 인가되는 신호 및 클럭을 의미하는 기호이다. 여기서, n은 게이트 라인의 총 개수이고, m은 데이터 라인의 총 개수로, n, m은 자연수이다. 예를 들어, n은 1080이고, m은 1920*3=5760일 수 있다.
- [0060] 도 2를 참조하면, 게이트 구동회로(140)의 GIP 회로는 화소 어레이(110)의 양측에 배치된다.
- [0061] 기수 게이트 구동회로(140L) 및 우수 게이트 구동회로(140R) 각각은 복수의 스테이지를 포함한다. 구체적으로, 화소 어레이(110)의 좌측에 배치된 기수 게이트 구동회로(140L)는 종속적으로 접속된 복수의 스테이지(SL1 내지 SLn/2)를 포함한다. 기수 게이트 구동회로(140L)의 스테이지(SL1 내지 SLn/2)는 스타트 펄스(VST(L))에 응답하여 게이트 신호를 출력하기 시작한다. 스테이지(SL1 내지 SLn/2) 각각으로부터 출력된 게이트 신호는 기수 번째 게이트 라인(G1, G3, ... Gn-1)에 공급됨과 동시에 제1 캐리 신호(Gout_Pre)로서 다음 스테이지에 입력된다.
- [0062] 마찬가지로, 화소 어레이(110)의 우측에 배치된 우수 게이트 구동회로(140R)는 종속적으로 접속된 복수의 스테이지(SR1 내지 SRn/2)를 포함한다. 우수 게이트 구동회로(140R)의 스테이지(SR1 내지 SRn/2)는 스타트 펄스(VST(R))에 응답하여 게이트 신호를 출력하기 시작한다. 스테이지(SR1 내지 SRn/2) 각각으로부터 출력된 게이트 신호는 우수 번째 게이트 라인(G2, G4, ... Gn)에 공급됨과 동시에 제1 캐리 신호(Gout_Pre)로서 다음 스테이지에 입력된다.
- [0063] 게이트 구동회로(140)는 게이트 드라이버 제어 신호(GDC)를 수신하여 전압을 출력한다. 즉, 게이트 구동회로(140)는 복수의 스테이지를 통해 레벨 시프터에서 생성된 게이트 신호를 게이트 드라이버 제어 신호(GDC)에 의해 게이트 라인(149)에 순차적으로 공급한다. 여기서, 게이트 드라이버 제어 신호(GDC)는 스타트 펄스(Gate Start Pulse; GSP)(VST(L), VST(R)) 및 시프트 클럭(Gate Shift Clock; GSC)(CLK(L), CLK(R)) 등을 포함한다. 구체적으로, 기수 게이트 구동회로(140L)는 기수 번째 게이트 라인들(G1, G3, ..., Gn-1)에 게이트 신호를 순차적으로 공급한다. 우수 게이트 구동회로(140R)는 액정 표시 패널(PNL)의 우측에 배치되어 우수 번째 게이트 라인들(G2, G4, ..., Gn)에 게이트 신호를 순차적으로 공급한다.
- [0064] 도 2를 참조하면, 기수 게이트 구동회로(140L) 및 우수 게이트 구동회로(140R) 각각에는 출력을 발생하지 않고 다른 스테이지에 제2 캐리 신호(Gout_Post)를 공급하는 더미 스테이지들(Dummy stage)이 존재한다. 즉, 기수 게이트 구동회로(140L)는 마지막 스테이지(SLn/2)의 다음 스테이지로 제1 더미 스테이지(EGL)를 포함하고, 우수 게이트 구동회로(140R)는 마지막 스테이지(SRn/2)의 다음 스테이지로 제2 더미 스테이지(EGR)를 포함한다. 즉, 마지막 게이트 신호를 출력하는 마지막 스테이지(SLn/2, SRn/2)에 더미 스테이지(EGL, EGR)가 연결되고, 더미 스테이지(EGL, EGR)는 게이트 신호를 출력하지 않고 마지막 스테이지(SLn/2, SRn/2)에 제2 캐리 신호(Gout_Post)를 공급한다.
- [0065] 나아가, 기수 게이트 구동회로(140L)의 스테이지(SL1 내지 SLn/2)에는 시프트 클럭(CLK(L))이 입력된다. 시프트 클럭(CLK(L))을 통해 제1 캐리 신호(Gout_Pre) 및 제2 캐리 신호(Gout_Post)가 기수 게이트 구동회로(140L)에 입력되는 타이밍이 제어된다. 마찬가지로, 우수 게이트 구동회로(140R)의 스테이지(SR1 내지 SRn/2)에는 시프트 클럭(CLK(R))이 입력된다. 시프트 클럭(CLK(R))을 통해 제1 캐리 신호(Gout_Pre) 및 제2 캐리 신호(Gout_Post)가 우수 게이트 구동회로(140R)에 입력되는 타이밍이 제어될 수 있다.
- [0066] 게이트 구동회로(140)의 스테이지에 클럭(CLK(L), CLK(R)), 이전 스테이지로부터 수신된 제1 캐리 신호

(Gout_Pre) 또는 스타트 펄스(VST(L), VST(R)), 다음 스테이지로부터 수신된 제2 캐리 신호(Gout_Post), 게이트 하이 전압(VGH) 및 게이트 로우 전압(VGL)이 입력된다.

- [0067] 제1 스테이지(SL1, SR1)를 제외한 제n 스테이지에 입력되는 제1 캐리 신호(Gout_Pre)는 제n-1 스테이지의 출력(Gout)이고, 마지막 스테이지(SLn/2, SRn/2)를 제외한 제n 스테이지에 입력되는 제2 캐리 신호(Gout_Post)는 제n+1 스테이지의 출력(Gout)이다. 제1 스테이지(SL1, SR1)에는 제1 캐리 신호(Gout_Pre)가 입력되지 않고 스타트 펄스(VST(L), VST(R))가 입력된다. 마지막 스테이지(SLn/2, SRn/2)에는 제2 캐리 신호(Gout_Post)가 입력되지 않고 더미 스테이지로부터 리셋 펄스가 입력된다.
- [0068] 게이트 구동회로(140)는 복수의 스테이지를 포함하는 GIP 회로로 구현된다. 이러한 복수의 스테이지 각각에는 다양한 게이트 드라이버 제어 신호(GDC)가 입력되어 게이트 신호를 시프트하고, 복수의 스테이지 각각은 시프트된 게이트 신호를 게이트 라인(149)에 공급한다. 여기서, 복수의 스테이지 각각에 입력되는 게이트 드라이버 제어 신호(GDC)는 스타트 펄스(VST) 및 시프트 클럭(CLK) 등을 포함한다. 이러한 게이트 드라이버 제어 신호(GDC)에 의해 게이트 구동회로(140)에서 게이트 라인(149)에 공급되는 게이트 신호는 게이트 라인(149)의 저항으로 인해 RC 딜레이를 겪게 된다. 게이트 신호의 RC 딜레이에 따른 화소의 데이터 신호 충전율의 차이는 데이터 라인 각각에 공급되는 데이터 신호에 의해 보상될 수 있으며, 구체적인 데이터 신호의 파형에 대해서는 이하 도 3 내지 도 6을 참조하여 후술한다.
- [0069] 도 3은 본 발명의 일 실시예에 따른 게이트 신호 및 데이터 신호의 입력을 설명하기 위한 액정 표시 패널의 개략적인 구성도이다. 도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 도 3에 도시된 액정 표시 패널의 데이터 라인에 배치된 화소에 공급되는 게이트 신호 및 데이터 신호를 나타내는 파형도이다.
- [0070] 도 3을 참조하면, 화소 어레이(110)는 복수의 게이트 라인(G1 내지 Gn)과 복수의 데이터 라인이 교차되고, 교차된 영역마다 배치된 복수의 화소들로 이루어진다. 화소 어레이(110)는 게이트 구동회로(140)의 스테이지 각각에 인접한 A 영역, 게이트 구동회로(140)의 스테이지 각각에서 멀리 이격되어 A영역의 반대편에 배치된 C 영역 및 A 영역과 C 영역의 사이에 배치되는 B 영역으로 구분될 수 있다. 즉, A 영역은 게이트 신호의 RC 딜레이의 영향을 가장 적게 받는 화소들이 배치된 영역이고, C 영역은 게이트 신호의 RC 딜레이의 영향을 가장 크게 받는 화소들이 배치된 영역이다. 여기서, A 영역과 C 영역은 B 영역을 중심으로 대칭되는 영역이다. 또한, 인터레이스 방식의 GIP 회로로 게이트 구동회로(140)가 구현됨에 따라, 데이터 라인을 따라 A 영역과 C 영역이 서로 교번하여 배치된다. 제1 데이터 라인(D1)에는 위로부터 A 영역, C 영역 순으로 A 영역 및 C 영역이 교번하여 배치되고, 제m 데이터 라인(Dm)에는 위로부터 C 영역, A 영역 순으로 A 영역 및 C 영역이 교번하여 배치된다.
- [0071] 도 3 및 도 4a를 참조하면, 제1 데이터 라인(D1)을 따라 제1 데이터 신호(421)가 공급된다. 제1 데이터 신호(421)는 제1 데이터 라인(D1)에 연결된 화소에 공급되는 데이터 신호로, 제1 데이터 라인(D1)에 연결된 화소 중 게이트 신호가 공급된 화소를 충전한다. 구체적으로, 제1 기수 스테이지(SL1)에서 제1 게이트 라인(G1)으로 제1 게이트 신호(411)를 공급하는 동안 제1 게이트 라인(G1)과 제1 데이터 라인(D1)이 교차하는 영역에 배치된 화소에 제1 데이터 신호(421)가 공급된다. 이에 따라, 제1 데이터 신호(421)는 제1 게이트 라인(G1)과 제1 데이터 라인(D1)이 교차하는 영역에 배치된 화소를 충전한다. 마찬가지로, 제1 우수 스테이지(SR1)에서 제2 게이트 라인(G2)으로 제2 게이트 신호(412)를 공급하는 동안 제2 게이트 라인(G2)과 제1 데이터 라인(D1)이 교차하는 영역에 배치된 화소에 제1 데이터 신호(421)가 공급된다. 이에 따라, 제1 데이터 신호(421)는 제2 게이트 라인(G2)과 제1 데이터 라인(D1)이 교차하는 영역에 배치된 화소를 충전한다. 또한, 제2 기수 스테이지(SL2)에서 제3 게이트 라인(G3)으로 제3 게이트 신호(413)를 공급하는 동안 제3 게이트 라인(G3)과 제1 데이터 라인(D1)이 교차하는 영역에 배치된 화소에 제1 데이터 신호(421)가 공급된다. 이에 따라, 제1 데이터 신호(421)는 제3 게이트 라인(G3)과 제1 데이터 라인(D1)이 교차하는 영역에 배치된 화소를 충전한다. 또한, 제2 우수 스테이지(SR2)에서 제4 게이트 라인(G4)으로 제4 게이트 신호(414)를 공급하는 동안 제4 게이트 라인(G4)과 제1 데이터 라인(D1)이 교차하는 영역에 배치된 화소에 제1 데이터 신호(421)가 공급된다. 이에 따라, 제1 데이터 신호(421)는 제4 게이트 라인(G4)과 제1 데이터 라인(D1)이 교차하는 영역에 배치된 화소를 충전한다.
- [0072] 도 3 및 도 4a를 참조하면, 제1 데이터 라인(D1)에 연결된 A 영역에 배치된 화소에는 제1 게이트 신호(411) 및 제3 게이트 신호(413)와 같이 RC 딜레이가 작은 게이트 신호가 공급되고, 제1 데이터 라인(D1)에 연결된 C 영역에 배치된 화소에는 제2 게이트 신호(412) 및 제4 게이트 신호(414)와 같이 RC 딜레이가 큰 게이트 신호가 공급된다.
- [0073] 한편, 제1 데이터 신호(421)는 게이트 신호의 RC 딜레이에 무관하게 제1 데이터 라인(D1)에 연결된 화소의 충전율을 일정하게 유지하도록 공급된다. 구체적으로, 제1 데이터 신호(421)에서 라이징 에지 및 폴링 에지 중 적어

도 하나에서의 슬루 레이트는, 제1 데이터 라인(D1)에 연결된 화소의 충전율을 균일하게 맞출 수 있도록, 타이밍 컨트롤러에서 생성된 슬루 레이트 제어 신호에 대응하여 데이터 구동회로의 디지털 아날로그 변환부에서 변환된다.

- [0074] 도 3 및 도 4a를 참조하면, 제1 데이터 라인(D1)을 기준으로, 기수 게이트 라인(G1, G3, ... Gn-1)에 배치된 기수 화소 및 우수 게이트 라인(G2, G4, ... Gn)에 배치된 우수 화소에 서로 다른 슬루 레이트를 갖는 제1 데이터 신호(421)가 공급된다. 구체적으로, 게이트 신호의 RC 딜레이가 작은 A 영역에 배치된 기수 화소에는 라이징 에지의 슬루 레이트가 폴링 에지의 슬루 레이트보다 큰 제1 데이터 신호(421)가 공급되고, 게이트 신호의 RC 딜레이가 큰 C 영역에 배치된 우수 화소에는 라이징 에지의 슬루 레이트가 폴링 에지의 슬루 레이트보다 작은 제1 데이터 신호(421)가 공급된다. 여기서, 라이징 에지는 데이터 신호에서 전압이 상승하는 에지이고, 폴링 에지는 데이터 신호에서 전압이 하강하는 에지이다.
- [0075] 또한, 제1 데이터 라인(D1)을 따라 기수 화소에 공급되는 제1 데이터 신호(421)의 라이징 에지의 슬루 레이트는 우수 화소에 공급되는 제1 데이터 신호(421)의 폴링 에지의 슬루 레이트와 동일할 수 있다. 또한, 제1 데이터 라인(D1)을 따라 기수 화소에 공급되는 제1 데이터 신호(421)의 폴링 에지의 슬루 레이트는 우수 화소에 공급되는 제1 데이터 신호(421)의 라이징 에지의 슬루 레이트와 동일할 수 있다.
- [0076] 도 3 및 도 4a를 참조하면, 제1 데이터 라인(D1)을 기준으로, 서로 인접하는 기수 게이트 라인에 배치된 기수 화소 및 우수 게이트 라인에 배치된 우수 화소에는 서로 다른 충전 시간을 갖는 제1 데이터 신호(421)가 공급된다. 구체적으로, 게이트 신호의 RC 딜레이가 C 영역에서의 게이트 신호의 RC 딜레이보다 작은 A 영역에서는 제1 데이터 신호(421)가 짧은 충전 시간을 갖도록 공급되고, 게이트 신호의 RC 딜레이가 큰 C 영역에서는 제1 데이터 신호(421)가 A 영역에서의 제1 데이터 신호(421)보다 상대적으로 긴 충전 시간을 갖도록 공급된다.
- [0077] 도 3 및 도 4b를 참조하면, 제x 데이터 라인(Dx)을 따라 제2 데이터 신호(422)가 공급된다. 여기서, 제x 데이터 라인(Dx)은 B 영역에 데이터 신호를 공급하는 데이터 라인으로서, 화소 어레이(110)의 중앙 영역에 배치된 화소에 데이터 신호를 공급하는 데이터 라인이다. 제2 데이터 신호(422)는 제x 데이터 라인(Dx)에 연결된 화소에 공급되는 데이터 신호로, 제x 데이터 라인(Dx)에 연결된 화소 중 게이트 신호가 공급된 화소를 충전한다. 여기서, x는 1에서 m사이의 임의의 자연수일 수 있다. 제2 데이터 신호(422)가 제x 데이터 라인(Dx)과 복수의 게이트 라인이 교차하는 영역에 배치된 화소를 충전하는 구체적인 방식은 제1 데이터 라인(D1)에 배치된 화소를 충전하는 방식과 실질적으로 동일하므로, 중복 설명은 생략한다.
- [0078] 도 3 및 도 4b를 참조하면, 제x 데이터 라인(Dx)에 연결된 B 영역에 배치된 화소에는 제1 게이트 신호(411) 내지 제4 게이트 신호(414)와 같이 RC 딜레이가 A 영역 및 C 영역의 RC 딜레이의 중간 정도의 게이트 신호가 공급된다. 즉, 제x 데이터 라인(Dx)에 연결된 B 영역에 배치된 화소에는 거의 동일한 RC 딜레이를 갖는 게이트 신호가 공급된다.
- [0079] 이에, 제2 데이터 신호(422)도 제x 데이터 라인(Dx)에 연결된 화소의 충전율을 일정하게 유지하도록 공급된다. 다만, 제x 데이터 라인(Dx)에 연결된 B 영역에 배치된 화소에 공급되는 게이트 신호의 RC 딜레이가 거의 동일할 수 있으므로, 제2 데이터 신호(422)도 B 영역에 배치된 화소에는 거의 동일한 슬루 레이트를 갖도록 공급된다. 도 3 및 도 4b 참조하면, B 영역에 배치된 기수 화소 및 우수 화소에는 라이징 에지의 슬루 레이트와 폴링 에지의 슬루 레이트가 동일한 제2 데이터 신호(422)가 공급된다. 이에 따라, 제x 데이터 라인(Dx)을 따라 배치된 모든 화소에 공급되는 제2 데이터 신호(422)의 라이징 에지의 슬루 레이트 및 폴링 에지의 슬루 레이트는 서로 실질적으로 동일할 수 있다.
- [0080] 도 3 및 도 4b를 참조하면, 제x 데이터 라인(Dx)을 기준으로, 서로 인접하는 기수 게이트 라인 및 우수 게이트 라인에 각각 배치된 기수 화소 및 우수 화소에는 동일한 충전 시간을 갖는 제2 데이터 신호(422)가 공급된다.
- [0081] 도 3 및 도 4c를 참조하면, 제m 데이터 라인(Dm)을 따라 제3 데이터 신호(423)가 공급된다. 제3 데이터 신호(423)는 제m 데이터 라인(Dm)에 연결된 화소에 공급되는 데이터 신호로, 제m 데이터 라인(Dm)에 연결된 화소 중 게이트 신호가 공급된 화소를 충전한다. 도 4c에 도시된 파형도는 도 4a에 도시된 파형도에서 제1 게이트 신호(411) 내지 제4 게이트 신호(414)의 RC 딜레이에 따른 파형 및 이에 대응하는 제3 데이터 신호(423)의 파형만이 상이할 뿐, 제3 데이터 신호(423)가 제m 데이터 라인(Dm)과 복수의 게이트 라인이 교차하는 영역에 배치된 화소를 충전하는 구체적인 방식은 제1 데이터 라인(D1)에 배치된 화소를 충전하는 방식과 실질적으로 동일하므로, 중복 설명은 생략한다.
- [0082] 도 3 및 도 4c를 참조하면, 제m 데이터 라인(Dm)에 연결된 C 영역에 배치된 화소에는 제1 게이트 신호(411) 및

제3 게이트 신호(413)와 같이 제2 게이트 신호(412) 및 제4 게이트 신호(414)의 RC 딜레이보다 RC 딜레이가 큰 게이트 신호가 공급되고, 제 m 데이터 라인(D m)에 연결된 A 영역에 배치된 화소에는 제2 게이트 신호(412) 및 제4 게이트 신호(414)와 같이 제1 게이트 신호(411) 및 제3 게이트 신호(413)의 RC 딜레이보다 RC 딜레이가 작은 게이트 신호가 공급된다.

- [0083] 한편, 제3 데이터 신호(423)는 게이트 신호의 RC 딜레이에 무관하게 제 m 데이터 라인(D m)에 연결된 화소의 충전율을 일정하게 유지하도록 공급된다.
- [0084] 도 3 및 도 4c를 참조하면, 제 m 데이터 라인(D m)을 기준으로, 기수 게이트 라인에 배치된 기수 화소 및 우수 게이트 라인에 배치된 우수 화소에 서로 다른 슬루 레이트를 갖는 제3 데이터 신호(423)가 공급된다. 구체적으로, 게이트 신호의 RC 딜레이가 작은 A 영역에 배치된 우수 화소에는 라이징 에지의 슬루 레이트가 폴링 에지의 슬루 레이트보다 큰 제3 데이터 신호(423)가 공급되고, 게이트 신호의 RC 딜레이가 큰 C 영역에 배치된 기수 화소에는 라이징 에지의 슬루 레이트가 폴링 에지의 슬루 레이트보다 작은 제3 데이터 신호(423)가 공급된다.
- [0085] 또한, 제 m 데이터 라인(D m)을 따라 기수 화소에 공급되는 제3 데이터 신호(423)의 라이징 에지의 슬루 레이트는 우수 화소에 공급되는 제3 데이터 신호(423)의 폴링 에지의 슬루 레이트와 동일할 수 있다. 또한, 제 m 데이터 라인(D m)을 따라 기수 화소에 공급되는 제3 데이터 신호(423)의 폴링 에지의 슬루 레이트는 우수 화소에 공급되는 제3 데이터 신호(423)의 라이징 에지의 슬루 레이트와 동일할 수 있다.
- [0086] 도 3 및 도 4c를 참조하면, 제 m 데이터 라인(D m)을 기준으로, 서로 인접하는 기수 게이트 라인에 배치된 기수 화소 및 우수 게이트 라인에 배치된 우수 화소에는 서로 다른 충전 시간을 갖는 제3 데이터 신호(423)가 공급된다. 구체적으로, 게이트 신호의 RC 딜레이가 C 영역에서의 게이트 신호의 RC 딜레이보다 작은 A 영역에서는 제3 데이터 신호(423)가 짧은 충전 시간을 갖도록 공급되고, 게이트 신호의 RC 딜레이가 큰 C 영역에서는 제3 데이터 신호(423)가 A 영역에서의 제1 데이터 신호(421)보다 상대적으로 긴 충전 시간을 갖도록 공급된다.
- [0087] 본 발명의 일 실시예에 따른 액정 표시 장치는 게이트 구동회로의 스테이지 각각에 인접한 영역에 배치된 화소에 화소의 충전율을 균일하게 확보할 수 있다. 이를 위해, 액정 표시 장치는 슬루 레이트 및 충전 시간을 화소마다 상이하게 조절한 데이터 신호를, 스테이지 각각에 인접한 영역에 배치된 데이터 라인에 공급하는 데이터 구동회로를 포함한다. 구체적으로, 스테이지에 인접한 영역에 배치된 화소에는 게이트 신호의 RC 딜레이가 작으므로, 데이터 구동회로는 짧은 충전 시간 및 라이징 에지에서 큰 슬루 레이트를 갖는 데이터 신호를 공급한다. 반대로, 스테이지에서 인접한 영역의 반대편에 배치된 영역에 배치된 화소에는 게이트 신호의 RC 딜레이가 크므로, 데이터 구동회로(130)는 긴 충전 시간 및 라이징 에지에서 작은 슬루 레이트를 갖는 데이터 신호를 공급한다.
- [0088] 정리하면, A 영역에 배치된 화소에는 짧은 충전 시간 및 라이징 에지에서 큰 슬루 레이트를 갖는 데이터 신호가 공급되고, C 영역에 배치된 화소에는 긴 충전 시간 및 라이징 에지에서 작은 슬루 레이트를 갖는 데이터 신호가 공급된다. 즉, RC 딜레이가 작은 게이트 신호가 공급되는 화소에는 충전 시간이 짧고, 라이징 에지의 슬루 레이트는 큰 데이터 신호가 공급되고, RC 딜레이가 큰 게이트 신호가 공급되는 화소에는 충전 시간이 길고, 라이징 에지의 슬루 레이트는 작은 데이터 신호가 공급된다.
- [0089] 이에 따라, 하나의 데이터 라인에 배치된 기수 화소에서의 화소 충전율과 우수 화소에서의 화소 충전율은 동일해질 수 있다. 즉, 본 발명의 일 실시예에 따른 데이터 신호는 하나의 데이터 라인에 배치된 화소에서 게이트 신호의 RC 딜레이에 의한 화소의 충전율 차이를 보상하여 하나의 데이터 라인에 배치된 화소의 휘도 차이를 저감시킬 수 있다.
- [0090] 도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 도 3에 도시된 액정 표시 패널의 A 내지 C 영역별 게이트 신호 및 데이터 신호를 나타내는 파형도이다. 도 6은 본 발명의 일 실시예에 따른 도 3에 도시된 액정 표시 패널의 A 및 C 영역에서의 게이트 신호 및 데이터 신호를 비교하기 위한 파형도이다. 도 5a 내지 도 5c에 도시된 파형도는 도 4a 내지 도 4c에 도시된 파형도를 A 내지 C 영역별로 일부를 확대한 것으로, 파형도에서 실질적으로 중복되는 구성에 대해서는 설명은 생략한다.
- [0091] 도 5a는 A 영역에서의 제1 게이트 신호(411A) 및 제1 데이터 신호(421)의 파형도이고, 도 5b는 B 영역에서의 제1 게이트 신호(411B) 및 제2 데이터 신호(422)의 파형도이고, 도 5c는 C 영역에서의 제1 게이트 신호(411C) 및 제3 데이터 신호(423)의 파형도이다.
- [0092] 도 5a 내지 도 5c를 참조하면, A 영역에서의 제1 게이트 신호(411A), B 영역에서의 제1 게이트 신호(411B) 및 C 영역에서의 제1 게이트 신호(411C)는 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)까지 스윙하고, 제1 데

이터 신호(421), 제2 데이터 신호(422) 및 제3 데이터 신호(423)은 접지(GND)에서 5V 사이의 펄스 신호로 나타난다. 여기서, 제1 게이트 신호(411), 제1 데이터 신호(421), 제2 데이터 신호(422) 및 제3 데이터 신호(423)의 전압 범위는 예시적인 것이므로, 이에 제한되지 않고 실시예에 따라 다양하게 변경될 수 있다.

[0093] A 영역에서의 제1 게이트 신호(411A)와 제1 데이터 신호(421)의 전압 차이, 제1 Vgs(Vgs1)는 A 영역의 화소에 배치된 박막 트랜지스터의 게이트 전극과 소스 전극 사이의 전압이다. 도 5a를 참조하면, 제1 Vgs(Vgs1)는 A 영역에서의 제1 게이트 신호(411A)가 게이트 하이 전압(VGH)이고, 제1 데이터 신호(421)가 접지(GND)된 경우 최대값(Vgs1, max)을 갖는다. 즉, 제1 Vgs(Vgs1)의 최대값(Vgs1, max)은 게이트 하이 전압(VGH)이다. 또한, 제1 Vgs(Vgs1)는 A 영역에서의 제1 게이트 신호(411A)가 게이트 하이 전압(VGH)인 상태에서 제1 데이터 신호(421)가 A 영역의 화소에 공급되면 최소값(Vgs1, min)을 갖는다. 즉, 제1 Vgs(Vgs1)의 최소값(Vgs1, min)은 게이트 하이 전압(VGH)에서 5V를 뺀 값이다.

[0094] 도 5a 및 도 6을 참조하면, 게이트 구동회로(140)의 스테이지에 인접한 A 영역의 화소에는 라이징 타임(rising time)이 길고 폴링 타임(falling time)은 짧은 데이터 신호가 공급된다. 구체적으로, 스테이지에 인접한 A 영역의 화소에 공급되는 제1 데이터 신호(421)의 라이징 타임(ta1)은 길고, 제1 데이터 신호(421)의 폴링 타임(ta2)은 라이징 타임(ta1)에 비해 상대적으로 짧다. 예를 들어, 제1 데이터 신호(421)의 라이징 타임(ta1)은 2μsec이고, 제1 데이터 신호(421)의 폴링 타임(ta2)은 1μsec이다. 여기서, 라이징 타임은 데이터 신호가 접지(GND)에서 5V까지 상승하는데 걸리는 시간이고, 폴링 타임은 데이터 신호가 5V에서 접지(GND)까지 하강하는데 걸리는 시간이다.

[0095] 한편, 라이징 타임은 데이터 신호의 라이징 에지에서의 슬루 레이트에 비례하고, 폴링 타임은 데이터 신호의 폴링 에지에서의 슬루 레이트에 비례한다. 도 5a 및 도 6을 참조하면, 제1 데이터 신호(421)의 라이징 에지에서의 슬루 레이트는 제1 데이터 신호(421)의 폴링 에지에서의 슬루 레이트보다 크다. 예를 들어, 제1 데이터 신호(421)의 라이징 에지에서의 슬루 레이트와 제1 데이터 신호(421)의 폴링 에지에서의 슬루 레이트의 비는 2:1이다.

[0096] B 영역에서의 제1 게이트 신호(411B)와 제2 데이터 신호(422)의 전압 차이, 제2 Vgs(Vgs2)는 B 영역의 화소에 배치된 박막 트랜지스터의 게이트 전극과 소스 전극 사이의 전압이다. 도 5b를 참조하면, 제2 Vgs(Vgs2)는 제2 데이터 신호(422)가 접지(GND)된 경우 최대값(Vgs2, max)을 갖는다. 즉, 제2 Vgs(Vgs2)의 최대값(Vgs2, max)은 제2 데이터 신호(422)가 접지(GND)된 경우, B 영역에서의 제1 게이트 신호(411B)가 게이트 하이 전압(VGH)에 도달하면 게이트 하이 전압(VGH)이 되고, B 영역에서의 제1 게이트 신호(411B)가 게이트 하이 전압(VGH)에 도달하지 못하면, 제2 데이터 신호(422)가 상승하기 직전의 B 영역에서의 제1 게이트 신호(411B)의 전압이 된다. 또한, 제2 Vgs(Vgs2)는 B 영역에서의 제1 게이트 신호(411B)가 게이트 하이 전압(VGH)인 상태에서 제2 데이터 신호(422)가 최대 데이터 전압이되면 최소값(Vgs2, min)을 갖는다. 즉, 제2 Vgs(Vgs2)의 최소값(Vgs2, min)은 게이트 하이 전압(VGH)에서 5V를 뺀 값이 될 수 있다. 이에 따라, 제2 Vgs(Vgs2)의 최소값(Vgs2, min)은 제1 Vgs(Vgs1)의 최소값(Vgs1, min)과 동일할 수 있다.

[0097] 도 5b 및 도 6을 참조하면, 게이트 구동회로(140)의 스테이지에 인접한 B 영역의 화소에는 라이징 타임(tb1)과 폴링 타임(tb2)이 유사한 데이터 신호가 공급된다. 구체적으로, 스테이지에 인접한 B 영역의 화소에 공급되는 제2 데이터 신호(422)의 라이징 타임(tb1)과 폴링 타임(tb2)은 거의 동일하다. 예를 들어, 제2 데이터 신호(422)의 라이징 타임(tb1)은 1.5μsec이고, 제2 데이터 신호(422)의 폴링 타임(tb2)도 1.5μsec이다.

[0098] 이에 따라, 제2 데이터 신호(422)의 라이징 에지에서의 슬루 레이트는 제2 데이터 신호(422)의 폴링 에지에서의 슬루 레이트와 유사하다. 예를 들어, 제1 데이터 신호(421)의 라이징 에지에서의 슬루 레이트와 제1 데이터 신호(421)의 폴링 에지에서의 슬루 레이트의 비는 거의 1:1이다.

[0099] C 영역에서의 제1 게이트 신호(411C)와 제3 데이터 신호(423)의 전압 차이, 제3 Vgs(Vgs3)는 C 영역의 화소에 배치된 박막 트랜지스터의 게이트 전극과 소스 전극 사이의 전압이다. 도 5c를 참조하면, 제3 Vgs(Vgs3)는 제3 데이터 신호(423)가 접지(GND)된 경우 최대값(Vgs3, max)을 갖는다. 즉, 제3 Vgs(Vgs3)의 최대값(Vgs3, max)은 제3 데이터 신호(423)가 접지(GND)된 경우, 제3 데이터 신호(423)가 상승하기 직전의 C 영역에서의 제1 게이트 신호(411C)의 전압이 된다. 또한, C 영역에서의 제1 게이트 신호(411C)는 제3 데이터 신호(423)가 최대 데이터 전압이 된 이후에도 계속 증가하고 있다. 이에, 제3 Vgs(Vgs3)의 최소값(Vgs3, min)은 제3 데이터 신호(423)가 최대 데이터 전압이 되는 순간에서의 C 영역에서의 제1 게이트 신호(411C)에서 최대 데이터 전압을 뺀 값이다. 이에 따라, 제3 Vgs(Vgs3)의 최소값(Vgs3, min)은 제2 Vgs(Vgs2)의 최소값(Vgs2, min)보다 작아질 수 있다.

- [0100] 도 5c 및 도 6을 참조하면, 게이트 구동회로(140)의 스테이지에 인접한 C 영역의 화소에는 라이징 타임이 짧고 폴링 타임은 긴 데이터 신호가 공급된다. 구체적으로, 스테이지에 인접한 C 영역의 화소에 공급되는 제3 데이터 신호(423)의 라이징 타임(tc1)은 짧고, 제3 데이터 신호(423)의 폴링 타임(tc2)은 라이징 타임(tc1)에 비해 상대적으로 길다. 예를 들어, 제3 데이터 신호(423)의 라이징 타임(tc1)은 1 μ sec이고, 제3 데이터 신호(423)의 폴링 타임(tc2)은 2 μ sec이다.
- [0101] 도 5c 및 도 6을 참조하면, 제3 데이터 신호(423)의 라이징 에지에서의 슬루 레이트는 제3 데이터 신호(423)의 폴링 에지에서의 슬루 레이트보다 작다. 예를 들어, 제3 데이터 신호(423)의 라이징 에지에서의 슬루 레이트와 제3 데이터 신호(423)의 폴링 에지에서의 슬루 레이트의 비는 1:2이다.
- [0102] 화소에 배치된 박막 트랜지스터의 게이트 전극과 소스 전극 사이의 전압, 즉, Vgs에 관하여, 도 5a 내지 도 6을 참조하면, 스테이지에 인접한 화소에서의 Vgs는 스테이지에 인접한 화소의 반대편에 배치된 화소에서의 Vgs보다 크다. 구체적으로, 스테이지에 인접한 화소에서의 Vgs의 최대값은 스테이지에 인접한 화소의 반대편에 배치된 화소에서의 Vgs의 최대값보다 크다. 또한, 스테이지에 인접한 화소에서의 Vgs의 최소값은 스테이지에 인접한 화소의 반대편에 배치된 화소에서의 Vgs의 최소값보다 크다. 이는, 게이트 라인의 RC 딜레이로 인해 스테이지에 인접한 화소의 반대편에 배치된 화소일수록 Vgs가 더 작아지기 때문이다.
- [0103] 도 5a 내지 도 6을 참조하면, 제1 게이트 라인(G1)을 기준으로 스테이지에 인접한 화소로부터 스테이지에 인접한 화소의 반대편에 배치된 화소로 갈수록 데이터 신호의 라이징 에지의 슬루 레이트가 감소한다. 구체적으로, 제1 게이트 라인(G1)을 기준으로, A 영역의 화소에 공급되는 제1 데이터 신호(421)의 라이징 에지의 슬루 레이트는 크고, C 영역으로 갈수록 데이터 신호의 라이징 에지의 슬루 레이트는 작아진다. 이에 따라, C 영역의 화소에 공급되는 제3 데이터 신호(423)의 라이징 에지의 슬루 레이트는 A 영역의 화소에 공급되는 제1 데이터 신호(421)의 라이징 에지의 슬루 레이트 및 B 영역의 화소에 공급되는 제2 데이터 신호(422)의 라이징 에지의 슬루 레이트보다 작다.
- [0104] 도 5a 내지 도 6을 참조하면, 제1 게이트 라인(G1)을 기준으로 스테이지에 인접한 화소로부터 스테이지에 인접한 화소의 반대편에 배치된 화소로 갈수록 데이터 신호의 폴링 에지의 슬루 레이트가 감소한다. 구체적으로, 제1 게이트 라인(G1)을 기준으로, A 영역의 화소에 공급되는 제1 데이터 신호(421)의 폴링 에지의 슬루 레이트는 작고, C 영역으로 갈수록 데이터 신호의 폴링 에지의 슬루 레이트는 커진다. 이에 따라, C 영역의 화소에 공급되는 제3 데이터 신호(423)의 폴링 에지의 슬루 레이트는 A 영역의 화소에 공급되는 제1 데이터 신호(421)의 폴링 에지의 슬루 레이트 및 B 영역의 화소에 공급되는 제2 데이터 신호(422)의 폴링 에지의 슬루 레이트보다 크다.
- [0105] 도 6을 참조하면, A 영역에서의 제1 게이트 신호(411A)와 제1 데이터 신호(421)에 의한 A 영역의 화소의 충전 시간(ta3)은 제1 데이터 신호(421)의 전압이 상승하기 시작한 순간부터 A 영역에서의 제1 게이트 신호(411A)와 제1 데이터 신호(421)가 교차하는 순간까지이다. C 영역에서의 제1 게이트 신호(411C)와 제3 데이터 신호(423)에 의한 C 영역의 화소의 충전 시간(tc3)은 제3 데이터 신호(423)의 전압이 상승하기 시작한 순간부터 C 영역에서의 제1 게이트 신호(411C)와 제3 데이터 신호(423)가 교차하는 순간까지이다.
- [0106] 도 6을 참조하면, 제1 게이트 라인(G1)을 기준으로 스테이지에 인접한 화소로부터 스테이지에 인접한 화소의 반대편에 배치된 화소로 갈수록 데이터 신호에 의한 화소의 충전 시간이 증가한다. 구체적으로, 제1 게이트 라인(G1)을 기준으로, 제1 데이터 신호(421)에 의한 A 영역의 화소의 충전 시간(ta3)은 짧고, C 영역으로 갈수록 데이터 신호에 의한 화소 각각의 충전 시간은 길어진다. 이에 따라, 제3 데이터 신호(423)에 의한 C 영역의 화소의 충전 시간(tc3)은 제1 데이터 신호(421)에 의한 A 영역의 화소의 충전 시간(ta3)보다 길다.
- [0107] 여기서, A 영역에서의 제1 게이트 신호(411A)의 RC 딜레이가 작으므로 A 영역의 화소의 충전 시간(ta3)이 짧더라도 A 영역의 화소는 충분히 충전될 수 있으며, C 영역에서의 제1 게이트 신호(411C)의 RC 딜레이는 크므로 C 영역의 화소의 충전 시간(tc3)을 길게 확보하여 C 영역의 화소도 충분히 충전될 수 있다. 이에 따라, A 영역의 화소의 충전 전압(601) 및 충전율은 C 영역의 화소의 충전 전압(603) 및 충전율과 실질적으로 동일하다. 즉, RC 딜레이에 따라 데이터 신호에 의한 화소의 충전 시간을 조절하여, 게이트 구동회로의 스테이지에서의 거리에 무관하게 화소가 균일하게 충전될 수 있다. 나아가, 액정 표시 장치에서 GIP 회로에 인접한 화소에서의 휘도 균일도도 증대될 수 있다.
- [0108] 본 발명의 일 실시예에 따른 액정 표시 장치는 게이트 라인마다 연결된 스테이지를 포함하는 게이트 구동회로 및 게이트 라인의 RC 딜레이에 따른 화소의 충전율을 보상할 수 있도록 데이터 신호의 슬루 레이트를 조절하여

공급하는 데이터 구동회로를 포함한다. 종래기술에 의한 데이터 구동회로에 따르면, 인터레이스 방식의 GIP 회로를 포함하는 게이트 구동회로를 통해 공급되는 게이트 신호에 의해 화소 어레이의 양측에는 기수 화소의 충전율 및 우수 화소의 충전율이 서로 상이할 수 있다. 반면, 본 발명의 일 실시예에 따른 데이터 구동회로는 화소 어레이의 양측에서 기수 화소 및 우수 화소의 충전율을 균일하게 할 수 있도록 슬루 레이트 및 충전 시간을 조절한 데이터 신호를 데이터 라인에 공급한다.

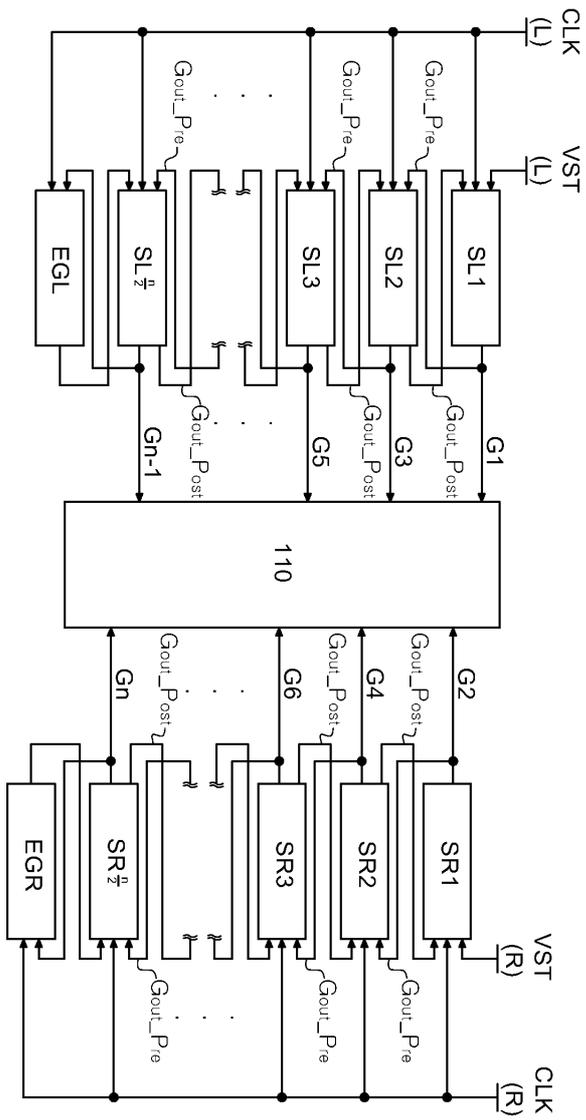
[0109] 즉, 본 발명의 일 실시예에 따른 액정 표시 장치의 데이터 구동회로는 스테이지에 인접한 화소에는 큰 슬루 레이트 및 짧은 충전 시간을 갖는 데이터 신호를 공급하고, 스테이지에 인접한 화소의 반대편에 배치된 화소에는 작은 슬루 레이트 및 긴 충전 시간을 갖는 데이터 신호를 공급한다. 이에 따라, 스테이지에서 이격된 거리 및 이에 따른 RC 딜레이에 무관하게 화소 각각의 충전 전압 및 충전율은 균일하게 설정될 수 있다. 나아가, 액정 표시 패널 양단에서의 화소의 충전율 및 휘도가 균일해짐으로써, 인터레이스 방식의 GIP 회로를 적용한 액정 표시 패널 양단의 뎀(dim)성 불량이 저감될 수 있다.

[0110] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

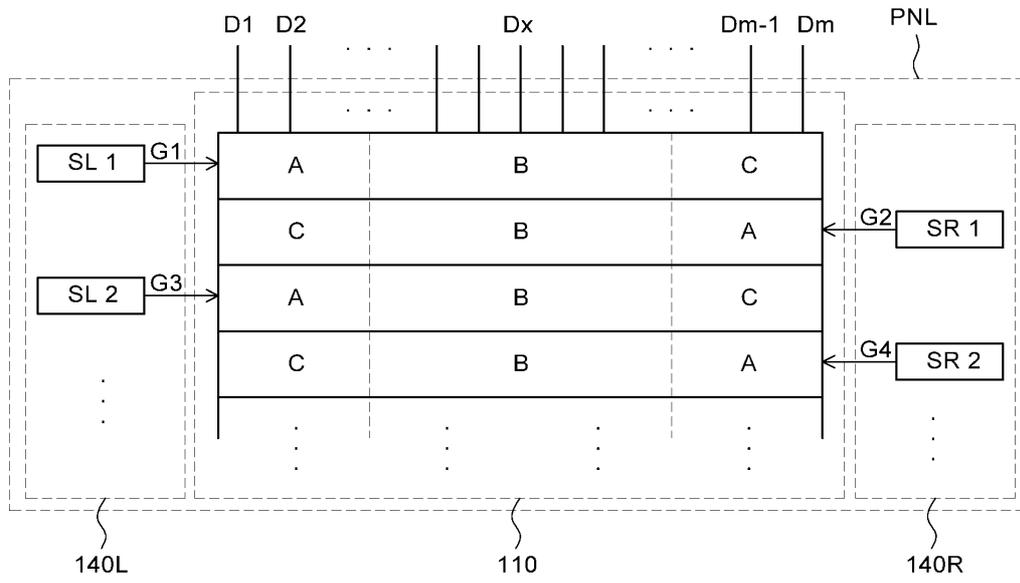
부호의 설명

- [0111]
- 100: 표시 장치
 - 110: 화소 어레이
 - 120: 타이밍 콘트롤러
 - 130: 데이터 구동회로
 - 140: 게이트 구동회로
 - 140L: 기수 게이트 구동회로
 - 140R: 우수 게이트 구동회로
 - 139: 데이터 라인
 - 149: 게이트 라인
 - 411: 제1 게이트 신호
 - 411A: A 영역에서의 제1 게이트 신호
 - 411B: B 영역에서의 제1 게이트 신호
 - 411C: C 영역에서의 제1 게이트 신호
 - 412: 제2 게이트 신호
 - 413: 제3 게이트 신호
 - 414: 제4 게이트 신호
 - 421: 제1 데이터 신호
 - 422: 제2 데이터 신호
 - 423: 제3 데이터 신호
 - 601: A 영역의 화소의 충전 전압
 - 603: C 영역의 화소의 충전 전압

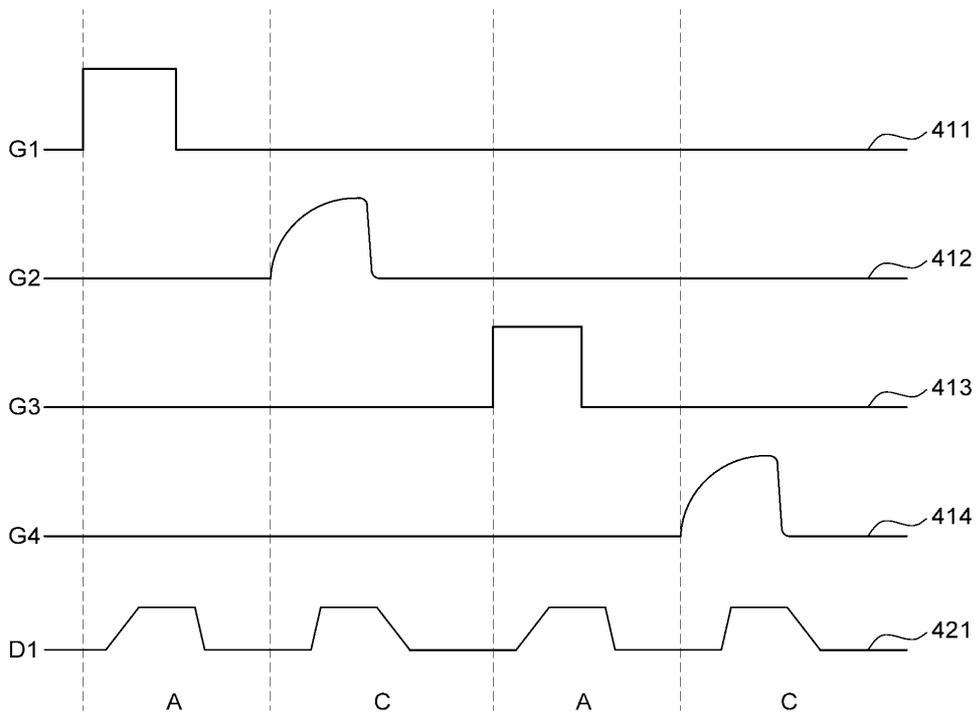
도면2



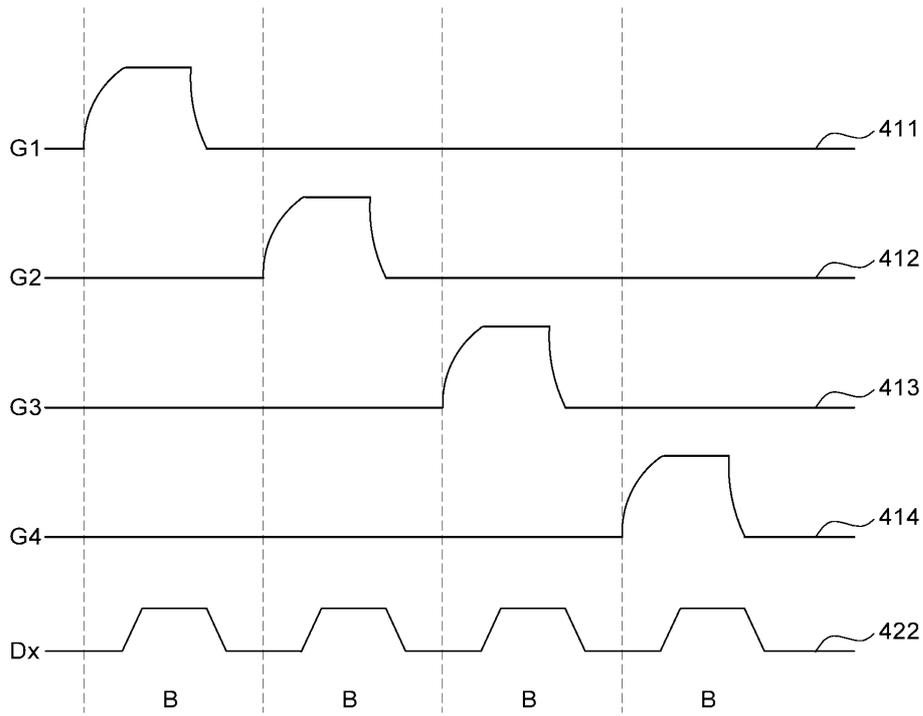
도면3



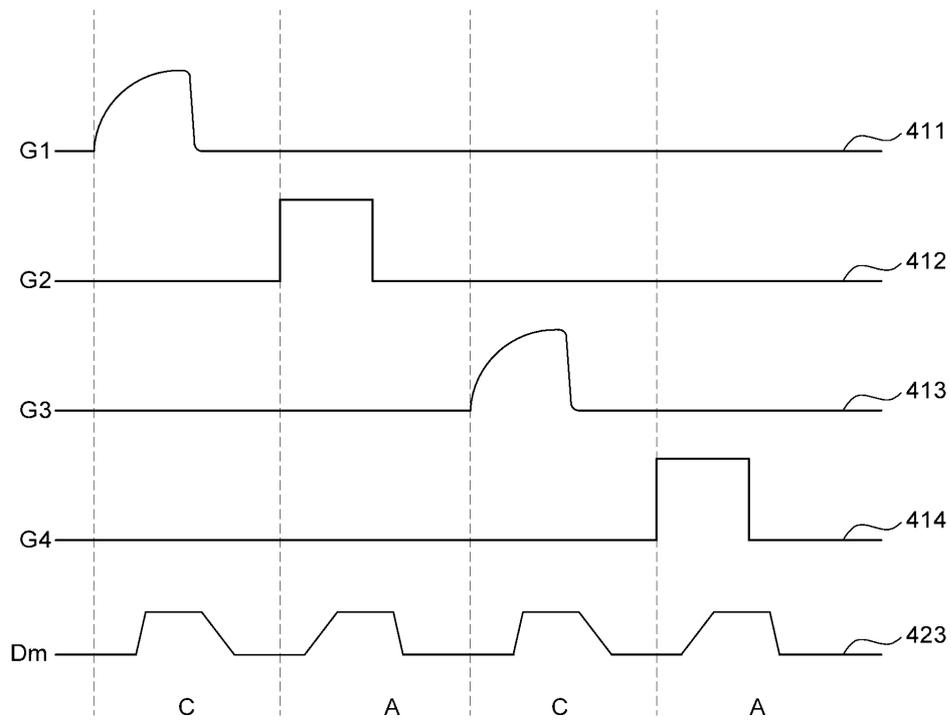
도면4a



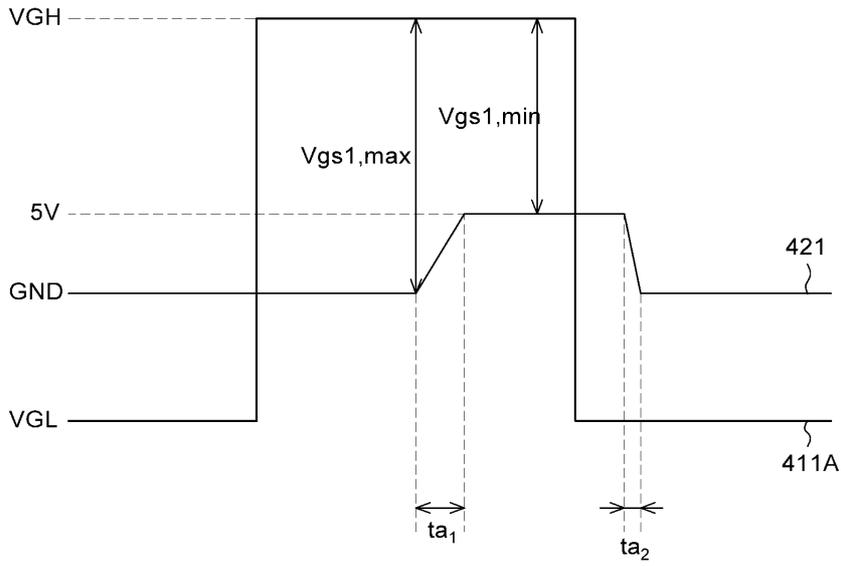
도면4b



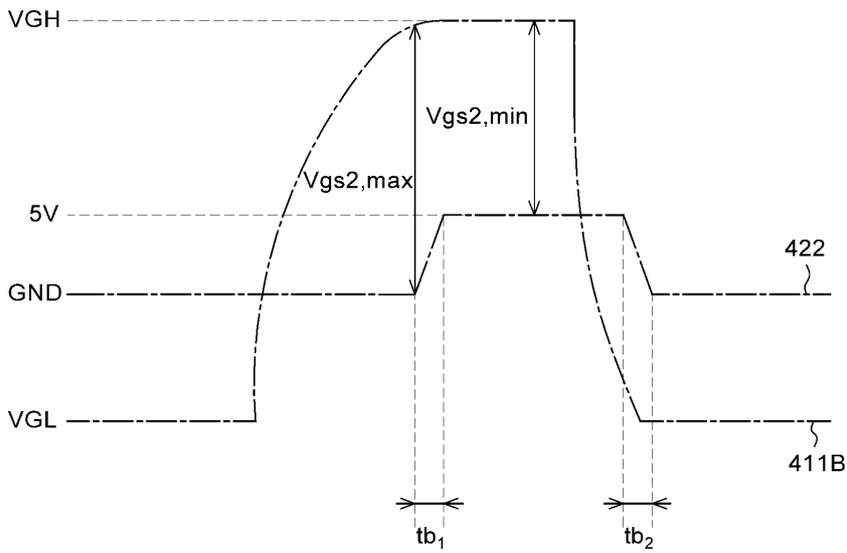
도면4c



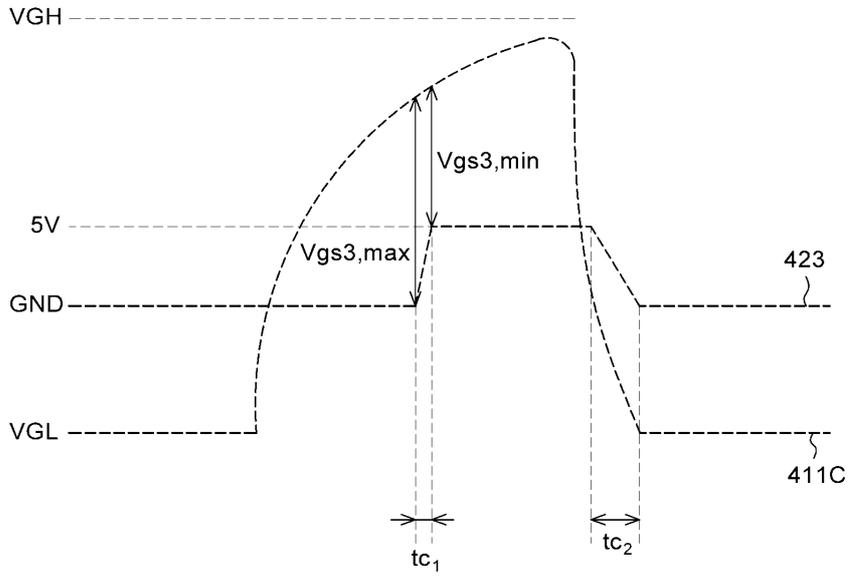
도면5a



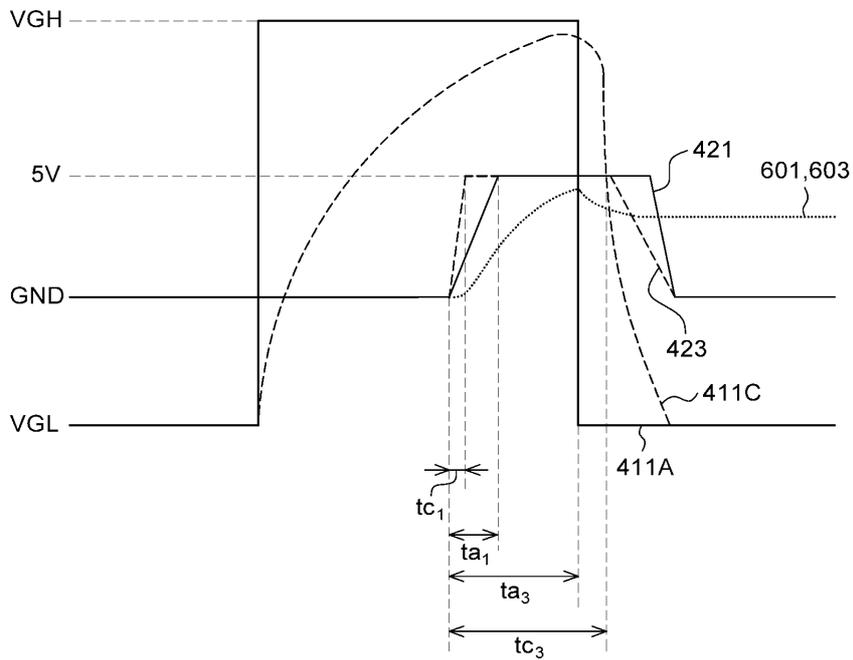
도면5b



도면5c



도면6



专利名称(译)	液晶显示器		
公开(公告)号	KR1020170073309A	公开(公告)日	2017-06-28
申请号	KR1020150182058	申请日	2015-12-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BYOUNG WOO 김병우 CHO SUNG HYUN 조성현 CHANG SUNG WOOK 장성욱		
发明人	김병우 조성현 장성욱		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648 G09G3/3677 G09G3/3688 G09G2320/0223 G09G2310/08 G09G2300/0828		
外部链接	Espacenet		

摘要(译)

提供液晶显示器。液晶显示器包括显示区域中的多条数据线和多条栅极线交叉的像素阵列，并且像素布置在交叉区域。栅极驱动电路包括基数栅极驱动电路，其设置在与显示区域的一侧相邻的第一非显示区域中，并被配置为将栅极信号提供给多条栅极线中的基数（奇数）栅极线。优选栅极驱动电路设置在与显示区域的另一侧相邻的第二非显示区域中，并且被配置为将栅极信号提供给多条栅极线中的优势（偶数）栅极线。数据驱动电路分别用于提供具有多条数据线的的数据信号。其中转换率分别彼此不同的数据信号被配置为被提供，其中数据线连接到显示区域数据驱动电路的一侧和另一侧分别相邻的像素。在根据本发明优选实施例的液晶显示器中，通过控制转换速率的数据信号，可以减小栅极信号的RC延迟引起的像素之间的亮度差。

