



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0062587
(43) 공개일자 2017년06월08일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/1333 (2006.01)
G02F 1/1362 (2006.01) H01L 29/786 (2006.01)

(52) CPC특허분류

G02F 1/134363 (2013.01)
G02F 1/133345 (2013.01)

(21) 출원번호 10-2015-0167385

(22) 출원일자 2015년11월27일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

신승환

전라북도 전주시 완산구 물레방아3길 23 (태평동)

정영민

경기도 파주시 금바위로 47 (와동동, 가람마을8단지
동문굿모닝힐) 801동 1002호

(뒷면에 계속)

(74) 대리인

특허법인로얄

전체 청구항 수 : 총 11 항

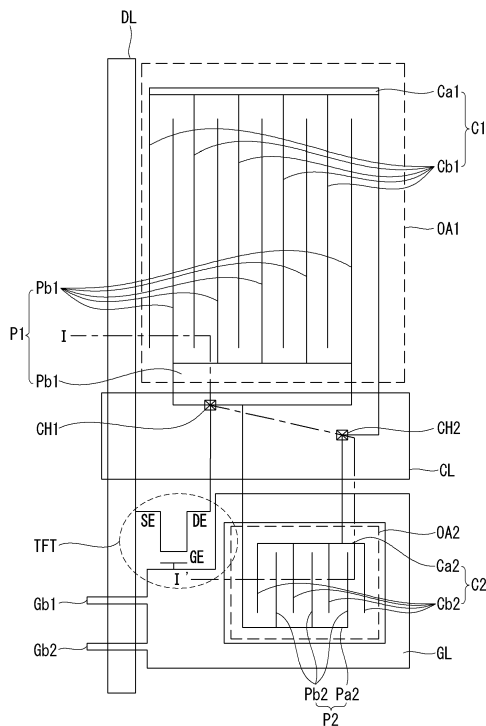
(54) 발명의 명칭 수평 전계형 액정 표시장치

(57) 요약

본 발명은 투과율을 높일 수 있는 수평 전계형 액정 표시장치에 관한 것으로, 게이트 라인, 공통라인, 데이터 라인, 박막 트랜지스터, 제 1 화소전극, 제 1 공통전극, 제 2 화소전극 및 제 2 공통전극을 포함한다. 게이트 라인 및 공통라인은 기판 상에 서로 분리되어 제 1 방향으로 배열된다. 데이터 라인은 제 1 방향과 교차하는 제 2

(뒷면에 계속)

대표도 - 도4



방향으로 배열된다. 제 1 화소전극은 상기 게이트 라인 및 상기 데이터 라인에 의해 정의되는 화소영역의 일부인 제 1 개구영역에 배치되며, 상기 데이터 라인으로부터 데이터 전압을 공급받는다. 제 1 공통전극은 상기 공통라인에 연결되며, 상기 제 1 개구영역에서 상기 제 1 화소전극과 수평전계를 형성하도록 배치된다. 제 2 화소전극은 상기 게이트 라인의 일부분이 제거된 제 2 개구영역에 배치되며, 상기 제 1 화소전극에 연결된다. 제 2 공통전극은 상기 제 1 공통전극에 연결되며, 상기 제 2 개구영역에서 상기 제 2 화소전극과 수평전계를 형성하도록 배치된다.

(52) CPC특허분류

G02F 1/136286 (2013.01)

H01L 29/786 (2013.01)

G02F 2001/134318 (2013.01)

(72) 발명자

서대영

인천광역시 중구 흰바위로 34 1011동 303호 (운서동, 주공아파트10단지)

이소영

서울특별시 마포구 마포대로 115-8 105동 812호 (공덕동, 삼성래미안공덕1차아파트)

명세서

청구범위

청구항 1

기관 상에 서로 분리되어 제 1 방향으로 배열되는 게이트 라인 및 공통라인;

상기 제 1 방향과 교차하는 제 2 방향으로 배열되는 데이터 라인;

상기 게이트 라인 및 상기 데이터 라인에 의해 정의되는 화소영역의 일부인 제 1 개구영역에 배치되며, 상기 데이터 라인으로부터 데이터 전압을 공급받는 제 1 화소전극;

상기 공통라인에 연결되며, 상기 제 1 개구영역에서 상기 제 1 화소전극과 수평전계를 형성하도록 배치되는 제 1 공통전극;

상기 게이트 라인의 일부분이 제거된 제 2 개구영역에 배치되며, 상기 제 1 화소전극에 연결되는 제 2 화소전극; 및

상기 제 1 공통전극에 연결되며, 상기 제 2 개구영역에서 상기 제 2 화소전극과 수평전계를 형성하도록 배치되는 제 2 공통전극을 포함하는 수평 전계형 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 데이터 전압을 상기 제 1 화소전극과 상기 제 2 화소전극에 공급하는 박막 트랜지스터를 더 포함하는 수평 전계형 액정 표시장치.

청구항 3

제 2 항에 있어서,

상기 게이트 라인 및 상기 공통라인은 투명 기관 상에 배치되고,

상기 박막 트랜지스터 및 상기 데이터 라인은 상기 게이트 라인을 커버하는 게이트 절연막 상에 배치되며,

상기 제 1 화소전극, 상기 제 2 화소전극, 상기 제 1 공통전극 및 상기 제 2 공통전극은 상기 박막 트랜지스터와 상기 데이터 라인을 커버하는 절연막 상에 배치되고,

상기 제 1 화소전극은 상기 절연막을 관통하는 제 1 콘택홀을 통해 노출된 상기 드레인 전극에 접속되며,

상기 제 1 공통전극은 상기 절연막과 상기 게이트 절연막을 통해 노출된 제 2 콘택홀을 통해 노출된 공통라인에 접속되는 수평 전계형 액정 표시장치.

청구항 4

제 2 항에 있어서,

상기 게이트 라인 및 상기 공통라인은 투명 기관 상에 배치되고,

상기 박막 트랜지스터 및 상기 데이터 라인은 상기 게이트 라인을 커버하는 게이트 절연막 상에 배치되며,

상기 제 1 공통전극 및 상기 제 2 공통전극은 상기 박막 트랜지스터와 상기 데이터 라인을 커버하는 제 1 절연막 상에 배치되고,

상기 제 1 화소전극 및 상기 제 2 화소전극은 상기 제 1 공통전극 및 상기 제 2 공통전극을 커버하는 제 2 절연

막 상에 배치되며,

상기 제 1 화소전극은 상기 제 1 및 제 2 절연막을 관통하는 제 1 콘택홀을 통해 노출된 상기 드레인 전극에 접속되며,

상기 제 1 공통전극은 상기 제 1 및 제 2 절연막들과 상기 게이트 절연막을 통해 노출된 제 2 콘택홀을 통해 노출된 공통라인에 접속되는 수평 전계형 액정 표시장치.

청구항 5

기관 상에 서로 분리되어 제 1 방향으로 배열되는 게이트 라인 및 공통라인;

상기 제 1 방향과 교차하는 제 2 방향으로 배열되는 데이터 라인 및 보조 데이터 라인;

상기 게이트 라인 및 상기 데이터 라인에 의해 정의되는 화소영역의 일부인 제 1 개구영역에 배치되며, 상기 데이터 라인으로부터 데이터 전압을 공급받는 제 1 화소전극;

상기 공통라인에 연결되며, 상기 제 1 개구영역에서 상기 제 1 화소전극과 수평전계를 형성하도록 배치되는 제 1 공통전극;

상기 게이트 라인의 일부분이 제거된 제 2 개구영역에 배치되며, 상기 보조 데이터 라인에 연결되는 제 2 화소전극; 및

상기 제 1 공통전극에 연결되며, 상기 제 2 개구영역에서 상기 제 2 화소전극과 수평전계를 형성하도록 배치되는 제 2 공통전극을 포함하는 수평 전계형 액정 표시장치.

청구항 6

제 5 항에 있어서,

상기 데이터 전압을 상기 제 1 화소전극과 상기 제 2 화소전극에 공급하는 제 1 박막 트랜지스터; 및

최대 휘도 피크치에 대응하는 전압을 상기 보조 데이터 라인을 통해 상기 제 2 화소전극에 공급하는 제 2 박막 트랜지스터를 더 포함하는 수평 전계형 액정 표시장치.

청구항 7

제 5 항에 있어서,

상기 제 1 화소전극과 상기 제 1 공통전극은 서로 동일 층에 형성되어 상기 제 1 개구영역에 수평전계를 형성하고, 상기 제 2 화소전극과 상기 제 2 공통전극은 서로 동일 층에 형성되어 상기 제 2 개구영역에 수평전계를 형성하는 수평 전계형 액정 표시장치.

청구항 8

제 5 항에 있어서,

상기 제 1 화소전극과 상기 제 1 공통전극은 서로 다른 층에 형성되어 상기 제 1 개구영역에 수평전계를 형성하고, 상기 제 2 화소전극과 상기 제 2 공통전극은 서로 다른 층에 형성되어 상기 제 2 개구영역에 수평전계를 형성하는 수평 전계형 액정 표시장치.

청구항 9

제 6 항에 있어서,

상기 게이트 라인 및 상기 공통라인은 투명 기판 상에 배치되고,

상기 제 1 및 제 2 박막 트랜지스터들과 상기 데이터 라인 및 상기 보조 데이터 라인은 상기 게이트 라인 및 상기 공통라인을 커버하는 게이트 절연막 상에 배치되며,

상기 제 1 화소전극, 상기 제 2 화소전극, 상기 제 1 공통전극 및 상기 제 2 공통전극은 상기 제 1 및 제 2 박막 트랜지스터들과 상기 데이터 라인 및 상기 보조 데이터 라인들을 커버하는 절연막 상에 배치되고,

상기 제 1 화소전극은 상기 절연막을 관통하는 제 1 콘택홀을 통해 노출된 상기 드레인 전극에 접속되며,

상기 제 1 공통전극은 상기 절연막과 상기 게이트 절연막을 통해 노출된 제 2 콘택홀을 통해 노출된 공통라인에 접속되는 수평 전계형 액정 표시장치.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 게이트 라인은 각 화소영역마다 상기 데이터 라인과 교차하는 2개의 가지부를 포함하는 수평 전계형 표시장치.

청구항 11

제 10 항에 있어서,

상기 게이트 라인과 상기 데이터 라인의 적어도 하나는 서로 교차하는 교차부 영역의 폭이 비교차부 영역의 폭보다 좁은 수평 전계형 표시장치.

발명의 설명

기술분야

[0001] 본 발명은 수평 전계형 액정 표시장치 및 그 제조방법에 관한 것으로, 특히 투과율을 높일 수 있는 수평 전계형 액정 표시장치에 관한 것이다.

배경기술

[0002] 액정 표시 장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.

[0003] 수직 전계형 액정 표시 장치는 상부기관 상에 형성된 공통전극과 하부기관 상에 형성된 화소전극이 서로 대향 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동하게 된다. 이러한 수직 전계형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

[0004] 수평 전계형 액정 표시 장치는 하부 기관에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 액정을 구동하게 된다. 이러한 수평 전계형 액정 표시 장치는 시야각이 170도 이상 넓은 장점과, 수평 상태에서 스위칭 되므로 빠른 응답속도를 갖는 장점을 가진다.

[0005] 이하, 도 1 및 도 2를 참조하여 종래의 수평 전계형 액정 표시장치에 대해 보다 설명하기로 한다.

[0006] 도 1은 종래의 수평 전계형 액정 표시장치를 도시한 평면도이고, 도 2는 도 1의 I-I' 라인을 따라 취한 단면도이다.

[0007] 도 1 및 도 2를 참조하면, 종래의 수평 전계형 액정 표시장치는 기관(SUB) 상에 서로 교차하도록 배열되는 복수의 게이트 라인들(GL) 및 데이터 라인들(DL)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차부에 배치되는 박막 트랜지스터들(TFT)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차에 의해 정의되는 화소 영역들에 배치되며, 박막 트랜지스터들(TFT)을 통해 데이터 라인들(DL)과 연결되며, 각 화소 영역에 배치되는 화소전극들(Px), 게이트 라인(GL)과 평행하게 배열되는 공통라인(SL)에 연결되며 화소전극들(P)과 수평전계

를 형성하도록 배치되는 공통전극(COM)을 포함한다.

- [0008] 공통라인(SL)은 게이트 라인(GL)과 동일층에서 게이트 라인(GL)과 나란하게 배치된다.
- [0009] 공통전극(C)은 공통전극 줄기부(Ca)와, 공통전극 줄기부(Ca)로부터 분기되어 화소영역으로 연장되는 복수의 공통전극 가지부들(Cb)을 포함한다. 공통전극 줄기부(Ca)는 화소영역을 사이에 두고 공통라인의 반대측에 배치된다. 공통전극 가지부들(Cb)은 일정 간격을 두고 서로 나란하게 배치된다.
- [0010] 화소전극(P)은 화소전극 줄기부(Pa)와, 화소전극 줄기부(Pa)로부터 분기되어 화소영역으로 연장되는 복수의 화소전극 가지부들(Pb)을 포함한다. 화소전극 줄기부(Pa)는 공통라인(CL)과 중첩되도록 배치되어 스토리지 캐패시터를 형성한다. 화소전극 줄기부(Pa)는 또한 박막 트랜지스터(TFT)의 드레인 전극(DE)에 연결되어 데이터 라인(DL)으로부터 공급되는 데이터 전압을 공급받는다. 화소전극(P)은 공통전극(C)과 동일층에 배치된다. 복수의 화소전극 가지부들(Pb)과 복수의 공통전극 가지부들(Cb)은 화소영역 내에서 번갈아 배치되어 수평전계를 형성한다.
- [0011] 상술한 종래의 수평 전계형 액정 표시장치에서, 게이트 전극(GE)을 포함하는 게이트 라인(GL), 및 공통라인(CL)은 기판(SUB) 상에 배치된다. 기판(SUB) 상에는 게이트 라인(GL) 및 공통라인(CL)을 커버하도록 게이트 절연막(GI)이 배치된다. 게이트 절연막(GI) 상에는 후술하는 소스/드레인 전극과 데이터 라인이 형성될 위치에 반도체 활성층(A)이 배치된다. 박막 트랜지스터(TFT)가 배치될 반도체 활성층(A) 상에는 반도체 활성층의 일부 영역을 노출시키도록 서로 분리된 소스전극(SE) 및 드레인 전극(DE)이 배치되고, 데이터 라인(DL)이 배치될 반도체 활성층(A2) 상에는 데이터 라인(DL)이 배치된다. 게이트 절연막(GI) 상에는 소스전극(SE), 드레인 전극(DE) 및 데이터 라인(DL)을 커버하도록 제 1 절연막(INS1)이 배치된다. 제 2 절연막(INS2) 상에는 평탄화를 위한 제 2 절연막(INS2)이 배치된다. 제 2 절연막(INS2) 상에는 공통전극(C)과 화소전극(P)이 수평전계를 형성하도록 배치된다. 화소전극(P)은 제 2 절연막(INS2)과 제 1 절연막(INS1)을 관통하는 드레인 콘택홀(CH1)을 통해 노출된 박막 트랜지스터(TFT)의 드레인 전극(DE)에 연결된다. 공통전극(COM)은 제 2 절연막(INS2), 제 1 절연막(INS1) 및 게이트 절연막(GI)을 관통하는 공통라인 콘택홀(CH2)을 통해 노출된 공통라인(CL)에 접속된다.
- [0012] 이와 같은 종래의 수평 전계형 액정 표시장치를 초대형 대면적으로 구성할 경우 배선들의 부하를 줄이기 위해 게이트 라인이나 데이터 라인의 두께가 증가하는 추세에 있다. 그러나, 게이트 라인과 데이터 라인의 두께를 증가시킬 경우 그에 인접한 박막 트랜지스터의 소자 신뢰성을 확보할 수 있도록 게이트 절연막의 두께도 점차 증가하고 있다. 게이트 절연막의 두께가 증가하면, 게이트 절연막 하부의 공통라인과 게이트 절연막 상부의 소스전극 및 드레인 전극에 의해 형성되는 스토리지 캐패시터의 값은 더욱 작아지게 된다. 따라서, 적절한 정전 용량의 확보를 위해서는 더욱 넓은 면적이 필요하게 되나, 이는 개구율의 감소를 초래하여 투과율을 저하시키는 문제점이 있었다.

발명의 내용

해결하려는 과제

- [0013] 본 발명의 목적은 상술한 기술적 과제를 해결하기 위한 것으로, 게이트 라인 중 저항 감소에 크게 영향을 미치지 않는 게이트 라인의 일부 영역을 이용하여 투과율을 향상시킬 수 있는 수평 전계형 액정 표시장치를 제공하는 것에 있다.

과제의 해결 수단

- [0014] 본 발명은 상술한 기술적 과제를 해결하기 위한 것으로, 본 발명에 따르는 수평 전계형 액정 표시장치는 게이트 라인, 공통라인, 데이터 라인, 박막 트랜지스터, 제 1 화소전극, 제 1 공통전극, 제 2 화소전극 및 제 2 공통전극을 포함한다. 게이트 라인 및 공통라인은 기판 상에 서로 분리되어 제 1 방향으로 배열된다. 데이터 라인은 제 1 방향과 교차하는 제 2 방향으로 배열된다. 제 1 화소전극은 상기 게이트 라인 및 상기 데이터 라인에 의해 정의되는 화소영역의 일부인 제 1 개구영역에 배치되며, 상기 데이터 라인으로부터 데이터 전압을 공급받는다. 제 1 공통전극은 상기 공통라인에 연결되며, 상기 제 1 개구영역에서 상기 제 1 화소전극과 수평전계를 형성하도록 배치된다. 제 2 화소전극은 상기 게이트 라인의 일부분이 제거된 제 2 개구영역에 배치되며, 상기 제 1 화소전극에 연결된다. 제 2 공통전극은 상기 제 1 공통전극에 연결되며, 상기 제 2 개구영역에서 상기 제 2 화소전극과 수평전계를 형성하도록 배치된다.

- [0015] 또한, 본 발명의 수평 전계형 액정 표시장치는 상기 데이터 전압을 상기 제 1 화소전극과 상기 제 2 화소전극에 공급하는 박막 트랜지스터를 더 포함한다.
- [0016] 또한, 상기 게이트 라인 및 상기 공통라인은 투명 기판 상에 배치되고, 상기 박막 트랜지스터 및 상기 데이터 라인은 상기 게이트 라인을 커버하는 게이트 절연막 상에 배치되며, 상기 제 1 화소전극, 상기 제 2 화소전극, 상기 제 1 공통전극 및 상기 제 2 공통전극은 상기 박막 트랜지스터와 상기 데이터 라인을 커버하는 절연막 상에 배치되고, 상기 제 1 화소전극은 상기 절연막을 관통하는 제 1 콘택홀을 통해 노출된 상기 드레인 전극에 접속되며, 상기 제 1 공통전극은 상기 절연막과 상기 게이트 절연막을 통해 노출된 제 2 콘택홀을 통해 노출된 공통라인에 접속된다.
- [0017] 또한, 상기 게이트 라인 및 상기 공통라인은 투명 기판 상에 배치되고, 상기 박막 트랜지스터 및 상기 데이터 라인은 상기 게이트 라인을 커버하는 게이트 절연막 상에 배치되며, 상기 제 1 공통전극 및 상기 제 2 공통전극은 상기 박막 트랜지스터와 상기 데이터 라인을 커버하는 제 1 절연막 상에 배치되고, 상기 제 1 화소전극 및 상기 제 2 화소전극은 상기 제 1 공통전극 및 상기 제 2 공통전극을 커버하는 제 2 절연막 상에 배치되며, 상기 제 1 화소전극은 상기 제 1 및 제 2 절연막을 관통하는 제 1 콘택홀을 통해 노출된 상기 드레인 전극에 접속되며, 상기 제 1 공통전극은 상기 제 1 및 제 2 절연막들과 상기 게이트 절연막을 통해 노출된 제 2 콘택홀을 통해 노출된 공통라인에 접속된다.
- [0018] 본 발명에 따르는 다른 수평 전계형 액정 표시장치는 게이트 라인 및 공통라인, 데이터 라인, 제 1 화소전극, 제 1 공통전극, 제 2 화소전극, 및 제 2 공통전극을 포함한다. 게이트 라인 및 공통라인은 기판 상에 서로 분리되어 제 1 방향으로 배열된다. 데이터 라인은 상기 제 1 방향과 교차하는 제 2 방향으로 배열된다. 제 1 화소전극은 상기 게이트 라인 및 상기 데이터 라인에 의해 정의되는 화소영역의 일부인 제 1 개구영역에 배치되며, 상기 데이터 라인으로부터 데이터 전압을 공급받는다. 제 1 공통전극은 상기 공통라인에 연결되며, 상기 제 1 개구영역에서 상기 제 1 화소전극과 수평전계를 형성하도록 배치된다. 제 2 화소전극은 상기 게이트 라인의 일부분이 제거된 제 2 개구영역에 배치되며, 상기 보조 데이터 라인에 연결된다. 제 2 공통전극은 상기 제 1 공통전극에 연결되며, 상기 제 2 개구영역에서 상기 제 2 화소전극과 수평전계를 형성하도록 배치된다.
- [0019] 또한, 수평 전계형 액정 표시장치는 상기 데이터 전압을 상기 제 1 화소전극과 상기 제 2 화소전극에 공급하는 제 1 박막 트랜지스터, 및 최대 휘도 피크치에 대응하는 전압을 상기 보조 데이터 라인을 통해 상기 제 2 화소전극에 공급하는 제 2 박막 트랜지스터를 더 포함한다.
- [0020] 상기 구성에서, 상기 제 1 화소전극과 상기 제 1 공통전극은 서로 동일 층에 형성되어 상기 제 1 개구영역에 수평전계를 형성하고, 상기 제 2 화소전극과 상기 제 2 공통전극은 서로 동일 층에 형성되어 상기 제 2 개구영역에 수평전계를 형성한다.
- [0021] 또한, 상기 제 1 화소전극과 상기 제 1 공통전극은 서로 다른 층에 형성되어 상기 제 1 개구영역에 수평전계를 형성하고, 상기 제 2 화소전극과 상기 제 2 공통전극은 서로 다른 층에 형성되어 상기 제 2 개구영역에 수평전계를 형성한다.
- [0022] 또한, 상기 게이트 라인 및 상기 공통라인은 투명 기판 상에 배치되고, 상기 제 1 및 제 2 박막 트랜지스터들과 상기 데이터 라인 및 상기 보조 데이터 라인은 상기 게이트 라인 및 상기 공통라인을 커버하는 게이트 절연막 상에 배치되며, 상기 제 1 화소전극, 상기 제 2 화소전극, 상기 제 1 공통전극 및 상기 제 2 공통전극은 상기 제 1 및 제 2 박막 트랜지스터들과 상기 데이터 라인 및 상기 보조 데이터 라인들을 커버하는 절연막 상에 배치되고, 상기 제 1 화소전극은 상기 절연막을 관통하는 제 1 콘택홀을 통해 노출된 상기 드레인 전극에 접속되며, 상기 제 1 공통전극은 상기 절연막과 상기 게이트 절연막을 통해 노출된 제 2 콘택홀을 통해 노출된 공통라인에 접속된다.
- [0023] 상기 구성에서 게이트 라인은 각 화소영역마다 상기 데이터 라인과 교차하는 2개의 가지부를 포함할 수 있다.
- [0024] 또한, 상기 게이트 라인과 상기 데이터 라인의 적어도 하나는 서로 교차하는 교차부 영역의 폭이 비교차부 영역의 폭보다 좁게 형성될 수 있다.

발명의 효과

- [0025] 본 발명에 따르는 수평 전계형 액정 표시장치에서는 게이트 라인의 일부 영역에 매 화소영역마다 개구영역이 추가적으로 형성되므로 그 영역만큼 개구율을 증가시킬 수 있다. 따라서, 게이트 라인의 일부 영역을 개구 영역

으로 이용할 수 있기 때문에 투과율을 높여 표시품질을 향상시킬 수 있는 효과를 얻을 수 있다.

[0026] 또한, 데이터 라인과 교차하는 영역에서 게이트 라인의 선폭을 줄이고 각 화소당 교차하는 게이트 라인의 가지 부들의 수를 복수로 설정함으로써 저항감소와 함께 개구율을 증가시킬 수 있는 효과를 얻을 수 있다.

도면의 간단한 설명

[0027] 도 1은 종래의 수평 전계형 액정 표시장치를 도시한 평면도,
 도 2는 도 1의 I-I' 라인을 따라 취한 단면도,
 도 3은 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치를 개략적으로 도시한 블록도,
 도 4는 본 발명의 제 1 실시예에 따르는 수평 전계형 액정 표시장치의 1화소영역을 개략적으로 도시한 평면도,
 도 5는 도 4의 I-I' 라인을 따라 취한 단면도,
 도 6은 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치의 1화소영역을 개략적으로 도시한 평면도,
 도 7은 도 6의 I-I' 라인을 따라 취한 단면도,
 도 8은 본 발명의 제 3 실시예에 따르는 수평 전계형 액정 표시장치의 1화소영역을 개략적으로 도시한 평면도,
 도 9는 도 8의 I-I' 라인을 따라 취한 단면도.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0029] 우선, 도 3를 참조하여 본 발명의 실시예들에 따르는 액정 표시장치에 대해 설명하기로 한다.

[0030] 도 3은 본 발명의 실시예들에 따르는 수평 전계형 액정 표시장치를 개략적으로 도시한 블록도이다.

[0031] 도 3을 참조하면, 본 발명의 실시예들에 따르는 수평 전계형 액정 표시장치는 화소 어레이(PA)가 형성된 액정 표시패널(10), 소스 드라이브 집적회로(Integrated Circuit, 혹은 'IC'라 칭함)(12)들, 게이트 구동회로(13), 및 타이밍 콘트롤러(11)를 구비한다. 액정 표시패널(10)의 아래에는 액정 표시패널(10)에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.

[0032] 액정 표시패널(10)은 박막 트랜지스터 어레이와 컬러필터 어레이를 포함한다.

[0033] 박막 트랜지스터 어레이는 화소 어레이(PA)를 포함한다. 화소 어레이(PA)의 제 1 기판에는 제 1 방향(예를 들면, x방향)으로 나란하게 배열된 복수의 게이트 라인들(GL), 복수의 게이트 라인들(GL)과 서로 교차하도록 제 2 방향(예를 들면, y방향)으로 나란하게 배열된 데이터 라인들(DL), 게이트 라인들(GL)과 데이터 라인들(DL)의 교차부에 인접 배치되는 박막 트랜지스터들, 게이트 라인들(GL)과 데이터 라인들(DL)에 의해 정의되는 영역에 위치하는 제 1 액정 셀들과, 게이트 라인의 일부 영역에 배치되는 제 2 액정 셀들과, 제 1 및 제 2 액정 셀들에 데이터전압을 충전시키기 위한 복수의 화소전극들, 및 복수의 화소전극들과 전계를 형성하도록 공통전극들이 배치된다.

[0034] 컬러필터 어레이는 액정층을 사이에 두고 제 1 기판과 대향하는 제 2 기판 상에 형성되는 블랙 매트릭스 및 컬러필터를 포함한다. 액정 표시패널(10)의 제 1 기판과 제 2 기판의 외면에는 각각 편광판이 부착되고, 액정층과 접하는 제 1 및 제 2 기판들의 내면에는 액정의 프리틸트각을 설정하기 위한 배향막이 각각 형성된다. 액정 표시패널(10)의 컬러필터 어레이(CFA)와 박막 트랜지스터 어레이(TFTA) 사이에는 액정 셀의 셀갭(cell gap)을 유지하기 위한 컬럼 스페이서(column spacer)가 형성될 수 있다.

[0035] 한편, 공통전극들은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 제 2 기판에 배치되며, IPS(In Plane Switching) 모드와 FFS(FrinGE Field Switching) 모드와 같은 수평전계 구동방식에서는 화소전극과 함께 제 1 기판 상에 배치된다. 이하의 본 발명의 실시예에서는 수평전계

구동방식의 예를 들어 설명한다.

- [0036] 화소 어레이(PA)는 박막 트랜지스터를 통해 데이터전압이 충전되는 화소 전극들과 공통전압이 인가되는 공통전극들의 전압 차에 의해 액정층의 액정을 구동시켜 빛의 투과량을 조정함으로써 화상을 표시한다.
- [0037] 액정 표시장치는 투과형 액정 표시장치, 반투과형 액정 표시장치, 반사형 액정 표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정 표시장치와 반투과형 액정 표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0038] 소스 드라이브 IC들(12)은 TCP(Tape Carrier PackaGE, 15) 상에 실장되고, TAB(Tape Automated Bonding) 공정에 의해 액정표시패널(10)의 유리기관에 접합되며, 소스 PCB(Printed Circuit Board)(14)에 접속된다. 소스 드라이브 IC들(12)은 COG(Chip On GLass) 공정에 의해 액정 표시패널(10)의 투명 기관 상에 접촉될 수도 있다.
- [0039] 소스 드라이브 IC들(12) 각각은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터와 소스 타이밍 제어신호를 입력받는다. 소스 드라이브 IC들(12)은 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 데이터 전압들로 변환하여 화소 어레이(PA)의 데이터 라인들에 공급한다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)의 제어 하에 데이터 전압들을 데이터 라인들에 출력한다.
- [0040] 게이트 구동회로(13)는 타이밍 콘트롤러(11)로부터 게이트 타이밍 제어신호를 입력받는다. 게이트 구동회로(13)는 게이트 타이밍 제어신호에 응답하여 화소 어레이의 게이트 라인들에 게이트 펄스(또는 스캔 펄스)를 순차적으로 공급한다. 게이트 구동회로(13)는 TCP 상에 실장되고, TAB 공정에 의해 액정표시패널(10)의 하부 유리기관에 접합될 수 있다. 또는, 게이트 구동회로(13)는 GIP(Gate In Panel) 공정에 의해 화소 어레이(PA)와 동시에 투명 기관 상에 직접 형성될 수 있다. 게이트 구동회로(13)는 도 2에 도시된 바와 같이 화소 어레이(PA)의 일측에 배치되거나 화소 어레이(PA)의 양측에 배치될 수 있다.
- [0041] 타이밍 콘트롤러(11)는 외부의 시스템 보드로부터 디지털 비디오 데이터와 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 및 도트 클럭과 같은 타이밍 신호들을 입력받는다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 타이밍 신호들에 기초하여 소스 드라이브 IC들(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 소스 타이밍 제어신호를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 게이트 타이밍 제어신호를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 콘트롤 PCB(16) 상에 실장된다. 콘트롤 PCB(16)와 소스 PCB(14)는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기관(17)을 통해 연결될 수 있다.
- [0042] 다음으로, 도 4를 참조하여 본 발명의 제 1 실시예에 따르는 수평 전계형 액정 표시장치의 화소 어레이의 화소 구조에 대해 보다 개략적으로 설명하기로 한다.
- [0043] 도 4는 본 발명의 제 1 실시예에 따르는 수평 전계형 액정 표시장치의 1화소영역을 개략적으로 도시한 평면도이다.
- [0044] 도 4 를 참조하면, 본 발명의 제 1 실시예에 따르는 수평 전계형 액정 표시장치의 화소 어레이는 서로 교차하도록 배열되는 복수의 게이트 라인들(GL) 및 데이터 라인들(DL)에 의해 정의되는 복수의 화소영역을 포함한다.
- [0045] 각각의 게이트 라인(GL)은 데이터 라인(DL)과 교차하는 영역에서 분기되며 게이트 라인(GL)의 폭보다 좁게 형성된 적어도 2개의 게이트 라인 가지부들(Gb1, Gb2)을 갖는다. 데이터 라인(DL) 또한 게이트 라인(GL)과 교차하는 영역에서 좁은 폭을 갖도록 구성될 수 있다. 이와 같이, 서로 교차하는 영역에서 데이터 라인(DL)과 게이트 라인(GL)의 폭을 좁게 함으로써 기생 정전용량에 의한 저항을 줄일 수 있으며, 투과율 또한 향상시킬 수 있는 효과를 얻을 수 있다.
- [0046] 화소 어레이는 또한 게이트 라인(GL)으로부터 이격되어 게이트 라인(GL)과 나란하게 배치되는 공통라인(CL)을 포함한다.
- [0047] 각 화소영역은 광이 투과되는 제 1 개구영역(OA1)과 제 2 개구영역(OA2)을 포함한다.
- [0048] 제 1 개구영역(OA1)에는 제 1 화소전극(P1)과 제 1 공통전극(C1)이 배치된다.
- [0049] 제 1 화소전극(P1)은 공통라인(CL)과 중첩되는 제 1 화소전극 줄기부(Pa1)와, 제 1 화소전극 줄기부(Pa1)로부터 제 1 개구영역(OA1)으로 나란하게 연장되는 복수의 제 1 화소전극 가지부들(Pb1)을 포함한다. 제 1 화

소전극 줄기부(Pa1)는 제 1 콘택홀(CH1)을 통해 노출된 박막 트랜지스터(TFT)의 드레인 전극(DE)에 접속된다.

- [0050] 제 1 공통전극(C1)은 제 1 개구영역(OA1) 내에서 제 1 화소전극(P1)의 제 1 화소 줄기부(Pa1)와 반대측에 배치되는 제 1 공통전극 줄기부(Ca1)와, 제 1 공통전극 줄기부(Ca1)로부터 제 1 개구영역(OA1)으로 나란하게 연장되는 복수의 제 1 공통전극 가지부들(Cb1)을 포함한다. 최외측에 배치되는 제 1 공통전극 가지부(Cb1)는 제 2 콘택홀(CH2)을 통해 노출된 공통라인(CL)에 접속된다. 복수의 제 1 화소전극 가지부들(Pb1)과 복수의 제 1 공통전극 가지부들(Cb1)은 제 1 개구영역(OA1) 내에서 번갈아 배치된다.
- [0051] 제 2 개구영역(OA2)은 게이트 라인(GL)의 일부분을 제거한 개구부에 배치되는 영역이다. 제 2 개구영역(OA2)에는 제 2 화소전극(P2)과 제 2 공통전극(C2)이 배치된다.
- [0052] 제 2 화소전극(P2)은 제 1 화소전극 줄기부(Pa1)로 연장되는 연결부(Pc)에 의해 제 1 화소전극 줄기부(Pa1)에 접속되는 제 2 화소전극 줄기부(Pa2)와, 제 2 화소전극 줄기부(Pa2)로부터 제 2 개구영역(OA2)으로 나란하게 연장되는 복수의 제 2 화소전극 가지부들(Pb2)을 포함한다. 제 2 화소전극 줄기부(Pa2)는 제 1 화소전극 줄기부(Pa1)와 제 1 콘택홀(CH1)을 통해 노출된 박막 트랜지스터(TFT)의 드레인 전극(DE)에 접속된다.
- [0053] 제 2 공통전극(C2)은 제 2 개구영역(OA2) 내에서 제 2 화소전극(P2)의 제 2 화소 줄기부(Pa2)와 반대측에 배치되는 제 2 공통전극 줄기부(Ca2)와, 제 2 공통전극 줄기부(Ca2)로부터 제 2 개구영역(OA1)으로 나란하게 연장되는 복수의 제 2 공통전극 가지부들(Cb2)을 포함한다. 제 2 공통전극 줄기부(Ca2)는 제 2 공통전극 줄기부(Ca2)로부터 연장되는 제 2 연결부(C2C)와 제 2 콘택홀(CH2)을 통해 노출된 공통라인(CL)에 접속된다. 복수의 제 2 화소전극 가지부들(Pb2)과 복수의 제 2 공통전극 가지부들(Cb2)은 제 2 개구영역(OA2) 내에서 번갈아 배치된다.
- [0054] 다음으로, 도 4 및 도 5를 참조하여 본 발명의 제 1 실시예에 따르는 수평 전계형 액정 표시장치의 화소 어레이의 화소구조의 단면구조에 대해 설명하기로 한다. 도 5는 도 4의 I-I' 라인을 따라 취한 단면도이다.
- [0055] 도 4 및 도 5를 참조하면, 기관(SUB) 상에는 게이트 라인(GL)과 공통라인(CL)이 서로 이격되어 나란히 배치된다.
- [0056] 기관(SUB) 상에는 게이트 전극(GE)을 포함하는 게이트 라인(GL)과 공통라인(CL)을 커버하도록 게이트 절연막(GI)이 배치된다.
- [0057] 게이트 절연막(GI) 상에는 데이터 라인(DL)과 박막 트랜지스터(TFT)의 소스전극(SE) 및 드레인 전극(DE)이 배치된다. 드레인 전극(DE)은 데이터 라인(DL)으로부터 연장될 수 있다.
- [0058] 게이트 절연막(GI) 상에는 데이터 라인(DL)과 박막 트랜지스터(TFT)의 소스전극(SE) 및 드레인 전극(DE)을 커버하도록 제 1 절연막(INS1)과 평탄화를 위한 제 2 절연막(INS2)이 배치된다. 제 1 절연막(INS1)과 제 2 절연막(INS2) 중의 한 절연막은 생략될 수도 있다.
- [0059] 제 2 절연막(INS2) 상의 제 1 개구영역(OA1)에는 제 1 화소전극(P1)과 제 1 공통전극(C1)이 배치되며, 제 1 개구영역(OA1)에는 제 2 화소전극(P2)과 제 2 공통전극(C2)이 배치된다.
- [0060] 제 1 화소전극 줄기부(Pa1)는 제 1 및 제 2 절연막들(INS1, INS2)을 관통하는 제 1 콘택홀(CH1)을 통해 노출된 박막 트랜지스터의 드레인 전극(DE)에 접속된다. 또한, 최외측 공통전극 가지부(Cb1)는 제 1 및 제 2 절연막들(INS1, INS2)을 관통하는 제 2 콘택홀(CH2)을 통해 노출된 공통라인(CL)에 접속된다.
- [0061] 상술한 본 발명의 제 1 실시예에 따르는 수평 전계형 액정 표시장치에 의하면, 게이트 라인(GL)이 배치된 제 2 개구영역(OA2)의 제 2 공통전극(C2)과 제 2 화소전극(P2) 사이의 전압차에 의해 액정에 전계가 인가되고, 그 전계에 의해 액정의 거동에 변화가 생겨 빛이 투과할 수 있으므로 투과율을 높일 수 있는 효과를 얻을 수 있다.
- [0062] 다음으로, 도 6을 참조하여 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치의 화소 어레이의 화소 구조에 대해 개략적으로 설명하기로 한다.
- [0063] 도 6은 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치의 1화소영역을 개략적으로 도시한 평면도이다.
- [0064] 도 6을 참조하면, 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치는 서로 교차하도록 배열되는 복수의 게이트 라인들(GL) 및 데이터 라인들(DL)에 의해 정의되는 복수의 화소영역을 포함한다.

- [0065] 각각의 게이트 라인(GL)은 데이터 라인(DL)과 교차하는 영역에서 분기되며 게이트 라인(GL)의 폭보다 좁게 형성된 적어도 2개의 게이트 라인 가지부들(Gb1, Gb2)을 갖는다. 데이터 라인(DL) 또한 게이트 라인(GL)과 교차하는 영역에서 좁은 폭을 갖도록 구성될 수 있다. 이와 같이, 서로 교차하는 영역에서 데이터 라인(DL)과 게이트 라인(GL)의 폭을 좁게 함으로써 기생 정전용량에 의한 저항을 줄일 수 있으며, 투과율 또한 향상시킬 수 있는 효과를 얻을 수 있다.
- [0066] 화소 어레이는 또한 게이트 라인(GL)으로부터 이격되어 게이트 라인(GL)과 나란하게 배치되는 공통라인(CL)을 포함한다.
- [0067] 각 화소영역은 광이 투과되는 제 1 개구영역(OA1)과 제 2 개구영역(OA2)을 포함한다.
- [0068] 제 1 개구영역(OA1)에는 제 1 화소전극(P1)과 제 1 공통전극(C1)이 배치된다.
- [0069] 제 1 공통전극(C1)은 제 1 개구영역(OA1)을 커버하도록 배치된다.
- [0070] 제 1 화소전극(P1)은 공통라인(CL)과 중첩되는 제 1 화소전극 줄기부(Pa1)와, 제 1 화소전극 줄기부(Pa1)로부터 제 1 개구영역(OA1)으로 나란하게 연장되는 복수의 제 1 화소전극 가지부들(Pb1)을 포함한다. 제 1 화소전극(P1)은 제 1 화소전극 줄기부(Pa1)의 반대쪽에서 복수의 제 1 화소전극 가지부들(Pb1)의 단부들을 연결하는 제 1 화소전극 가지 연결부(Pb1c)를 더 포함할 수 있다.
- [0071] 제 1 화소전극 줄기부(Pa1)는 제 1 콘택홀(CH1)을 통해 노출된 박막 트랜지스터(TFT)의 드레인 전극(DE)에 접속된다. 복수의 제 1 화소전극 가지부들(Pb1)은 그 하층에 배치된 제 1 공통전극(C1)과 중첩되도록 배치된다.
- [0072] 제 2 개구영역(OA2)은 게이트 라인(GL)의 일부분을 제거한 개구부에 배치되는 영역이다. 제 2 개구영역(OA2)에는 제 2 화소전극(P2)과 제 2 공통전극(C2)이 배치된다.
- [0073] 제 2 공통전극(C2)은 제 2 개구영역(OA2)을 커버하도록 배치된다.
- [0074] 제 2 화소전극(P2)은 제 1 화소전극 줄기부(Pa1)로 연장되는 화소전극 연결부(Pc)에 의해 제 1 화소전극 줄기부(Pa1)에 접속되는 제 2 화소전극 줄기부(Pa2)와, 제 2 화소전극 줄기부(Pa2)로부터 제 2 개구영역(OA2)으로 나란하게 연장되는 복수의 제 2 화소전극 가지부들(Pb2)을 포함한다. 제 2 화소전극(P2)은 제 2 화소전극 줄기부(Pa2)의 반대쪽에서 복수의 제 2 화소전극 가지부들(Pb2)의 단부들을 연결하는 제 2 화소전극 가지 연결부(Pb2c)를 더 포함할 수 있다. 제 2 화소전극 줄기부(Pa2)는 화소전극 연결부(Pc)를 통해 제 1 화소전극 줄기부(Pa1)에 연결되며, 제 1 화소전극 줄기부(Pa1)는 제 1 콘택홀(CH1)을 통해 노출된 박막 트랜지스터(TFT)의 드레인 전극(DE)에 접속된다. 복수의 제 2 화소전극 가지부들(Pb2)은 그 하층에 배치된 제 2 공통전극(C2)과 중첩되도록 배치된다.
- [0075] 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치에서는 제 1 및 제 2 화소전극들(P1, P2)이 제 1 및 제 2 공통전극들(C1, C2)의 상층에 배치되는 예를 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니다. 예를 들어, 제 1 및 제 2 공통전극들(C1, C2)이 제 1 및 제 2 화소전극들(P1, P2)의 상층에 배치될 수도 있다. 이 경우, 제 1 및 제 2 화소전극들(P1, P1)은 가지부들을 구비하지 않는 전극패턴으로 형성되고, 제 1 및 제 2 공통전극들(C1, C2)은 가지부들을 갖도록 형성된다. 즉, 제 1 및 제 2 공통전극에 인가되는 공통전압과 제 1 및 제 2 화소전극들에 인가되는 데이터 전압의 전압차에 의해 발생하는 전계를 이용하여 액정층에 배치된 액정들이 구동될 수 있도록, 제 1 및 제 2 공통전극과 제 1 및 제 2 화소전극들 중 상층에 위치한 전극들이 가지부들을 갖도록 형성된다.
- [0076] 다음으로, 도 6 및 도 7을 참조하여 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치의 화소 어레이의 화소의 단면구조에 대해 설명하기로 한다. 도 7은 도 6의 I-I' 라인을 따라 취한 단면도이다.
- [0077] 기관(SUB) 상에는 게이트 전극(GE)을 포함하는 게이트 라인(GL)과 공통라인(CL)이 배치된다. 게이트 라인(GL)과 공통라인(CL)이 배치된 기관(SUB) 상에는 게이트 라인(GL)과 공통라인(CL)을 커버하도록 게이트 절연막(GI)이 배치된다.
- [0078] 게이트 절연막(GI) 상에는 데이터 라인(DL)과 박막 트랜지스터(TFT)의 소스전극(SE) 및 드레인 전극(DE)이 배치된다. 드레인 전극(DE)은 데이터 라인(DL)으로부터 연장될 수 있다.
- [0079] 게이트 절연막(GI) 상에는 데이터 라인(DL)과 박막 트랜지스터(TFT)의 소스전극(SE) 및 드레인 전극(DE)을 커버하도록 제 1 절연막(INS1)과 평탄화를 위한 제 2 절연막(INS2)이 배치된다. 제 1 절연막

(INS1)과 제 2 절연막(INS2) 중의 한 절연막은 생략될 수도 있다.

- [0080] 제 2 절연막(INS2) 상의 제 1 개구영역(OA1)에는 제 1 공통전극(C1)이 배치되며, 제 2 개구영역(OA2)에는 공통전극 연결부(Cc)에 의해 제 1 공통전극(C1)에 연결되는 제 2 공통전극(C2)이 배치된다.
- [0081] 제 1 공통전극(C1)과 제 2 공통전극(C2)이 배치된 제 2 절연막(INS2) 상에는 제 1 공통전극(C1)과 제 2 공통전극(C2)을 커버하도록 제 3 절연막(INS3)이 배치된다.
- [0082] 제 3 절연막(INS3) 상에는 제 1 화소전극(P1)과 제 2 화소전극(P2)이 배치된다. 제 1 화소전극(P1)의 제 1 화소전극 가지부들(Pb1)은 제 1 개구영역(OA1)에서 제 1 공통전극(C1)과 중첩되도록 배치되며, 제 2 화소전극(P2)의 제 2 화소전극 가지부들(Pb2)은 제 2 개구영역(OA2)에서 제 2 공통전극(C2)과 중첩되도록 배치된다.
- [0083] 제 1 화소전극 줄기부(Pa1)는 제 1 내지 제 3 절연막들(INS1, INS2, INS3)를 관통하는 제 1 콘택홀(CH1)을 통해 노출된 박막 트랜지스터의 드레인 전극(DE)에 접속된다. 또한, 공통전극 연결부(Cc)는 제 1 및 제 2 절연막들(INS1, INS2)를 관통하는 제 2 콘택홀(CH2)을 통해 노출된 공통라인(CL)에 접속된다.
- [0084] 상술한 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치에 의하면, 게이트 라인(GL)이 배치된 제 2 개구영역(OA2)의 제 2 공통전극(C2)과 제 2 화소전극(P2) 사이의 전압차에 의해 액정에 전계가 인가되고, 그 전계에 의해 액정의 거동에 변화가 생겨 빛이 투과할 수 있으므로 투과율을 높일 수 있는 효과를 얻을 수 있다.
- [0085] 다음으로, 도 8을 참조하여 본 발명의 제 3 실시예에 따르는 수평 전계형 액정 표시장치에 대해 개략적으로 설명하기로 한다.
- [0086] 도 8은 본 발명의 제 3 실시예에 따르는 수평 전계형 액정 표시장치의 1화소영역을 개략적으로 도시한 평면도이다.
- [0087] 도 8을 참조하면, 본 발명의 제 3 실시예에 따르는 수평 전계형 액정 표시장치의 화소 어레이는 서로 교차하도록 배열되는 복수의 게이트 라인들(GL)과, 복수의 데이터 라인들(DL)에 의해 정의되는 복수의 화소영역을 포함한다. 각 데이터 라인에 인접해서는 보조 데이터 라인(DLs)이 배치된다.
- [0088] 각각의 게이트 라인(GL)은 데이터 라인(DL) 및 보조 데이터 라인(DLs)과 교차하는 영역에서 분기되며 게이트 라인(GL)의 폭보다 좁게 형성된 적어도 2개의 게이트 라인 가지부들 (Gb1, Gb2) 을 갖는다. 데이터 라인(DL) 및 보조 데이터 라인(DLs) 또한 게이트 라인(GL)과 교차하는 영역에서 좁은 폭을 갖도록 구성될 수 있다. 이와 같이, 서로 교차하는 영역에서 데이터 라인(DL)과 게이트 라인(GL)의 폭을 좁게 함으로써 기생 정전용량에 의한 저항을 줄일 수 있으며, 투과율 또한 향상시킬 수 있는 효과를 얻을 수 있다.
- [0089] 화소 어레이는 또한 게이트 라인(GL)으로부터 이격되어 게이트 라인(GL)과 나란하게 배치되는 공통라인(CL)을 포함한다.
- [0090] 각 화소영역은 광이 투과되는 제 1 개구영역(OA1)과 제 2 개구영역(OA2)을 포함한다.
- [0091] 제 1 개구영역(OA1)에는 제 1 화소전극(P1)과 제 1 공통전극(C1)이 배치된다.
- [0092] 제 1 화소전극(P1)은 공통라인(CL)과 중첩되는 제 1 화소전극 줄기부(Pa1)와, 제 1 화소전극 줄기부(Pa1)로부터 제 1 개구영역(OA1)으로 나란하게 연장되는 복수의 제 1 화소전극 가지부들(Pb1)을 포함한다. 제 1 화소전극 줄기부(Pa1)는 제 1 콘택홀(CH1)을 통해 노출된 제 1 박막 트랜지스터(TFT1)의 제 1 드레인 전극(DE)에 접속된다. 제 1 박막 트랜지스터(TFT1)는 제 1 게이트 전극(GE1), 제 1 소스전극(SE1) 및 제 1 드레인 전극(DE1)을 포함한다. 제 1 소스전극(SE1)은 데이터 라인(DL)으로부터 연장되고, 제 1 드레인 전극(DE1)은 제 1 콘택홀(CH1)을 통해 노출된 제 1 화소전극 줄기부(Pa1)에 연결된다.
- [0093] 제 1 공통전극(C1)은 제 1 개구영역(OA1) 내에서 제 1 화소전극(P1)의 제 1 화소 줄기부(Pa1)와 반대측에 배치되는 제 1 공통전극 줄기부(Ca1)와, 제 1 공통전극 줄기부(Ca1)로부터 제 1 개구영역(OA1)으로 나란하게 연장되는 복수의 제 1 공통전극 가지부들(Cb1)을 포함한다. 최외측에 배치되는 제 1 공통전극 가지부(Cb1)는 제 2 콘택홀(CH2)을 통해 노출된 공통라인(CL)에 접속된다.
- [0094] 복수의 제 1 화소전극 가지부들(Pb1)과 복수의 제 1 공통전극 가지부들(Cb1)은 제 1 개구영역(OA1) 내에서 번갈아 배치된다.

- [0095] 제 2 개구영역(OA2)은 게이트 라인(GL)의 일부분을 제거한 개구부에 배치되는 영역이다. 제 2 개구영역(OA2)에는 제 2 화소전극(P2)과 제 2 공통전극(C2)이 배치된다.
- [0096] 제 2 화소전극(P2)은 제 2 박막 트랜지스터(TFT2)의 제 2 드레인 전극(DE2)에 접속되는 제 2 화소전극 줄기부(Pa2)와, 제 2 화소전극 줄기부(Pa2)로부터 제 2 개구영역(OA2)으로 나란하게 연장되는 복수의 제 2 화소전극 가지부들(Pb2)을 포함한다. 제 2 화소전극 줄기부(Pa2)는 제 3 콘택홀(CH3)을 통해 노출된 제 2 박막 트랜지스터(TFT2)의 제 2 드레인 전극(DE)에 접속된다.
- [0097] 제 2 박막 트랜지스터(TFT2)는 제 2 게이트 전극(GE2), 제 2 소스전극(SE2) 및 제 2 드레인 전극(DE2)을 포함한다. 제 2 소스전극(SE2)은 인접한 화소영역에 대응하는 데이터 라인에 이웃하는 보조 데이터 라인(DLs)으로부터 연장된다.
- [0098] 제 2 공통전극(C2)은 제 2 개구영역(OA2) 내에서 제 2 화소전극(P2)의 제 2 화소 줄기부(Pa2)와 반대측에 배치되는 제 2 공통전극 줄기부(Ca2)와, 제 2 공통전극 줄기부(Ca2)로부터 제 2 개구영역(OA1)으로 나란하게 연장되는 복수의 제 2 공통전극 가지부들(Cb2)을 포함한다. 제 2 공통전극 줄기부(Ca2)는 제 2 공통전극 줄기부(Ca2)로부터 연장되는 제 2 연결부(C2C)와 제 2 콘택홀(CH2)을 통해 노출된 공통라인(CL)에 접속된다. 복수의 제 2 화소전극 가지부들(Pb2)과 복수의 제 2 공통전극 가지부들(Cb2)은 제 2 개구영역(OA2) 내에서 번갈아 배치된다.
- [0099] 다음으로, 도 8 및 도 9를 참조하여 본 발명의 제 3 실시예에 따르는 수평 전계형 액정 표시장치의 화소 어레이의 화소구조의 단면구조에 대해 설명하기로 한다. 도 9는 도 8의 I-I' 라인을 따라 취한 단면도이다.
- [0100] 도 8 및 도 9를 참조하면, 기관(SUB) 상에는 게이트 라인(GL)과 공통라인(CL)이 서로 이격되어 나란히 배치된다.
- [0101] 기관(SUB) 상에는 게이트 전극들(GE1, GE2)을 포함하는 게이트 라인(GL)과 공통라인(CL)을 커버하도록 게이트 절연막(GI)이 배치된다.
- [0102] 게이트 절연막(GI) 상에는 서로 인접하여 나란하게 배치되는 데이터 라인(DL) 및 보조 데이터 라인(DLs)과, 데이터 라인(DL)에 연결되는 제 1 박막 트랜지스터(TFT1)와 이웃하는 화소영역의 데이터 라인(DL)에 인접한 보조 데이터 라인(DLs)에 연결되는 제 2 박막 트랜지스터(TFT2)가 배치된다. 제 1 박막 트랜지스터(TFT1)의 제 1 소스전극(SE1)은 데이터 라인(DL)으로부터 연장되고, 제 2 박막 트랜지스터(TFT2)의 제 2 소스전극(SE2)은 보조 데이터 라인(DLs)으로부터 연장된다.
- [0103] 제 1 화소전극(P1)에는 데이터 라인(DL)을 통해 데이터 전압이 공급되고, 제 2 화소전극(P2)에는 보조 데이터 라인(DLs)을 통해 피크 휘도를 나타낼 수 있는 전압이 공급된다. 이에 따라, 보조 데이터 라인(DLs)은 데이터 라인(DL)보다 좁은 폭을 갖도록 형성될 수 있다.
- [0104] 게이트 절연막(GI) 상에는 데이터 라인(DL) 및 보조 데이터 라인(DLs)과, 제 1 및 제 2 박막 트랜지스터들(TFT1, TFT2)을 커버하도록 제 1 절연막(INS1)과 평탄화를 위한 제 2 절연막(INS2)이 배치된다. 제 1 절연막(INS1)과 제 2 절연막(INS2) 중의 한 절연막은 생략될 수도 있다.
- [0105] 제 2 절연막(INS2) 상의 제 1 개구영역(OA1)에는 제 1 화소전극(P1)과 제 1 공통전극(C1)이 배치되며, 제 1 개구영역(OA1)에는 제 2 화소전극(P2)과 제 2 공통전극(C2)이 배치된다.
- [0106] 제 1 화소전극 줄기부(Pa1)는 제 1 및 제 2 절연막들(INS1, INS2)을 관통하는 제 1 콘택홀(CH1)을 통해 노출된 제 1 박막 트랜지스터(TFT1)의 제 1 드레인 전극(DE1)에 연결되고, 제 2 화소전극 줄기부(Pa2)는 제 1 및 제 2 절연막들(INS1, INS2)을 관통하는 제 1 콘택홀(CH1)을 통해 노출된 제 2 박막 트랜지스터(TFT2)의 제 2 드레인 전극(DE2)에 연결된다.
- [0107] 상술한 본 발명의 제 3 실시예에 따르는 수평 전계형 액정 표시장치에 의하면, 제 1 박막 트랜지스터(TFT1)를 통해 데이터 라인(DL)으로부터 공급되는 데이터 전압을 제 1 화소전극(P1)에 공급하고, 제 2 박막 트랜지스터(TFT2)를 통해 보조 데이터 라인(DLs)으로부터 공급되는 액정 구동을 위한 일정 전압을 제 2 화소전극(P2)에 공급할 수 있다. 따라서, 게이트 라인(GL)이 배치된 제 2 개구영역(OA2)의 제 2 공통전극(C2)과 제 2 화소전극(P2) 사이의 전압차에 의해 액정에 전계가 인가되고, 그 전계에 의해 액정의 거동에 변화가 생겨 빛이 투과할 수 있으므로 투과율을 높일 수 있는 효과를 얻을 수 있다.
- [0108] 또한, 본 발명의 제 3 실시예에 따르는 수평 전계형 액정 표시장치는 일반 영상에서는 제 1 개구영역을 통해서

만 데이터를 표시하고, 휘도를 증가시키고 싶을 경우에는 제 1 개구영역을 통해서 데이터를 표시하고, 제 2 개구영역을 통해서는 피크휘도를 나타내도록 광을 투과시킬 수 있다. 따라서, 수평 전계형 표시장치의 투과율을 높일 수 있는 효과를 얻을 수 있다.

[0109] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 예를 들어, 본 발명의 제 3 실시예에 따르는 수평 전계형 표시장치에서 이용된 제 1 및 제 2 트랜지스터들과, 보조 데이터 라인은 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치에도 적용될 수 있다. 이 경우, 제 1 및 제 2 공통전극들(C1, C2)은 제 2 실시예의 제 2 절연막(INS2) 상에 배치되고, 제 1 및 제 2 화소전극들(P1, P2)은 제 2 실시예의 제 3 절연막(INS3) 상에 배치된다.

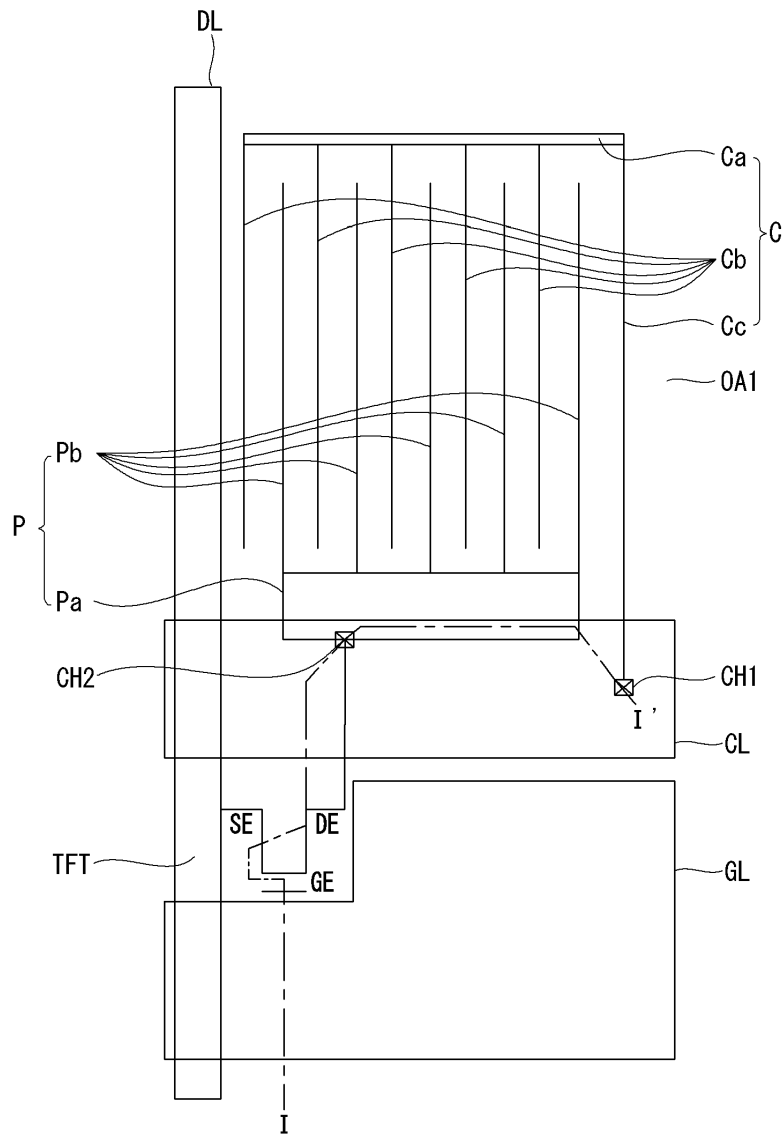
[0110] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

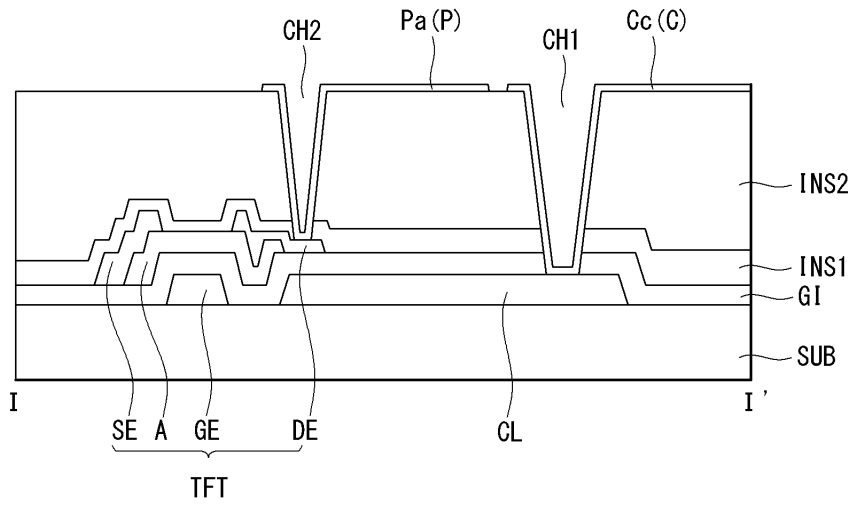
[0111] C1, C2: 공통전극 Ca1, Ca2: 공통전극 줄기부
 Cb1, Cb2: 공통전극 가지부 Cc: 공통전극 연결부
 P1, P2: 화소전극 Pa1, Pa2: 화소전극 줄기부
 Pb1, Pb2: 화소전극 가지부들 Pb1c, Pb2c: 화소전극 가지 연결부
 Pc: 화소전극 연결부 DL: 데이터 라인
 GL: 게이트 라인 Gb1, Gb2: 게이트 라인 가지부
 OA1, OA2: 개구영역

도면

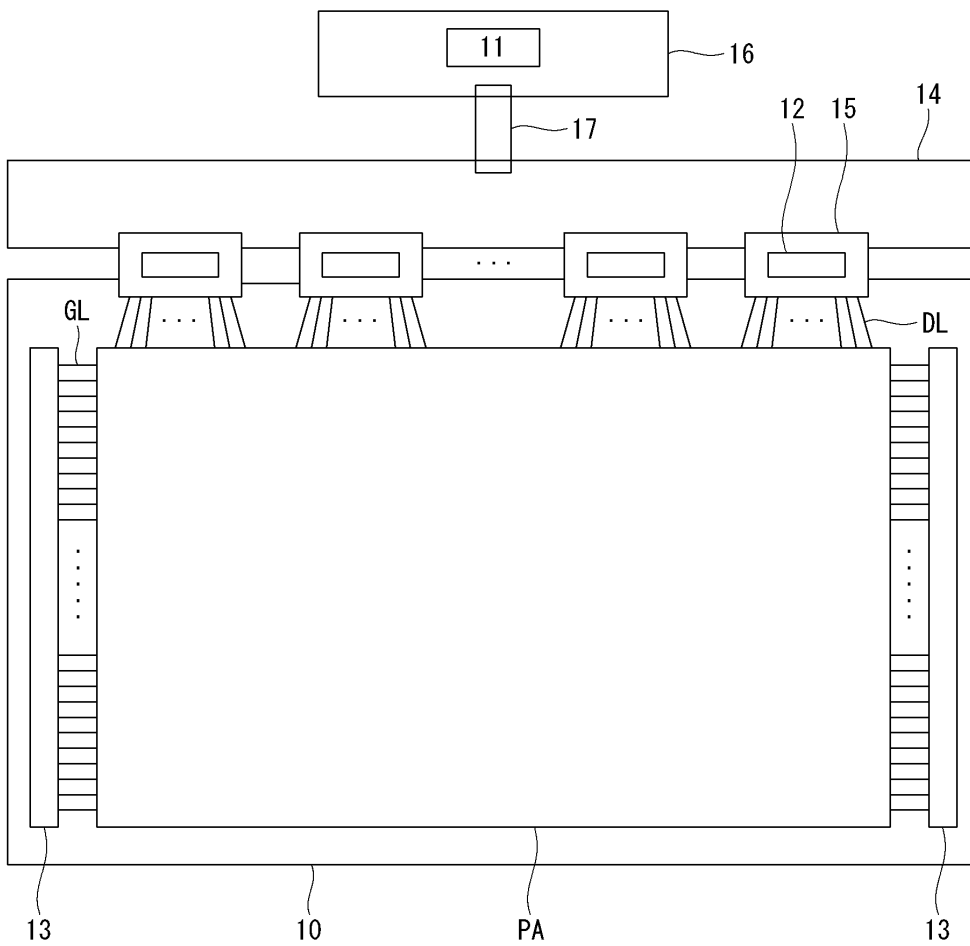
도면1



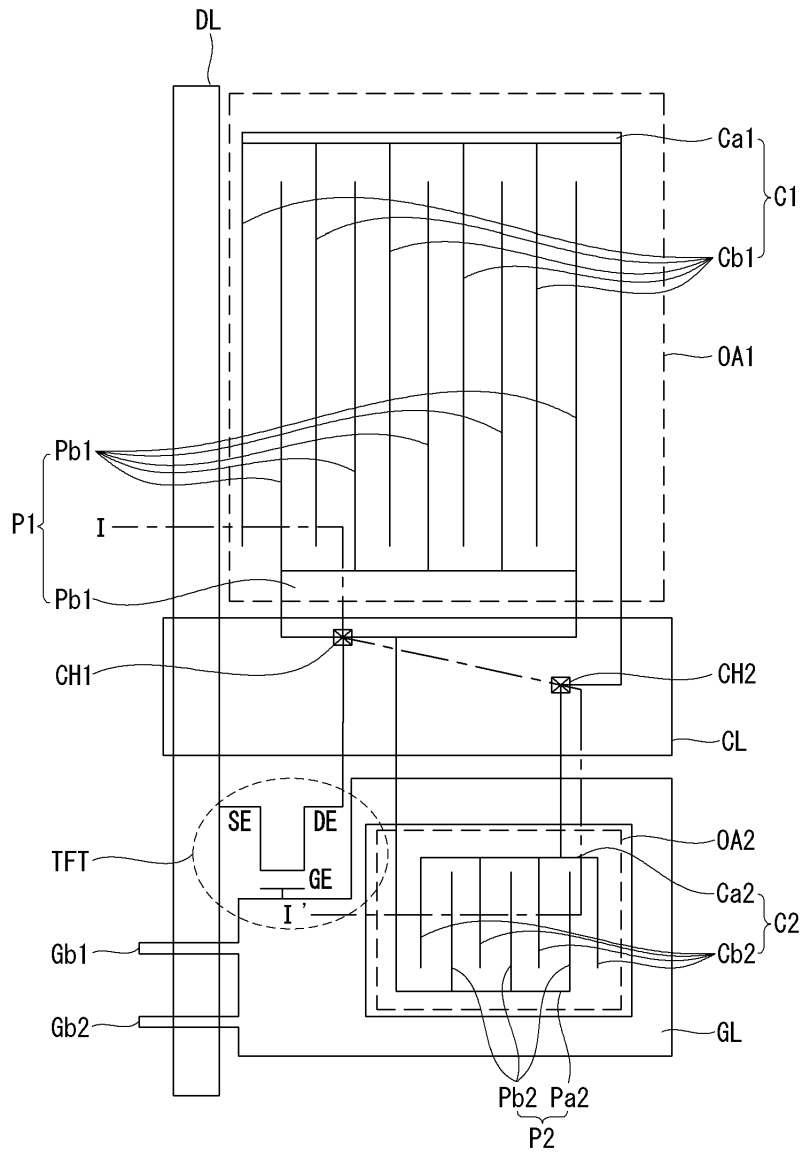
도면2



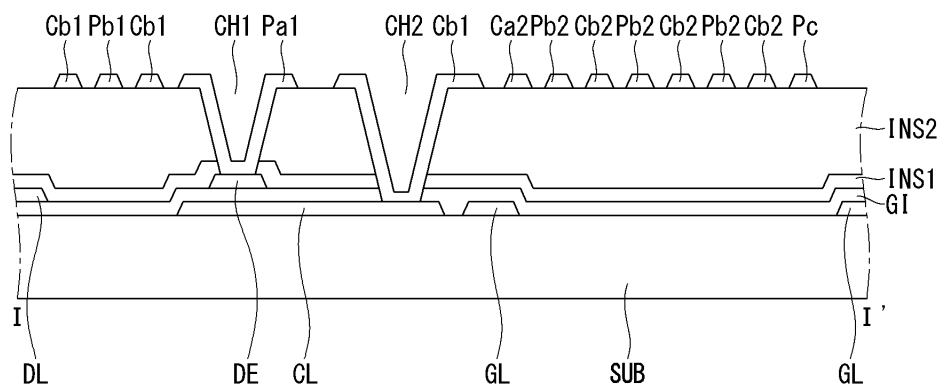
도면3



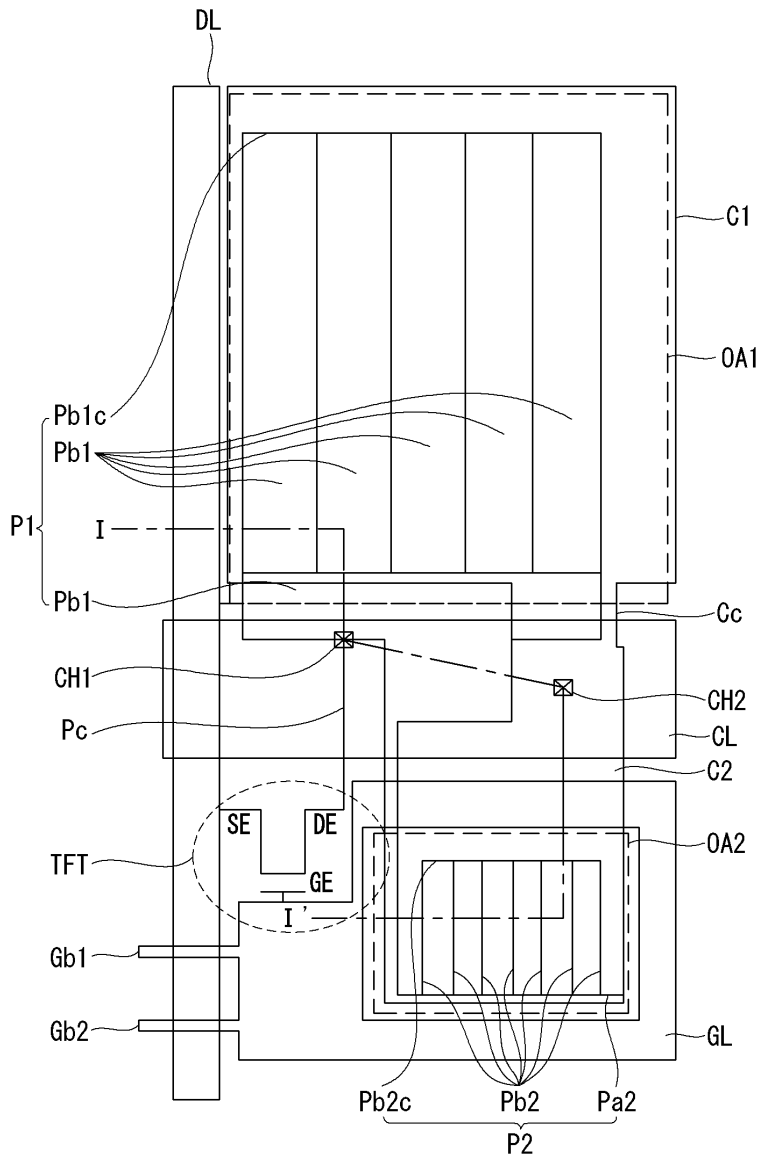
도면4



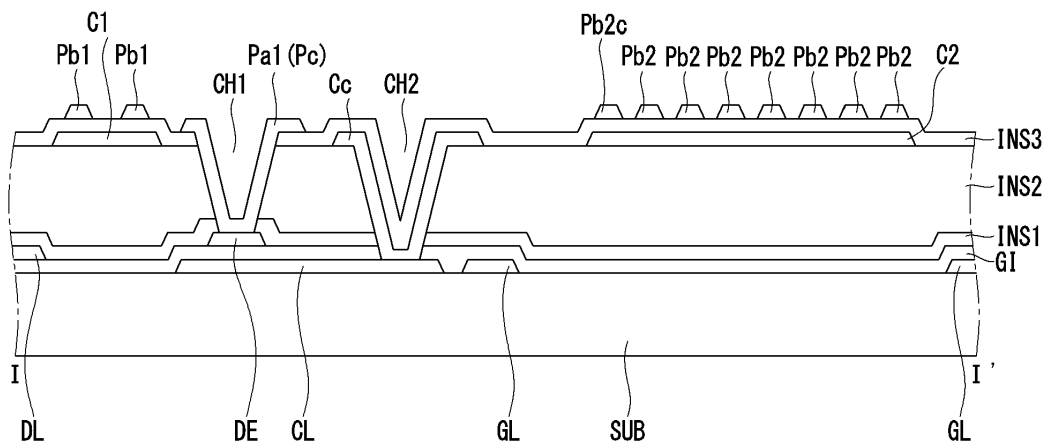
도면5



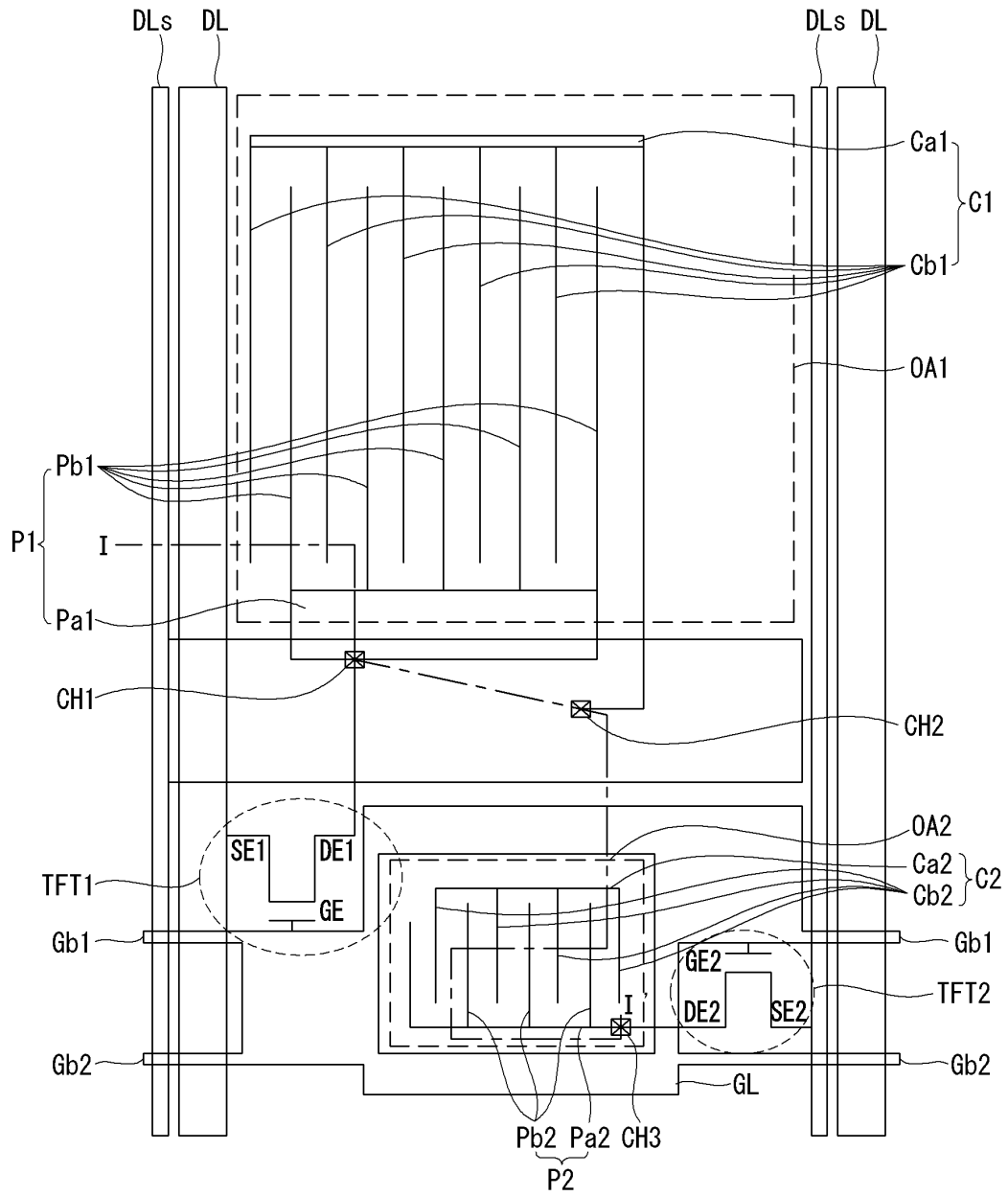
도면6



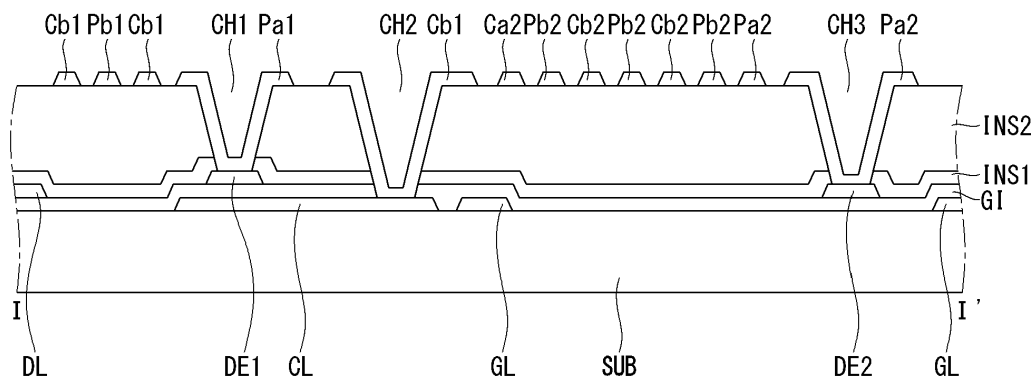
도면7



도면8



도면9



专利名称(译)	一种水平电场型液晶显示器		
公开(公告)号	KR1020170062587A	公开(公告)日	2017-06-08
申请号	KR1020150167385	申请日	2015-11-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN SEUNG HWAN 신승환 JEONG YOUNG MIN 정영민 SEO DAE YOUNG 서대영 LEE SO YOUNG 이소영		
发明人	신승환 정영민 서대영 이소영		
IPC分类号	G02F1/1343 G02F1/1333 G02F1/1362 H01L29/786		
CPC分类号	G02F1/134363 G02F1/136286 G02F1/133345 H01L29/786 G02F2001/134318		
外部链接	Espacenet		

摘要(译)

本发明涉及一种增强透光率的水平场型液晶显示器，包括栅极线，公共线，数据线，薄膜晶体管，第一像素电极，第一公共电极，第二像素电极和第二个共同电极。栅极线和公共线在基板上彼此分离，并且基板布置在第一方向上。它被布置在数据线与第一方向相交的第二方向上。它被布置在第一开口区域中，该第一开口区域是像素区域的一部分，其中第一像素电极由栅极线和数据线限定，并且从数据线提供数据电压。第一公共电极连接到公共线，并且第一像素电极和横向电场设置为形成在第一开口区域处。第二像素电极布置在第二开口区域中，栅极线的一部分从该第二开口区域被去除，并且第二像素电极连接到第一像素电极。第二公共电极连接到第一公共电极和第二像素电极，并且横向电场设置为形成在第二开口区域。

