(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0015726
(43) 공개일자 2017년02월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/3688 (2013.01)
G09G 3/3648 (2013.01)
(21) 출원번호 10-2015-0108364
(22) 출원일자 2015년07월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
상우규
경기도 파주시 가온로 245 1011동 903호 (와동동,가람마을10단지동양엔파트월드메르디앙아파트)
(74) 대리인
특허법인로얄

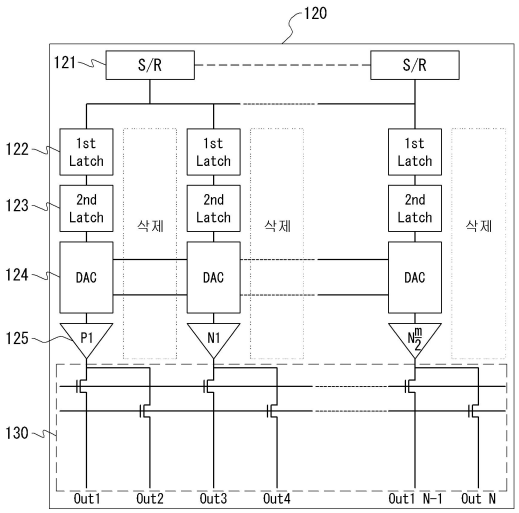
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **액정표시장치**

(57) 요 약

본 발명의 액정표시장치는 표시패널, 데이터 구동부 및 게이트 구동부를 포함한다. 표시패널은 데이터라인들과 게이트라인들이 교차되는 픽셀 어레이를 포함한다. 데이터 구동부는 데이터라인들에 제공되는 데이터전압을 생성하여 출력버퍼를 통해서 소스채널로 출력하되, 출력버퍼가 출력하는 데이터전압을 시분할하여 복수 개의 소스채널로 분배하는 먹스부를 포함한다. 게이트 구동부는 데이터전압에 동기되는 게이트펄스를 게이트라인에 제공한다.

대 표 도 - 도2



(52) CPC특허분류
G09G 2300/0842 (2013.01)
G09G 2330/021 (2013.01)
G09G 2330/045 (2013.01)

명 세 서

청구범위

청구항 1

데이터라인들과 게이트라인들이 교차되는 픽셀 어레이를 포함하는 표시패널;

상기 데이터라인들에 제공되는 데이터전압을 생성하여 출력버퍼를 통해서 소스채널로 출력하되, 상기 출력버퍼가 출력하는 상기 데이터전압을 시분할하여 복수 개의 상기 소스채널로 분배하는 먹스부를 포함하는 데이터 구동부; 및

상기 데이터전압에 동기되는 게이트펄스를 상기 게이트라인에 제공하는 게이트 구동부를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 표시패널에서 기수 번째 수평 라인들에 속한 상기 서브 픽셀들의 픽셀 전극이 박막트랜지스터(TFT)를 통해 자신의 좌측에 위치하는 데이터 라인에 접속되고,

상기 표시패널에서 우수 번째 수평 라인들에 속한 픽셀들의 픽셀 전극이 박막트랜지스터를 통해 자신의 우측에 위치하는 데이터 라인에 접속되며,

제1 컬럼라인에는 적색 서브픽셀들이 배열되고,

제2 컬럼라인에는 녹색 서브픽셀들이 배열되며,

제3 컬럼라인에는 청색 서스픽셀들이 배열되는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 출력버퍼는

제1 소스채널을 통해서 제1 데이터라인에 제공되는 정극성의 제1 데이터전압 및 제3 소스채널을 통해서 제3 데이터라인에 제공되는 정극성의 제3 데이터전압을 출력하는 제1 P 버퍼; 및

제2 소스채널을 통해서 제2 데이터라인에 제공되는 부극성의 제2 데이터전압 및 제4 소스채널을 통해서 제4 데이터라인에 제공되는 부극성의 제4 데이터전압을 출력하는 제1 N 버퍼를 포함하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 먹스부는

상기 제1 P 버퍼와 상기 제1 데이터라인을 선택적으로 연결하는 제1 스위치;

상기 제1 P 버퍼와 상기 제3 데이터라인을 선택적으로 연결하는 제2 스위치;

상기 제1 N 버퍼와 상기 제2 데이터라인을 선택적으로 연결하는 제3 스위치; 및

상기 제1 N 버퍼와 상기 제4 데이터라인을 선택적으로 연결하는 제4 스위치를 포함하는 액정표시장치.

청구항 5

제 2 항에 있어서,

상기 출력버퍼는

제1 소스채널을 통해서 제1 데이터라인에 제공되는 정극성의 제1 데이터전압, 제5 소스채널을 통해서 제5 데이터라인에 제공되는 정극성의 제5 데이터전압 및 제3 소스채널을 통해서 제3 데이터라인에 제공되는 정극성의 제3 데이터전압을 출력하는 제1 P 버퍼; 및

제4 소스채널을 통해서 제4 데이터라인에 제공되는 부극성의 제4 데이터전압, 제2 소스채널을 통해서 제2 데이터라인에 제공되는 부극성의 제2 데이터전압 및 제6 소스채널을 통해서 제6 데이터라인에 제공되는 부극성의 제6 데이터전압을 출력하는 제1 N 버퍼를 포함하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 먹스부는

상기 제1 P 버퍼와 상기 제1 데이터라인을 선택적으로 연결하는 제1 스위치;

상기 제1 P 버퍼와 상기 제5 데이터라인을 선택적으로 연결하는 제2 스위치;

상기 제1 P 버퍼와 상기 제3 데이터라인을 선택적으로 연결하는 제3 스위치;

상기 제1 N 버퍼와 상기 제4 데이터라인을 선택적으로 연결하는 제4 스위치;

상기 제1 N 버퍼와 상기 제2 데이터라인을 선택적으로 연결하는 제2 스위치; 및

상기 제1 N 버퍼와 상기 제6 데이터라인을 선택적으로 연결하는 제6 스위치를 포함하는 액정표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 액정표시장치에 관한 것이다.

배 경 기 술

[0002] 액정표시장치(Liquid Crystal Display Device: LCD), 유기 발광 다이오드 표시장치(Organic Light Emitting Diode Display : OLED Display), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP), 전기영동 표시장치(Electrophoretic Display Device: EPD) 등 각종 평판 표시장치가 개발되고 있다. 액정표시장치는 액정 분자에 인가되는 전계를 데이터 전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치에는 픽셀마다 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)가 형성되어 있다.

[0003] 액정표시장치의 소스 드라이브 IC는 서브픽셀들에 제공하는 데이터전압을 생성하고, 데이터라인으로 데이터전압을 출력한다. 액정표시장치는 데이터전압의 트랜지션 회수를 줄여서 소비전력을 감소시키기 위해서 소스 드라이브 IC의 소스채널의 출력을 표시패널에서 분할하는 DRD(Double Rated Driving) 방식을 이용하기도 한다.

[0004] 소스채널의 출력을 분하하기 위해서 표시패널에 먹스부를 형성하는데, 이에 따라 표시패널의 베젤이 증가하고 개구율이 감소하는 단점이 있다. 특히 모바일 기기와 같은 소형 표시장치에서 베젤의 증가 및 개구율이 감소하는 문제가 심해져서 DRD 방식을 적용하기에 난점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 표시패널의 개구율이 감소하지 않고 베젤이 증가하는 것을 방지하면서, DRD 방식을 적용할 수 있는 액정표시장치를 제공한다.

과제의 해결 수단

[0006] 본 발명의 액정표시장치는 표시패널, 데이터 구동부 및 게이트 구동부를 포함한다. 표시패널은 데이터라인들과 게이트라인들이 교차되는 픽셀 어레이를 포함한다. 데이터 구동부는 데이터라인들에 제공되는 데이터전압을 생성하여 출력버퍼를 통해서 소스채널로 출력하되, 출력버퍼가 출력하는 데이터전압을 시분할하여 복수 개의 소스채널로 분배하는 먹스부를 포함한다. 게이트 구동부는 데이터전압에 동기되는 게이트펄스를 게이트라인에 제공

한다.

발명의 효과

[0007] 본 발명의 액정표시장치는 액정표시장치는 데이터 구동부에 배치되는 먹스부를 이용하여 DRD 방식으로 표시장치를 구동하기 때문에 표시패널의 개구율을 감소시키거나 베젤을 증가시키지 않으면서, 데이터 구동부의 발열 및 소비전력을 줄일 수 있다. 또한 본 발명은 데이터 구동부의 출력 버퍼가 출력하는 데이터전압을 먹스부를 이용하여 다수의 소스채널에 분배하기 때문에 소스 드라이브 IC의 각 구성이 소스채널에 일대일로 대응될 필요가 없고, 결국 소스 드라이브 IC의 면적을 줄일 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 실시 예에 따른 표시장치를 보여 주는 블록도.

도 2는 제1 실시 예에 의한 데이터 구동부를 나타내는 도면.

도 3은 제1 실시 예에 의한 먹스부와 픽셀 어레이의 구조를 나타내는 도면.

도 4는 제1 실시 예에 의한 먹스신호의 파형을 나타내는 도면.

도 5는 제2 실시 예에 의한 데이터 구동부를 나타내는 도면.

도 6은 제2 실시 예에 의한 먹스부와 픽셀 어레이의 구조를 나타내는 도면.

도 7은 제2 실시 예에 의한 먹스신호의 파형을 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0009] 본 발명의 표시장치는 액정표시장치(LCD), 유기 발광 다이오드 표시장치(OLED Display), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 등 컬러 구현이 가능한 평판 표시장치로 구현될 수 있다. 이하에서, 액정표시장치를 중심으로 본 발명의 실시예들을 설명하나 액정표시장치에 한정되지 않는다는 것에 주의하여야 한다. 예를 들어, 본 발명의 RGBW 서브 픽셀 배치는 유기 발광 다이오드 표시장치에도 적용 가능하다.

[0010] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0011] 도 1을 참조하면, 본 발명의 표시장치는 픽셀 어레이가 형성된 표시패널(100)과, 표시패널(100)에 입력 영상의 데이터를 기입하기 위한 표시패널 구동회로를 구비한다. 표시패널(100)의 아래에는 표시패널(100)에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.

[0012] 표시패널(100)은 액정층을 사이에 두고 대향하는 상부 기판과 하부 기판을 포함한다. 표시패널(100)의 픽셀 어레이는 데이터라인들(S0~Sm)과 게이트라인들(G1~Gn)의 교차 구조에 의해 매트릭스 형태로 배열되는 픽셀들을 포함한다.

[0013] 표시패널(100)의 하부 기판에는 데이터라인들(S0~Sm), 게이트라인들(G1~Gn), TFT들, TFT에 접속된 픽셀 전극(1), 및 픽셀 전극(1)에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다.

[0014] 픽셀 어레이의 픽셀들 각각은 R 서브 픽셀, G 서브 픽셀, B 서브 픽셀, 및 W 서브 픽셀로 나뉘어질 수 있다. 서브 픽셀들 각각은 TFT를 통해 데이터전압을 충전하는 픽셀 전극(1)과, 공통 전압(Vcom)이 인가되는 공통 전극(2)의 전압차에 의해 구동되는 액정 분자들을 이용하여 빛의 투과양을 조정한다.

[0015] 표시패널(100)의 하부 기판에 형성된 TFT들은 비정질 실리콘(amorphose Si, a-Si) TFT, LTPS(Low Temperature Poly Silicon) TFT, 산화물 TFT(Oxide TFT) 등으로 구현될 수 있다. TFT들은 서브 픽셀들의 픽셀 전극(1)에 1:1로 연결된다.

[0016] 표시패널(100)의 상부 기판 상에는 블랙 매트릭스(Black matrix, BM)와 컬러 필터(Color filter)를 포함한 컬러 필터 어레이가 형성된다. 공통 전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직 전계 구동방식의 경우에 상부 기판 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평 전계 구동방식의 경우에 픽셀 전극과 함께 하부 기판 상에 형성될 수 있다. 표시

패널(100)의 상부 기판과 하부 기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0017] 본 발명의 표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

[0018] 표시패널 구동회로는 픽셀들에 입력 영상의 데이터를 기입한다. 표시패널 구동회로는 데이터 구동부(120), 게이트 구동부(104), 및 타이밍 콘트롤러(110)를 포함한다. 데이터 구동부(120)는 데이터전압을 다수의 소스채널에 분배하기 위한 먹스부(MUX)를 포함한다.

[0019] 데이터 구동부(120)는 다수의 소스 드라이브 집적회로(Integrated Circuit, 이하 "IC"라 함)를 포함한다. 소스 드라이브 IC는 출력버퍼(125)가 출력하는 데이터전압을 시분할하여 다수의 소스채널로 공급한다. 먹스부(MUX)는 소스 드라이브 IC로부터 출력되는 데이터 전압을 시분할하여 데이터 라인들에 분배함으로써 표시패널 구동에 필요한 소스 드라이브 IC의 개수를 줄일 수 있게 한다.

[0020] 소스 드라이브 IC들의 소스채널들은 먹스부(MUX)를 통해 데이터라인들(S0~Sm)에 연결될 수 있다. 소스 드라이브 IC들은 타이밍 콘트롤러(110)로부터 입력 영상의 데이터를 입력받는다. 소스 드라이브 IC들은 타이밍 콘트롤러(110)의 제어 하에 입력 영상의 RGB 디지털 비디오 데이터를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 출력한다. 소스 드라이브 IC들의 출력 전압은 데이터 라인들(S0~Sm)에 공급된다.

[0021] 소스 드라이드 IC들 각각은 타이밍 콘트롤러(110)의 제어 하에 픽셀들에 공급될 데이터 전압의 극성을 반전시켜 데이터 라인들(S0~Sm)로 출력한다. 소스 드라이브 IC는 컬럼 인버젼(column inversion) 방식으로 데이터 전압의 극성을 반전시킬 수 있다. 컬럼 인버젼 방식은 1 프레임 기간 동안 같은 데이터 라인을 통해 픽셀들에 인가되는 데이터 전압의 극성을 반전시키지 않고 이웃한 데이터 라인들을 통해 인가되는 데이터 전압의 극성을 상반되게 반전시킨다. 예를 들어, 컬럼 인버젼 방식은 제1 데이터 라인을 통해 공급되는 데이터 전압의 극성은 제1 프레임 기간 동안 제1 극성으로 유지된 후, 제2 프레임 기간 동안 제2 극성으로 반전되어 1 프레임 기간 동안 같은 극성을 유지한다. 제2 데이터 라인을 통해 공급되는 데이터 전압의 극성은 제1 프레임 기간 동안 제2 극성으로 유지된 후, 제2 프레임 기간 동안 제1 극성으로 반전되어 1 프레임 기간 동안 같은 극성을 유지한다. 이렇게 소스 드라이브 IC로부터 출력되는 데이터 전압의 극성이 컬럼 인버젼 방식으로 반전된다면, 데이터 전압의 스윙폭이 작고 트랜지션 횟수가 작기 때문에 소스 드라이브 IC의 전류 양을 줄여 소비 전력과 발열양을 줄일 수 있다. 소스 드라이브 IC들로부터 출력되는 데이터 전압은 데이터 라인별로 같은 극성을 유지하지만, 픽셀 어레이의 극성은 도트 인버젼(Dot inversion)으로 반전된다.

[0022] 게이트 구동부(104)는 타이밍 콘트롤러(110)의 제어 하에 게이트 라인들(G1~Gn)에 게이트 펄스를 공급한다.

[0023] 타이밍 콘트롤러(110)는 호스트 시스템(150)으로부터 수신된 입력 영상의 RGB 데이터를 데이터 구동부(120)로 전송하거나, RGB 데이터를 RGBW 데이터로 변환하여 데이터 구동부(120)로 전송한다. 타이밍 콘트롤러(110)는 RGB 데이터 또는 RGBW 데이터를 시분할하여 데이터 구동부(120)로 전송한다. 타이밍 콘트롤러(110)가 시분할하는 영상 데이터에 대한 실시 예는 도 4및 도 7의 실시 예를 바탕으로 설명하가리로 한다. 타이밍 콘트롤러(110)는 입력 영상의 데이터와 동기되는 타이밍 신호들을 호스트 시스템(150)으로부터 수신한다. 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 메인 클럭(DCLK) 등을 포함한다. 타이밍 콘트롤러(110)는 시분할 된 영상데이터가 출력하는 타이밍을 조절하도록 타이밍 신호들의 주파수를 변경한다. 예컨대, 도 4에서와 같이 1 수평주기(1H) 내에서 2개의 영상 데이터가 출력되도록 영상 데이터를 시분할할 경우에, 타이밍 콘트롤러(110)는 타이밍 신호들의 주파수를 2배로 변경할 수 있다. 타이밍 콘트롤러(110)는 타이밍 신호들(Vsync, Hsync, DE, DCLK)을 바탕으로 데이터 구동부(120), 게이트 구동부(104), 먹스부(MUX)의 동작 타이밍을 제어하여 그 회로들을 동기시킨다. 타이밍 콘트롤러(110)는 픽셀 어레이의 극성을 제어하기 위한 극성제어신호(POL)를 데이터 구동부(120)의 소스 드라이브 IC들 각각에 전송할 수 있다.

[0024] 호스트 시스템(150)은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.

[0025] 도 2는 제1 실시 예에 의한 데이터 구동부의 먹스부(MUX) 및 픽셀 어레이를 나타내는 도면이다.

[0026] 도 2를 참조하면, 데이터 구동부(120)는 도 3에서와 같이, 쉬프트레지스터(121), 제1 래치(122), 제2 래치(123), 디지털-아날로그-변환부(Digital to Analog Converter;이하, DAC)(124) 및 출력버퍼(125)를 포함한다. 쉬프트레지스터(121)는 타이밍 콘트롤러(110)로부터 제공받는 데이터 제어신호들(SSC,SSP)을 이용하여 입력 영

상의 RGB 디지털 비디오 데이터 비트를 샘플링하고, 이를 제1 래치(122)에 제공한다. 제1 래치(122)는 쉬프트 레지스터(121)로부터 순차적으로 제공받은 클럭에 따라서 디지털 비디오 데이터 비트를 샘플링하여 래치하고, 래치한 데이터들을 동시에 출력한다. 제2 래치(123)는 제1 래치(122)로부터 제공받은 데이터들을 래치하고, 소스출력인에이블신호(SOE)에 응답하여 다른 소스 드라이브 IC들의 제2 래치(123)와 동기하여 래치한 데이터들을 동시에 출력한다. DAC(124)는 제2 래치부(123)로부터 입력된 비디오 데이터들을 감마보상전압(GMA)으로 변환하여 아날로그 비디오 데이터전압을 발생한다. 출력버퍼(125)는 소스 출력 인에이블신호(SOE)의 로우논리기간 동안에, DAC(124)에서 출력하는 아날로그 형태의 데이터전압(ADATA)을 데이터라인(DL)들에 제공한다. 출력버퍼(125)는 저전위전압(GND)과 고전위입력단을 통해서 입력받는 전압을 구동전압을 이용하여 데이터전압을 출력하는 출력버퍼로 구현될 수 있다.

[0027] 데이터 구동부(120)의 출력버퍼(125)는 소스채널과 일대일로 대응하지 않고, 먹스부(MUX)를 통해서 출력버퍼(125)가 출력하는 데이터전압이 소스채널로 분배된다. 출력버퍼는 제1 P 버퍼(P1) 및 제1 N 버퍼(N1)를 포함한다. 제1 P 버퍼(P1)는 제1 소스채널(OUT1)을 통해서 제1 데이터라인(S1)에 제공되는 정극성의 제1 데이터전압을 출력하고, 제3 소스채널(OUT3)을 통해서 제3 데이터라인(S3)에 제공되는 정극성의 제3 데이터전압을 출력한다. 제1 N 버퍼(N1)는 제2 소스채널(OUT2)을 통해서 제2 데이터라인(S2)에 제공되는 부극성의 제2 데이터전압 및 제4 소스채널(OUT4)을 통해서 제4 데이터라인(S4)에 제공되는 부극성의 제4 데이터전압을 출력한다.

[0028] 먹스부(MUX)는 타이밍 콘트롤러(110)의 제어 하에 소스 드라이브 IC로부터 입력되는 데이터 전압을 데이터 라인들(S0~Sm)에 시분할 공급한다. 1:2 먹스부의 경우에, 먹스부는 소스 드라이브 IC의 한 개 소스채널을 통해 입력되는 데이터 전압을 시분할하여 두 개의 데이터 라인들로 공급한다. 따라서, 1:2 먹스부를 사용하면, 제1 및 제2 래치(122,123), DAC(124) 및 출력버퍼(125)의 개수를 각각 1/2로 줄일 수 있어서, 소스 드라이브 IC의 면적을 1/2 가깝게 줄일 수 있다.

[0029] 먹스부(MUX)는 타이밍 콘트롤러(110)로부터의 제1 및 제2 제어신호(M1, M2)에 따라 교대로 턴-온(turn-on)되는 스위치들(T1, T2)을 이용하여 소스 드라이브 IC로부터 출력되는 데이터 전압을 시분할하여 데이터 라인들(S1~S12)에 분배한다.

[0030] 도 3은 본 발명의 제1 실시 예에 따른 먹스부와 픽셀 어레이를 보여 주는 회로도이고, 도 4는 제1 실시 예에 따른 먹스부와 픽셀 어레이의 동작을 보여 주는 파형도들이다. Amp(+)는 소스 드라이브 IC의 소스채널(OUT1~OUT6)에 연결된 버퍼 증폭기로서, 정극성 데이터 전압을 먹스부(MUX)에 공급한다. Amp(-)는 소스 드라이브 IC의 소스채널(OUT1~OUT6)에 연결된 버퍼 증폭기로서, 부극성 데이터 전압을 먹스부(MUX)에 공급한다.

[0031] 소스 드라이브 IC의 제1, 제3 및 제5 소스채널(OUT1, OUT3, OUT5)을 통해 정극성 데이터 전압이 출력되고, 소스 드라이브 IC의 제2, 제4 및 제6 소스채널(OUT2, OUT4, OUT6)을 통해 부극성 데이터 전압이 출력된다. 게이트 펄스는 데이터 전압에 동기되어 제1 게이트 라인(G1) 부터 순차적으로 게이트 라인들(G1~G9)에 인가된다.

[0032] 먹스부(MUX)는 제1 내지 제4 스위치들(T1~T4)을 포함한다. 제1 내지 제4 스위치들(T1~T4)의 게이트에는 제어신호(M1, M2)가 공급된다. 스위치들(T1~T4)의 드레인은 소스 드라이브 IC의 소스채널(OUT1~OUT6)에 연결되고, 소스는 데이터 라인(S0~S12)에 연결된다.

[0033] 먹스부(MUX)는 타이밍 콘트롤러(110)로부터 제공받는 제1 및 제2 제어신호(M1, M2)에 따라 소스 드라이브 IC로부터 출력되는 데이터 전압을 시분할하여 데이터 라인들(S0~S12)에 분배한다. 제1 및 제2 제어신호(M1, M2)는 서로 역위상으로 발생된다. 제1 제어신호(M1)를 인버터(invertor)로 반전시키는 방법으로, 제2 제어신호(M2)를 발생할 수 있다. 제1 및 제2 제어신호(M1, M2)의 스위칭 주기는 1 수평 기간(1H)이다. 1 수평 기간(1H)은 픽셀 어레이의 1 수평 라인에 배치된 픽셀들에 데이터를 기입하는데 필요한 시간이다.

[0034] 제1 스위치(T1)는 제1 P 버퍼(P1)와 제1 소스채널(OUT1) 사이에 연결되어 제1 제어신호(M1)에 응답하여 제1 P 버퍼(P1)가 출력하는 정극성의 데이터 전압을 제1 데이터라인(S1)로 공급한다. 제2 스위치(T2)는 제1 P 버퍼(P1)와 제3 데이터라인(S3) 사이에 연결되어 제2 제어신호(M2)에 응답하여 제1 P 버퍼(P1)가 출력하는 정극성의 데이터 전압을 제3 데이터라인(S3)로 공급한다. 제1 및 제2 스위치(M1, M2)는 교대로 턴-온(turn-on)된다.

[0035] 제3 스위치(T3)는 제1 N 버퍼(N1)와 제2 데이터 라인(S2) 사이에 연결되어 제1 제어신호(M1)에 응답하여 제1 N 버퍼(N1)로부터의 데이터 전압을 제2 데이터 라인(S2)으로 공급한다. 제4 스위치(T4)는 제1 N 버퍼(N1)와 제4 데이터 라인(S4) 사이에 연결되어 제2 제어신호(M2)에 응답하여 제1 N 버퍼(N1)로부터의 데이터 전압을 제4 데이터 라인(S4)으로 공급한다. 제1 및 제2 스위치(M1, M2)는 교대로 턴-온된다.

[0036] 더미 스위치(T0)는 제2 제어신호(M2)에 응답하여 더미 데이터 라인(S0)과 제m 데이터 라인(Sm)을 연결한다. 더

미 데이터 라인(S0)은 픽셀 어레이의 최좌측에 위치하는 데이터 라인이다. 제m 데이터 라인(Sm)은 픽셀 어레이의 최우측에 위치하는 데이터 라인이다. 더미 스위치(T0)가 턴-온되면 더미 데이터 라인(S0)더미 스위치(T0), 라우팅 라인(RL) 및 제4 스위치(T4)를 경유하여 제m 데이터 라인(Sm)에 연결된다.

[0037] 제1 수직라인(C1)부터 제3 수직라인(C3)에는 각각 제1 컬러, 제2 컬러, 제3 컬러의 서브픽셀들이 배치된다. 도 3은 제1 컬러가 적색(R), 제2 컬러가 녹색(G), 제3 컬러가 청색(B)인 픽셀 어레이 기판을 나타내고 있다.

[0038] 기수 번째 수평 라인의 픽셀들과 우수 번째 수평 라인의 픽셀들은 각각 데이터 라인과 연결되는 방향이 지그재그(zigzag) 형태로 연결된다. 예컨대, 기수 번째 수평 라인들(L1,L3,L5)에 배치된 픽셀들은 자신의 우측에 위치하는 데이터 라인(S1~Sm)에 접속된다. 그리고 우수 번째 수평 라인들(L2,L4,L6)에 배치된 픽셀들은 자신의 좌측에 위치하는 데이터라인들 데이터 라인(S0~Sm-1)에 접속된다.

[0039] 도 5는 제2 실시 예에 의한 데이터 구동부의 먹스부(MUX) 및 픽셀 어레이를 나타내는 도면이다. 제2 실시 예에서 전술한 실시 예와 동일한 구성에 대해서는 자세한 설명을 생략하기로 한다.

[0040] 도 5를 참조하면, 데이터 구동부(220)는 쉬프트레지스터(221), 제1 래치(222), 제2 래치(223), 디지털-아날로그-변환부(Digital to Analog Converter;이하, DAC)(224) 및 출력버퍼(225)를 포함한다.

[0041] 출력버퍼(225)는 제1 P 버퍼(P1) 및 제1 N 버퍼(N1)를 포함한다. 제1 P 버퍼(P1)는 제1 소스채널(OUT1)을 통해서 제1 데이터라인(S1)에 제공되는 정극성의 제1 데이터전압을 출력하고, 제5 소스채널(OUT5)을 통해서 제5 데이터라인(S5)에 제공되는 정극성의 제5 데이터전압을 출력하고, 제3 소스채널(OUT3)을 통해서 제3 데이터라인(S3)에 제공되는 정극성의 제3 데이터전압을 출력한다. 제1 N 버퍼(N1)는 제4 소스채널(OUT4)을 통해서 제4 데이터라인(S4)에 제공되는 부극성의 제4 데이터전압을 출력하고, 제2 소스채널(OUT2)을 통해서 제2 데이터라인(S2)에 제공되는 부극성의 제2 데이터전압을 출력하며, 제6 소스채널(S6)을 통해서 제6 데이터라인(S6)에 제공되는 부극성의 제6 데이터전압을 출력한다.

[0042] 먹스부(MUX)는 타이밍 콘트롤러(110)의 제어 하에 소스 드라이브 IC로부터 입력되는 데이터 전압을 데이터 라인들(S0~Sm)에 시분할 공급한다. 1:3 먹스부의 경우에, 먹스부는 소스 드라이브 IC의 한 개 소스채널을 통해 입력되는 데이터 전압을 시분할하여 두 개의 데이터 라인들로 공급한다. 따라서, 1:3 먹스부를 사용하면, 제1 및 제2 래치(222,223), DAC(224) 및 출력버퍼(125)의 개수를 각각 1/3로 줄일 수 있어서, 소스 드라이브 IC의 면적을 대폭 줄일 수 있다.

[0043] 먹스부(MUX)는 타이밍 콘트롤러(110)로부터의 제1 내지 제3 제어신호(M1, M2,M3)에 따라 교대로 턴-온(turn-on)되는 스위치들(T1,T2,T3,T4,T5,T6)을 이용하여 소스 드라이브 IC로부터 출력되는 데이터 전압을 시분할하여 데이터 라인들에 분배한다.

[0044] 도 6은 본 발명의 제2 실시 예에 따른 먹스부와 픽셀 어레이를 보여 주는 회로도이고, 도 7은 제2 실시 예에 따른 먹스부와 픽셀 어레이의 동작을 보여 주는 파형도들이다. Amp(+)는 소스 드라이브 IC의 소스채널(OUT1~OUT6)에 연결된 버퍼 증폭기로서, 정극성 데이터 전압을 먹스부(MUX)에 공급한다. Amp(-)는 소스 드라이브 IC의 소스채널(OUT1~OUT6)에 연결된 버퍼 증폭기로서, 부극성 데이터 전압을 먹스부(MUX)에 공급한다.

[0045] 소스 드라이브 IC는 제1, 제3 및 제5 소스채널(OUT1, OUT3, OUT5)을 통해 정극성 데이터 전압이 출력하고, 소스 드라이브 IC의 제2, 제4 및 제6 소스채널(OUT2, OUT4, OUT6)을 통해 부극성 데이터 전압을 출력한다. 게이트 펄스는 데이터 전압에 동기되어 제1 게이트 라인(G1) 부터 순차적으로 게이트 라인들(G1~G9)에 인가된다.

[0046] 먹스부(MUX)는 제1 내지 제6 스위치들(T1~T6)을 포함한다. 제1 내지 제6 스위치들(T1~T6)의 게이트에는 제어신호(M1,M2,M3)가 공급된다. 스위치들(T1~T6)의 드레인은 소스 드라이브 IC의 소스채널(OUT1~OUT6)에 연결되고, 소스는 데이터 라인(S0~S12)에 연결된다.

[0047] 먹스부(MUX)는 타이밍 콘트롤러(110)로부터 제공받는 제1 내지 제3 제어신호(M1,M2,M3)에 따라 소스 드라이브 IC로부터 출력되는 데이터 전압을 시분할하여 데이터 라인들(S0~S12)에 분배한다.

[0048] 제1 스위치(T1)는 제1 P 버퍼(P1)와 제1 소스채널(OUT1) 사이에 연결되어 제1 제어신호(M1)에 응답하여 제1 P 버퍼(P1)가 출력하는 정극성의 데이터 전압을 제1 데이터라인(S1)로 공급한다. 제2 스위치(T2)는 제1 P 버퍼(P1)와 제5 데이터라인(S5) 사이에 연결되어 제2 제어신호(M2)에 응답하여 제1 P 버퍼(P1)가 출력하는 정극성의 데이터 전압을 제5 데이터라인(S5)로 공급한다. 제3 스위치(T3)는 제1 P 버퍼(P1)와 제3 소스채널(OUT3) 사이에 연결되고, 제3 제어신호(M3)에 응답하여 제1 P 버퍼(P1)가 출력하는 정극성의 데이터 전압을 제3 데이터라인

(S3)에 공급한다.

[0049] 제4 스위치(T4)는 제1 N 버퍼(N1)와 제4 데이터 라인(S4) 사이에 연결되고, 제1 제어신호(M1)에 응답하여 제1 N 버퍼(N1)가 출력하는 데이터 전압을 제4 데이터 라인(S2)으로 공급한다. 제5 스위치(T5)는 제1 N 버퍼(N1)와 제2 데이터 라인(S2) 사이에 연결되고, 제5 제어신호(M5)에 응답하여 제1 N 버퍼(N1)로부터의 데이터 전압을 제2 데이터 라인(S2)으로 공급한다. 제6 스위치(T6)는 제1 N 버퍼(N1)와 제6 데이터 라인(S6) 사이에 연결되고, 제6 제어신호(M6)에 응답하여 제1 N 버퍼(N1)로부터의 데이터전압을 제6 데이터라인(S6)으로 공급한다.

[0050] 기수 번째 수평 라인의 픽셀들과 우수 번째 수평 라인의 픽셀들은 각각 데이터 라인과 연결되는 방향이 지그재그(zigzag) 형태로 연결된다. 예컨대, 기수 번째 수평 라인들(L1,L3,L5)에 배치된 픽셀들은 자신의 우측에 위치하는 데이터 라인(S1~Sm)에 접속된다. 그리고 우수 번째 수평 라인들(L2,L4,L6)에 배치된 픽셀들은 자신의 좌측에 위치하는 데이터라인들 데이터 라인(S0~Sm-1)에 접속된다.

[0051] 살펴본 바와 같이, 본 발명은 먹스부를 이용하여 DRD 방식으로 표시장치를 구동하기 때문에 표시패널의 개구율을 감소시키거나 베젤을 증가시키지 않으면서, 데이터 구동부의 발열 및 소비전력을 줄일 수 있다. 또한 본 발명은 데이터 구동부의 출력 버퍼가 출력하는 데이터전압을 먹스부를 이용하여 다수의 소스채널에 분배하기 때문에 소스 드라이브 IC의 각 구성이 소스채널에 일대일로 대응될 필요가 없고, 결국 소스 드라이브 IC의 면적을 줄일 수 있다.

[0052] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

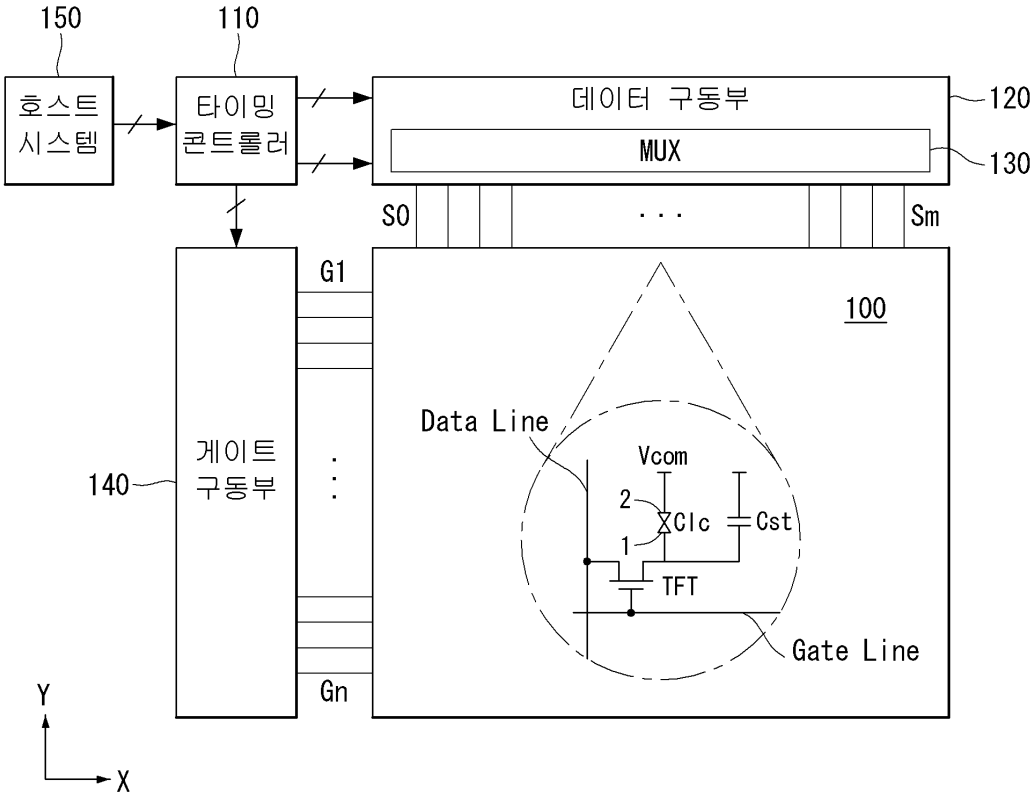
[0053] 100 : 표시패널 102 : 데이터 구동부

103 : 먹스부 104 : 게이트 구동부

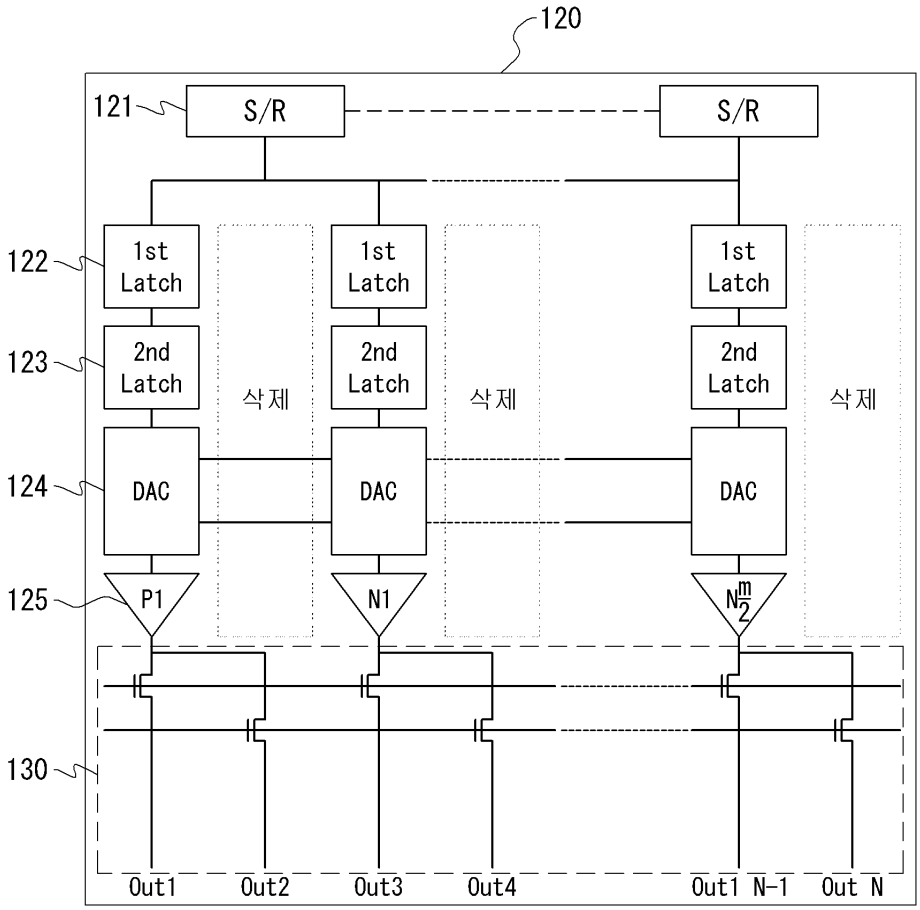
106 : 타이밍 콘트롤러 110 : 호스트 시스템

도면

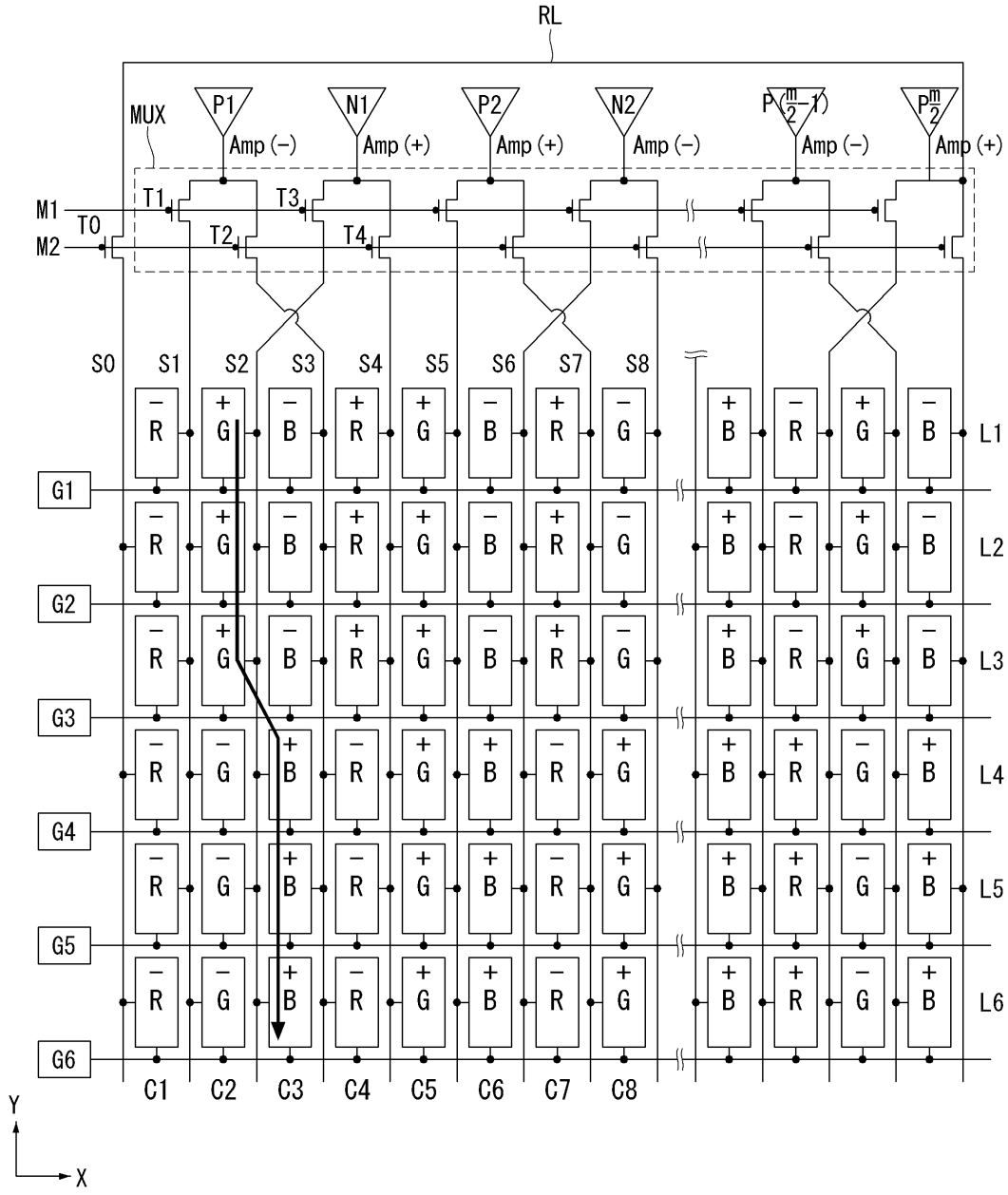
도면1


150
110
호스트
시스템
타이밍
콘트롤러
데이터 구동부
120
MUX
130
S0
Sm
G1
Gn
게이트
구동부
140
100
Data Line
Vcom
2
1
Clc
Cst
TFT
Gate Line
Y
X

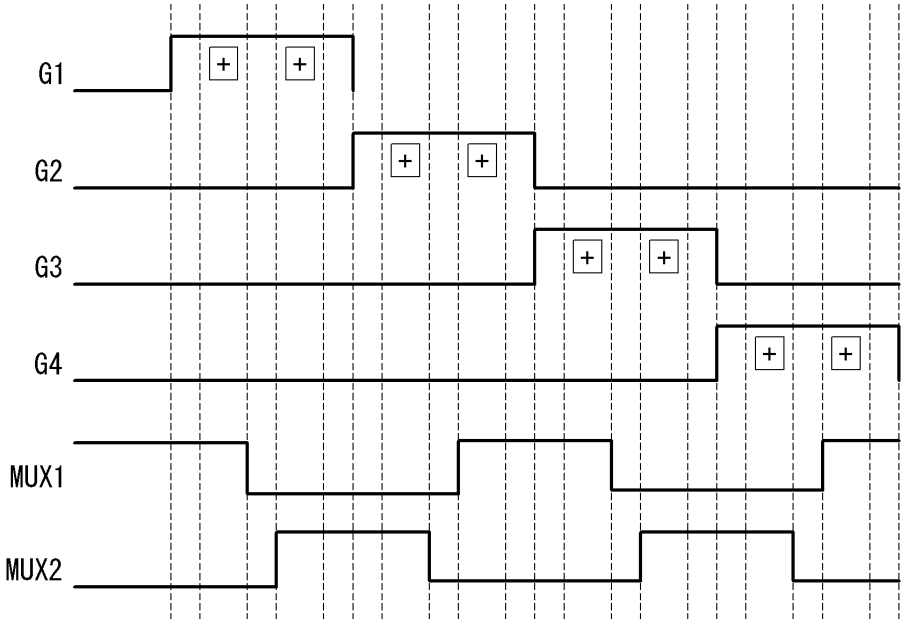
도면2


120
121
S/R
S/R
122
1st Latch
1st Latch
1st Latch
123
2nd Latch
2nd Latch
2nd Latch
삭제
삭제
삭제
124
DAC
DAC
DAC
125
P1
N1
N m/2
130
Out1
Out2
Out3
Out4
Out1 N-1
Out N

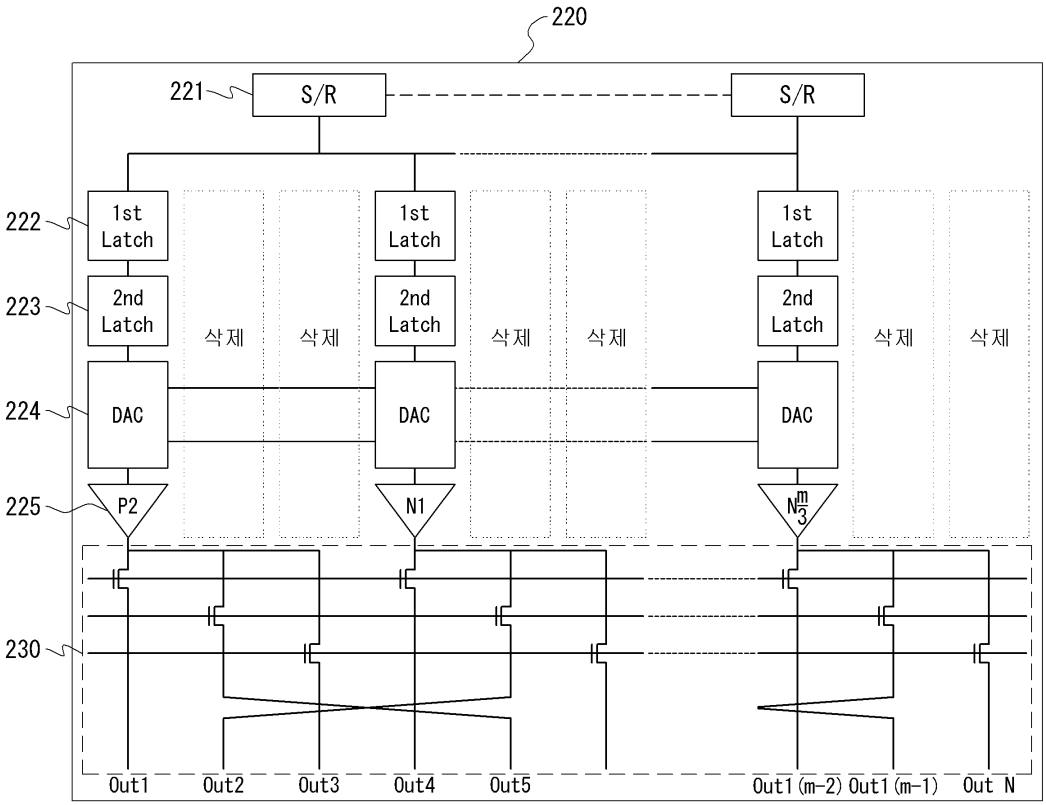
도면3


RL
MUX
P1
N1
P2
N2
P(m/2-1)
Pm/2
Amp (−)
Amp (+)
Amp (+)
Amp (−)
Amp (−)
Amp (+)
M1
M2
T0
T1
T2
T3
T4
S0
S1
S2
S3
S4
S5
S6
S7
S8
G1
G2
G3
G4
G5
G6
L1
L2
L3
L4
L5
L6
C1
C2
C3
C4
C5
C6
C7
C8
Y
X

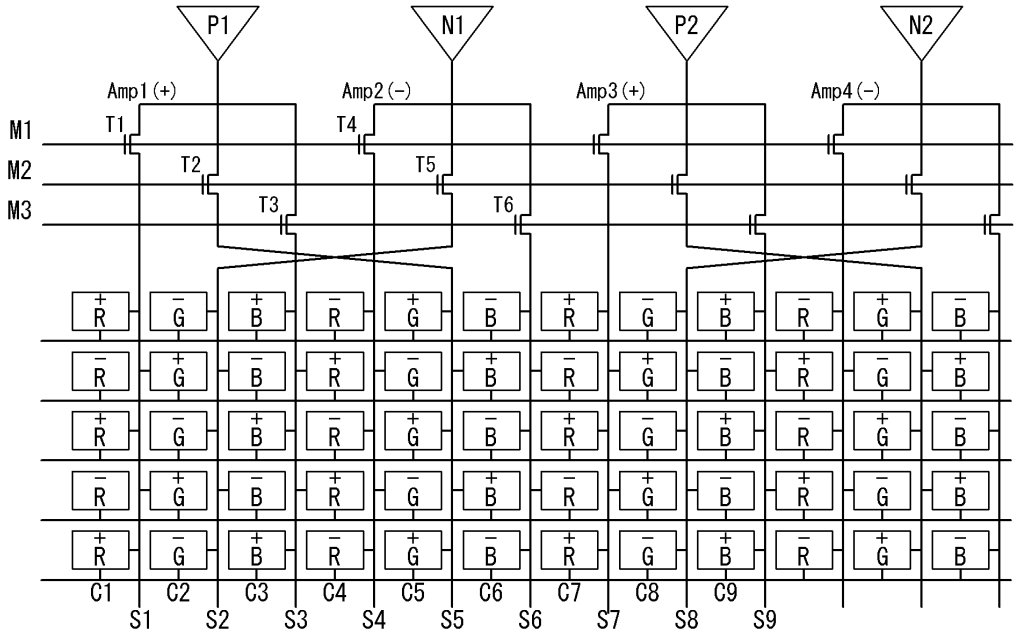
도면4


G1
G2
G3
G4
MUX1
MUX2

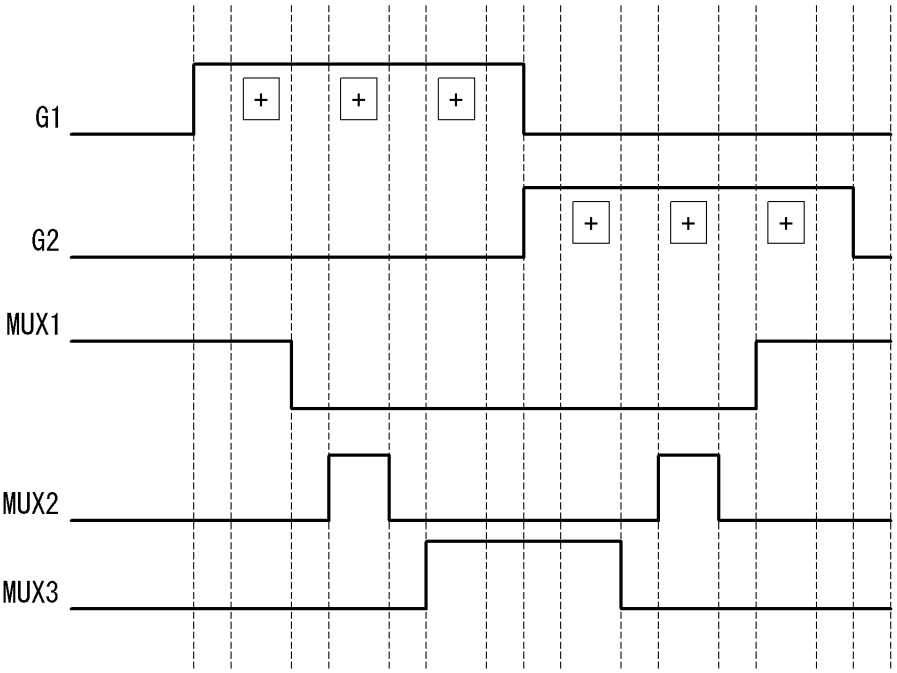
도면5


220
221
S/R
S/R
222
1st Latch
223
2nd Latch
삭제
224
DAC
225
P2
N1
230
Out1
Out2
Out3
Out4
Out5
Out1(m-2)
Out1(m-1)
Out N

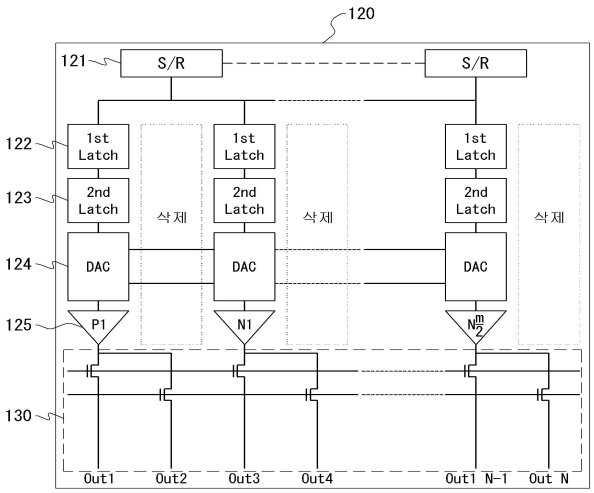
도면6


P1
N1
P2
N2
Amp1 (+)
Amp2 (-)
Amp3 (+)
Amp4 (-)
M1
M2
M3
T1
T2
T3
T4
T5
T6
C1
C2
C3
C4
C5
C6
C7
C8
C9
S1
S2
S3
S4
S5
S6
S7
S8
S9

도면7


G1
G2
MUX1
MUX2
MUX3

专利名称(译)	液晶显示器		
公开(公告)号	KR1020170015726A	公开(公告)日	2017-02-09
申请号	KR1020150108364	申请日	2015-07-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SANG WOO KYU 상우규		
发明人	상우규		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G2330/045 G09G2330/021 G09G3/3648 G09G2300/0842		
外部链接	Espacenet		

摘要(译)

本发明的液晶显示器包括显示面板，数据驱动器和栅极驱动单元。显示面板包括数据线和栅极线交叉的像素阵列。产生向数据线提供数据驱动器的数据电压，并通过输出缓冲器输出到源通道。输出缓冲器输出的数据电压是分时的，并且包括分配给多个源通道的多路复用器。栅极驱动单元与数据电压同步的栅极脉冲被提供给栅极线。