



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년08월30일
(11) 등록번호 10-2016561
(24) 등록일자 2019년08월26일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2013-0074638
(22) 출원일자 2013년06월27일
심사청구일자 2018년04월25일
(65) 공개번호 10-2015-0001424
(43) 공개일자 2015년01월06일
(56) 선행기술조사문헌
KR1020110017296A
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김규진
경기 파주시 월롱면 엘씨지로 201, 정다운마을 F
동 1208호
(74) 대리인
특허법인로알

전체 청구항 수 : 총 8 항

심사관 : 윤난영

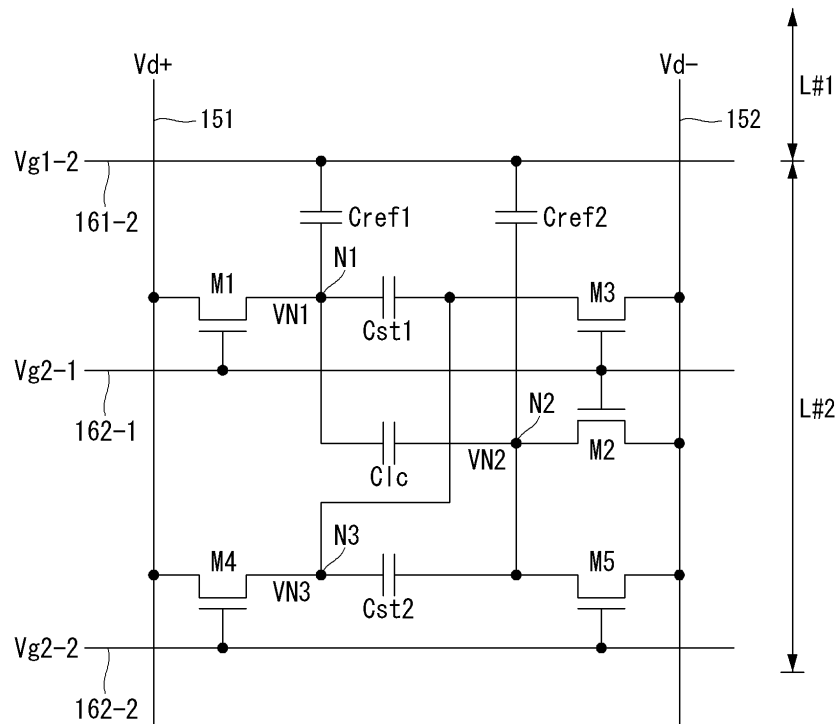
(54) 발명의 명칭 고전압 구동용 액정표시장치

(57) 요약

본 발명에 따른 고전압 구동용 액정표시장치에서, 제1 스캔신호가 인가되는 제1 게이트라인과 상기 제1 스캔신호보다 위상이 뒤진 제2 스캔신호가 인가되는 제2 게이트라인이 할당된 제i(i는 2 이상의 양의 정수) 수평 화소라인에 배치된 화소들 중 어느 하나는, 제1 화소전극의 제1 노드와 제2 화소전극의 제2 노드 사이에 접속된 액정

(뒷면에 계속)

대표도 - 도2



커패시터; 상기 제1 노드와 제3 노드 사이에 접속된 제1 스토리지 커패시터; 상기 제2 노드와 상기 제3 노드 사이에 접속된 제2 스토리지 커패시터; 상기 제1 스캔신호에 따라 스위칭되어 상기 데이터라인들 중 제1 데이터라인 상의 제1 데이터전압을 상기 제1 노드에 인가하는 제1 TFT; 상기 제1 스캔신호에 따라 스위칭되어 상기 데이터라인들 중 제2 데이터라인 상의 제2 데이터전압을 상기 제2 노드에 인가하는 제2 TFT; 상기 제1 스캔신호에 따라 스위칭되어 상기 제2 데이터전압을 상기 제3 노드에 인가하는 제3 TFT; 상기 제2 스캔신호에 따라 스위칭되어 상기 제1 데이터전압을 상기 제3 노드에 인가하는 제4 TFT; 및 상기 제2 스캔신호에 따라 스위칭되어 상기 제2 데이터전압을 상기 제2 노드에 인가하는 제5 TFT를 구비한다.

(56) 선행기술조사문헌

KR1020110061177A

KR1020090088729A

KR1020120015669A

KR1020060069768 A

KR1020070109157 A

명세서

청구범위

청구항 1

화소들이 배치된 다수의 수평 화소라인들이 형성되고, 각 수평 화소라인에는 다수의 데이터라인들과 2개의 게이트라인들이 할당된 액정표시패널을 갖는 고전압 구동용 액정표시장치에 있어서,

제1 스캔신호가 인가되는 제1 게이트라인과 상기 제1 스캔신호보다 위상이 뒤진 제2 스캔신호가 인가되는 제2 게이트라인이 할당된 제 i (i 는 2 이상의 양의 정수) 수평 화소라인에 배치된 화소들 중 어느 하나는,

제1 화소전극의 제1 노드와 제2 화소전극의 제2 노드 사이에 접속된 액정 커패시터;

상기 제1 노드와 제3 노드 사이에 접속된 제1 스토리지 커패시터;

상기 제2 노드와 상기 제3 노드 사이에 접속된 제2 스토리지 커패시터;

상기 제1 스캔신호에 따라 스위칭되어 상기 데이터라인들 중 제1 데이터라인 상의 제1 데이터전압을 상기 제1 노드에 인가하는 제1 TFT;

상기 제1 스캔신호에 따라 스위칭되어 상기 데이터라인들 중 제2 데이터라인 상의 제2 데이터전압을 상기 제2 노드에 인가하는 제2 TFT;

상기 제1 스캔신호에 따라 스위칭되어 상기 제2 데이터전압을 상기 제3 노드에 인가하는 제3 TFT;

상기 제2 스캔신호에 따라 스위칭되어 상기 제1 데이터전압을 상기 제3 노드에 인가하는 제4 TFT; 및

상기 제2 스캔신호에 따라 스위칭되어 상기 제2 데이터전압을 상기 제2 노드에 인가하는 제5 TFT를 구비하는 것을 특징으로 하는 고전압 구동용 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제 i 수평 화소라인에 배치된 화소들 중 어느 하나는,

상기 제1 노드의 전위를 안정화시키기 위한 제1 보조 커패시터; 및

상기 제2 노드의 전위를 안정화시키기 위한 제2 보조 커패시터를 더 구비하고;

상기 제1 보조 커패시터의 일측은 상기 제1 노드에 접속되고, 상기 제1 보조 커패시터의 타측은 제 $i-1$ 수평 화소라인에 할당된 제3 게이트라인과 제4 게이트라인 중 위상이 뒤진 스캔신호가 인가되는 제4 게이트라인에 접속되며;

상기 제2 보조 커패시터의 일측은 상기 제2 노드에 접속되고, 상기 제2 보조 커패시터의 타측은 상기 제4 게이트라인에 접속되는 것을 특징으로 하는 고전압 구동용 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제3 게이트라인에는 상기 제1 스캔신호보다 위상이 앞선 제3 스캔신호가 인가되고, 상기 제4 게이트라인에는 상기 제3 스캔신호보다 위상이 뒤지고 상기 제1 스캔신호보다 위상이 앞선 제4 스캔신호가 인가되며;

상기 제1 내지 제4 스캔신호는 동일한 펄스폭을 가지며 서로 비 중첩되는 것을 특징으로 하는 고전압 구동용 액정표시장치.

청구항 4

제 2 항에 있어서,

상기 제3 게이트라인에는 상기 제1 스캔신호보다 위상이 앞선 제3 스캔신호가 인가되고, 상기 제4 게이트라인에는 상기 제1 스캔신호보다 위상이 뒤지거나 또는 상기 제1 스캔신호와 위상이 동일한 제4 스캔신호가 인가되며;

상기 제1 및 제3 스캔신호는 동일한 제1 펄스폭을 가지며, 상기 제2 및 제4 스캔신호는 동일한 제2 펄스폭을 가지며;

상기 제1 펄스폭은 상기 제2 펄스폭보다 넓으며, 상기 제1 스캔신호와 상기 제4 스캔신호는 서로 중첩되는 것을 특징으로 하는 고전압 구동용 액정표시장치.

청구항 5

화소들이 배치된 다수의 수평 화소라인들이 형성되고, 각 수평 화소라인에는 다수의 데이터라인들과 2개의 게이트라인들이 할당된 액정표시패널을 갖는 고전압 구동용 액정표시장치에 있어서,

제1 스캔신호가 인가되는 제1 게이트라인과 상기 제1 스캔신호보다 위상이 뒤진 제2 스캔신호가 인가되는 제2 게이트라인이 할당된 제 i (i 는 2 이상의 양의 정수) 수평 화소라인에 배치된 화소들 중 어느 하나는,

제1 화소전극의 제1 노드와 제2 화소전극의 제2 노드 사이에 접속된 액정 커패시터;

상기 제1 노드와 제3 노드 사이에 접속된 제1 스토리지 커패시터;

제4 노드와 상기 제3 노드 사이에 접속된 제2 스토리지 커패시터;

상기 제2 노드와 상기 제4 노드 사이에 접속된 제3 스토리지 커패시터;

상기 제1 스캔신호에 따라 스위칭되어 상기 데이터라인들 중 제1 데이터라인 상의 제1 데이터전압을 상기 제1 노드에 인가하는 제1 TFT;

상기 제1 스캔신호에 따라 스위칭되어 상기 데이터라인들 중 제2 데이터라인 상의 제2 데이터전압을 상기 제2 노드에 인가하는 제2 TFT;

상기 제1 스캔신호에 따라 스위칭되어 상기 제2 데이터전압을 상기 제3 노드에 인가하는 제3 TFT;

상기 제2 스캔신호에 따라 스위칭되어 상기 제1 데이터전압을 상기 제3 노드에 인가하는 제4 TFT;

상기 제2 스캔신호에 따라 스위칭되어 상기 제2 데이터전압을 상기 제4 노드에 인가하는 제5 TFT; 및

상기 제1 스캔신호에 따라 스위칭되어 상기 제1 데이터전압을 상기 제4 노드에 인가하는 제6 TFT를 구비하는 것을 특징으로 하는 고전압 구동용 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 제 i 수평 화소라인에 배치된 화소들 중 어느 하나는,

상기 제1 노드의 전위를 안정화시키기 위한 제1 보조 커패시터; 및

상기 제2 노드의 전위를 안정화시키기 위한 제2 보조 커패시터를 더 구비하고;

상기 제1 보조 커패시터의 일측은 상기 제1 노드에 접속되고, 상기 제1 보조 커패시터의 타측은 제 $i-1$ 수평 화소라인에 할당된 제3 게이트라인과 제4 게이트라인 중 위상이 뒤진 스캔신호가 인가되는 제4 게이트라인에 접속되며;

상기 제2 보조 커패시터의 일측은 상기 제2 노드에 접속되고, 상기 제2 보조 커패시터의 타측은 상기 제4 게이트라인에 접속되는 것을 특징으로 하는 고전압 구동용 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 제3 게이트라인에는 상기 제1 스캔신호보다 위상이 앞선 제3 스캔신호가 인가되고, 상기 제4 게이트라인에는 상기 제3 스캔신호보다 위상이 뒤지고 상기 제1 스캔신호보다 위상이 앞선 제4 스캔신호가 인가되며;

상기 제1 내지 제4 스캔신호는 동일한 펄스폭을 가지며 서로 비 중첩되는 것을 특징으로 하는 고전압 구동용 액

정표시장치.

청구항 8

제 6 항에 있어서,

상기 제3 게이트라인에는 상기 제1 스캔신호보다 위상이 앞선 제3 스캔신호가 인가되고, 상기 제4 게이트라인에는 상기 제1 스캔신호보다 위상이 뒤지거나 또는 상기 제1 스캔신호와 위상이 동일한 제4 스캔신호가 인가되며;

상기 제1 및 제3 스캔신호는 동일한 제1 펄스폭을 가지며, 상기 제2 및 제4 스캔신호는 동일한 제2 펄스폭을 가지며;

상기 제1 펄스폭은 상기 제2 펄스폭보다 넓으며, 상기 제1 스캔신호와 상기 제4 스캔신호는 서로 중첩되는 것을 특징으로 하는 고전압 구동용 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 고전압 구동이 가능한 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치는 휴대용 정보기기, 사무기기, 컴퓨터, 텔레비전 등, 다양한 표시기에 이용되고 있다. 액정표시장치는 화상 표시를 위한 액정표시패널과, 이 액정표시패널을 구동하기 위한 드라이버를 포함한다. 액정표시패널에는 다수의 데이터라인들과 다수의 게이트라인들이 형성되고, 이들의 교차 영역마다 액정 커패시터를 포함한 화소가 형성된다. 드라이버는 데이터라인들을 구동하기 위한 소스 드라이버와 게이트라인들을 구동하기 위한 게이트 드라이버를 포함한다. 게이트라인들로부터의 게이트신호에 응답하여 데이터라인들로부터 데이터전압이 인가될 때, 화소들의 각 액정 커패시터는 상기 데이터전압을 충전한다. 액정들은 액정 커패시터의 양단 전위차에 의해 거동되어 화소 단위로 계조를 구현한다.

[0003] 최근, 기존의 액정보다 넓은 전압 범위에서 구동되는 새로운 액정물질이 개발됨에 따라, 이 새로운 액정물질을 이용한 고전압 구동용 액정표시장치에 대한 연구가 활발해지고 있다. 고전압 구동을 위해서는 액정에 인가되는 화소 구동전압의 전압 범위를 넓혀야 한다. 화소 구동전압의 전압 범위를 넓히기 위한 가장 손쉬운 방법은 소스 드라이버의 구조를 변경하여 소스 드라이버의 출력 전압 범위를 넓히는 것이다. 하지만, 소스 드라이버를 재설계하는 경우 많은 비용이 소모된다.

[0004] 이에, 종래의 고전압 구동용 액정표시장치는 소스 드라이버 대신 화소의 구조를 변경하여 액정 커패시터에 인가되는 화소 구동전압의 전압 범위를 넓히고 있다. 즉, 종래 고전압 구동용 액정표시장치는 소스 드라이버로부터 제1 범위의 화소 구동전압을 입력받아, 제1 범위보다 넓은 제2 범위의 화소 구동전압으로 액정을 구동하기 위해 비교적 복잡한 화소를 구비한다. 이 화소는 제1 범위의 화소 구동전압을 제2 범위의 화소 구동전압으로 부스팅하기 위해, 6개의 박막 트랜지스터(Thin Film Transistor: 이하, TFT라 함)들, 액정 커패시터, 액정 커패시터의 양단에 직렬 접속되는 4개의 스토리지 커패시터(Storage Capacitor)들로 이루어진다. 화소는 서로 다른 위상의 제1 및 제2 스캔신호에 의해 동작된다. 화소는 제1 스캔신호가 활성화될 때 제1 범위의 화소 구동전압(예컨대, 기준전압을 사이에 두고 상측에 위치하는 제1 데이터전압과 하측에 위치하는 제2 데이터전압을 포함한 Vdd)을 액정 커패시터에 1차 충전하고, 제2 스캔신호가 활성화될 때 스토리지 커패시터들의 커플링 효과를 이용하여 액정 커패시터의 일측에 제1 변화분(기준전압에서 제1 데이터전압으로의 상승분)을 반영하고, 액정 커패시터의 타측에 제2 변화분(기준전압에서 제2 데이터전압으로의 하강분)을 반영하여, 액정 커패시터의 1차 충전된 전압을 제2 범위의 화소 구동전압으로 부스팅한다.

[0005] 스토리지 커패시터는 상하로 이웃한 화소들 사이에 존재하는 배선영역에 형성되는데, 종래 고전압 구동용 액정표시장치에서는 4개의 스토리지 커패시터들을 구성하기 위해 정해진 배선영역을 4개로 분할한다. 이때, 이웃한 스토리지 커패시터들 간에는 공정 마진 확보를 위해 간극이 반드시 필요하며, 이러한 간극들로 인해 스토리지 커패시터들의 용량이 줄어든다. 스토리지 커패시터들의 용량을 늘리기 위해 배선영역이 넓게 설계하는 경우 화상 표시를 위한 개구부 면적이 줄어드는 문제가 있다.

[0006] 또한, 종래 고전압 구동용 액정표시장치에서는 전술한 부스팅 동작을 위해 화소들에 기준전압을 공급하기 위한 기준전압 공급배선들이 반드시 필요하다. 이러한 기준전압 공급배선들도 개구부 면적을 감소시키는 일 요인이 된다.

발명의 내용

해결하려는 과제

[0007] 따라서, 본 발명의 목적은 화소의 충전 특성을 이용하여 제1 범위의 화소 구동전압을 그보다 넓은 제2 범위의 화소 구동전압으로 부스팅하되, 개구부 면적 감소를 최소화할 수 있도록 한 고전압 구동용 액정표시장치를 제공하는 데 있다.

과제의 해결 수단

[0008] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따라 화소들이 배치된 다수의 수평 화소라인들이 형성되고, 각 수평 화소라인에는 다수의 데이터라인들과 2개의 게이트라인들이 할당된 액정표시패널을 갖는 고전압 구동용 액정표시장치에 있어서, 제1 스캔신호가 인가되는 제1 게이트라인과 상기 제1 스캔신호보다 위상이 뒤진 제2 스캔신호가 인가되는 제2 게이트라인이 할당된 제 i (i 는 2 이상의 양의 정수) 수평 화소라인에 배치된 화소들 중 어느 하나는, 제1 화소전극의 제1 노드와 제2 화소전극의 제2 노드 사이에 접속된 액정 커패시터; 상기 제1 노드와 제3 노드 사이에 접속된 제1 스토리지 커패시터; 상기 제2 노드와 상기 제3 노드 사이에 접속된 제2 스토리지 커패시터; 상기 제1 스캔신호에 따라 스위칭되어 상기 데이터라인들 중 제1 데이터라인 상의 제1 데이터전압을 상기 제1 노드에 인가하는 제1 TFT; 상기 제1 스캔신호에 따라 스위칭되어 상기 데이터라인들 중 제2 데이터라인 상의 제2 데이터전압을 상기 제2 노드에 인가하는 제2 TFT; 상기 제1 스캔신호에 따라 스위칭되어 상기 제2 데이터전압을 상기 제3 노드에 인가하는 제3 TFT; 상기 제2 스캔신호에 따라 스위칭되어 상기 제1 데이터전압을 상기 제3 노드에 인가하는 제4 TFT; 및 상기 제2 스캔신호에 따라 스위칭되어 상기 제2 데이터전압을 상기 제2 노드에 인가하는 제5 TFT를 구비한다.

[0009] 상기 제 i 수평 화소라인에 배치된 화소들 중 어느 하나는, 상기 제1 노드의 전위를 안정화시키기 위한 제1 보조 커패시터; 및 상기 제2 노드의 전위를 안정화시키기 위한 제2 보조 커패시터를 더 구비하고; 상기 제1 보조 커패시터의 일측은 상기 제1 노드에 접속되고, 상기 제1 보조 커패시터의 타측은 제 $i-1$ 수평 화소라인에 할당된 제3 게이트라인과 제4 게이트라인 중 위상이 뒤진 스캔신호가 인가되는 제4 게이트라인에 접속되며; 상기 제2 보조 커패시터의 일측은 상기 제2 노드에 접속되고, 상기 제2 보조 커패시터의 타측은 상기 제4 게이트라인에 접속된다.

[0010] 상기 제3 게이트라인에는 상기 제1 스캔신호보다 위상이 앞선 제3 스캔신호가 인가되고, 상기 제4 게이트라인에는 상기 제3 스캔신호보다 위상이 뒤지고 상기 제1 스캔신호보다 위상이 앞선 제4 게이트신호가 인가되며; 상기 제1 내지 제4 스캔신호는 동일한 펄스폭을 가지며 서로 비 중첩된다.

[0011] 상기 제3 게이트라인에는 상기 제1 스캔신호보다 위상이 앞선 제3 스캔신호가 인가되고, 상기 제4 게이트라인에는 상기 제1 스캔신호보다 위상이 뒤지거나 또는 상기 제1 스캔신호와 위상이 동일한 제4 게이트신호가 인가되며; 상기 제1 및 제3 스캔신호는 동일한 제1 펄스폭을 가지며, 상기 제2 및 제4 스캔신호는 동일한 제2 펄스폭을 가지며; 상기 제1 펄스폭은 상기 제2 펄스폭보다 넓으며, 상기 제1 스캔신호와 상기 제4 스캔신호는 서로 중첩된다.

[0012] 본 발명의 실시예에 따라 화소들이 배치된 다수의 수평 화소라인들이 형성되고, 각 수평 화소라인에는 다수의 데이터라인들과 2개의 게이트라인들이 할당된 액정표시패널을 갖는 고전압 구동용 액정표시장치에 있어서, 제1 스캔신호가 인가되는 제1 게이트라인과 상기 제1 스캔신호보다 위상이 뒤진 제2 스캔신호가 인가되는 제2 게이트라인이 할당된 제 i (i 는 2 이상의 양의 정수) 수평 화소라인에 배치된 화소들 중 어느 하나는, 제1 화소전극의 제1 노드와 제2 화소전극의 제2 노드 사이에 접속된 액정 커패시터; 상기 제1 노드와 제3 노드 사이에 접속된 제1 스토리지 커패시터; 상기 제2 노드와 상기 제3 노드 사이에 접속된 제2 스토리지 커패시터; 상기 제2 노드와 제4 노드 사이에 접속된 제3 스토리지 커패시터; 상기 제1 스캔신호에 따라 스위칭되어 상기 데이터라인들 중 제1 데이터라인 상의 제1 데이터전압을 상기 제1 노드에 인가하는 제1 TFT; 상기 제1 스캔신호에 따라 스위

칭되어 상기 데이터라인들 중 제2 데이터라인 상의 제2 데이터전압을 상기 제2 노드에 인가하는 제2 TFT; 상기 제1 스캔신호에 따라 스위칭되어 상기 제2 데이터전압을 상기 제3 노드에 인가하는 제3 TFT; 상기 제2 스캔신호에 따라 스위칭되어 상기 제1 데이터전압을 상기 제3 노드에 인가하는 제4 TFT; 상기 제2 스캔신호에 따라 스위칭되어 상기 제2 데이터전압을 상기 제4 노드에 인가하는 제5 TFT; 및 상기 제1 스캔신호에 따라 스위칭되어 상기 제1 데이터전압을 상기 제4 노드에 인가하는 제6 TFT를 구비한다.

발명의 효과

[0013] 본 발명의 화소들은 부스팅 동작을 위해 종래와 같이 기준전압을 필요로 하지 않는다. 본 발명에서는 기준전압 공급라인이 형성될 필요가 없으며, 더욱이 화소 구동전압을 (N-1)배만큼 부스팅하기 위해 (N-1)개의 스토리지 커패시터들만이 필요하다. 따라서, 본 발명과 종래 기술의 부스팅 배율이 동일할 때, 종래 기술에 비해 본 발명은 개구부 면적을 확보하는 데 있어 훨씬 용이하다. 본 발명은 화소들에 할당되는 게이트라인의 개수를 증가시키지 않고 화소 설계시 도전막과 TFT를 더 추가함으로써 부스팅 배율을 더욱 높일 수 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 실시예에 따른 고전압 구동용 액정표시장치를 보여주는 블록도.
 도 2는 본 발명의 일 실시예에 따른 화소의 등가 회로도.
 도 3은 도 2에 도시된 스토리지 커패시터들의 용량 증가를 설명하기 위한 모식도.
 도 4a 및 도 4b는 각각 선 충전기간에서 화소의 등가회로 및 동작파형을 보여주는 도면들.
 도 5a 및 도 5b는 각각 부스팅 기간에서 화소의 등가회로 및 동작파형을 보여주는 도면들.
 도 6는 도 2의 화소에 인가되는 스캔신호의 일 예를 보여주는 도면.
 도 7은 도 2의 화소에 인가되는 스캔신호의 다른 예를 보여주는 도면.
 도 8a는 도 6의 스캔신호에 의한 액정 커패시터의 충전전압 변화를 보여주는 도면.
 도 8b는 도 7의 스캔신호에 의한 액정 커패시터의 충전전압 변화를 보여주는 도면.
 도 9는 본 발명의 다른 실시예에 따른 화소의 등가 회로도.
 도 10은 도 9에 도시된 스토리지 커패시터들의 용량 증가를 설명하기 위한 모식도.

발명을 실시하기 위한 구체적인 내용

[0015] 이하, 도 1 내지 도 10을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0016] 도 1은 본 발명의 실시예에 따른 고전압 구동용 액정표시장치를 보여주는 블록도이다.

[0017] 도 1을 참조하면, 본 발명에 따른 고전압 구동용 액정표시장치는 액정표시패널(10), 타이밍 콘트롤러(11), 소스 드라이버(12), 게이트 드라이버(13), 호스트 시스템(14)을 구비한다.

[0018] 액정표시패널(10)은 데이터라인들(15)과 게이트라인들(16)의 교차 구조에 의해 매트릭스 형태로 배치된 화소들을 포함한 화소 어레이가 형성된다. 화소 어레이는 다수의 수평 화소라인들(L#1~L#k)을 포함한다. 각 수평 화소라인들(L#1~L#k)에는 게이트라인들(16)이 2개씩 할당된다. 동일 수평 화소라인에 배치된 다수의 화소들은 그 수평 화소라인에 할당된 2개의 게이트라인들에 공통으로 접속된다. 화소들은 2개의 게이트라인들 중 제1 게이트라인으로부터 제1 스캔신호를 인가받을 수 있으며, 2개의 게이트라인들 중 제2 게이트라인으로부터 제1 스캔신호에 비해 위상이 뒤진 제2 스캔신호를 인가받을 수 있다.

[0019] 화소들 각각은 소스 드라이버(12)로부터 입력되는 제1 범위의 화소 구동전압을 그보다 넓은 제2 범위의 화소 구동전압으로 부스팅하기 위해, 도 2에서와 같이 액정층을 사이에 두고 서로 마주보는 제1 화소전극과 제2 화소전극을 포함한 액정 커패시터와, 액정 커패시터를 구동하기 다수의 TFT들과, 다수의 스토리지 커패시터(Storage Capacitor)들을 포함한다. 화소들 각각에는 제1 화소전극에 제1 데이터전압을 공급하기 위한 제1

데이터라인과, 제2 화소전극에 제2 데이터전압을 공급하기 위한 제2 데이터라인이 할당된다. 여기서, 제1 데이터전압과 제2 데이터전압에 의해 상기 제1 범위의 화소 구동전압이 구현된다.

[0020] 각 화소들의 액정 커패시터는 제1 스캔신호에 응답하여 제1 범위의 화소 구동전압을 선 충전한 후, 상기 선 충전된 제1 범위의 화소 구동전압을 제2 스캔신호에 응답하여 제2 범위의 화소 구동전압으로 부스팅한다. 이러한 부스팅 동작을 위해, 화소들 각각에는 유전층을 사이에 두고 적층된 $N(N$ 은 3이상의 양의 정수) 개의 도전막들에 의해 $(N-1)$ 개의 스토리지 커패시터들이 형성된다. 이 경우, 제2 범위의 화소 구동전압이 제1 범위의 화소 구동전압에 비해 대략 $(N-1)$ 배만큼 부스팅 될 수 있다. 도 2 내지 도 8b에서는 3개의 도전막들에 의해 형성되는 2개의 스토리지 커패시터들을 이용하여 화소 구동전압을 2배로 부스팅하는 일 예를 설명한다. 그리고, 도 9 및 도 10에서는 4개의 도전막들에 의해 형성되는 3개의 스토리지 커패시터들을 이용하여 화소 구동전압을 3배로 부스팅하는 일 예를 설명한다. 본 발명의 화소들은 부스팅 동작을 위해 종래와 같이 기준전압을 필요로 하지 않는다. 본 발명에서는 기준전압 공급라인이 형성될 필요가 없으며, 더욱이 화소 구동전압을 $(N-1)$ 배만큼 부스팅하기 위해 $(N-1)$ 개의 스토리지 커패시터들만이 필요하다. 따라서, 본 발명과 종래 기술의 부스팅 배율이 동일할 때, 종래 기술에 비해 본 발명은 개구부 면적을 확보하는 데 있어 훨씬 용이하다. 본 발명은 화소들에 할당되는 게이트라인의 개수를 증가시키지 않고 화소 설계시 도전막과 TFT를 더 추가함으로써 부스팅 배율을 더욱 높일 수 있다.

[0021] 본 발명의 화소들은 적색 구현을 위해 적색 컬러필터를 포함한 R 화소, 녹색 구현을 위해 녹색 컬러필터를 포함한 G 화소, 청색 구현을 위해 청색 컬러필터를 포함한 B 화소를 포함할 수 있다. 본 발명에서 적용 가능한 액정 표시패널(10)은 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드뿐만 아니라 어떠한 액정모드로도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

[0022] 타이밍 콘트롤러(11)는 LVDS(Low Voltage Differential Signaling) 인터페이스 방식을 통해 호스트 시스템(14)으로부터 입력 영상의 디지털 비디오 데이터(RGB)를 입력받고, 이 입력 영상의 디지털 비디오 데이터(RGB)를 mini-LVDS 인터페이스 방식을 통해 소스 드라이버(12)에 공급한다. 타이밍 콘트롤러(11)는 호스트 시스템(14)으로부터 입력되는 디지털 비디오 데이터(RGB)를 화소 어레이의 R 화소, G 화소 및 B 화소의 배치 순서에 맞춰 정렬한 후 소스 드라이버(12)에 공급한다.

[0023] 타이밍 콘트롤러(11)는 호스트 시스템(14)로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 소스 드라이버(12)와 게이트 드라이버(13)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 제어신호들은 게이트 드라이버(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호, 소스 드라이버(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호를 포함한다.

[0024] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트펄스를 발생하는 게이트 드라이브 IC(Integrated circuit)에 인가되어 첫 번째 게이트펄스가 발생되도록 그 게이트 드라이브 IC를 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력을 제어한다.

[0025] 소스 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 소스 드라이버(12)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이버(12)에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 극성제어신호(POL)는 소스 드라이브 IC들 각각으로부터 순차적으로 출력되는 데이터전압들의 극성을 제어한다. 소스 출력 인에이블신호(SOE)는 소스 드라이버(12)의 출력 타이밍을 제어한다.

[0026] 소스 드라이버(12)는 쉬프트 레지스터, 래치 어레이, 디지털-아날로그 변환기, 출력회로 등을 포함한다. 소스 드라이버(12)는 소스 타이밍 제어신호에 따라 디지털 비디오 데이터(RGB)를 래치한 후, 래치된 데이터를 아날로그 정극성/부극성 감마보상전압으로 변환하여 소정 주기로 극성이 반전되는 데이터전압들을 다수의 출력 채널들을 통해 데이터라인들(15)에 공급한다.

- [0027] 게이트 드라이버(13)는 쉬프트 레지스터와 레벨 쉬프터를 이용하여 게이트 타이밍 제어신호들에 따라 스캔신호를 게이트라인들(16)에 순차적으로 공급한다. 게이트 드라이버(13)의 쉬프트 레지스터는 GIP(Gate-driver In Panel) 방식에 따라 하부 유리기판상에 직접 형성될 수 있다.
- [0028] 도 2는 본 발명의 실시예에 따른 화소의 일 예를 상세히 보여준다. 그리고, 도 3은 도 2에 도시된 스토리지 커패시터들의 용량 증가를 설명하기 위한 모식도이다.
- [0029] 도 2는 제2 수평 화소라인(L#2)에 배치된 화소들 중 어느 하나를 나타낸 것이다. 이러한 본 발명의 일 실시예에 따른 화소는 제2 수평 화소라인(L#2)에 할당된 제1 게이트라인(162-1) 및 제2 게이트라인(162-2)에 접속되며, 제1 게이트라인(162-1)으로부터 제1 스캔신호(Vg2-1)를 그리고, 제2 게이트라인(162-2)으로부터 제1 스캔신호(Vg2-1)보다 위상이 뒤진 제2 스캔신호(Vg2-2)를 인가받는다.
- [0030] 본 발명의 일 실시예에 따른 화소는, 액정 커패시터(C1c), 제1 내지 제5 TFT(M1~M5), 제1 및 제2 스토리지 커패시터(Cst1, Cst2)를 구비한다.
- [0031] 액정 커패시터(C1c)는 제1 화소전극의 제1 노드(N1)와 제2 화소전극의 제2 노드(N2) 사이에 접속된다. 제1 스캔신호(Vg2-1)에 따라 액정 커패시터(C1c)에 선 충전된 제1 범위의 화소 구동전압은, 제2 스캔신호(Vg2-2)에 응답하여 상기 제1 범위보다 넓은 제2 범위의 화소 구동전압으로 부스팅된다. 액정 커패시터(C1c)에 충전된 제2 범위의 화소 구동전압에 의해 해당 화소의 계조가 구현된다.
- [0032] 제1 스토리지 커패시터(Cst1)는 제1 노드(N1)와 제3 노드(N3) 사이에 접속된다. 제1 스토리지 커패시터(Cst1)는 제3 노드(N3)의 전위(VN3)가 소정값만큼 변할때, 그 변화분을 제1 노드(N1)의 전위(VN1)에 반영한다.
- [0033] 제2 스토리지 커패시터(Cst2)는 제2 노드(N2)와 제3 노드(N3) 사이에 접속된다. 제2 스토리지 커패시터(Cst2)는 제3 노드(N3)의 전위(VN3)를 안정화시킨다.
- [0034] 제1 TFT(M1)는 제1 스캔신호(Vg2-1)에 따라 스위칭되어 제1 데이터라인(151) 상의 제1 데이터전압(Vd+)을 제1 노드(N1)에 인가한다. 제1 TFT(M1)의 게이트전극은 제1 스캔신호(Vg2-1)가 공급되는 제1 게이트라인(162-1)에 접속되고, 드레인전극은 제1 데이터라인(151)에 접속되며, 소스전극은 제1 노드(N1)에 접속된다.
- [0035] 제2 TFT(M2)는 제1 스캔신호(Vg2-1)에 따라 스위칭되어 제2 데이터라인(152) 상의 제2 데이터전압(Vd-)을 제2 노드(N2)에 인가한다. 여기서, 제2 데이터전압(Vd-)은 상기 제1 데이터전압(Vd+)와 함께 제1 범위의 화소 구동전압을 구현한다. 제2 TFT(M2)의 게이트전극은 제1 스캔신호(Vg2-1)가 공급되는 제1 게이트라인(162-1)에 접속되고, 드레인전극은 제2 데이터라인(152)에 접속되며, 소스전극은 제2 노드(N2)에 접속된다.
- [0036] 제3 TFT(M3)는 제1 스캔신호(Vg2-1)에 따라 스위칭되어 제2 데이터라인(152) 상의 제2 데이터전압(Vd-)을 제3 노드(N3)에 인가한다. 제3 TFT(M3)의 게이트전극은 제1 스캔신호(Vg2-1)가 공급되는 제1 게이트라인(162-1)에 접속되고, 드레인전극은 제2 데이터라인(152)에 접속되며, 소스전극은 제3 노드(N3)에 접속된다.
- [0037] 제4 TFT(M4)는 제2 스캔신호(Vg2-2)에 따라 스위칭되어 제1 데이터라인(151) 상의 제1 데이터전압(Vd+)을 제3 노드(N3)에 인가한다. 제4 TFT(M4)의 게이트전극은 제2 스캔신호(Vg2-2)가 공급되는 제2 게이트라인(162-2)에 접속되고, 드레인전극은 제1 데이터라인(151)에 접속되며, 소스전극은 제3 노드(N3)에 접속된다.
- [0038] 제5 TFT(M5)는 제2 스캔신호(Vg2-2)에 따라 스위칭되어 제2 데이터라인(152) 상의 제2 데이터전압(Vd-)을 제2 노드(N2)에 인가한다. 제5 TFT(M5)의 게이트전극은 제2 스캔신호(Vg2-2)가 공급되는 제2 게이트라인(162-2)에 접속되고, 드레인전극은 제2 데이터라인(152)에 접속되며, 소스전극은 제2 노드(N2)에 접속된다.
- [0039] 본 발명의 일 실시예에 따른 화소는 제1 및 제2 노드(N1, N2)의 전위(VN1, VN2)를 안정화시키기 위해 제1 및 제2 보조 커패시터(Cref1, Cref2)를 더 구비할 수 있다.
- [0040] 제1 보조 커패시터(Cref1)의 일측은 제1 노드(N1)에 접속되고, 제1 보조 커패시터(Cref1)의 타측은 제1 수평 화소라인(L#1)에 할당된 제3 게이트라인(미도시)과 제4 게이트라인(161-2) 중 위상이 뒤진 스캔신호가 인가되는 제4 게이트라인(161-2)에 접속된다. 이러한 제1 보조 커패시터(Cref1)는 제1 스캔신호(Vg2-1)가 턴 온 레벨의 게이트 하이전압에서 턴 오프 레벨의 게이트 로우전압으로 바뀔 때, 제1 노드(N1)에 인가된 제1 데이터전압(Vd+)을 안정적으로 유지시키는 역할을 한다.
- [0041] 제2 보조 커패시터(Cref2)의 일측은 제2 노드(N2)에 접속되고, 제2 보조 커패시터(Cref2)의 타측은 상기 제1 수평 화소라인(L#1)에 할당된 제4 게이트라인(161-2)에 접속된다. 이러한 제2 보조 커패시터(Cref2)는 제1 스캔신호(Vg2-1)가 턴 온 레벨의 게이트 하이전압에서 턴 오프 레벨의 게이트 로우전압으로 바뀔 때, 제2 노드(N2)

에 인가된 제2 데이터전압(V_{d-})을 안정적으로 유지시키는 역할을 한다.

- [0042] 이러한 본 발명의 일 실시예에 따른 화소는 도 3과 같이, 유전층(미도시, 절연막, 보호막 등으로 구현됨)을 사이에 두고 적층된 3개의 도전막들($L1, L2, L3$)과 함께, 제1 도전막($L1$)과 제3 도전막($L3$) 사이에 접속된 제1 스토리지 커패시터($Cst1$)와, 제3 도전막($L3$)과 제2 도전막($L2$) 사이에 접속된 제2 스토리지 커패시터($Cst2$)를 이용하여 화소 구동전압을 2배로 부스팅한다. 본 발명은 종래에 비해 스토리지 커패시터의 개수를 줄일 수 있어, 스토리지 커패시터의 개수를 늘리기 위해 각 도전막을 분할할 필요가 없다. 본 발명에 따르면, 스토리지 커패시터의 전극 면적은 기존에 비해 약 2배로 넓게 확보할 수 있고, 아울러 스토리지 커패시터의 전극간 거리는 기존에 비해 약 1/2 배로 줄일 수 있어, 스토리지 커패시터의 용량을 종래 대비 대략 4배로 늘릴 수 있다. 따라서, 본 발명은 스토리지 커패시터의 용량을 늘리기 위해 배선영역이 넓게 설계할 필요가 없기 때문에, 화상 표시를 위한 개구부를 넓힐 수 있는 잇점이 있다.
- [0043] 도 4a 및 도 4b는 각각 선 충전기간에서 화소의 등가회로 및 동작파형을 보여준다. 그리고, 도 5a 및 도 5b는 각각 부스팅 기간에서 화소의 등가회로 및 동작파형을 보여준다.
- [0044] 도 4a 및 도 4b에 도시된 바와 같이, 선 충전 기간($P1$)에서, 턴 온 레벨의 제1 스캔신호(V_{g2-1})에 응답하여 제1 TFT($M1$), 제2 TFT($M2$), 제3 TFT($M3$)가 턴 온된다. 선 충전 기간($P1$)에서 제4 TFT($M4$)와 제5 TFT($M5$)는 턴 오프 레벨의 제2 스캔신호(V_{g2-2})에 의해 턴 오프 된다. 그 결과, 제1 노드($N1$)에는 제1 데이터전압(V_{d+})이 인가되고, 제2 및 제3 노드($N2, N3$)에는 제2 데이터전압(V_{d-})이 인가된다. 이에 따라, 액정 커패시터($C1c$)에는 제1 데이터전압(V_{d+})과 제2 데이터전압(V_{d-})에 의해 구현되는 제1 범위의 화소 구동전압(V_{dd})이 1차 충전된다.
- [0045] 도 5a 및 도 5b에 도시된 바와 같이, 부스팅 기간($P2$)에서 턴 온 레벨의 제2 스캔신호(V_{g2-2})에 응답하여 제4 TFT($M4$)와 제5 TFT($M5$)는 턴 온 된다. 부스팅 기간($P2$)에서 제1 TFT($M1$), 제2 TFT($M2$), 제3 TFT($M3$)는 턴 오프 레벨의 제1 스캔신호(V_{g2-1})에 의해 턴 오프 된다.
- [0046] 부스팅 기간($P2$)에서, 제3노드($N3$)의 전위(V_{N3})는 제2 데이터전압(V_{d-})에서 제1 데이터전압(V_{d+})으로 변화되고, 그 변화분($(V_{d-})-(V_{d+})$)이 제1 스토리지 커패시터($Cst1$)의 커플링 효과에 의해 제1 노드($N1$)의 전위(V_{N1})에 반영된다. 따라서, 부스팅 기간($P2$)에서, 제1 노드($N1$)의 전위(V_{N1})는 상기 제3 노드($N3$)의 전위 변화분($(V_{d-})-(V_{d+})$)에 대응하여, 대략 제1 범위의 화소 구동전압(V_{dd})만큼 부스팅된다. 이에 따라 액정 커패시터($C1c$)에는 2차 충전된 제1 범위의 화소 구동전압(V_{dd})과 상기 부스팅전압(V_{dd})이 더해져서 결정되는 제2 범위의 화소 구동전압(대략 $2V_{dd}$)이 최종 충전된다. 화소는 이러한 제2 범위의 화소 구동전압에 따라 계조를 구현하게 되는 것이다.
- [0047] 도 6 및 도 7은 도 2의 화소에 인가되는 스캔신호의 일 예들을 보여준다. 도 8a는 도 6의 스캔신호에 의한 액정 커패시터의 충전전압 변화를 보여준다. 그리고, 도 8b는 도 7의 스캔신호에 의한 액정 커패시터의 충전전압 변화를 보여준다.
- [0048] 도 6의 제3 및 제4 스캔신호(V_{g1-1}, V_{g1-2})는 각각 제1 수평 화소라인($L\#1$)에 할당된 제3 게이트라인 및 제4 게이트라인에 인가되고, 제1 및 제2 스캔신호(V_{g2-1}, V_{g2-2})는 각각 제2 수평 화소라인($L\#2$)에 할당된 제1 게이트라인 및 제2 게이트라인에 인가된다.
- [0049] 도 6에서, 제3 스캔신호(V_{g1-1})의 위상이 가장 앞서고, 제4 스캔신호(V_{g1-2})의 위상이 그 다음으로 앞서며, 제1 스캔신호(V_{g2-1})의 위상은 제4 스캔신호(V_{g1-2})의 위상보다 뒤지고, 제2 스캔신호(V_{g2-2})의 위상은 제1 스캔신호(V_{g2-1})의 위상보다 뒤진다. 여기서, 제1 내지 제4 스캔신호($V_{g1-1}, V_{g1-2}, V_{g2-1}, V_{g2-2}$)는 동일한 펄스폭을 가지며 서로 비 중첩될 수 있다.
- [0050] 도 6의 경우, 일반적인 게이트 드라이버의 설계 변경없이 스캔신호를 생성할 수 있다는 장점이 있다. 하지만, 액정 커패시터의 양단은 해당 프레임에서 선 충전 기간($P1$)에 대응되는 제1 스캔신호(V_{g2-1})가 인가되기 전까지 플로팅 상태에 있으므로, 이전 프레임에서 액정 커패시터에 충전된 전압은 제1 스캔신호(V_{g2-1})에 앞선 제4 스캔신호(V_{g1-2})의 영향으로 일정하게 유지되지 못하고 도 8a에서와 같이 빗금친 양만큼 상승하는 단점이 있다.
- [0051] 도 7의 스캔신호는 도 6에서의 단점을 극복하기 위해 제안된 것이다. 도 7에서, 상기 제3 게이트라인에는 상기 제1 스캔신호(V_{g2-1})보다 위상이 앞선 제3 스캔신호(V_{g1-1})가 인가되고, 상기 제4 게이트라인에는 상기 제1 스캔신호(V_{g2-1})보다 위상이 뒤지거나 또는 상기 제1 스캔신호(V_{g2-1})와 위상이 동일한 제4 게이트신호(V_{g1-2})가 인가된다.

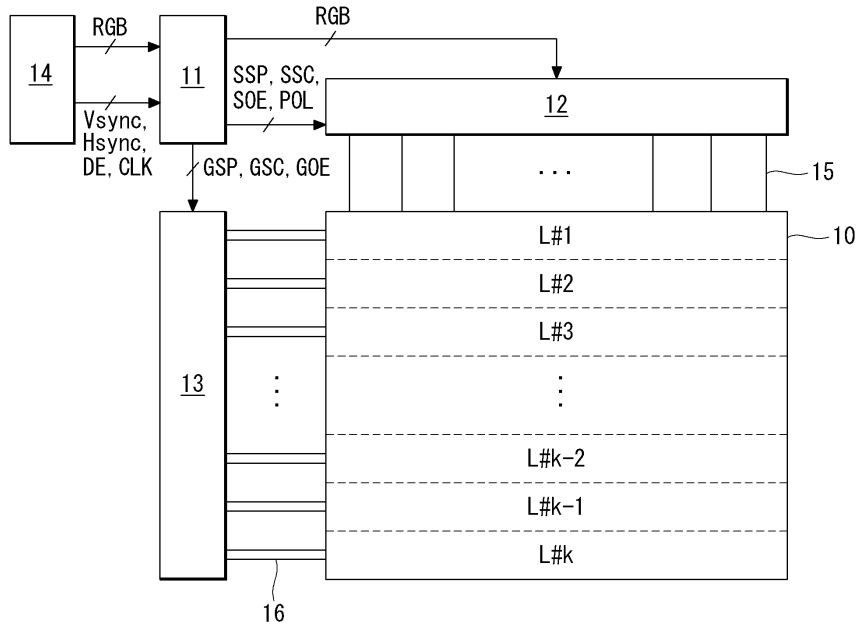
- [0052] 도 7에서, 상기 제1 및 제3 스캔신호(Vg1-1, Vg2-1)는 동일한 제1 펄스폭을 가지며, 상기 제2 및 제4 스캔신호(Vg1-2, Vg2-2)는 동일한 제2 펄스폭을 가지며, 상기 제1 펄스폭은 상기 제2 펄스폭보다 넓게 선택된다. 그리고, 상기 제1 스캔신호(Vg2-1)와 상기 제4 스캔신호(Vg1-2)는 서로 소정기간(P3)만중첩되는 특징이 있다.
- [0053] 도 7에 의하는 경우, 제4 스캔신호(Vg1-2)보다 먼저 또는, 제4 스캔신호(Vg1-2)와 동일한 타이밍에 제1 스캔신호(Vg2-1)가 활성화되기 때문에, 도 8b에서와 같이 이전 프레임에서 액정 커패시터에 충전된 전압이 제4 스캔신호(Vg1-2)의 영향으로 흔들리는 현상이 억제될 수 있다.
- [0054] 도 9는 본 발명의 다른 실시예에 따른 화소의 등가 회로를 보여준다. 그리고, 도 10은 도 9에 도시된 스토리지 커패시터들의 용량 증가를 설명하기 위한 모식도이다.
- [0055] 도 9는 게이트라인을 추가하지 않고 화소에서 이루어지는 부스팅 배율을 2배보다 크게 하기 위한 화소의 접속 구성을 나타낸 것으로, 4개의 도전막들에 의해 형성되는 3개의 스토리지 커패시터들을 이용하여 화소 구동전압을 3배로 부스팅한다.
- [0056] 도 9의 화소 구성은 도 2와 비교하여, 제6 TFT(M6)와 제3 스토리지 커패시터(Cst3)가 더 추가된다. 그리고, 제5 TFT(M5)의 소스전극은 제6 TFT(M6)와 제3 스토리지 커패시터(Cst3)를 연결하는 제4 노드(N4)에 접속되도록 변경되었다.
- [0057] 제3 스토리지 커패시터(Cst3)는 제2 노드(N2)와 제4 노드(N4) 사이에 접속된다. 제3 스토리지 커패시터(Cst3)는 도 10과 같이 제3 도전막(L3)과 새롭게 추가된 제4 도전막(L4), 그리고 그들(L3, L4) 사이의 유전막으로 이루어진다.
- [0058] 제6 TFT(M5)는 제1 스캔신호(Vg2-1)에 따라 스위칭되어 제1 데이터라인(151) 상의 제1 데이터전압(Vd+)을 제4 노드(N4)에 인가한다. 제6 TFT(M6)의 게이트전극은 제1 스캔신호(Vg2-1)가 공급되는 제1 게이트라인(162-1)에 접속되고, 드레인전극은 제1 데이터라인(151)에 접속되며, 소스전극은 제4 노드(N4)에 접속된다.
- [0059] 제5 TFT(M5)는 제2 스캔신호(Vg2-2)에 따라 스위칭되어 제2 데이터라인(152) 상의 제2 데이터전압(Vd-)을 제4 노드(N4)에 인가한다. 제5 TFT(M5)의 게이트전극은 제2 스캔신호(Vg2-2)가 공급되는 제2 게이트라인(162-2)에 접속되고, 드레인전극은 제2 데이터라인(152)에 접속되며, 소스전극은 제4 노드(N4)에 접속된다.
- [0060] 이러한 도 9의 화소는 부스팅 기간(P2)에서, 제3 노드(N3)의 전위(VN3)뿐만 아니라 제4 노드(N4)의 전위(VN4)도 변한다.
- [0061] 부스팅 기간(P2)에서, 제3 노드(N3)의 전위(VN3)는 제2 데이터전압(Vd-)에서 제1 데이터전압(Vd+)으로 변화되고, 그 변화분((Vd-)-(Vd+))이 제1 스토리지 커패시터(Cst1)의 커플링 효과에 의해 제1 노드(N1)의 전위(VN1)에 반영된다. 따라서, 부스팅 기간(P2)에서, 제1 노드(N1)의 전위(VN1)는 상기 제3 노드(N3)의 전위 변화분((Vd-)-(Vd+))에 대응하여, 대략 제1 범위의 화소 구동전압(Vdd)만큼 부스팅된다.
- [0062] 또한, 부스팅 기간(P2)에서, 제4 노드(N4)의 전위(VN4)는 제1 데이터전압(Vd+)에서 제2 데이터전압(Vd-)으로 변화되고, 그 변화분((Vd+)-(Vd-))이 제3 스토리지 커패시터(Cst3)의 커플링 효과에 의해 제2 노드(N2)의 전위(VN2)에 반영된다. 따라서, 부스팅 기간(P2)에서, 제2 노드(N2)의 전위(VN2)는 상기 제4 노드(N4)의 전위 변화분((Vd+)-(Vd-))에 대응하여, 대략 제1 범위의 화소 구동전압(Vdd)만큼 부스팅된다.
- [0063] 이에 따라 액정 커패시터(C1c)에는 2차 충전된 제1 범위의 화소 구동전압(Vdd)과 상기 2번의 부스팅 동작에 따른 부스팅전압들(2Vdd)이 더해져서 결정되는 제2 범위의 화소 구동전압(대략 3Vdd)이 최종 충전된다. 화소는 이러한 제2 범위의 화소 구동전압에 따라 계조를 구현한다.
- [0064] 도 9의 화소에도 도 6 및 도 7의 스캔신호가 그대로 적용될 수 있으며, 그에 따른 작용 효과도 도 8a 및 도 8b에서 설명한 것과 동일하다.
- [0065] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

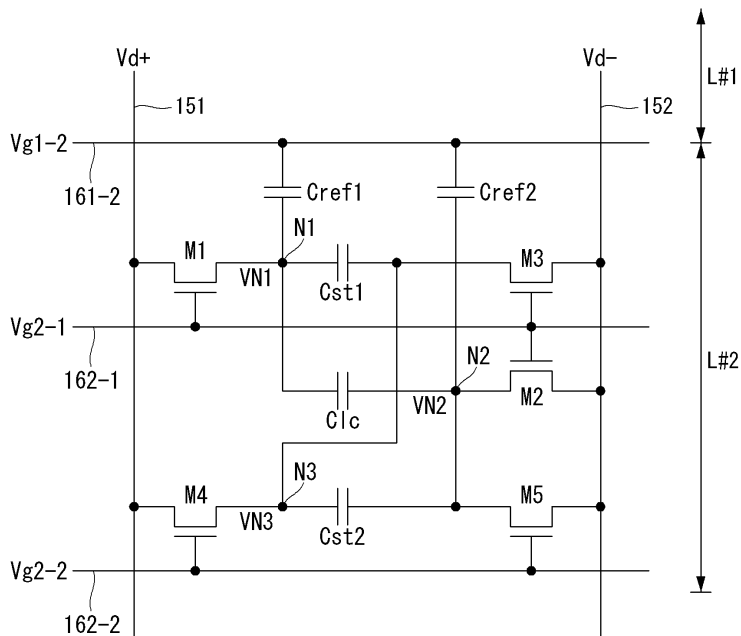
- [0066]
- | | |
|--------------|---------------|
| 10 : 액정표시패널 | 11 : 타이밍 컨트롤러 |
| 12 : 소스 드라이버 | 13 : 게이트 드라이버 |
| 15 : 데이터라인들 | 16 : 게이트라인들 |

도면

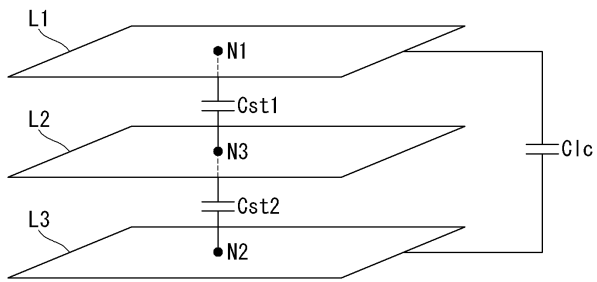
도면1



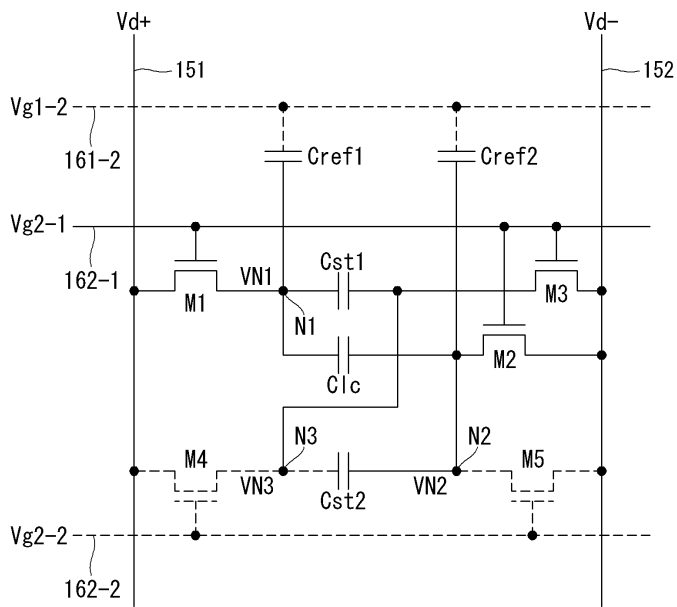
도면2



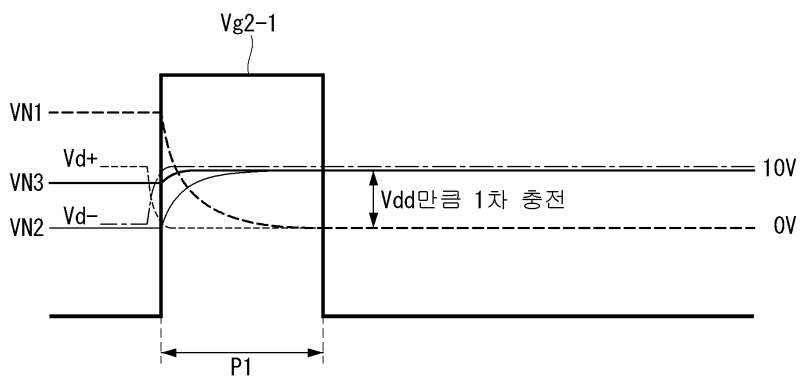
도면3



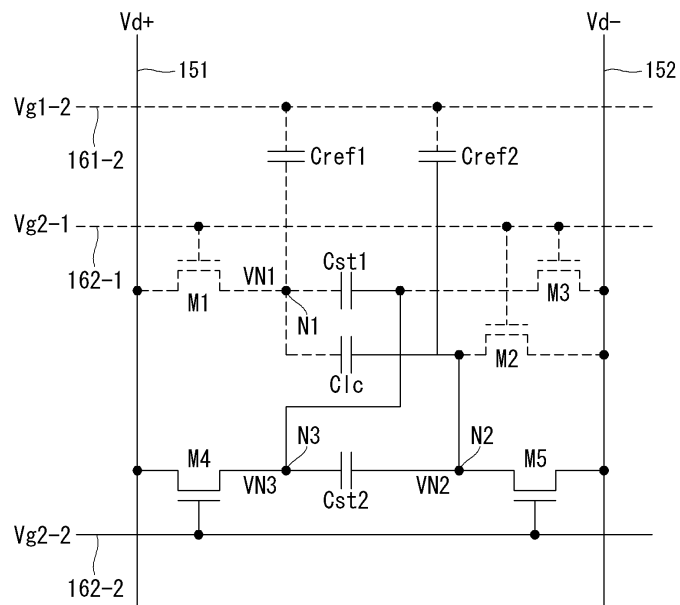
도면4a



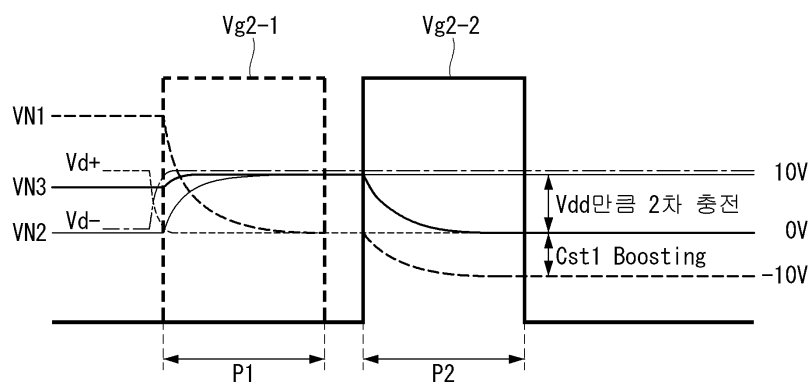
도면4b



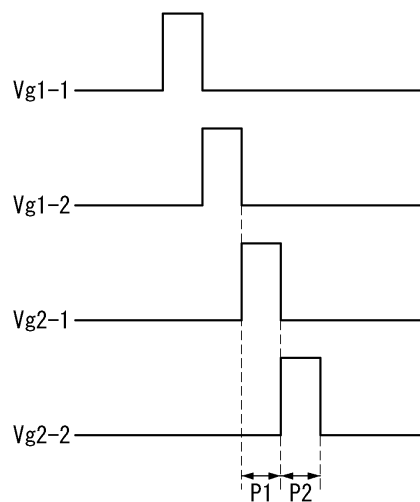
도면5a



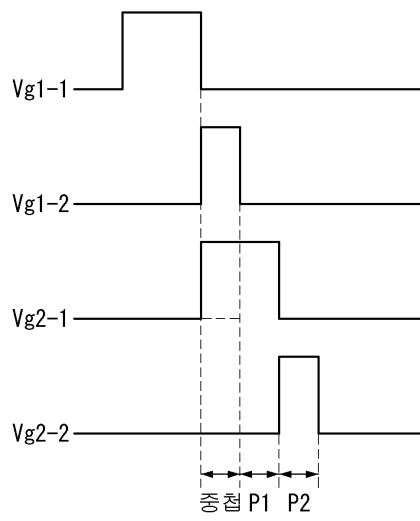
도면5b



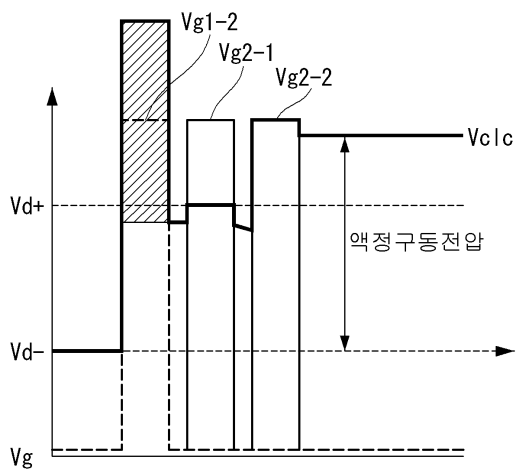
도면6



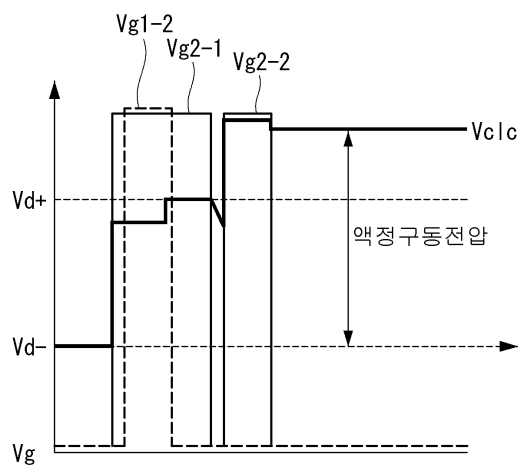
도면7



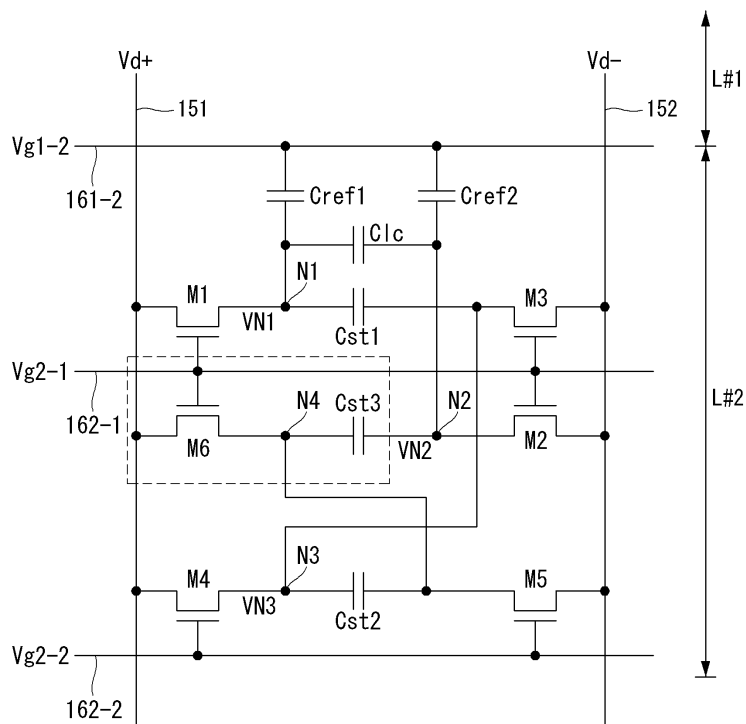
도면8a



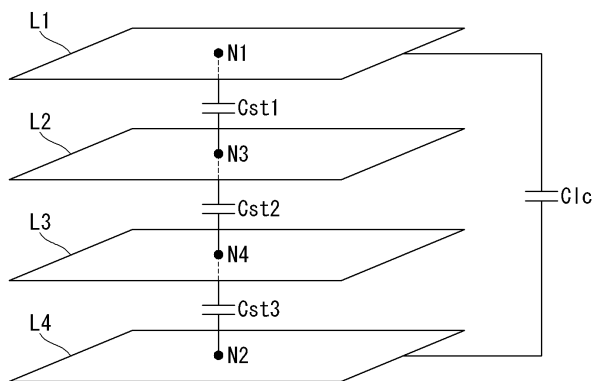
도면8b



도면9



도면10



专利名称(译)	高压驱动液晶显示装置		
公开(公告)号	KR102016561B1	公开(公告)日	2019-08-30
申请号	KR1020130074638	申请日	2013-06-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김규진		
发明人	김규진		
IPC分类号	G09G3/36 G02F1/133		
审查员(译)	允我永		
其他公开文献	KR1020150001424A		
外部链接	Espacenet		

摘要(译)

在根据本发明的用于高压驱动的液晶显示器中，分配了施加有第一扫描信号的第一栅极线和施加有与第一扫描信号异相的第二扫描信号的第二栅极线。i是2以上的正整数。在水平像素行中配置的任意一个像素包括：液晶电容器，其连接在第一像素电极的第一节点和第二像素电极的第二节点之间；第一存储电容器，连接在第一节点和第三节点之间；第二存储电容器，连接在第二节点和第三节点之间；第一TFT根据第一扫描信号进行切换，以将第一数据电压施加在第一数据线上的第一数据线上。第二TFT，其根据所述第一扫描信号进行切换，以将第二数据电压施加到所述第二节点的数据线的第二数据线上；第三TFT根据第一扫描信号切换以将第二数据电压施加到第三节点；第四TFT根据第二扫描信号切换以将第一数据电压施加到第三节点；第五TFT，其根据第二扫描信号被切换以将第二数据电压施加到第二节点。