



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0129397
(43) 공개일자 2016년11월09일

- (51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G02F 1/1362 (2006.01)
G09G 3/36 (2006.01)
- (52) CPC특허분류
G02F 1/133 (2013.01)
G02F 1/136204 (2013.01)
- (21) 출원번호 10-2015-0061496
- (22) 출원일자 2015년04월30일
심사청구일자 없음

- (71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자
조성현
서울특별시 서대문구 통일로34길 43 홍제원현대아파트 105동 301호
유상희
경기도 파주시 청석로 300 청석마을대원효성아파트 916동 1402호
김상운
경기도 고양시 일산서구 하이파크로 113(덕이동, 하이파크시티일산아이파크1단지) 106동 502호
- (74) 대리인
특허법인인벤투스

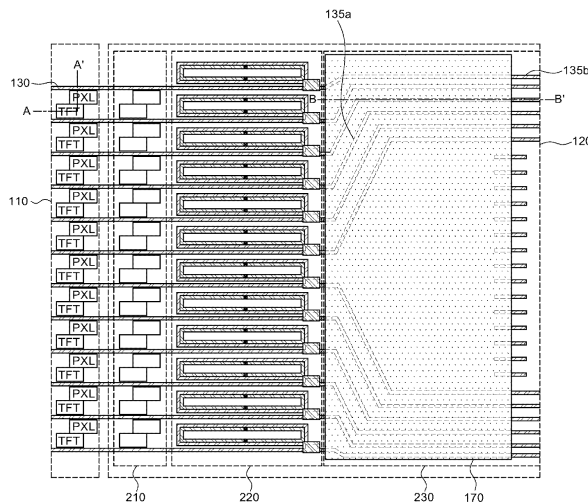
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정 표시 장치용 어레이 기판

(57) 요약

본 발명의 실시예에 따른 액정 표시 장치용 어레이 기판은 표시 영역 및 표시 영역의 외곽에 위치하는 비표시 영역을 포함하는 어레이 기판으로서, 표시 영역 내에 위치하는 게이트 전극, 반도체층 및 소스 및 드레인 전극을 포함하여 이루어진 복수 개의 박막 트랜지스터, 공통 전극 및 비표시 영역 내에 위치하는 게이트 링크 배선을 포함하고, 표시 영역의 공통 전극에 신호를 인가하는 공통 전극 신호 배선은 비표시 영역 내 위치하는 게이트 링크 배선과 중첩되어 배치되고, 게이트 전극 또는 소스 및 드레인 전극으로 이루어진 배선과 다른 제 3 도전층으로 이루어지고, 공통 전극 상에 위치하여 공통 전극과 직접 접촉하도록 배치된 액정 표시 장치용 어레이 기판인 것을 특징으로 한다.

대표도



(52) CPC특허분류

G09G 3/3648 (2013.01)

G09G 3/3677 (2013.01)

명세서

청구범위

청구항 1

표시 영역; 및

상기 표시 영역의 외곽에 위치하는 비표시 영역을 포함하고,

상기 비표시 영역은 더미 픽셀을 포함하는 영역, 정전기 방지 회로를 포함하는 영역 및 게이트 링크 배선을 포함하는 영역을 포함하며,

상기 표시 영역의 공통 전극에 신호를 인가하는 공통 전극 신호 배선은 상기 게이트 링크 배선을 포함하는 영역의 게이트 링크 배선과 중첩되어 배치된 액정 표시 장치용 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 게이트 링크 배선은 직선부와 부채꼴부를 더욱 포함하고, 상기 공통 전극 신호 배선은 상기 게이트 링크 배선의 직선부 및 부채꼴부 중 적어도 하나와 중첩되어 배치된 액정 표시 장치용 어레이 기판.

청구항 3

제 2 항에 있어서,

상기 공통 전극 신호 배선은 상기 공통 전극 상에 위치하고, 상기 공통 전극과 직접 접촉하여 전기적으로 연결된 액정 표시 장치용 어레이 기판.

청구항 4

제 3 항에 있어서,

상기 표시 영역 내에 위치하는 복수 개의 박막 트랜지스터를 더욱 포함하고, 상기 박막 트랜지스터는 게이트 전극, 반도체층 및 소스 및 드레인 전극을 포함하여 이루어지고, 상기 반도체층은 금속 산화물로 이루어진 액정 표시 장치용 어레이 기판.

청구항 5

제 4 항에 있어서

상기 공통 전극 신호 배선은 상기 박막 트랜지스터의 상기 게이트 전극 및 상기 소스 및 드레인 전극과 다른 층에 형성되고 또한 다른 물질로 형성된 액정 표시 장치용 어레이 기판.

청구항 6

제 5 항에 있어서,

상기 공통 전극 신호 배선은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo) 및 알루미늄(Al)과 몰리브덴(Mo)을 포함하는 다중층 중 어느 하나로 이루어진 액정 표시 장치용 어레이 기판.

청구항 7

제 3 항에 있어서,

상기 공통 전극 신호 배선은 단일 라인, 복수 개의 라인 및 메쉬(mesh) 형태의 라인 중 어느 하나로 이루어진 액정 표시 장치용 어레이 기판.

청구항 8

제 3 항에 있어서,

상기 공통 전극의 하부에 위치하는 제 1 보호층 및 평탄화층을 더욱 포함하는 액정 표시 장치용 어레이 기판.

청구항 9

제 8 항에 있어서,

상기 공통 전극 신호 배선을 덮도록 배치된 제 2 보호층 및 상기 제 2 보호층 상에 위치하는 보호 전극을 더욱 포함하는 액정 표시 장치용 어레이 기판.

청구항 10

표시 영역 및 상기 표시 영역의 외곽에 위치하는 비표시 영역을 포함하는 액정 표시 장치용 어레이 기판으로서, 상기 어레이 기판은,

상기 표시 영역 내에 위치하는 게이트 전극, 반도체층 및 소스 및 드레인 전극을 포함하여 이루어진 복수 개의 박막 트랜지스터 및 공통 전극; 및

상기 비표시 영역 내에 위치하는 게이트 링크 배선을 포함하고,

상기 표시 영역의 상기 공통 전극에 신호를 인가하는 공통 전극 신호 배선은 상기 비표시 영역 내 위치하는 상기 게이트 링크 배선과 중첩되어 배치되고, 상기 게이트 전극 또는 소스 및 드레인 전극으로 이루어진 배선과 다른 제 3 도전층으로 이루어지고, 상기 공통 전극 상에 위치하여 상기 공통 전극과 직접 접촉하도록 배치된 액정 표시 장치용 어레이 기판.

청구항 11

제 10 항에 있어서,

상기 게이트 전극 또는 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선을 포함하는 어레이 기판 대비 상기 게이트 링크 배선과 상기 공통 전극 신호 배선 사이에 형성되는 기생 캐패시턴스(Parasitic Capacitance)가 감소된 액정 표시 장치용 어레이 기판.

청구항 12

제 10 항에 있어서,

상기 표시 영역과 상기 게이트 링크 배선 사이에 배치된 더미 픽셀을 포함하는 영역 및 정전기 방지 회로를 포함하는 영역을 더욱 포함하는 액정 표시 장치용 어레이 기판.

청구항 13

제 12 항에 있어서,

상기 게이트 링크 배선은 직선부와 부채꼴부를 더욱 포함하고, 상기 공통 전극 신호 배선은 상기 게이트 링크 배선의 직선부 및 부채꼴부 중 적어도 하나와 중첩되어 배치된 액정 표시 장치용 어레이 기판.

청구항 14

제 13 항에 있어서,

상기 표시 영역 내 상기 공통 전극 상에 위치하는 도전성 격자 패턴을 더욱 포함하고, 상기 공통 전극 신호 배선은 상기 표시 영역 내 상기 공통 전극 상에 위치하는 상기 도전성 격자 패턴과 동일한 물질로 이루어진 액정 표시 장치용 어레이 기판.

청구항 15

제 14 항에 있어서,

상기 공통 전극 신호 배선은 단일 라인, 복수 개의 라인 및 메쉬(mesh) 형태의 라인 중 어느 하나로 이루어진 액정 표시 장치용 어레이 기판.

청구항 16

제 15 항에 있어서,

상기 공통 전극 신호 배선을 덮도록 배치된 제 2 보호층 및 상기 제 2 보호층 상에 위치하는 보호 전극을 더욱 포함하는 액정 표시 장치용 어레이 기판.

청구항 17

제 16 항에 있어서,

상기 보호 전극은 상기 표시 영역의 박막 트랜지스터와 연결되는 화소 전극과 동일한 층에 위치하고 또한 동일한 물질로 이루어진 액정 표시 장치용 어레이 기판.

청구항 18

제 17 항에 있어서,

상기 보호 전극은 ITO(Indium Tin Oxide)로 이루어진 액정 표시 장치용 어레이 기판.

청구항 19

제 12 항에 있어서,

상기 비표시 영역은 상기 표시 영역의 좌측 및 우측 외곽에 위치하고, 상기 공통 전극 신호 배선은 상기 표시 영역의 좌측 및 우측 외곽에 위치한 상기 비표시 영역에 각각 배치된 액정 표시 장치용 어레이 기판.

청구항 20

표시 영역; 및

상기 표시 영역의 외곽에 위치하는 비표시 영역을 포함하고,

상기 비표시 영역은 더미 픽셀을 포함하는 영역, 정전기 방지 회로를 포함하는 영역, 게이트 링크 배선을 포함하는 영역 및 GIP(Gate Driver In Panel)를 포함하는 영역을 포함하며,

상기 표시 영역의 공통 전극에 신호를 인가하는 공통 전극 신호 배선은 상기 게이트 링크 배선을 포함하는 영역의 게이트 링크 배선 및 상기 GIP를 포함하는 영역의 GIP 중 적어도 하나와 중첩되어 배치된 액정 표시 장치용 어레이 기판.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치용 어레이 기판에 관한 것으로서, 비표시 영역의 베젤 영역의 축소가 가능한 액정 표시 장치용 어레이 기판에 관한 것이다.

배경 기술

[0002] 본격적인 정보화 시대가 도래함에 따라, 전기적 정보 신호를 시각적으로 표시하는 디스플레이(display) 분야가 급속도로 발전하고 있다. 이에 여러 가지 다양한 평판 표시 장치(Flat Display Device)에 대해 박형화, 경량화 및 저 소비전력화 등의 성능을 개선시키기 위한 연구가 계속되고 있다.

[0003] 이와 같은 평판 표시 장치의 대표적인 예로는 액정 표시 장치(Liquid Crystal Display device: LCD), 플라즈마 표시 장치(Plasma Display Panel device: PDP), 전계 방출 표시 장치(Field Emission Display device: FED) 및 유기 발광 표시 장치(Organic Light Emitting Display device: OLED) 등을 들 수 있다.

[0004] 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 액정 표시 장치가 가장 많이 사용되고 있다. 액정 표시 장치는 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송 신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

- [0005] 액정 표시 장치(LCD)는 컬러 필터가 형성된 컬러 필터 어레이 기관, 박막 트랜지스터가 형성된 박막 트랜지스터 어레이 기관 및 컬러 필터 어레이 기관과 박막 트랜지스터 어레이 기관 사이에 형성된 액정층을 포함하여 이루어진다.
- [0006] 다양한 액정 모드의 액정 표시 장치 중에서, 수평 전계 방식의 액정 표시 장치는 하부 기관에 평행하게 배치된 화소 전극과 공통 전극 사이에 수평 전계를 형성하여 인 플레인 스위칭(In Plane Switching: IPS) 방식으로 액정층을 구동한다. 이러한 인 플레인 스위칭 방식의 액정 표시 장치는 시야각이 넓은 장점이 있으나 개구율 및 투과율이 낮은 단점을 가진다.
- [0007] 이러한 IPS 모드의 액정 표시 장치의 단점을 개선하기 위해 프린지 필드(Fringe Field)에 의해 동작되는 프린지 필드 스위칭(Fringe Field Switching: FFS) 방식의 액정 표시 장치가 제안되었다. 프린지 필드 스위칭 방식의 액정 표시 장치는 각 화소 영역에 절연층을 사이에 두고 위치하는 공통 전극과 화소 전극을 구비하고, 공통 전극과 화소 전극의 상부에 포물선 형태의 프린지 필드를 형성하도록 만든다. 프린지 필드에 의해 상부 및 하부 기관 사이에 개재된 액정 분자들이 모두 동작하게 함으로써 IPS 모드의 액정 표시 장치 대비 개구율 및 투과율이 향상된 결과를 얻을 수 있다.
- [0008] 최근에 들어 표시 장치는 경량 박형을 추구하는 동시에 최종 제품, 예를 들면 모니터 또는 텔레비전의 슬림한 디자인 구현을 위해, 표시 영역 외부의 비표시 영역의 폭으로 정의되는 베젤(Bezel) 특히, 표시 영역의 좌측 및 우측에 위치하는 비표시 영역의 폭을 최대한 줄인 네로우 베젤(Narrow Bezel)을 갖는 표시 장치가 요구되고 있다.
- [0009] 종래의 프린지 필드 스위칭(FFS) 방식의 박막 트랜지스터를 포함하는 액정 표시 장치의 어레이 기관의 경우, 표시 영역의 공통 전극에 공통 전극 신호를 인가하기 위해서, 어레이 기관의 표시 영역에 인접하여 위치하는 비표시 영역 내에 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선을 형성하고, 이후 화소 전극을 이용하여 컨택홀을 통해 공통 전극 신호 배선과 공통 전극을 연결하는 점핑(Jumping) 구조를 적용하였다.
- [0010] 또한 비표시 영역에서 소스 및 드레인 전극으로 이루어지는 공통 전극 신호 배선은 비표시 영역의 게이트 링크 배선과 소스 및 드레인 전극으로 이루어지는 공통 전극 신호 배선 사이에 형성되는 기생 캐패시턴스(Parasitic Capacitance)에 의해 발생할 수 있는 신호 지연이 균일하도록 하기 위해 표시 영역에 인접하여 위치하는 상기 게이트 링크 배선의 직선부와 중첩되도록 형성하였다.
- [0011] 그러나 상기와 같은 종래의 액정 표시 장치용 어레이 기관에 있어서, 비표시 영역 내에 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선을 형성하고, 이후 화소 전극을 이용하여 컨택홀을 통해 공통 전극 신호 배선과 공통 전극을 연결하는 연결부를 포함하는 점핑(jumping) 구조를 적용함에 따라서, 상기와 같이 넓은 폭 및 면적을 갖는 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선에 의해 어레이 기관의 비표시 영역의 폭이 증가하게 되면서 네로우 베젤(Narrow Bezel)을 구현하는데 어려움이 따르고 있다.

발명의 내용

해결하려는 과제

- [0012] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 표시 영역의 좌측 및 우측의 비표시 영역의 폭을 줄임으로써 베젤 영역의 축소가 가능한 액정 표시 장치용 어레이 기관을 제공하는데 그 목적이 있다.
- [0013] 본 발명의 실시예에 따른 해결 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0014] 본 발명의 실시예에 따라 비표시 영역의 폭을 줄임으로써 베젤 영역의 축소가 가능한 액정 표시 장치용 어레이 기관이 제공된다.
- [0015] 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관은 표시 영역 및 표시 영역의 외곽에 위치하는 비표시 영역을 포함하고, 비표시 영역은 더미 픽셀을 포함하는 영역, 정전기 방지 회로를 포함하는 영역 및 게이트 링크 배선을 포함하는 영역을 포함하며, 표시 영역의 공통 전극에 신호를 인가하는 공통 전극 신호 배선은 상기 게이트 링크 배선을 포함하는 영역의 게이트 링크 배선과 중첩되어 배치된 액정 표시 장치용 어레이 기관인 것을 특징으로 한다.

- [0016] 게이트 링크 배선은 직선부와 부채꼴부를 더욱 포함하고, 공통 전극 신호 배선은 게이트 링크 배선의 직선부 및 부채꼴부 중 적어도 하나와 중첩되어 배치될 수 있다.
- [0017] 공통 전극 신호 배선은 공통 전극 상에 위치하고, 공통 전극과 직접 접촉하여 전기적으로 연결될 수 있다.
- [0018] 표시 영역 내에 위치하는 복수 개의 박막 트랜지스터를 더욱 포함하고, 박막 트랜지스터는 게이트 전극, 반도체층 및 소스 및 드레인 전극을 포함하여 이루어지고, 반도체층은 금속 산화물로 이루어질 수 있다.
- [0019] 공통 전극 신호 배선은 박막 트랜지스터의 게이트 전극 및 소스 및 드레인 전극과 다른 층에 형성되고 또한 다른 물질로 형성될 수 있다.
- [0020] 공통 전극 신호 배선은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo) 및 알루미늄(Al)과 몰리브덴(Mo)을 포함하는 다중층 중 어느 하나로 이루어질 수 있다.
- [0021] 공통 전극 신호 배선은 단일 라인, 복수 개의 라인 및 메쉬(mesh) 형태의 라인 중 어느 하나로 이루어질 수 있다.
- [0022] 공통 전극의 하부에 위치하는 제 1 보호층 및 평탄화층을 더욱 포함할 수 있다.
- [0023] 공통 전극 신호 배선을 덮도록 배치된 제 2 보호층 및 제 2 보호층 상에 위치하는 보호 전극을 더욱 포함할 수 있다.
- [0024] 또한 다른 측면에서 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기판은 표시 영역 및 표시 영역의 외곽에 위치하는 비표시 영역을 포함하는 어레이 기판으로서, 어레이 기판은 표시 영역 내에 위치하는 게이트 전극, 반도체층 및 소스 및 드레인 전극을 포함하여 이루어진 복수 개의 박막 트랜지스터, 공통 전극 및 비표시 영역 내에 위치하는 게이트 링크 배선을 포함하고, 표시 영역의 공통 전극에 신호를 인가하는 공통 전극 신호 배선은 비표시 영역 내 위치하는 게이트 링크 배선과 중첩되어 배치되고, 게이트 전극 또는 소스 및 드레인 전극으로 이루어진 배선과 다른 제 3 도전층으로 이루어지며, 공통 전극 상에 위치하여 공통 전극과 직접 접촉하도록 배치된 액정 표시 장치용 어레이 기판인 것을 특징으로 한다.
- [0025] 게이트 전극 또는 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선을 포함하는 어레이 기판 대비 게이트 링크 배선과 공통 전극 신호 배선 사이에 형성되는 기생 캐패시턴스(Parasitic Capacitance)가 감소될 수 있다.
- [0026] 표시 영역과 게이트 링크 배선 사이에 배치된 더미 픽셀을 포함하는 영역 및 정전기 방지 회로를 포함하는 영역을 더욱 포함할 수 있다.
- [0027] 표시 영역 내 공통 전극 상에 위치하는 도전성 격자 패턴을 더욱 포함하고, 공통 전극 신호 배선은 도전성 격자 패턴과 동일한 물질로 이루어질 수 있다.
- [0028] 보호 전극은 표시 영역의 박막 트랜지스터와 연결되는 화소 전극과 동일한 층에 위치하고 또한 동일한 물질로 이루어질 수 있다.
- [0029] 보호 전극은 ITO(Indium Tin Oxide)로 이루어질 수 있다.
- [0030] 비표시 영역은 표시 영역의 좌측 및 우측 외곽에 위치하고, 공통 전극 신호 배선은 표시 영역의 좌측 및 우측 외곽에 위치한 비표시 영역에 각각 배치될 수 있다.
- [0031] 또한 또 다른 측면에서 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기판은 표시 영역 및 표시 영역의 외곽에 위치하는 비표시 영역을 포함하고, 비표시 영역은 더미 픽셀을 포함하는 영역, 정전기 방지 회로를 포함하는 영역, 게이트 링크 배선을 포함하는 영역 및 GIP(Gate Driver In Panel)를 포함하는 영역을 포함하며, 표시 영역의 공통 전극에 신호를 인가하는 공통 전극 신호 배선은 게이트 링크 배선을 포함하는 영역의 게이트 링크 배선 및 GIP를 포함하는 영역의 GIP 중 적어도 하나와 중첩되어 배치된 액정 표시 장치용 어레이 기판인 것을 특징으로 한다.

발명의 효과

- [0032] 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기판의 경우, 종래 비표시 영역 내에 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선 및 연결부를 삭제하고, 게이트 링크 배선 또는 GIP와 중첩되도록 공통 전극 상에 제 3 도전층으로 공통 전극 신호 배선을 배치함으로써, 표시 영역의 좌측 및 우측의 비표시 영역의 폭을 줄일 수 있고 베젤 영역의 축소를 통해서 네로우 베젤의 구현이 가능하다.

[0033] 본 발명의 효과는 이상에서 언급한 효과에 제한되지 않으며, 언급되지 않은 또 다른 효과는 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

[0034] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 발명의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 발명의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

[0035] 도 1은 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기판의 개략적인 평면 구조를 나타내는 도면이다.

도 2는 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기판의 표시 영역 및 비표시 영역 내 게이트 링크 배선을 포함하는 영역의 공통 전극 신호 배선을 나타내는 평면도이다.

도 3은 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기판의 표시 영역 내 박막 트랜지스터의 단면 구조 및 비표시 영역 내 게이트 링크 배선을 포함하는 영역의 공통 전극 신호 배선의 단면 구조를 나타내는 도면이다.

도 4는 본 발명의 다른 실시예에 따른 액정 표시 장치용 어레이 기판의 비표시 영역 내 게이트 링크를 포함하는 영역의 공통 전극 신호 배선의 단면 구조를 나타내는 도면이다.

도 5는 본 발명의 또 다른 실시예에 따른 액정 표시 장치용 어레이 기판의 표시 영역 및 비표시 영역 내 게이트 링크 배선을 포함하는 영역의 공통 전극 신호 배선을 나타내는 평면도이다.

도 6은 본 발명의 또 다른 실시예에 따른 액정 표시 장치용 어레이 기판의 비표시 영역 내 게이트 링크 배선을 포함하는 영역의 공통 전극 신호 배선의 단면 구조를 나타내는 도면이다.

도 7은 본 발명의 또 다른 실시예에 따른 액정 표시 장치용 어레이 기판의 비표시 영역 내 게이트 링크 배선을 포함하는 영역의 공통 전극 신호 배선의 단면 구조를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0036] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0037] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0038] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다. 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0039] 또한 제 1, 제 2 등이 다양한 구성 요소들을 서술하기 위해서 사용되나, 이들 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성 요소는 본 발명의 기술적 사상 내에서 제 2 구성 요소일 수도 있다.

[0040] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0041] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기판에 대해 상세히 설명하기로 한다.

- [0042] 도 1은 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관의 개략적인 평면 구조를 나타내는 도면이다.
- [0043] 도 1에 도시한 바와 같이, 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관(100)은 표시 영역(110) 및 표시 영역(110)의 외곽에 위치하는 비표시 영역(120)을 포함하여 구성된다. 비표시 영역(120)은 표시 영역(110)의 좌측 및 우측 외곽에 각각 위치한다.
- [0044] 도 1을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관(100)은 복수 개의 화소 영역을 정의하도록 상호 교차하여 형성되는 게이트 라인(130)과 데이터 라인(140)을 포함한다.
- [0045] 또한 표시 영역(110)은 복수 개의 화소 영역(150)에 대응하여 게이트 라인(130)과 데이터 라인(140)의 교차 영역에 형성되는 박막 트랜지스터(Thin Film Transistor: TFT) 및 복수 개의 화소 영역(150)에 대응하여 형성되고 박막 트랜지스터(TFT)에 전기적으로 연결되는 화소 전극(PXL)을 포함한다.
- [0046] 또한 공통 전극(160)은 판 형상으로 어레이 기관(100)의 전면에 걸쳐 형성되어 박막 트랜지스터(TFT)와 연결된 화소 전극(PXL)과 중첩되도록 배치된다.
- [0047] 또한 도 1을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관(100)의 비표시 영역(120)은 표시 영역(110)의 좌측 및 우측 외곽에 각각 위치한다.
- [0048] 비표시 영역(120)은 어레이 기관(100)의 일부로 형성되는 게이트 드라이버인 GIP(Gate Driver In Panel, 180)를 포함할 수 있다. GIP(180)는 게이트 라인(130)을 통해 복수 개의 박막 트랜지스터(TFT)에 각각의 게이트 신호를 공급한다. GIP(180)는 표시 영역(110)의 좌측 및 우측 외곽에 위치한 비표시 영역(120)에 각각 배치될 수 있다.
- [0049] 또한 비표시 영역(120)은 표시 영역(110)과 표시 영역(110) 내 형성된 게이트 라인(130)을 비표시 영역의 GIP(180)에 연결하는 배선인 게이트 링크 배선(135)을 포함한다.
- [0050] 또한 비표시 영역(120)은 표시 영역(110)의 박막 트랜지스터(TFT)를 포함한 화소 영역(150)과 인접하여 위치하는 더미 픽셀을 포함하는 영역, 상기 더미 픽셀을 포함하는 영역과 인접하여 위치하는 정전기 방지 회로를 포함하는 영역, 상기 정전기 방지 회로를 포함하는 영역과 인접하여 위치하는 게이트 링크 배선을 포함하는 영역 및 상기 게이트 링크 배선을 포함하는 영역과 인접하여 위치하는 GIP를 포함하는 영역을 포함하며 구성될 수 있다.
- [0051] 도 1을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관(100)의 표시 영역(110)의 공통 전극(160)에 신호를 인가하는 공통 전극 신호 배선(170)은 비표시 영역(120) 내에 위치한 게이트 링크 배선을 포함하는 영역의 게이트 링크 배선(135)과 중첩되어 배치된다. 상기 공통 전극 신호 배선(170)을 통해 외부로부터 표시 영역(110)의 공통 전극(160)에 공통 전압을 인가할 수 있다.
- [0052] 또한 본 발명의 다른 실시예에 따른 액정 표시 장치용 어레이 기관(100)의 표시 영역(110)의 공통 전극(160)에 신호를 인가하는 공통 전극 신호 배선(170)은 비표시 영역(120) 내에 위치한 GIP를 포함하는 영역의 GIP(180)와 중첩되어 배치될 수도 있다.
- [0053] 즉, 본 발명의 다른 실시예에 따른 액정 표시 장치용 어레이 기관(100)에 있어서, 표시 영역(110)의 공통 전극(160)에 신호를 인가하는 공통 전극 신호 배선(170)은 상기 게이트 링크 배선을 포함하는 영역의 게이트 링크 배선(135) 및 상기 GIP를 포함하는 영역의 GIP(180) 중 적어도 하나와 중첩되도록 배치될 수 있다.
- [0054] 또한 공통 전극 신호 배선(170)은 표시 영역(110)의 좌측 및 우측 외곽에 위치한 비표시 영역(120)에 각각 배치될 수 있다.
- [0055] 또한 어레이 기관(100)의 외부에 구비되는 데이터 드라이버(Data Driver, 190)은 데이터 라인(140)을 통해 복수 개의 박막 트랜지스터(TFT)에 각각의 데이터 신호를 공급한다.
- [0056] 도 2는 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관의 표시 영역 및 비표시 영역 내 게이트 링크 배선을 포함하는 영역의 공통 전극 신호 배선의 평면 구조를 나타내는 도면이다.
- [0057] 도 2를 참조하면 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관(100)의 표시 영역(110) 내에는 복수 개의 화소 영역에 대응하여 박막 트랜지스터(Thin Film Transistor: TFT) 및 복수 개의 화소 영역에 대응하여 형성되고 박막 트랜지스터(TFT)에 전기적으로 연결되는 화소 전극(PXL)을 포함하는 표시 화소가 형성된다.
- [0058] 또한 도 2를 참조하면, 상기 표시 영역(110)의 화소 영역과 인접하여 위치하는 비표시 영역(120)은 표시 영역(110)의 박막 트랜지스터(TFT) 및 화소 전극(PXL)을 포함하는 표시 화소와 인접하여 위치하는 더미 픽셀을 포함

하는 영역(210), 상기 더미 픽셀을 포함하는 영역(210)과 인접하여 위치하는 정전기 방지 회로를 포함하는 영역(220) 및 상기 정전기 방지 회로를 포함하는 영역(220)과 인접하여 위치하는 게이트 링크 배선을 포함하는 영역(230)을 포함하며 구성될 수 있다.

- [0059] 또한 공통 전극(160)은 어레이 기관(100) 표시 영역(110)의 전면에 걸쳐 형성되고, 또한 비표시 영역(120)의 공통 전극 신호 배선(170)의 적어도 일부와 중첩될 수 있도록 연장되어 형성된다.
- [0060] 또한 도 2를 참조하면, 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관(100)의 상기 공통 전극(160)에 신호를 인가하는 공통 전극 신호 배선(170)은 비표시 영역(120) 내에 위치한 게이트 링크 배선을 포함하는 영역(230)의 게이트 링크 배선(135a, 135b)과 중첩되어 배치된다.
- [0061] 상기 게이트 링크 배선(135)은 직선부(135a)와 부채꼴부(135b)를 포함하여 이루어질 수 있고, 공통 전극 신호 배선(170)은 게이트 링크 배선의 직선부(135a) 및 게이트 링크 배선의 부채꼴부(135b) 중 적어도 하나와 중첩되어 배치될 수 있다. 도 2를 참조하면, 게이트 링크 배선의 부채꼴부(135b)는 제 1 방향, 즉 수평 방향으로 배치되는 게이트 링크 배선의 직선부(135a)와 달리, 게이트 링크 배선이 수평 방향으로부터 임의의 각을 가지고 사선 방향으로 꺾이도록 형성된 부분을 의미한다.
- [0062] 또한 공통 전극 신호 배선(170)은 표시 영역(110)의 좌측 및 우측 외곽에 위치한 비표시 영역(120)에 각각 배치될 수 있다. 또한 도 2를 참조하면, 본 실시예에서 공통 전극 신호 배선(170)은 특정 폭을 갖는 단일 라인으로 이루어질 수 있다.
- [0063] 종래의 프린지 필드 스위칭(FFS) 방식의 박막 트랜지스터를 포함하는 액정 표시 장치의 어레이 기관의 경우, 표시 영역의 공통 전극에 공통 전극에 신호를 인가하기 위해서, 어레이 기관의 표시 영역에 인접하여 위치하는 비표시 영역 내에 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선을 형성하고, 이후 화소 전극을 이용하여 컨택홀을 통해 공통 전극 신호 배선과 공통 전극을 연결하는 연결부를 포함하는 점핑(Jumping) 구조를 적용하였다.
- [0064] 또한 비표시 영역에서 소스 및 드레인 전극으로 이루어지는 공통 전극 신호 배선은 비표시 영역의 게이트 링크 배선과 소스 및 드레인 전극으로 이루어지는 공통 전극 신호 배선 사이에 형성되는 기생 캐패시턴스(Parasitic Capacitance)에 의해 발생할 수 있는 신호 지연(Gate Line Delay)을 최소화하기 위해 표시 영역에 인접하여 위치하는 상기 게이트 링크 배선의 부채꼴부가 아닌 직선부와 중첩되도록 형성하였다.
- [0065] 즉, 상기와 같이 소스 및 드레인 전극으로 이루어지는 공통 전극 신호 배선은 더미 픽셀을 포함하는 영역과 정전기 방지 회로를 포함하는 영역 사이의 영역에서 게이트 링크 배선의 직선부와 중첩되도록 하고, 또한 소스 및 드레인 전극으로 이루어지는 공통 전극 신호 배선은 공통 전극 신호 배선의 저항 특성을 고려하여 넓은 폭 및 면적을 갖도록 형성하였다.
- [0066] 상기와 같은 종래의 액정 표시 장치용 어레이 기관에 있어서, 비표시 영역 내에 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선을 형성하고, 이후 화소 전극을 이용하여 컨택홀을 통해 공통 전극 신호 배선과 공통 전극을 연결하는 점핑(jumping) 구조를 적용함에 따라서, 상기와 같이 넓은 폭 및 면적을 갖는 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선에 의해 어레이 기관의 비표시 영역의 폭이 증가하게 되면서 네로우 베젤(Narrow Bezel)을 구현하는데 어려움이 있었다.
- [0067] 반면에, 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관(100)의 경우, 종래 비표시 영역 내에 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선 및 연결부를 삭제하고, 비표시 영역(120) 내 공통 전극(160) 상에 게이트 링크 배선을 포함하는 영역(230)의 게이트 링크 배선(135a, 135b)과 중첩되도록 제 3 도전층으로 공통 전극 신호 배선(170)을 배치한다.
- [0068] 또한 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관(100)의 경우, 공통 전극 신호 배선 및 공통 전극의 하부에 제 1 보호층 및 평탄화층이 배치됨에 따라 종래의 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선을 포함하는 어레이 기관과 대비할 때, 상기 게이트 링크 배선(135a, 135b)과 상기 공통 전극 신호 배선(170) 사이에 형성되는 기생 캐패시턴스(Parasitic Capacitance)가 감소될 수 있어, 공통 전극 신호 배선(170)은 게이트 링크 배선의 직선부(135a) 뿐만 아니라 게이트 링크 배선의 부채꼴부(135b)에도 중첩되어 배치될 수 있다. 즉, 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관(100)의 공통 전극 신호 배선(170)은 게이트 링크 배선의 직선부(135a) 및 게이트 링크 배선의 부채꼴부(135b) 중 적어도 하나와 중첩되도록 배치될 수 있다.

- [0069] 따라서 종래 비표시 영역 내에 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선 및 연결부를 삭제하고, 게이트 링크 배선과 중첩되도록 공통 전극 상에 제 3 도전층으로 공통 전극 신호 배선을 배치함으로써, 표시 영역의 좌측 및 우측의 비표시 영역의 폭을 줄일 수 있고 베젤 영역의 축소를 통해서 네로우 베젤의 구현이 가능하다.
- [0070] 또한 종래 비표시 영역 내에 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선 및 연결부를 삭제하고, GIP를 포함하는 영역의 GIP와 중첩되도록 공통 전극 상에 제 3 도전층으로 공통 전극 신호 배선을 배치하는 경우에도 비표시 영역의 폭을 줄일 수 있고 베젤 영역의 축소가 가능하다.
- [0071] 도 3은 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관의 표시 영역 내 박막 트랜지스터의 단면 구조 및 비표시 영역 내 게이트 링크 배선을 포함하는 영역의 공통 전극 신호 배선의 단면 구조를 나타내는 도면이다.
- [0072] 도 3은 앞서 도 1을 참조하여 설명한 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관(100)의 표시 영역(110) 내 화소 영역(150)의 A-A'에 따른 단면 구조 및 도 2를 참조하여 설명한 비표시 영역(120) 내 B-B'에 따른 게이트 링크 배선을 포함하는 영역(230)의 공통 전극 신호 배선(170)의 단면 구조를 나타내는 도면이다.
- [0073] 도 3을 참조하여 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관(100)의 화소 영역 내 포함된 프린지 필드 스위칭(FFS) 방식의 박막 트랜지스터 및 비표시 영역(120) 내 게이트 링크 배선을 포함하는 영역(230)의 공통 전극 신호 배선(170)의 단면 구조를 상세히 설명한다.
- [0074] 도 3을 참조하면, 우선 표시 영역(110) 내 기관(300) 상에 게이트 전극(310)이 형성된다. 또한 게이트 전극(310)은 기관(300) 상에 수평 방향인 제 1 방향으로 배열된 게이트 라인으로부터 각 화소 영역에 대응하도록 분기된 형태로 형성된다. 또한 동시에 비표시 영역(120) 내 게이트 링크 배선을 포함하는 영역(230)의 기관(300) 상에 게이트 링크 배선(310)이 형성된다.
- [0075] 다음으로, 표시 영역(110) 내 게이트 전극(310) 형성된 기관(300) 상의 전면에 게이트 전극(310)을 덮도록 형성되는 게이트 절연층(320)이 형성된다. 또한 동시에 비표시 영역(120) 내 게이트 링크 배선을 포함하는 영역(230)에서 게이트 링크 배선(310) 상에 게이트 절연층(320)이 형성된다.
- [0076] 다음으로, 표시 영역(110) 내 게이트 절연막(320) 상에 게이트 전극(310)의 적어도 일부와 오버랩되도록 반도체층(330)이 형성된다.
- [0077] 반도체층(330)은 비정질 실리콘(Amorphous Silicon), 다결정 실리콘(Poly Crystalline Silicon) 및 금속 산화물(Metal Oxide) 반도체 물질인 인듐 갈륨 징크 옥사이드(Indium Gallium Zinc Oxide: IGZO), 징크 틴 옥사이드(Zinc Tin Oxide: ZTO) 또는 징크 인듐 옥사이드(Zinc Indium Oxide: ZIO) 중 어느 하나로 이루어질 수 있다.
- [0078] 다음으로, 표시 영역(110) 내 반도체층(330)의 양측 상에 각각 오버랩하고 서로 이격되도록 위치하는 소스 전극(340a) 및 드레인 전극(340b)이 형성된다. 또한 소스 전극(340a)은 게이트 절연층(320) 상에 제 1 방향에 교차하는 수직 방향인 제 2 방향으로 배열된 데이터 라인으로부터 각 화소 영역에 대응하도록 분기된 형태로 형성된다.
- [0079] 소스 전극(340a) 및 드레인 전극(340b)은 하프톤(half tone) 마스크를 이용하여 게이트 절연층(320) 상에 순차적으로 적층되어 형성된 반도체층(230)과 함께 패터닝됨으로써 하나의 마스크 공정으로 형성될 수 있다.
- [0080] 또한 도 3을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관(100)의 화소 영역 내 포함된 프린지 필드 스위칭(FFS) 방식의 박막 트랜지스터의 표시 영역(110) 내 게이트 절연막(320) 상에 반도체층(330)과 소스 전극(340a) 및 드레인 전극(340b) 각각을 덮도록 형성되고, 하부 드레인 전극(340b)의 일부를 노출하는 컨택홀을 구비한 제 1 보호층(350)이 형성된다. 또한 동시에 비표시 영역(120) 내 게이트 링크 배선을 포함하는 영역(230)의 게이트 절연층(320) 상에 제 1 보호층(350)이 형성된다.
- [0081] 다음으로, 제 1 보호층(350) 상에 포토 아크릴(photo-acryl)과 같은 평탄한 표면을 갖는 유기 절연 물질로 이루어진 평탄화층(360)이 형성된다. 평탄화층(360)은 하부 드레인 전극(340b)의 일부를 노출하도록 컨택홀을 포함하여 구성된다. 또한 동시에 비표시 영역(120) 내 게이트 링크 배선을 포함하는 영역(230)의 제 1 보호층(350) 상에 평탄화층(360)이 형성된다.
- [0082] 다음으로, 평탄화층(360) 상에 공통 전극(370)이 형성된다. 공통 전극(370)은 기관(300)의 전면에 대응되도록

인듐 틴 옥사이드(Indium Tin Oxide: ITO)와 같은 투명 도전성 물질로 형성된다. 또한 동시에 비표시 영역(120) 내 게이트 링크 배선을 포함하는 영역(230)의 평탄화층(360) 상에 공통 전극(370)이 형성된다. 공통 전극(370)은 판 형상으로 표시 영역(100)의 전면 및 비표시 영역(120)의 게이트 링크 배선을 포함하는 영역(230)까지 연장되도록 형성된다.

- [0083] 다음으로, 공통 전극(370) 상에 제 3 도전층(375)이 형성된다. 제 3 도전층(375)은 상기 공통 전극(370)의 저항 편차를 감소시키기 위해 격자 패턴을 가지도록 형성될 수 있으며, 구리(Cu)와 같은 저저항 금속 물질로 형성될 수 있다. 또한 제 3 도전층(375)은 알루미늄(Al), 몰리브덴(Mo) 및 알루미늄(Al)과 몰리브덴(Mo)을 포함하는 다중층 중 어느 하나로 이루어질 수 있다. 또한 표시 영역(110) 내 제 3 도전층(375)이 형성됨과 동시에 비표시 영역(120) 내 게이트 링크 배선을 포함하는 영역(230)의 공통 전극(370) 상에 표시 영역(110) 내 제 3 도전층(375)으로 이루어진 격자 패턴과 동일한 물질로 이루어진 공통 전극 신호 배선(170)이 형성된다.
- [0084] 다음으로, 공통 전극(370) 및 제 3 도전층(375) 상에 제 2 보호층(380)이 형성된다. 제 2 보호층(380)은 드레인 전극(340b)의 일부를 노출시키는 콘택홀을 포함하여 구성된다. 또한 동시에 비표시 영역(120) 내 게이트 링크 배선을 포함하는 영역(230)의 공통 전극(370) 및 제 3 도전층(375)으로 이루어진 공통 전극 신호 배선(170)을 덮도록 제 2 보호층(380)이 형성된다.
- [0085] 다음으로 제 2 보호층(380) 상에 화소 전극(390)이 형성된다. 화소 전극(390)은 드레인 전극(340b)의 제 1 보호층(350), 평탄화층(360) 및 제 2 보호층(380)을 관통하여 형성된 콘택홀을 통해 드레인 전극(340b)과 연결된다.
- [0086] 도 3을 참조하여 설명한 것과 같이, 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관(100)의 공통 전극 신호 배선(170)은 종래의 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선과 다르게 소스 및 드레인 전극과 다른 층에 형성되고, 또한 소스 및 드레인 전극과 다른 물질인 제 3 도전층(375) 물질로 형성된다.
- [0087] 또한 공통 전극 신호 배선(170)은 표시 영역(110)의 외곽에 위치한 비표시 영역(120)의 게이트 링크 배선을 포함하는 영역(230)에서 게이트 링크 배선(310)과 중첩되도록 배치되고, 공통 전극(380) 상에 위치하여 공통 전극(370)과 직접 접촉하여 전기적으로 연결될 수 있다. 상기 공통 전극 신호 배선(170)은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo) 및 알루미늄(Al)과 몰리브덴(Mo)을 포함하는 다중층 중 어느 하나로 이루어질 수 있다.
- [0088] 즉, 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기관의 경우, 종래 비표시 영역 내에 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선 및 연결부를 삭제하고, 게이트 링크 배선과 중첩되도록 공통 전극 상에 제 3 도전층으로 공통 전극 신호 배선을 배치함으로써, 표시 영역의 좌측 및 우측의 비표시 영역의 폭을 줄일 수 있고 베젤 영역의 축소를 통해서 네로우 베젤의 구현이 가능하다.
- [0089] 도 4는 본 발명의 다른 실시예에 따른 액정 표시 장치용 어레이 기관의 비표시 영역 내 게이트 링크 배선을 포함하는 영역의 공통 전극 신호 배선의 단면 구조를 나타내는 도면이다.
- [0090] 도 4는 게이트 링크 배선을 포함하는 영역의 공통 전극 신호 배선의 단면 구조를 나타내는 도면이다.
- [0091] 본 실시예에 따른 액정 표시 장치용 어레이 기관을 설명함에 있어서, 이전 설명한 실시예에서와 동일 또는 대응되는 구성 요소에 대한 중복되는 설명은 생략하기로 한다.
- [0092] 도 4를 참조하면, 본 발명의 다른 실시예에 따른 액정 표시 장치용 어레이 기관의 경우, 비표시 영역(120) 내 게이트 링크 배선을 포함하는 영역(230)의 공통 전극 신호 배선(170)을 덮도록 배치되는 제 2 보호층(380) 상에 추가적으로 보호 전극(391)이 형성된다. 즉, 표시 영역(110) 내 제 2 보호층(380) 상에 화소 전극(390)을 형성함과 동시에 비표시 영역(120) 내 게이트 링크 배선을 포함하는 영역(230)의 공통 전극 신호 배선(170) 상의 제 2 보호층(380) 상에 보호 전극(391)이 형성된다.
- [0093] 상기 보호 전극(391)은 공통 전극 신호 배선(170) 상에 위치하는 제 2 보호층(380)이 손상되어 공통 전극 신호 배선(170)이 외부 환경에 노출됨으로써 전식 또는 부식에 의해 손상되는 것을 방지하는 역할을 할 수 있다. 보호 전극(391)은 표시 영역(110)의 박막 트랜지스터와 연결되는 화소 전극(390)과 동일한 물질인 ITO(Indium Tin Oxide)로 이루어질 수 있다.
- [0094] 도 5는 본 발명의 또 다른 실시예에 따른 액정 표시 장치용 어레이 기관의 표시 영역 및 비표시 영역 내 게이트 링크 배선을 포함하는 영역의 공통 전극 신호 배선의 평면 구조를 나타내는 도면이다.
- [0095] 또한 도 6은 본 발명의 또 다른 실시예에 따른 액정 표시 장치용 어레이 기관의 비표시 영역 내 게이트 링크 배선을 포함하는 영역의 공통 전극 신호 배선의 단면 구조를 나타내는 도면이다.

- [0096] 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기판을 설명함에 있어서, 이전 설명한 실시예에서와 동일 또는 대응되는 구성 요소에 대한 중복되는 설명은 생략하기로 한다.
- [0097] 도 5를 참조하면, 본 발명의 또 다른 실시예에 따른 액정 표시 장치용 어레이 기판(100)의 공통 전극(160)에 신호를 인가하는 공통 전극 신호 배선(171)은 이전 실시예에서와 동일하게 비표시 영역(120) 내에 위치한 게이트 링크 배선을 포함하는 영역(230)의 게이트 링크 배선(135a, 135b)과 중첩되어 배치된다.
- [0098] 또한 게이트 링크 배선(135)은 직선부(135a)와 부채꼴부(135b)를 포함하여 이루어질 수 있고, 공통 전극 신호 배선(171)은 게이트 링크 배선의 직선부(135a) 및 게이트 링크 배선의 부채꼴부(135b) 중 적어도 하나와 중첩되도록 배치될 수 있다.
- [0099] 도 2를 참조하여 설명한 이전 실시예에서의 공통 전극 신호 배선(171)은 특정 폭을 갖는 단일 라인으로 형성하였으나, 도 5를 참조하면, 본 실시예에서의 공통 전극 신호 배선(171)은 복수 개의 라인으로 형성되거나 또는 복수 개의 라인이 서로 연결되어 그물망의 형태를 가지는 메쉬(mesh) 형태의 라인 중 어느 하나로 형성될 수 있다.
- [0100] 도 6을 참조하면, 본 실시예에서와 같이 공통 전극 신호 배선(171)이 복수 개의 라인 또는 메쉬(mesh) 형태의 라인으로 형성되는 경우, 넓은 폭과 면적을 갖는 단일 라인으로 형성된 공통 전극 신호 배선과 대비할 때 공통 전극 신호 배선(171)이 제 2 보호층(380)의 손상에 의해 외부 환경에 노출되는 경우, 공통 전극 신호 배선(171)이 전식 또는 부식에 의해 손상되는 것을 최소화 할 수 있다.
- [0101] 도 7은 본 발명의 또 다른 실시예에 따른 액정 표시 장치용 어레이 기판의 비표시 영역 내 게이트 링크 배선을 포함하는 영역의 공통 전극 신호 배선의 단면 구조를 나타내는 도면이다.
- [0102] 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기판을 설명함에 있어서, 이전 설명한 실시예에서와 동일 또는 대응되는 구성 요소에 대한 중복되는 설명은 생략하기로 한다.
- [0103] 도 7을 참조하면, 본 실시예에서의 공통 전극 신호 배선(171)은 복수 개의 라인으로 형성되거나 또는 복수 개의 라인이 서로 연결되어 그물망의 형태를 가지는 메쉬(mesh) 형태의 라인 중 어느 하나로 형성될 수 있다.
- [0104] 상기와 같이 공통 전극 신호 배선(171)은 복수 개의 라인 또는 메쉬(mesh) 형태의 라인으로 형성되는 경우, 넓은 폭과 면적을 갖는 단일 라인으로 형성된 공통 전극 신호 배선과 대비할 때 공통 전극 신호 배선(171)이 전식 또는 부식에 의해 손상되는 것을 최소화 할 수 있다.
- [0105] 또한 도 7을 참조하면, 본 실시예에 따른 액정 표시 장치용 어레이 기판의 경우, 비표시 영역(120) 내 게이트 링크 배선을 포함하는 영역(230)의 공통 전극 신호 배선(171)을 덮도록 배치되는 제 2 보호층(380) 상에 추가적으로 보호 전극(391)이 형성된다. 즉, 표시 영역(110) 내 화소 전극(390)이 형성됨과 동시에 비표시 영역(120) 내 게이트 링크 배선을 포함하는 영역(230)의 제 2 보호층(380) 상에 보호 전극(391)이 형성된다.
- [0106] 보호 전극(391)은 공통 전극 신호 배선(171) 상에 위치하는 제 2 보호층(380)이 손상되어 공통 전극 신호 배선(171)이 전식 또는 부식에 의해 손상되는 것을 방지하는 역할을 할 수 있다. 또한 보호 전극(391)은 표시 영역의 박막 트랜지스터와 연결되는 화소 전극(390)과 동일한 물질인 ITO(Indium Tin Oxide)로 이루어질 수 있다.
- [0107] 지금까지 살펴본 바와 같이 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기판의 경우, 종래 비표시 영역 내에 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선 및 연결부를 삭제하고, 게이트 링크 배선과 중첩되도록 공통 전극 상에 제 3 도전층으로 공통 전극 신호 배선을 배치함으로써, 표시 영역의 좌측 및 우측의 비표시 영역의 폭을 줄일 수 있고 베젤 영역의 축소를 통해서 네로우 베젤의 구현이 가능하다.
- [0108] 또한 종래 비표시 영역 내에 소스 및 드레인 전극으로 이루어진 공통 전극 신호 배선 및 연결부를 삭제하고, GIP를 포함하는 영역의 GIP와 중첩되도록 공통 전극 상에 제 3 도전층으로 공통 전극 신호 배선을 배치하는 경우에도 비표시 영역의 폭을 줄일 수 있고 베젤 영역의 축소가 가능하다.
- [0109] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술 사상을 벗어나지 않는 범위 내에서 다양하게 변형되어 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포

함되는 것으로 해석되어야 할 것이다.

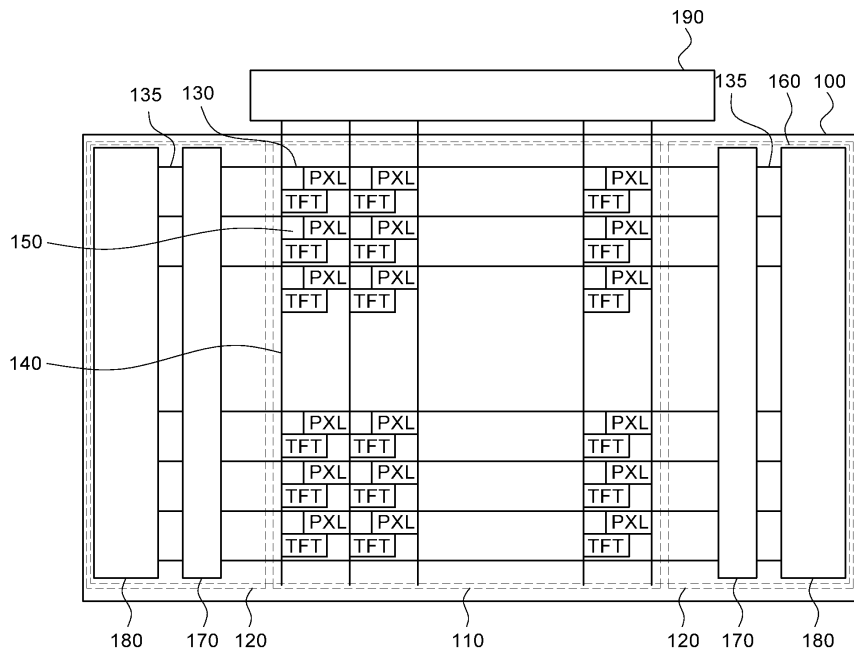
부호의 설명

[0110]

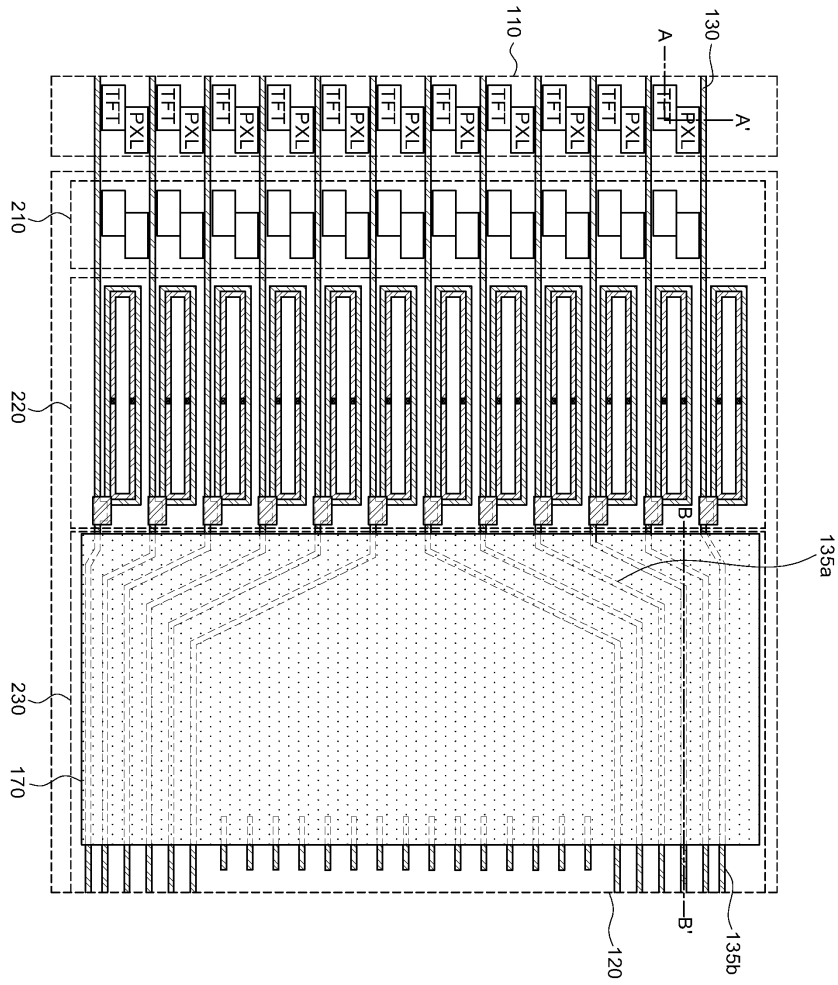
- 300 : 기관
- 310 : 게이트 전극
- 320 : 게이트 절연층
- 330 : 반도체층
- 340 : 소스 및 드레인 전극
- 350 : 제 1 보호층
- 360: 평탄화층
- 370 : 공통 전극
- 375 : 제 3 도전층
- 170 : 공통 전극 신호 배선
- 380 : 제 2 보호층
- 390 : 화소 전극
- 391 : 보호 전극

도면

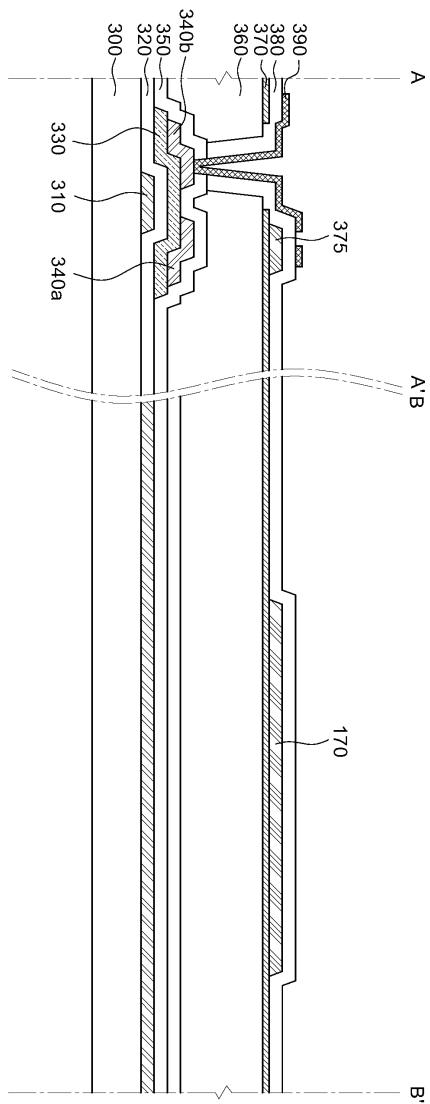
도면1



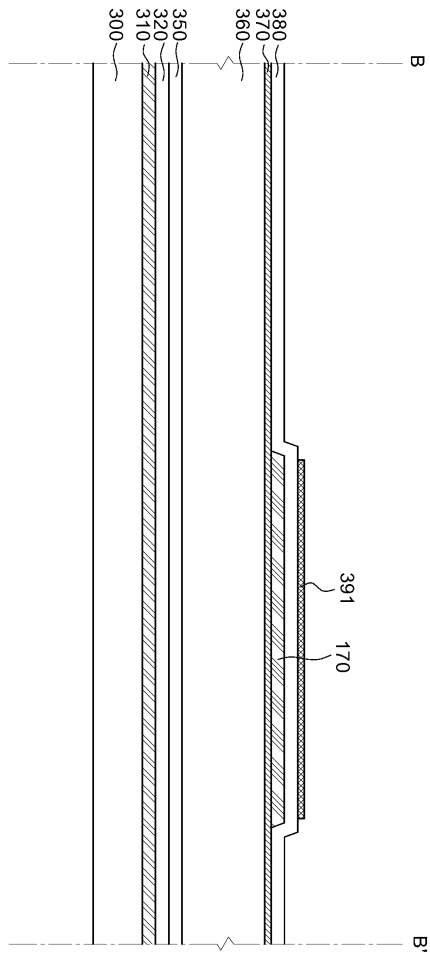
도면2



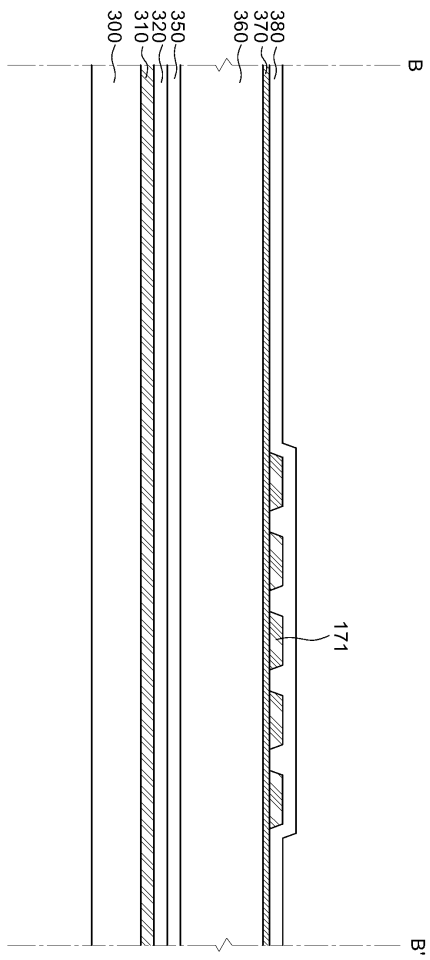
도면3



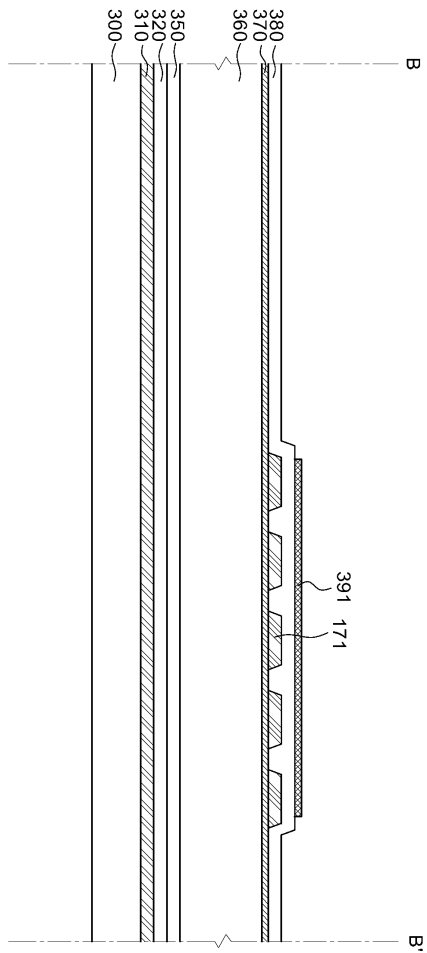
도면4



도면6



도면7



专利名称(译)	一种用于液晶显示器的阵列基板		
公开(公告)号	KR1020160129397A	公开(公告)日	2016-11-09
申请号	KR1020150061496	申请日	2015-04-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JO SUNG HYUN 조성현 YU SANG HEE 유상희 KIM SANG WOON 김상운		
发明人	조성현 유상희 김상운		
IPC分类号	G02F1/133 G02F1/1362 G09G3/36		
CPC分类号	G02F1/133 G02F1/136204 G09G3/3648 G09G3/3677		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的用于液晶显示器的阵列基板是包括显示区域和位于显示区域的外围的非显示区域的阵列基板，并且包括栅电极，半导体层以及源电极和漏电极。并且用于将信号施加到显示区域的公共电极的公共电极信号布线与位于非显示区域中的栅极链接布线重叠和第三导电层，其不同于栅电极或由源电极和漏电极组成的布线，并且布置在公共电极上并且布置成与公共电极直接接触。

