



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0077175
(43) 공개일자 2016년07월01일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/3648 (2013.01)
G09G 3/3607 (2013.01)
(21) 출원번호 10-2016-7014120
(22) 출원일자(국제) 2014년01월03일
심사청구일자 2016년05월27일
(85) 번역문제출일자 2016년05월27일
(86) 국제출원번호 PCT/CN2014/070115
(87) 국제공개번호 WO 2015/089914
국제공개일자 2015년06월25일
(30) 우선권주장
201310700186.7 2013년12월18일 중국(CN)

(71) 출원인
센젠 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
중국 광둥, 센젠, 구앙밍 디스트릭트, 탕밍 로드, 넘버 9-2
(72) 발명자
위, 샤오장
중국 광둥 518132, 선전 광밍 디스트릭트, 탕밍 로드, 넘버 9-2
리, 창예
중국 광둥 518132, 선전 광밍 디스트릭트, 탕밍 로드, 넘버 9-2
라이, 쯔지에
중국 광둥 518132, 선전 광밍 디스트릭트, 탕밍 로드, 넘버 9-2
(74) 대리인
특허법인 티앤아이

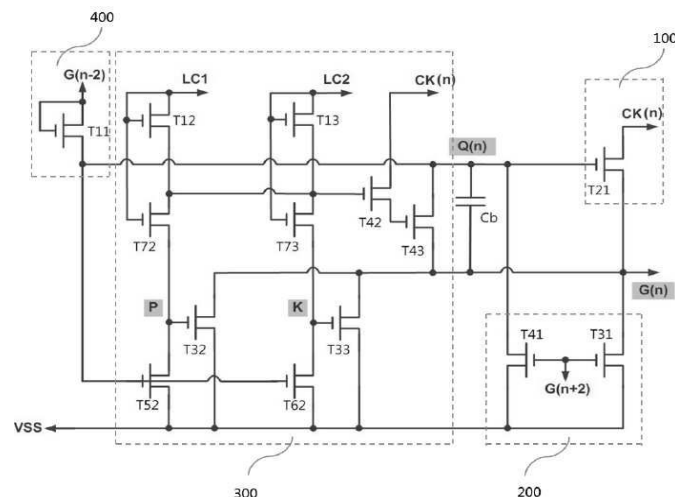
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 액정 디스플레이용 GOA회로 및 디스플레이 장치

(57) 요약

액정 디스플레이용 GOA회로는 직렬 연결된 복수개의 GOA유닛을 포함하고, 제n단계 GOA유닛은 풀업회로(100), 풀다운회로(200), 풀다운유지회로(300), 풀업제어회로(400) 및 부트스트랩 커패시터(Cb)를 포함한다. 작동 시, 제n단계 클럭신호(CK(n)), 제1 및 제2클럭신호(LC1, LC2)가 각각 입력되고, 상기 제1클럭신호(LC1) 및 상기 제2클럭신호(LC2)의 주파수는 상기 제n단계 클럭신호(CK(n)) 보다 낮으며, 상기 제1클럭신호(LC1)의 상기 제1회로 포인 트(P)에 대한 충전 및 상기 제2클럭신호(LC2)의 상기 제2회로 포인트(K)에 대한 충전은 번갈아 진행된다. 상기 GOA회로는 저주파 클럭신호와 고주파 클럭신호를 통해 수평스캔라인의 충전에 영향을 주는 게이트(Q(n))의 전압을 정확히 제어하므로, GOA충전신호의 안정적인 출력을 보장한다.

대 표 도 - 도1



(52) CPC특허분류

G09G 3/3674 (2013.01)

G09G 3/3677 (2013.01)

G09G 3/3688 (2013.01)

G09G 2300/0809 (2013.01)

G09G 2310/0248 (2013.01)

G09G 2310/027 (2013.01)

G09G 2310/0286 (2013.01)

G09G 2320/0242 (2013.01)

G09G 2320/0252 (2013.01)

명세서

청구범위

청구항 1

직렬 연결된 복수개의 GOA유닛을 포함하고, 제n단계 GOA유닛에 따라 디스플레이 영역의 제n단계 수평스캔라인에 대한 충전을 제어하며, 상기 제n단계 GOA유닛은 풀업회로, 풀다운회로, 풀다운유지회로, 풀업제어회로 및 부트스트랩 캐패시터를 포함하며, 상기 풀업회로, 풀다운회로, 풀다운유지회로 및 부트스트랩 캐패시터는 각각 게이트신호 포인트 및 상기 제n단계 수평스캔라인과 연결되고, 상기 풀업제어회로는 상기 게이트신호 포인트와 연결되는 액정 디스플레이용 GOA회로에 있어서,

상기 풀다운유지회로는,

게이트는 제1회로 포인트와 연결되며, 드레인 및 소스는 각각 상기 제n단계 수평스캔라인과 연결되고 직류 저전압이 입력되는 제1박막트랜지스터;

게이트는 제2회로 포인트와 연결되며, 드레인 및 소스는 각각 상기 제n단계 수평스캔라인과 연결되고 직류 저전압이 입력되는 제2박막트랜지스터;

게이트는 상기 게이트신호 포인트와 연결되며, 드레인 및 소스는 각각 상기 제1회로 포인트와 연결되고 상기 직류 저전압이 입력되는 제3박막트랜지스터;

게이트는 상기 게이트신호 포인트와 연결되며, 드레인 및 소스는 각각 상기 제2회로 포인트와 연결되고 상기 직류 저전압이 입력되는 제4박막트랜지스터;

드레인 및 소스가 각각 상기 게이트신호 포인트 및 제n단계 수평스캔라인과 연결되는 제5박막트랜지스터;

드레인 및 소스가 각각 제n단계 클럭신호가 입력되고 상기 제5박막트랜지스터와 연결되는 제6박막트랜지스터;

게이트는 제1클럭신호가 입력되고, 드레인 및 소스가 각각 상기 제6박막트랜지스터의 게이트 및 상기 제1회로 포인트와 연결되는 제7박막트랜지스터;

게이트는 제2클럭신호가 입력되고, 드레인 및 소스가 각각 상기 제6박막트랜지스터의 게이트 및 상기 제2회로 포인트와 연결되는 제8박막트랜지스터;

게이트는 상기 제1클럭신호가 입력되고, 드레인 및 소스는 각각 상기 제1클럭신호가 입력되고 상기 제6박막트랜지스터의 게이트와 연결되는 제9박막트랜지스터;

게이트는 상기 제2클럭신호가 입력되고, 드레인 및 소스는 각각 상기 제2클럭신호가 입력되고 상기 제6박막트랜지스터의 게이트와 연결되는 제10박막트랜지스터를 포함하고;

작동 시, 상기 제1클럭신호와 상기 제2클럭신호의 주파수는 상기 제n단계 클럭신호보다 낮으며, 상기 제1클럭신호의 상기 제1회로 포인트에 대한 충전 및 상기 제2클럭신호의 상기 제2회로포인트에 대한 충전이 번갈아 진행되는 액정 디스플레이의 GOA회로.

청구항 2

제1항에 있어서,

상기 풀업회로는 게이트가 상기 게이트신호 포인트와 연결되고, 드레인 및 소스는 각각 상기 제n단계 클럭신호가 입력되고 상기 제n단계 수평스캔라인과 연결되는 제11박막트랜지스터를 포함하는 액정 디스플레이의 GOA회로.

청구항 3

제1항에 있어서,

상기 풀다운회로는 게이트가 제(n+2)단계 수평스캔라인과 연결되고, 드레인 및 소스는 각각 상기 제n단계 수평스캔라인과 연결되며 상기 직류 저전압이 입력되는 제12박막트랜지스터; 및 게이트가 상기 제(n+2)단계 수평스

캔라인과 연결되고, 드레인 및 소스는 각각 상기 게이트신호 포인트와 연결되고 상기 직류 저전압이 입력되는 제13박막트랜지스터를 포함하는 액정 디스플레이의 GOA회로.

청구항 4

제1항에 있어서,

상기 풀업제어회로는 게이트가 제(n-2)단계 수평스캔라인과 연결되고, 드레인 및 소스는 각각 상기 제(n-2)단계 수평스캔라인 및 상기 게이트신호 포인트와 연결되는 제14박막트랜지스터를 포함하는 액정 디스플레이의 GOA회로.

청구항 5

제1항에 있어서,

상기 제n단계 클럭신호의 충격 계수는 40%인 액정 디스플레이의 GOA회로.

청구항 6

제1항에 있어서,

상기 제1클럭신호는 공통의 금속라인을 통해 상기 직렬 연결된 복수개의 GOA유닛에 입력되는 액정 디스플레이의 GOA회로.

청구항 7

제1항에 있어서,

상기 제2클럭신호는 공통의 금속라인을 통해 상기 직렬 연결된 복수개의 GOA유닛에 입력되는 액정 디스플레이의 GOA회로.

청구항 8

제1항에 있어서,

상기 직류 저전압은 공통의 금속라인을 통해 상기 직렬 연결된 복수개의 GOA유닛에 입력되는 액정 디스플레이의 GOA회로.

청구항 9

액정 디스플레이의 GOA회로는 제n단계 GOA유닛을 따라 디스플레이 영역의 제n단계 수평스캔라인에 대한 충전을 제어하는 직렬 연결된 복수개의 GOA유닛을 포함하고, 상기 제n단계 GOA유닛은 풀업회로, 풀다운회로, 풀다운유지회로, 풀업제어회로 및 부트스트랩 캐패시터를 포함하며, 상기 풀업회로, 풀다운회로, 풀다운유지회로 및 부트스트랩 캐패시터는 각각 게이트신호 포인트 및 상기 제n단계 수평스캔라인과 연결되고, 상기 풀업제어회로는 상기 게이트신호 포인트와 연결되는 액정 디스플레이의 GOA회로에 있어서,

상기 풀다운유지회로는,

게이트는 제1회로 포인트와 연결되며, 드레인 및 소스는 각각 상기 제n단계 수평스캔라인과 연결되고 직류 저전압이 입력되는 제1박막트랜지스터;

게이트는 제2회로 포인트와 연결되며, 드레인 및 소스는 각각 상기 제n단계 수평스캔라인과 연결되고 직류 저전압이 입력되는 제2박막트랜지스터;

게이트는 상기 게이트신호 포인트와 연결되며, 드레인 및 소스는 각각 상기 제1회로 포인트와 연결되고 상기 직류 저전압이 입력되는 제3박막트랜지스터;

게이트는 상기 게이트신호 포인트와 연결되며, 드레인 및 소스는 각각 상기 제2회로 포인트와 연결되고 상기 직류 저전압이 입력되는 제4박막트랜지스터;

드레인 및 소스가 각각 상기 게이트신호 포인트 및 제n단계 수평스캔라인과 연결되는 제5박막트랜지스터;

드레인 및 소스는 각각 제n단계 클럭신호가 입력되고 상기 제5박막트랜지스터와 연결되는 제6박막트랜지스터;

게이트는 제1클럭신호가 입력되고, 드레인 및 소스가 각각 상기 제6박막트랜지스터의 게이트 및 상기 제1회로 포인트와 연결되는 제7박막트랜지스터;

게이트는 제2클럭신호가 입력되고, 드레인 및 소스가 각각 상기 제6박막트랜지스터의 게이트 및 상기 제2회로 포인트와 연결되는 제8박막트랜지스터;

게이트는 상기 제1클럭신호가 입력되고, 드레인 및 소스는 각각 상기 제1클럭신호가 입력되고 상기 제6박막트랜지스터의 게이트와 연결되는 제9박막트랜지스터;

게이트는 상기 제2클럭신호가 입력되고, 드레인 및 소스는 각각 상기 제2클럭신호가 입력되고 상기 제6박막트랜지스터의 게이트와 연결되는 제10박막트랜지스터를 포함하고;

작동 시, 상기 제1클럭신호와 상기 제2클럭신호의 주파수는 상기 제n단계 클럭신호보다 낮으며, 상기 제1클럭신호의 상기 제1회로 포인트에 대한 충전 및 상기 제2클럭신호의 상기 제2회로포인트에 대한 충전이 번갈아 진행되고;

상기 풀업회로는 게이트가 상기 게이트신호 포인트와 연결되고, 드레인 및 소스는 각각 상기 제n단계 클럭신호가 입력되고 상기 제n단계 수평스캔라인과 연결되는 제11박막트랜지스터를 포함하고;

상기 풀다운회로는 게이트가 제(n+2)단계 수평스캔라인과 연결되고, 드레인 및 소스는 각각 상기 제n단계 수평스캔라인과 연결되며 상기 직류 저전압이 입력되는 제12박막트랜지스터; 및 상기 제(n+2)단계 수평스캔라인을 게이트 연결하고, 드레인 및 소스는 각각 상기 게이트신호 포인트와 연결되고 상기 직류 저전압이 입력되는 제13박막트랜지스터를 포함하는 액정 디스플레이의 GOA회로.

청구항 10

제9에 있어서,

상기 풀업제어회로는 게이트가 제(n-2)단계 수평스캔라인과 연결되고, 드레인 및 소스는 각각 상기 제(n-2)단계 수평스캔라인 및 상기 게이트신호 포인트와 연결되는 제14박막트랜지스터를 포함하는 액정 디스플레이의 GOA회로.

청구항 11

제9항에 있어서,

상기 제n단계 클럭신호의 충격 계수는 40%인 액정 디스플레이의 GOA회로.

청구항 12

제9항에 있어서,

상기 제1클럭신호는 공통의 금속라인을 통해 상기 직렬 연결된 복수개의 GOA유닛에 입력되는 액정 디스플레이의 GOA회로.

청구항 13

제9항에 있어서,

상기 제2클럭신호는 공통의 금속라인을 통해 상기 직렬 연결된 복수개의 GOA유닛에 입력되는 액정 디스플레이의 GOA회로.

청구항 14

제9항에 있어서,

상기 직류 저전압은 공통의 금속라인을 통해 상기 직렬 연결된 복수개의 GOA유닛에 입력되는 액정 디스플레이의 GOA회로.

청구항 15

제1항에 따른 액정 디스플레이용 GOA회로를 포함하는 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 디스플레이 기술분야에 관한 것으로서, 특히 액정 디스플레이용 GOA(Gate Driver on Array, 게이트 드라이버 온 어레이)회로 및 디스플레이 장치에 관한 것이다.

배경 기술

[0002] 액정 디스플레이는 얇은 몸체, 저전력 소모, 무방사선 등 다양한 장점이 있어, 광범위하게 적용되고 있다. 현재 시중의 액정 디스플레이는 대부분 백라이트형 액정 디스플레이로서, 액정 디스플레이 패널 및 백라이트 모듈(backlight module)을 포함한다. 액정 패널의 작동 원리는 두 장의 평행한 유리기관에 액정분자를 설치하고, 두 장의 유리기관에 구동전압을 인가하여 액정분자의 회전방향을 제어함으로써, 백라이트 모듈의 빛을 굴절시켜 화면을 생성하는 것이다.

[0003] 능동 액정 디스플레이에서, 각각의 화소는 게이트(Gate)가 수평스캔라인에 연결되고, 드레인(Drain)이 수직 방향의 데이터라인에 연결되며, 소스(Source)가 화소전극에 연결되는 하나의 박막트랜지스터(TFT)를 구비한다. 수평전극라인에 충분한 전압을 인가하면, 상기 라인상의 모든 TFT를 턴온시킬 수 있고, 이때, 상기 수평스캔라인상의 화소전극은 수직방향의 데이터라인과 연결되므로, 데이터라인 상의 디스플레이 신호 전압을 화소에 기록하여, 다른 액정의 투광도를 제어하여 컬러를 제어하는 효과를 달성한다. 현재의 능동형 액정 디스플레이 패널의 수평스캔라인의 구동은 주로 패널 외부에 접속되는 IC로 완성되며, 외부 접속되는 IC는 각 단계의 수평스캔라인의 단계별 충전 및 방전을 제어할 수 있다. 또한 GOA기술, 즉 Gate Driver on Array(게이트 드라이버 온 어레이) 기술은 액정 디스플레이 패널의 고유 제조공정을 적용하여 수평스캔라인의 구동회로를 디스플레이 영역의 주위 기관 상에 제조하여, 외부 접속 IC를 대체하도록 함으로써 수평스캔라인의 구동을 완성할 수 있다. GOA 기술은 외부 접속 IC의 본딩(bonding)공정을 감소시킬 수 있고, 생산능력을 향상시키고 제품 원가를 낮출 수 있으며, 액정 디스플레이 패널을 내로우 배젤 혹은 베젤이 없는 액정 디스플레이 제품으로 제조하기에 더욱 적합하다.

[0004] 종래의 GOA회로는 일반적으로 직렬 연결된 복수의 GOA유닛을 포함하고, 각 단계의 GOA유닛은 수평스캔라인과 대응되어 구동한다. GOA유닛의 주요 구조는 풀업회로(Pull-up part), 풀업제어회로(Pull-up control part), 전송부(Transfer part), 풀다운회로(Key Pull-down part)와 풀다운유지회로(Pull-down Holding part) 및 전위를 상승시키는 부스트(Boost) 캐패시터를 포함한다. 풀업회로는 주로 클럭신호(Clock)를 게이트(Gate)신호로 출력하고; 풀업제어회로는 풀업회로의 턴 온 시간을 제어하며, 일반적으로 전 단계의 GOA회로로부터 전달된 전송신호 혹은 Gate 신호와 연결되고; 풀다운회로는 첫 번째 시점에서 Gate를 저전위로 풀다운시키는 것을 담당하며, 즉 Gate 신호를 차단하고; 풀다운유지회로는 Gate 출력신호 및 풀업회로의 Gate신호(일반적으로 Q 포인트라 칭함)를 차단 상태(즉, 음전위)에 있도록 유지(Holding)하고, 일반적으로 두 개의 풀다운 유지 모듈은 번갈아 가며 작동한다. 부스트캐패시터(C boost)는 Q 포인트의 2차 상승을 책임지므로, 풀업회로의 G(N)출력에 유리하다.

[0005] GOA회로의 목적은 집적회로가 출력한 스캔 파형을 회로를 조작하는 방식으로 출력하여, 화소 스위치를 턴온시킴으로써 산화 인듐 주석(ITO) 전극에 데이터신호를 입력하기 위한 것이다. 데이터신호의 입력완료 후, 데이터신호 콘텐츠를 다음 프레임이 턴온할 때까지 유지시킨다. 회로 조작 과정에서, 하나의 스캔회로가 턴온된 후 남은 시간동안 프레임이 모두 오프되고, 스캔회로가 턴오프(유지)된 시간이 스캔시간보다 매우 길기 때문에, GOA회로의 박막트랜지스터의 안정성에 대한 특정한 요구도 매우 높다. GOA회로 충전신호의 안정적인 출력을 보장하기 위해, GOA회로의 수평스캔라인 충전에 영향을 주는 박막트랜지스터의 게이트Q(n)의 전압을 정확하게 제어할 수 있는 기술적 해결 방안이 시급하다.

발명의 내용

해결하려는 과제

[0006] 따라서, 본 발명의 목적은 저주파 클럭신호 및 고주파 클럭신호를 통하여 수평스캔라인의 충전에 영향을 주는 박막트랜지스터의 게이트(Q(n))전압을 정확하게 제어함으로써, GOA 충전신호의 안정적인 출력을 보장하는 액정 디스플레이용 GOA회로를 제공하는 것이다.

[0007] 본 발명의 또 다른 목적은 저주파 클럭신호 및 고주파 클럭신호를 통하여 수평스캔라인의 충전에 영향을 주는 박막트랜지스터의 게이트(Q(n))전압을 정확하게 제어함으로써, GOA충전신호의 안정적인 출력을 보장하는 상기 GOA회로를 적용한 액정 디스플레이 장치를 제공하는 것이다.

과제의 해결 수단

[0008] 직렬 연결된 복수개의 GOA유닛을 포함하고, 제n단계 GOA유닛에 따라 디스플레이 영역의 제n단계 수평스캔라인에 대한 충전을 제어하며, 상기 제n단계 GOA유닛은 풀업회로, 풀다운회로, 풀다운유지회로, 풀업제어회로 및 부트스트랩 캐패시터를 포함하며, 상기 풀업회로, 풀다운회로, 풀다운유지회로 및 부트스트랩 캐패시터는 각각 게이트신호 포인트 및 상기 제n단계 수평스캔라인과 연결되고, 상기 풀업제어회로는 상기 게이트신호 포인트와 연결되는 액정 디스플레이용 GOA회로에 있어서,

[0009] 상기 풀다운유지회로는,

[0010] 게이트는 제1회로 포인트와 연결되며, 드레인 및 소스는 각각 상기 제n단계 수평스캔라인과 연결되고 직류 저전압이 입력되는 제1박막트랜지스터;

[0011] 게이트는 제2회로 포인트와 연결되며, 드레인 및 소스는 각각 상기 제n단계 수평스캔라인과 연결되고 직류 저전압이 입력되는 제2박막트랜지스터;

[0012] 게이트는 상기 게이트신호 포인트와 연결되며, 드레인 및 소스는 각각 상기 제1회로 포인트와 연결되고 상기 직류 저전압이 입력되는 제3박막트랜지스터;

[0013] 게이트는 상기 게이트신호 포인트와 연결되며, 드레인 및 소스는 각각 상기 제2회로 포인트와 연결되고 상기 직류 저전압이 입력되는 제4박막트랜지스터;

[0014] 드레인 및 소스가 각각 상기 게이트신호 포인트 및 제n단계 수평스캔라인과 연결되는 제5박막트랜지스터;

[0015] 드레인 및 소스가 각각 제n단계 클럭신호가 입력되고 상기 제5박막트랜지스터와 연결되는 제6박막트랜지스터;

[0016] 게이트는 제1클럭신호가 입력되고, 드레인 및 소스가 각각 상기 제6박막트랜지스터의 게이트 및 상기 제1회로 포인트와 연결되는 제7박막트랜지스터;

[0017] 게이트는 제2클럭신호가 입력되고, 드레인 및 소스가 각각 상기 제6박막트랜지스터의 게이트 및 상기 제2회로 포인트와 연결되는 제8박막트랜지스터;

[0018] 게이트는 상기 제1클럭신호가 입력되고, 드레인 및 소스는 각각 상기 제1클럭신호가 입력되고 상기 제6박막트랜지스터의 게이트와 연결되는 제9박막트랜지스터;

[0019] 게이트는 상기 제2클럭신호가 입력되고, 드레인 및 소스는 각각 상기 제2클럭신호가 입력되고 상기 제6박막트랜지스터의 게이트와 연결되는 제10박막트랜지스터를 포함하고;

[0020] 작동 시, 상기 제1클럭신호와 상기 제2클럭신호의 주파수는 상기 제n단계 클럭신호보다 낮으며, 상기 제1클럭신호의 상기 제1회로 포인트에 대한 충전 및 상기 제2클럭신호의 상기 제2회로포인트에 대한 충전이 번갈아 진행되는 액정 디스플레이용 GOA회로를 제공한다.

[0021] 상기 풀업회로는 게이트가 상기 게이트신호 포인트와 연결되고, 드레인 및 소스는 각각 상기 제n단계 클럭신호가 입력되고 상기 제n단계 수평스캔라인과 연결되는 제11박막트랜지스터를 포함한다.

[0022] 상기 풀다운회로는 게이트가 제(n+2)단계 수평스캔라인과 연결되고, 드레인 및 소스는 각각 상기 제n단계 수평스캔라인과 연결되며 상기 직류 저전압이 입력되는 제12박막트랜지스터; 및 게이트가 상기 제(n+2)단계 수평스캔라인과 연결되고, 드레인 및 소스는 각각 상기 게이트신호 포인트와 연결되고 상기 직류 저전압이 입력되는 제13박막트랜지스터를 포함한다.

[0023] 상기 풀업제어회로는 게이트가 제(n-2)단계 수평스캔라인과 연결되고, 드레인 및 소스는 각각 상기 제(n-2)단계 수평스캔라인 및 상기 게이트신호 포인트와 연결되는 제14박막트랜지스터를 포함한다.

[0024] 상기 제n단계 클럭신호의 충격 계수는 40%이다.

[0025] 상기 제1클럭신호는 공통의 금속라인을 통해 상기 직렬 연결된 복수개의 GOA유닛에 입력된다.

[0026] 상기 제2클럭신호는 공통의 금속라인을 통해 상기 직렬 연결된 복수개의 GOA유닛에 입력된다.

- [0027] 상기 직류 저전압은 공통의 금속라인을 통해 상기 직렬 연결된 복수개의 GOA유닛에 입력된다.
- [0028] 액정 디스플레이의 GOA회로는 제n단계 GOA유닛을 따라 디스플레이 영역의 제n단계 수평스캔라인에 대한 충전을 제어하는 직렬 연결된 복수개의 GOA유닛을 포함하고, 상기 제n단계 GOA유닛은 풀업회로, 풀다운회로, 풀다운유지회로, 풀업제어회로 및 부트스트랩 캐패시터를 포함하며, 상기 풀업회로, 풀다운회로, 풀다운유지회로 및 부트스트랩 캐패시터는 각각 게이트신호 포인트 및 상기 제n단계 수평스캔라인과 연결되고, 상기 풀업제어회로는 상기 게이트신호 포인트와 연결되는 액정 디스플레이의 GOA회로에 있어서,
- [0029] 상기 풀다운유지회로는,
- [0030] 게이트는 제1회로 포인트와 연결되며, 드레인 및 소스는 각각 상기 제n단계 수평스캔라인과 연결되고 직류 저전압이 입력되는 제1박막트랜지스터;
- [0031] 게이트는 제2회로 포인트와 연결되며, 드레인 및 소스는 각각 상기 제n단계 수평스캔라인과 연결되고 직류 저전압이 입력되는 제2박막트랜지스터;
- [0032] 게이트는 상기 게이트신호 포인트와 연결되며, 드레인 및 소스는 각각 상기 제1회로 포인트와 연결되고 상기 직류 저전압이 입력되는 제3박막트랜지스터;
- [0033] 게이트는 상기 게이트신호 포인트와 연결되며, 드레인 및 소스는 각각 상기 제2회로 포인트와 연결되고 상기 직류 저전압이 입력되는 제4박막트랜지스터;
- [0034] 드레인 및 소스가 각각 상기 게이트신호 포인트 및 제n단계 수평스캔라인과 연결되는 제5박막트랜지스터;
- [0035] 드레인 및 소스는 각각 제n단계 클럭신호가 입력되고 상기 제5박막트랜지스터와 연결되는 제6박막트랜지스터;
- [0036] 게이트는 제1클럭신호가 입력되고, 드레인 및 소스가 각각 상기 제6박막트랜지스터의 게이트 및 상기 제1회로 포인트와 연결되는 제7박막트랜지스터;
- [0037] 게이트는 제2클럭신호가 입력되고, 드레인 및 소스가 각각 상기 제6박막트랜지스터의 게이트 및 상기 제2회로 포인트와 연결되는 제8박막트랜지스터;
- [0038] 게이트는 상기 제1클럭신호가 입력되고, 드레인 및 소스는 각각 상기 제1클럭신호가 입력되고 상기 제6박막트랜지스터의 게이트와 연결되는 제9박막트랜지스터;
- [0039] 게이트는 상기 제2클럭신호가 입력되고, 드레인 및 소스는 각각 상기 제2클럭신호가 입력되고 상기 제6박막트랜지스터의 게이트와 연결되는 제10박막트랜지스터를 포함하고;
- [0040] 작동 시, 상기 제1클럭신호와 상기 제2클럭신호의 주파수는 상기 제n단계 클럭신호보다 낮으며, 상기 제1클럭신호의 상기 제1회로 포인트에 대한 충전 및 상기 제2클럭신호의 상기 제2회로포인트에 대한 충전이 번갈아 진행되고;
- [0041] 상기 풀업회로는 게이트가 상기 게이트신호 포인트와 연결되고, 드레인 및 소스는 각각 상기 제n단계 클럭신호가 입력되고 상기 제n단계 수평스캔라인과 연결되는 제11박막트랜지스터를 포함하고;
- [0042] 상기 풀다운회로는 게이트가 제(n+2)단계 수평스캔라인과 연결되고, 드레인 및 소스는 각각 상기 제n단계 수평스캔라인과 연결되며 상기 직류 저전압이 입력되는 제12박막트랜지스터; 및 상기 제(n+2)단계 수평스캔라인을 게이트 연결하고, 드레인 및 소스는 각각 상기 게이트신호 포인트와 연결되고 상기 직류 저전압이 입력되는 제13박막트랜지스터를 포함하는 액정 디스플레이용 GOA회로를 더 제공한다.
- [0043] 상기 풀업제어회로는 게이트가 제(n-2)단계 수평스캔라인과 연결되고, 드레인 및 소스는 각각 상기 제(n-2)단계 수평스캔라인 및 상기 게이트신호 포인트와 연결되는 제14박막트랜지스터를 포함한다.
- [0044] 상기 제n단계 클럭신호의 충격 계수는 40%이다.
- [0045] 상기 제1클럭신호는 공통의 금속라인을 통해 상기 직렬 연결된 복수개의 GOA유닛에 입력된다.
- [0046] 상기 제2클럭신호는 공통의 금속라인을 통해 상기 직렬 연결된 복수개의 GOA유닛에 입력된다.
- [0047] 상기 직류 저전압은 공통의 금속라인을 통해 상기 직렬 연결된 복수개의 GOA유닛에 입력된다.
- [0048] 본 발명은 위에서 언급한 상기 액정 디스플레이용 GOA회로를 포함하는 디스플레이 장치를 더 제공한다.

발명의 효과

- [0049] 본 발명의 액정 디스플레이용 GOA회로 및 디스플레이 장치는 저주파 클럭신호와 고주파 클럭신호를 통해 수평스캔라인의 충전에 영향을 주는 박막트랜지스터 게이트Q(n)의 충전시기 및 비충전시기의 전압을 정확하게 제어함으로써, GOA 충전신호의 안정적인 출력을 보장하며; 본 발명의 GOA회로를 적용하여 낮은 원가의 내로우 배젤 혹은 베젤이 없는 액정 디스플레이 장치를 제조할 수 있다.

도면의 간단한 설명

- [0050] 이하 첨부도면을 결합하여, 본 발명의 구체적인 실시예에 대해 상세히 설명하며, 본 발명의 기술 방안 및 기타 유익한 효과가 자명해질 것이다.

도면 중,

도 1은 본 발명의 액정 디스플레이용 GOA회로(단일 단계)의 일 실시예의 회로도이다.

도 2는 본 발명의 액정 디스플레이용 GOA회로가 상온에서의 출력 파형도이다.

도 3은 본 발명의 액정 디스플레이용 GOA회로의 다단계 구조도이다.

도 4는 본 발명의 액정 디스플레이용 GOA회로를 적용한 액정 디스플레이 장치의 구조도이다.

발명을 실시하기 위한 구체적인 내용

- [0051] 본 발명의 특징 및 기술 내용을 더욱 구체적으로 이해할 수 있도록, 이하 본 발명과 관련된 상세한 설명과 첨부도면을 참조하기 바라며, 단 첨부도면은 단지 참고 및 설명용으로만 제공될 뿐, 본 발명을 제한하기 위한 것이 아니다.

- [0052] 본 발명이 채택한 기술 수단 및 그 효과를 더욱 구체적으로 밝히기 위하여, 이하 본 발명의 바람직한 실시예 및 그 도면을 결합하여 상세히 설명한다.

- [0053] 본 발명의 액정 디스플레이용 GOA회로(단일 단계)의 일 실시예의 회로도인 도 1을 참조하면, 본 발명의 GOA회로는 제n단계 GOA유닛을 따라 디스플레이 영역의 제n단계 수평스캔라인에 대한 충전을 제어하는 직렬 연결된 복수개의 GOA유닛을 포함하고, 제n단계 GOA유닛은 풀업회로(100), 풀다운회로(200), 풀다운유지회로(300), 풀업제어회로(400) 및 부트스트랩 커패시터(Cb)를 포함하며, 상기 풀업회로(100), 풀다운회로(200), 풀다운유지회로(300) 및 부트스트랩 커패시터(Cb)는 각각 게이트신호 포인트(Q(n)) 및 상기 제n단계 수평스캔라인(G(n))과 연결되고, 상기 풀업제어회로(400)는 상기 게이트신호 포인트(G(n))와 연결된다.

- [0054] 풀업회로(100)는 직접 디스플레이 영역의 제n단계 수평스캔라인(G(n))에 대한 충전을 제어하는 박막트랜지스터(T21)를 포함하고, 그 게이트는 상기 게이트신호 포인트(Q(n))와 게이트 연결되며, T21의 드레인 및 소스는 각각 제n단계 고주파 클럭신호(CK(n))를 입력받고 제n단계 수평스캔라인(G(n))에 연결되어, T21의 게이트(Q(n))의 전위가 CK(n)의 G(n)에 대한 충전에 직접적인 영향을 줄 수 있다.

- [0055] 풀다운회로(200)는 G(n)충전이 완료되면 방전을 수행하는 한 세트의 박막트랜지스터를 포함하며, G(n)에 대하여 방전을 수행하는 T31 및 Q(n)에 대하여 방전을 수행하는 T41을 포함하고; T31의 게이트는 제(n+2)단계 수평스캔라인G(n+2)과 연결되고, 드레인 및 소스는 각각 상기 제n단계 수평스캔라인(G(n))과 연결되고 상기 직류 저전압(VSS)이 입력된다; T41의 게이트는 상기 제(n+2)단계 수평스캔라인G(n+2)과 연결되고, 드레인 및 소스는 각각 게이트신호 포인트(Q(n))와 연결되고 직류 저전압(VSS)이 입력된다.

- [0056] 풀업제어회로(400)은 게이트가 제(n-2)단계 수평스캔라인(G(n-2))과 연결되고, 드레인 및 소스는 각각 제(n-2)단계 수평스캔라인(G(n-2)) 및 게이트신호 포인트Q(n)가 연결되는 박막트랜지스터(T11)를 포함한다. 박막트랜지스터(T11)는 GOA회로가 단계별로 충전되고 방전되도록, 제(n-2)단계 GOA신호를 제n단계 GOA회로에 전달하도록 제어할 수 있다.

- [0057] Q(n) 및 G(n) 사이에 연결된 부트스트랩 기능을 구비한 커패시터(Cb)는 G(n)의 전위가 상승할 때 Cb의 커플링 효과를 통해 Q(n)의 전위를 상승시키므로, 더 높은 Q(n) 전위 및 보다 낮은 GOA 충전신호의 저항 커패시터 딜레이(RC delay)를 획득할 수 있다.

- [0058] 풀다운유지회로(300)에 포함된 한 세트의 박막트랜지스터는 GOA회로의 비충전 시기에 G(n) 및 Q(n)의 낮은 전위

를 유지할 수 있다. 박막트랜지스터(T32)는 게이트가 제1회로 포인트(P)와 연결되고, 드레인 및 소스는 각각 제n단계 수평스캔라인(G(n))과 연결되고 직류 저전압(VSS)이 입력된다; 박막트랜지스터(T33)는 게이트가 제2회로 포인트(K)와 연결되고, 드레인 및 소스는 각각 제n단계 수평스캔라인(G(n))과 연결되고, 상기 직류 저전압(VSS)이 입력된다; 박막트랜지스터(T52)는 게이트가 상기 게이트신호 포인트(Q(n))와 연결되고, 드레인 및 소스는 각각 상기 제1회로 포인트(P)와 연결되고, 직류 저전압(VSS)이 입력된다; 박막트랜지스터(T62)는 게이트가 게이트신호 포인트(Q(n))와 연결되고, 드레인 및 소스는 각각 제2회로 포인트(K) 및 제n단계 직류 저전압(VSS)와 연결된다; 박막트랜지스터(T43)의 드레인 및 소스는 각각 상기 게이트신호 포인트(Q(n)) 및 제n단계 수평스캔라인(G(n))과 연결된다; 박막트랜지스터(T42)의 드레인 및 소스는 각각 제n단계 클럭신호(CK(n)) 및 박막트랜지스터(T43)의 게이트가 입력된다; 박막트랜지스터(T72)는 게이트가 제1클럭신호(LC1)를 입력받고, 드레인 및 소스는 각각 박막트랜지스터(T42)의 게이트 및 제1회로 포인트(P)와 연결된다; 박막트랜지스터(T73)는 게이트가 제2클럭신호(LC2)를 입력받고, 드레인 및 소스는 각각 박막트랜지스터(T42)의 게이트 및 제2회로 포인트(K)와 연결된다; 박막트랜지스터(T12)는 게이트가 제1클럭신호(LC1)를 입력받고, 드레인 및 소스는 각각 제1클럭신호(LC1)가 입력되고 박막트랜지스터(T42)의 게이트와 연결된다; 박막트랜지스터(T13)는 게이트가 제2클럭신호(LC2)를 입력받고, 드레인 및 소스는 각각 제2클럭신호(LC2)가 입력되고 박막트랜지스터(T42)의 게이트와 연결된다; 직류 저전압(VSS)은 로우레벨에 연결되거나 또는 접지될 수 있다. 작동 시, 제n단계 클럭신호(CK(n)), 제1클럭신호(LC1) 및 제2클럭신호(LC2)가 입력되고, 제1클럭신호(LC1) 및 제2클럭신호(LC2)의 주파수는 제n단계 클럭신호 CK(n) 보다 낮으며, 또한 제1클럭신호(LC1)의 제1회로 포인트(P)에 대한 충전 및 제2클럭신호(LC2)의 제2회로 포인트(K)에 대한 충전은 번갈아 진행된다.

[0059] 회로의 P포인트와 K포인트는 교대로 저주파 클럭신호(LC1), (LC2)의 충전을 받아 고전위에 위치하게 하므로, G(n)이 비충전시기의 저전위를 유지하도록 박막트랜지스터 T23 및 T33이 턴온되는 것을 번갈아 가며 제어하여 박막트랜지스터 T23 혹은 T33이 장기간 동안 게이트 전압 응력의 영향을 받는 것을 방지한다. 박막트랜지스터(T52)는 P포인트와 연결되고 직류 저전압(VSS)이 입력되며, 박막트랜지스터(T52)는 K포인트와 연결되고 직류 저전압(VSS)이 입력되며, T52 및 T62는 Q(n)이 고전위에 있을 때 턴온되어 P포인트, K포인트 전위를 풀다운시키고, T32와 T33을 턴오프시킴으로써 충전에 영향을 주지 않도록 할 수 있다. 비충전시기에, 박막트랜지스터 T12 및 T72 혹은 T13 및 T73은 턴온될 수 있으며, P포인트 혹은 K포인트는 고전위에 있을 수 있으므로 박막트랜지스터(T42)의 게이트는 고전위에 있고, 고주파 클럭신호(CK(n))는 Q(n)이 저전위에 있는 것을 유지하도록 박막트랜지스터(T43)를 주기적으로 턴 온할 수 있다. 충전시기에, Q(n)이 고전위로 충전되면, T52 혹은 T62가 턴온되며, T42의 게이트 전위가 풀다운되어 T42를 턴오프시키며, T43 역시 턴 온할 수 없게 되어, Q(n)은 T43의 누전을 통해 감소할 수 있고 Q(n)전압의 안정성이 향상된다.

[0060] 본 발명의 GOA회로는 저주파 클럭신호 및 고주파 클럭신호를 통하여 수평스캔신호의 충전에 영향을 주는 박막트랜지스터의 게이트(Q(n))의 비충전시기 및 충전시기의 전압을 정확하게 제어하여, GOA충전신호의 안정적인 출력을 보장할 수 있다. 구체적으로, (1) 비충전시기에, 고주파 클럭신호(CK(n)) 및 박막 트랜지스터(T43)에 연결된 박막 트랜지스터(T42)가 도통되어, 고주파 클럭신호(CK(n))가 Q(n)이 저전압에 있는 것을 유지하도록 박막트랜지스터(T43)를 주기적으로 턴온할 수 있다; (2) 충전시기에, Q(n)이 고전위로 충전된 후, 박막트랜지스터 T42 및 T43가 턴오프되어, Q(n)이 T43의 누전을 통해 낮아진다.

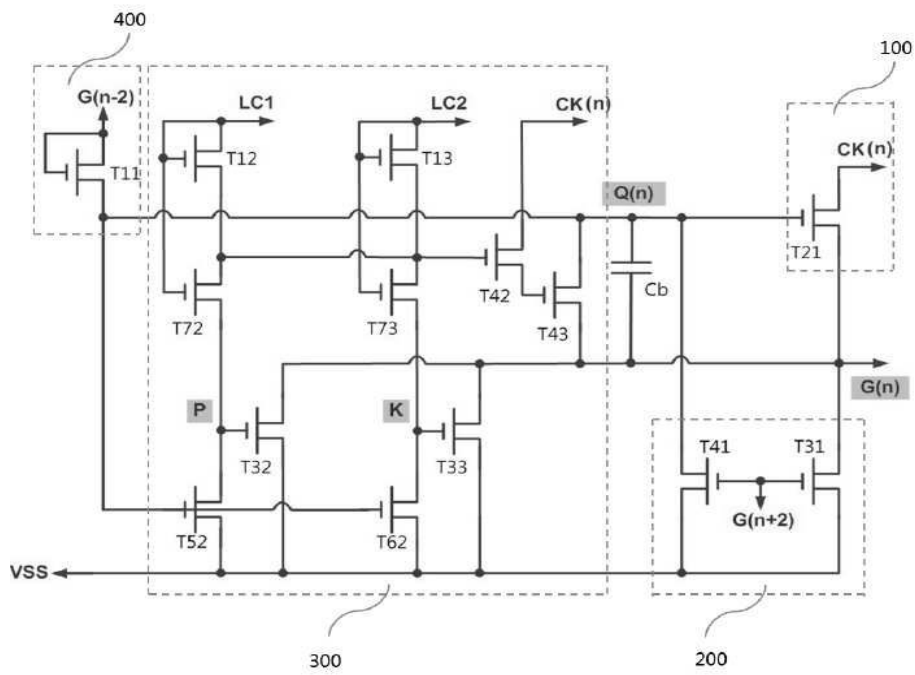
[0061] 본 발명의 디스플레이 장치의 GOA회로가 상온에 있을 시의 출력 파형도인, 도 2를 참조하면, 고주파 클럭신호의 충격 계수(duty ratio)는 40%이다. 도 2에서 t1~t3은 G(n)의 충전 전 준비시간이고, t3~t4는 G(n)의 충전시간이며, t4 후에 G(n)이 방전된다. 저주파 클럭신호 LC1 및 LC2는 주파수는 같고 위상은 다르도록 선택될 수 있다. 도 1을 결합하여 도 2를 이해해 보면, t1에서, CK(n-2)의 전위는 상승하기 시작하고, G(n-2)의 전위 역시 뒤따라 상승하기 시작하며, 박막트랜지스터(T11)은 Q(n)을 충전하기 위해 턴온된다. Q(n)의 전위가 상승한 후, 박막트랜지스터 T52 및 T62를 턴온할 수 있으므로, Q(n) 및 G(n)의 충전에 영향을 주지 않도록 T32, T42, T33 및 T43을 턴오프할 수 있다. t2때, CK(n-2)의 전위는 하강하기 시작하지만, 박막트랜지스터(T11)의 연결방식은 Q(n)의 누전을 저지할 수 있으므로, Q(n)의 전위는 기본적으로 변화하지 않는다. t3에서, CK(n)의 전위가 상승하기 시작하고, 박막트랜지스터(T21)를 턴온하면 Q(n)이 더 높은 전위까지 상승되어 T21의 G(n)에 대한 충전을 제어한다. t4에서, CK(n)가 상승하기 시작하고, Q(n)의 전위가 즉시 풀다운되지 않으므로, 박막트랜지스터(T21)가 t4후의 단시간 내에 여전히 도통을 유지하여, G(n)의 전위를 풀다운시킨다. 이후에, G(n+2) 전위가 상승하고, 박막트랜지스터 T31 및 T41이 턴온되며, G(n) 및 Q(n)이 저전위까지 풀다운된다. T52 및 T62는 Q(n)의 전위가 풀다운되면 턴오프되며, G(n) 및 Q(n)이 비충전시기에 저전위를 유지할 수 있도록 T32, T33, T42, T43은 정상적으로 턴 온될 수 있다. 결론적으로, 본 발명은 저주파 클럭신호 및 고주파 클럭신호를 통해 Q(n)의 전압을

정확하게 제어하여, GOA 충전신호의 안정적인 출력을 보장할 수 있다.

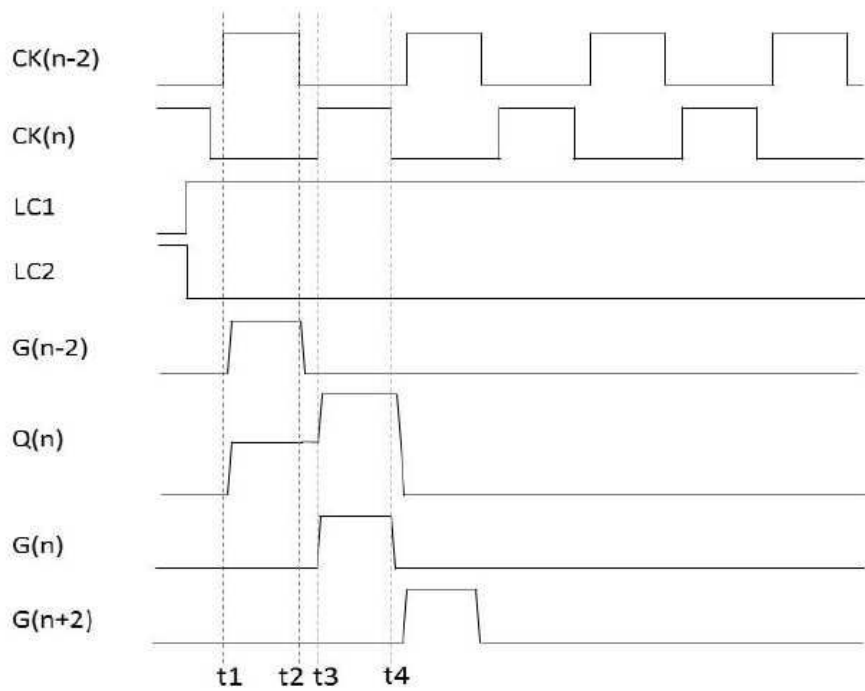
- [0062] 본 발명의 본 발명의 액정 디스플레이용 GOA회로의 다단계 구조도인 도 3을 참조하면, 도 3은 본 발명의 GOA회로의 다단계 구조를 제시하며, 저주파 클럭신호 LC1 및 LC2, 직류 저전압(VSS) 및 CK1~CK4의 4개 고주파 클럭신호를 전송하는 금속라인을 각 단계의 GOA회로의 외곽에 배치한다(구체적인 연결 방법 도 1참조). 저주파 클럭신호(LC1), 저주파 클럭신호(LC2) 및 직류 저전압(VSS)는 각각 각자의 공통의 금속라인을 통하여 직렬 연결된 복수개의 GOA유닛에 입력된다. 본 실시예에서, 제n단계 GOA회로는 각각 LC1, LC2, VSS, CK1~CK4 중의 하나의 CK신호, 제(n-2)단계 GOA회로가 생성한 G(n-2), 제(n+2)단계 GOA회로가 생성한 G(n+2)를 수신하고, G(n)신호를 생성한다. 도 3과 같이, 각 단계의 GOA회로 간의 연결 방법은 각 단계의 수평스캔라인이 단계별로 충전 및 방전되도록, GOA신호가 단계별로 전달되는 것을 보장할 수 있다. 직렬 연결된 GOA 유닛의 선단 및 말단에 대해서는, 활성화 신호를 입력하는 방식으로 부족한 G(n)신호 입력을 대체할 수 있다.
- [0063] 본 발명의 GOA회로는 패널 수평스캔라인의 구동회로를 액정 디스플레이 패널의 고유 제조공정에 적용하여 디스플레이 영역 주위의 기판 상에 제조하므로, 외부 접속 IC를 대체하여 평면 디스플레이 패널의 각 단계의 수평스캔라인의 구동을 완성할 수 있다. 본 발명은 특히 내로우 배젤 혹은 배젤이 없는 액정 디스플레이 상품을 제조하는데 적합하다.
- [0064] 본 발명의 디스플레이 장치의 GOA회로를 적용한 액정 디스플레이 장치의 구조도인 도 4를 참조하면, 도 4의 액정 디스플레이 장치는 디스플레이 기관(10)을 구비한다. 구동제어판(20)은 디스플레이 기관(10) 상에 탑재되어 구동 및 제어신호를 디스플레이 기관(10)에 제공한다. 디스플레이 기관(10) 좌측영역(30) 및 우측영역(40)은 GOA회로가 제작되어, 좌측 및 우측 두 방향으로부터 디스플레이 영역(50)의 수평스캔라인을 구동시킬 수 있다. GOA회로는 구동제어판(20)의 입력신호를 수신하고 단계별로 수평스캔라인의 제어신호를 생성하여, 디스플레이 영역(50)의 화소가 한 라인씩 순차적으로 턴온되도록 제어할 수 있다.
- [0065] 앞서 말한 내용을 종합하면, 본 발명의 액정 디스플레이용 GOA회로 및 디스플레이 장치는 저주파 클럭신호 및 고주파 클럭신호를 통해 수평스캔라인의 충전에 영향을 주는 박막트랜지스터 게이트Q(n)의 충전시기 및 비충전시기의 전압을 정확하게 제어함으로써, GOA충전신호의 안정적인 출력을 보장하며; 본 발명의 GOA회로를 적용하여 낮은 원가의 내로우 배젤 혹은 배젤이 없는 액정 디스플레이 장치를 제조할 수 있다.
- [0066] 이상으로, 본 분야의 보통 기술자라면 본 발명의 기술방안과 기술 구상에 따라 기타 각종 상응하는 변경과 변형을 실시할 수 있으며, 이러한 변경과 변형은 모두 본 발명의 청구항의 보호범위에 속하여야 한다.

도면

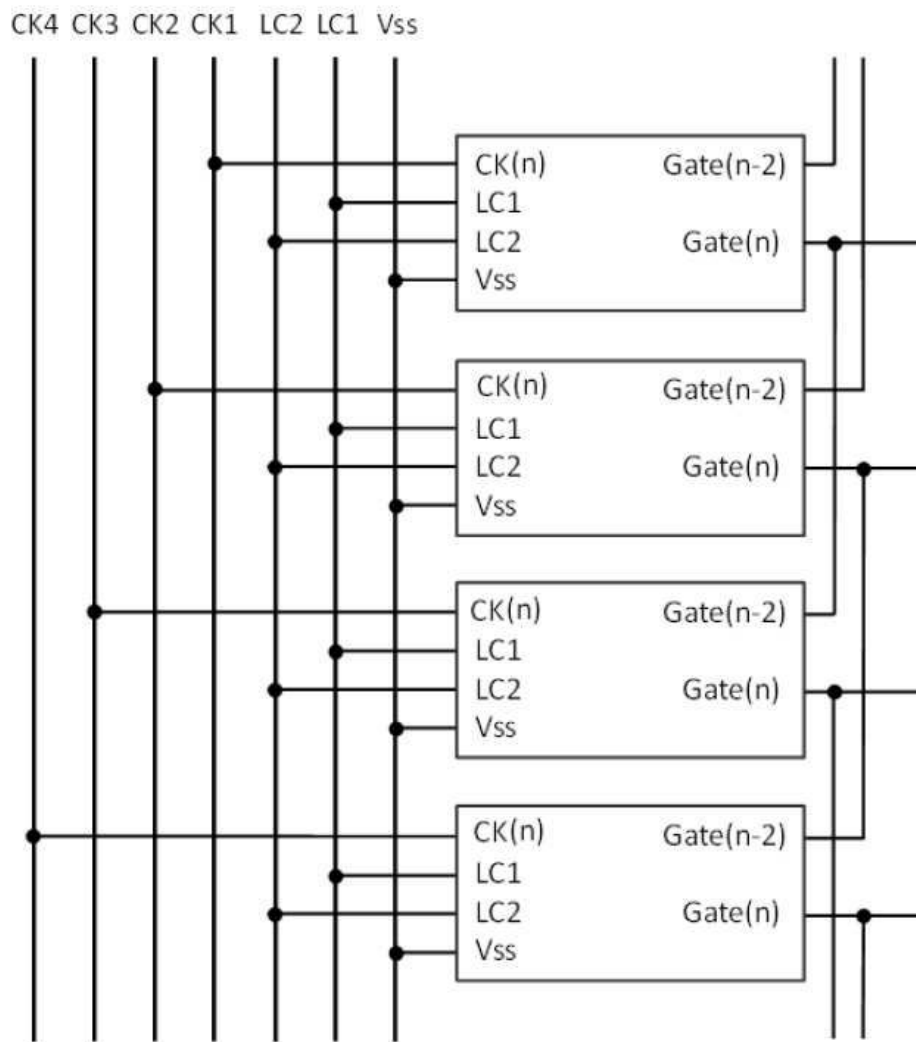
도면1



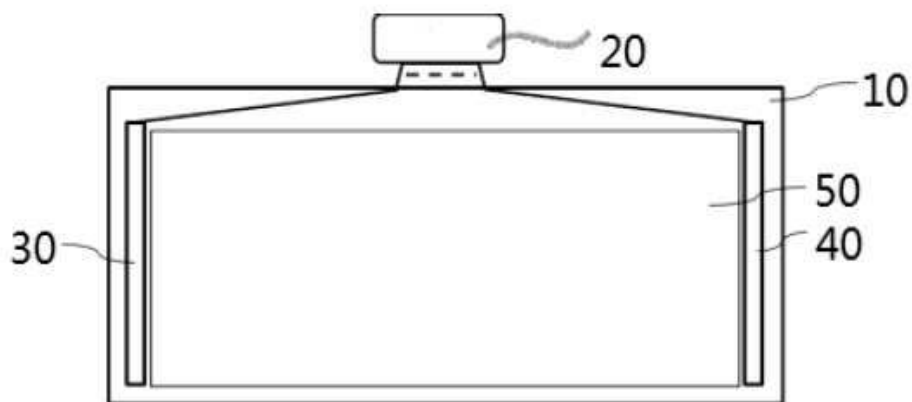
도면2



도면3



도면4



专利名称(译)	GOA电路和液晶显示器的显示装置		
公开(公告)号	KR1020160077175A	公开(公告)日	2016-07-01
申请号	KR1020167014120	申请日	2014-01-03
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
当前申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
[标]发明人	YU XIAOJIANG 위샤오장 LEE CHANGYEH 리창예 LAI TZUCHIEH 라이쯔지에		
发明人	위,샤오장 리,창예 라이,쯔지에		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648 G09G3/3674 G09G3/3677 G09G3/3688 G09G3/3607 G09G2310/027 G09G2310/0286 G09G2320/0242 G09G2320/0252 G09G2300/0809 G09G2310/0248 G11C19/28 G02F1/13306 G02F1/13454		
优先权	201310700186.7 2013-12-18 CN		
其他公开文献	KR101817027B1		
外部链接	Espacenet		

摘要(译)

液晶显示器GOA电路包括n步GOA单元是上拉电路 (100) , 包括串联连接的多个GOA单元, 下拉电路 (200) , 全下保持电路 (300) , 以及上拉控制电路 (400) 和自举电容器 (C_b) 。 n步时钟信号 ($CK(n)$) , 以及第一和第二时钟信号 ($LC1$, $LC2$) 在操作中输入, 并且第二时钟信号 ($LC2$) 和第一时钟信号 ($LC1$) 的频率低于n步时钟信号 ($CK(n)$) 的电荷和关于第一时钟信号 ($LC1$) 的第一电路点 (P) 和第二时钟信号 ($LC2$) 的电荷的第二电路点 (K) 的电荷) 进步。精度控制栅极电压 ($Q(n)$) , 其中GOA电路通过低频时钟信号和高频时钟信号影响水平扫描线的电荷。因此保证了GOA充电信号的稳定输出。

