



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0068102
(43) 공개일자 2016년06월15일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2014-0173280

(22) 출원일자 2014년12월04일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김강일

경기 과천시 가람로 22, 102동 504호 (와동동, 가람마을1단지벽산한라아파트)

최혁

경기 과천시 책향기로 183, 1503동 1405호 (동패동, 책향기마을상록데시앙아파트)

(뒷면에 계속)

(74) 대리인

특허법인로알

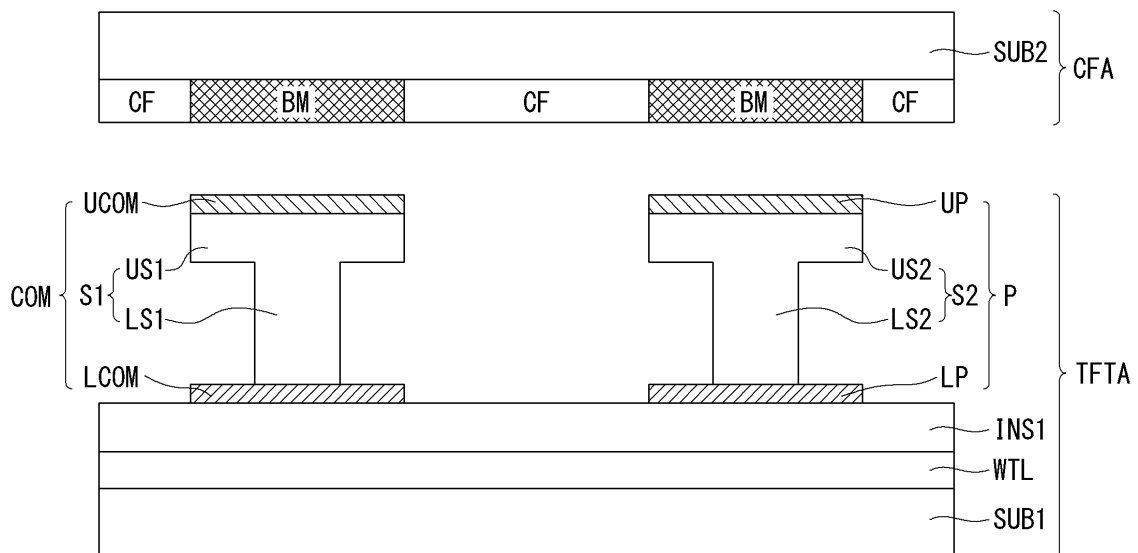
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 수평 전계형 액정 표시장치 및 그의 공통전극 및 화소전극 제조방법

(57) 요약

본 발명은 낮은 구동전압으로도 액정층에 충분한 수평전계를 형성시킬 수 있고, 빛샘을 방지할 수 있는 액정 표시장치에 관한 것으로, 액정층을 사이에 두고 서로 대향 배치된 제 1 기판 및 제 2 기판, 제 1 기판 상의 제 1 및 제 2 구조체들, 및 제 1 및 제 2 구조체들 각각의 상하면에 배치되어 서로 이격되는 상부전극들 및 하부전극들을 포함한다. 제 1 및 제 2 구조체들은 제 1 기판 상에 서로 나란하게 배치된다. 각각의 상부전극과 각각의 하부전극은 상기 제 1 및 제 2 구조체들 각각의 일단부에서 전기적으로 서로 연결된다.

대표도 - 도3



(72) 발명자

한예슬

경기 고양시 덕양구 충장로103번길 49, 101동 203
호 (행신동, 윤창아파트)

박해준

서울 강서구 화곡로66길 90, 101동 1508호 (
등촌동, 코오롱1차아파트)

명세서

청구범위

청구항 1

액정층을 사이에 두고 서로 대향 배치된 제 1 기관 및 제 2 기관;

상기 제 1 기관 상에 서로 나란하게 배치되며, 각각의 상단부의 폭이 하단부의 폭보다 큰 제 1 및 제 2 구조체들; 및

상기 제 1 및 제 2 구조체들 각각의 상면과 하면에 배치되어 서로 이격되는 상부전극과 하부전극을 포함하며,

상기 상부전극과 하부전극은 상기 제 1 및 제 2 구조체들 각각의 일단부에서 서로 연결되는 것을 특징으로 하는 수평 전계형 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 제 1 구조체의 상부 및 하부전극들에 공급되는 제 1 전압과 상기 제 2 구조체의 상부 및 하부 전극들에 공급되는 제 2 전압은 상기 액정층에 수평전계를 형성하도록 서로 다르게 설정된 것을 특징으로 하는 수평 전계형 액정 표시장치.

청구항 3

제 2 항에 있어서,

상기 제 1 기관 상에 배선들 및 박막 트랜지스터들이 배치된 배선 및 박막 트랜지스터층;

상기 배선 및 박막 트랜지스터층을 커버하는 제 1 절연막; 및

상기 제 1 및 제 2 구조체 각각의 일단부에서 상기 제 1 및 제 2 구조체의 상단부의 일부 영역과 하부의 1측벽을 커버하고, 상기 하부 전극의 일단부를 노출시키는 제 2 절연막을 더 포함하고,

상기 상부전극은 상기 제 1 및 제 2 구조체들의 상단부들로부터 각각 연장되어 상기 제 2 절연막을 통해 노출되는 상기 하부전극의 일단부와 접속되는 것을 특징으로 하는 수평 전계형 액정 표시장치.

청구항 4

제 2 항에 있어서,

상기 제 1 기관 상에 배선들 및 박막 트랜지스터들이 배치된 배선 및 박막 트랜지스터층;

상기 배선 및 박막 트랜지스터층을 커버하는 제 1 절연막; 및

상기 제 1 및 제 2 구조체 각각의 일단부에서 상기 제 1 및 제 2 구조체의 상단부의 폭보다 작은 폭을 가지며, 상기 제 1 및 제 2 구조체의 상단부들 및 상기 하부 전극의 양측부들을 노출시키는 제 2 절연막을 더 포함하고,

상기 상부전극은 상기 제 1 및 제 2 구조체들의 상단부들로부터 각각 연장되어 상기 제 2 절연막을 통해 노출되는 상기 하부전극의 양측부들과 접속되는 것을 특징으로 하는 수평 전계형 액정 표시장치.

청구항 5

제 3 항 또는 제 4 항에 있어서,

상기 배선들은 서로 교차하는 게이트 라인 및 데이터 라인과, 상기 게이트 라인과 나란하게 배열되는 공통라인을 포함하며,

상기 제 1 구조체로부터 연장되는 상부전극은 상기 제 1 절연막을 통해 노출되는 상기 공통라인과 상기 박막 트랜지스터 중의 어느 하나에 연결되고,

상기 제 2 구조체로부터 연장되는 상부전극은 상기 제 1 절연막을 통해 노출되는 상기 공통라인과 상기 박막 트랜지스터 중의 다른 하나에 연결되는 것을 특징으로 하는 수평 전계형 액정 표시장치.

청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 상부전극과 상기 하부전극 각각의 폭은 상기 제 1 및 제 2 구조체 상단부들의 각각의 폭과 동일한 것을 특징으로 하는 수평 전계형 액정 표시장치.

청구항 7

액정층을 사이에 두고 서로 대향 배치된 제 1 기관 및 제 2 기관;

상기 제 1 기관 상에 배치된 배선들 및 박막 트랜지스터들이 배치된 배선 및 박막 트랜지스터층;

상기 배선 및 박막 트랜지스터층을 커버하는 제 1 절연막 상에서 서로 나란하게 배치되는 제 1 및 제 2 구조체들, 상기 제 1 구조체는 제 1 폭을 갖는 제 1 상부 구조체와 상기 제 1 상부 구조체로부터 연장되며 상기 제 1 폭보다 작은 제 2 폭을 갖는 제 1 하부 구조체를 포함하고, 상기 제 2 구조체는 상기 제 1 폭을 갖는 제 2 상부 구조체와 상기 제 2 상부 구조체로부터 연장되며 상기 제 2 폭을 갖는 제 2 하부 구조체를 포함하며;

상기 제 1 상부 구조체 상에 배치되는 제 1 상부전극;

상기 제 1 하부 구조체와 상기 제 1 절연막 사이에 배치되며, 상기 제 1 상부전극과 대향하는 위치에 배치되는 제 1 하부전극;

상기 제 2 상부 구조체 상에 배치되는 제 2 상부전극; 및

상기 제 2 하부 구조체와 상기 제 1 절연막 사이에 배치되며, 상기 제 2 상부전극과 대향하는 위치에 배치되는 제 2 하부전극을 포함하며,

상기 제 1 상부전극과 상기 제 1 하부전극은 상기 제 1 구조체의 일단부에서 서로 연결되고, 상기 제 2 상부전극과 상기 제 2 하부전극은 상기 제 2 구조체의 일단부에서 서로 연결되는 것을 특징으로 하는 수평 전계형 액정 표시장치.

청구항 8

제 7 항에 있어서,

상기 제 1 및 제 2 상부 구조체의 폭과 동일하며, 상기 제 1 및 제 2 상부 구조체들의 일부 영역과, 상기 제 1 및 제 2 하부 구조체들의 측벽과, 상기 제 1 및 제 2 하부전극들의 일부 영역을 커버하는 제 2 절연막을 더 포함하고,

상기 제 1 상부전극은 상기 제 1 상부 구조체로부터 연장되어 상기 제 2 절연막을 통해 노출되는 상기 제 1 하부전극의 일단부에 접속되며, 상기 제 2 상부전극은 상기 제 2 상부 구조체로부터 연장되어 상기 제 2 절연막을 통해 노출되는 상기 제 2 하부전극의 일단부에 접속되는 것을 특징으로 하는 수평 전계형 액정 표시장치.

청구항 9

제 7 항에 있어서,

상기 제 1 및 제 2 상부 구조체의 폭보다 좁은 폭을 가지며, 상기 제 1 및 제 2 상부 구조체들의 일부 영역과, 상기 제 1 및 제 2 하부 구조체들의 측벽과, 상기 제 1 및 제 2 하부전극들의 일부 영역을 커버하는 제 2 절연막을 더 포함하고,

상기 제 1 상부전극은 상기 제 1 상부 구조체로부터 연장되어 상기 제 2 절연막을 통해 노출되는 상기 제 1 하부전극의 양측부에 접속되며, 상기 제 2 상부전극은 상기 제 2 상부 구조체로부터 연장되어 상기 제 2 절연막을 통해 노출되는 상기 제 2 하부전극의 양측부에 접속되는 것을 특징으로 하는 수평 전계형 액정 표시장치.

청구항 10

제 1 절연막 상에 제 1 도전층, 유기 절연층 및 제 1 포토레지스트를 순차적으로 적층한 후 제 1 마스크를 이용한 포토리소그래피 공정을 통해 제 1 포토레지스트 패턴을 형성하고, 상기 제 1 포토레지스트 패턴을 통해 노출된 상기 유기 절연층을 제거하여 서로 나란하게 배치되는, 하부에 언더컷 구조를 갖는 T형의 제 1 및 제 2 구조체들을 형성하는 단계;

상기 T형의 제 1 및 제 2 구조체들이 형성된 상기 제 1 도전층 상에 제 2 포토레지스트를 적층한 후, 제 2 마스크를 이용한 포토리소그래피 공정을 통해 제 1 및 제 2 하부 구조체들의 상기 언더컷 부분에 채워지는 제 2 포토레지스트 패턴을 형성하고, 상기 제 2 포토레지스트 패턴을 통해 노출되는 상기 제 1 도전층을 패터닝하여 상기 제 1 구조체 하부에 배치되는 제 1 하부전극과, 상기 제 2 하부 구조체 하부에 배치되는 제 2 하부전극을 형성하는 단계;

상기 제 1 및 제 2 구조체들과 상기 제 1 및 제 2 하부 전극들이 형성된 상기 제 1 절연막 상에 제 2 절연물질을 적층한 후, 제 3 마스크를 이용한 포토리소그래피 공정을 통해 상기 제 1 하부전극과 상기 제 2 하부전극의 일측 단부들을 제외한 영역이 노출되도록 제 3 포토레지스트 패턴을 형성하고, 상기 제 3 포토레지스트 패턴을 통해 노출된 제 2 절연물질을 제거하여, 상기 제 1 및 제 2 구조체들의 상부영역들의 일부영역들과 상기 언더컷 영역을 커버하고, 상기 제 1 및 제 2 하부전극들의 일부분들을 노출시키는 제 2 절연막을 형성하는 단계; 및

상기 제 2 절연막이 형성된 전체 구조에 제 2 도전층을 적층한 후, 제 4 마스크를 이용한 포토리소그래피 공정을 통해 상기 제 1 하부전극과 상기 제 2 하부전극 사이의 제 2 도전층이 노출되도록 제 4 포토레지스트 패턴을 형성하고, 상기 제 4 포토레지스트 패턴을 통해 노출된 상기 제 2 도전층을 제거하여 상기 제 1 및 제 2 구조체 상에 각각 배치되는 제 1 및 제 2 상부전극들을 형성하는 단계를 포함하며,

상기 제 1 상부전극은 상기 제 1 구조체의 상단부로부터 연장되어 상기 제 2 절연막을 통해 노출되는 상기 제 1 하부전극과 접속되고, 상기 제 2 상부전극은 상기 제 2 구조체의 상단부로부터 연장되어 상기 제 2 절연막을 통해 노출되는 상기 제 2 하부전극과 접속되는 것을 특징으로 하는 수평 전계형 액정 표시장치의 공통전극 및 화소전극 제조방법.

발명의 설명**기술 분야**

[0001] 본 발명은 수평 전계형 액정 표시장치 및 그의 공통전극 및 화소전극 제조방법에 관한 것이다.

배경 기술

[0002] 최근 정보화 기술의 발달과 함께 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정 표시장치(Liquid Crystal Display: LCD), 유기 발광 표시장치(Organic Light Emitting Diode Display: OLED), 전계방출 표시장치(Field Emission Display: FED), 및 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat LPanel Display: FPD)의 사용이 증가하고 있다.

- [0003] 이들 중 액정 표시장치는 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화도 가능하기 때문에 광 데이터 처리 분야에서 널리 사용되고 있다. 액정 표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 구동된다. 액정은 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다. 따라서, 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다. 즉, 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하는 표시장치의 일종이다.
- [0004] 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.
- [0005] 수직 전계형 액정 표시 장치는 상부기관 상에 형성된 공통전극과 하부기관 상에 형성된 화소전극이 서로 대향되게 배치한 후 이들 사이에 형성되는 수직 전계를 이용하는 TN(Twisted Nematic) 모드로 액정을 구동시킨다. 이러한 수직 전계형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.
- [0006] 수평 전계형 액정 표시 장치는 하부 기관에 화소 전극과 공통 전극을 나란하게 배치한 후 이들 사이에 형성되는 수평 전계를 이용하는 IPS(In Plane Switching) 모드나, FFS(Fringe Field Switching) 모드로 액정을 구동시킨다. 이러한 수평 전계형 액정 표시 장치는 시야각이 170도 이상 넓다는 장점과, 수평 상태에서 스위칭 되므로 빠른 응답속도를 갖는 장점을 갖는다.
- [0007] 그러나, 종래의 수평 전계형 액정 표시장치는 화소전극과 공통전극이 형성된 위치로부터 멀리 떨어진 액정층의 상층부 영역에는 약한 수평전계가 형성되어 액정층 상층부의 액정이 충분히 구동되지 않게 된다. 이러한 액정의 불충분한 구동은 표시장치의 불량을 야기하는 문제점이 있기 때문에, 종래의 수평 전계형 액정 표시장치는 액정층에 충분한 수평전계를 형성시키기 위해 높은 구동전압이 필요하다는 문제점이 있었다.

발명의 내용

해결하려는 과제

- [0008] 본 발명은 상술한 문제점을 해결하기 위한 것으로 구동전압을 높이지 않으면서도 액정층에 충분한 수평전계를 형성시킬 수 있고, 빛샘을 방지할 수 있는 액정 표시장치 및 그의 공통전극 및 화소전극 제조방법을 제공하기 위한 것이다.

과제의 해결 수단

- [0009] 상기 목적달성을 위해 본 발명의 수평 전계형 액정 표시장치는, 액정층을 사이에 두고 서로 대향 배치된 제 1 기관 및 제 2 기관, 제 1 기관 상의 제 1 및 제 2 구조체들, 및 제 1 및 제 2 구조체들 각각의 상하면에 배치되어 서로 이격되는 상부전극들 및 하부전극들을 포함한다. 제 1 및 제 2 구조체들은 제 1 기관 상에 서로 나란하게 배치된다. 각각의 상부전극과 각각의 하부전극은 상기 제 1 및 제 2 구조체들 각각의 일단부에서 서로 연결된다.
- [0010] 상기 구성에서, 제 1 구조체의 상부 및 하부전극들에 공급되는 제 1 전압과 제 2 구조체의 상부 및 하부 전극들에 공급되는 제 2 전압은 액정층에 수평전계를 형성하도록 서로 다르게 설정된다.
- [0011] 본 발명의 수평 전계형 액정 표시장치는 또한 제 1 기관 상에 배선들 및 박막 트랜지스터들이 배치된 배선 및 박막 트랜지스터층, 배선 및 박막 트랜지스터층을 커버하는 제 1 절연막, 및 제 1 및 제 2 구조체 각각의 일단부에서 제 1 및 제 2 구조체의 상단부의 일부 영역과 하부의 측벽을 커버하고, 하부 전극의 일단부를 노출시키는 제 2 절연막을 더 포함한다. 상부전극은 제 1 및 제 2 구조체들로부터 각각 연장되어 제 2 절연막을 통해 노출되는 하부전극의 일단부와 접속될 수 있다.
- [0012] 본 발명의 수평 전계형 액정 표시장치는 또한 제 1 기관 상에 배선들 및 박막 트랜지스터들이 배치된 배선 및 박막 트랜지스터층, 배선 및 박막 트랜지스터층을 커버하는 제 1 절연막, 및 제 1 및 제 2 구조체 각각의 일단부에서 제 1 및 제 2 구조체의 상단부의 폭보다 작은 폭을 가지며, 제 1 및 제 2 구조체의 상단부들 및 하부전극의 양측부들을 노출시키는 제 2 절연막을 더 포함할 수 있다. 상부전극은 제 1 및 제 2 구조체들의 상단부

들로부터 각각 연장되어 제 2 절연막을 통해 노출되는 하부전극의 양측부들과 접속될 수 있다.

- [0013] 상기 구성에서, 배선들은 서로 교차하는 게이트 라인 및 데이터 라인과, 상기 게이트 라인과 나란하게 배열되는 공통라인을 포함한다. 제 1 구조체로부터 연장되는 상부전극은 제 1 절연막을 통해 노출되는 공통라인과 박막 트랜지스터 중의 어느 하나에 연결되고, 제 2 구조체로부터 연장되는 상부전극은 제 1 절연막을 통해 노출되는 공통라인과 상기 박막 트랜지스터 중의 다른 하나에 연결될 수 있다.
- [0014] 또한, 상부전극과 상기 하부전극 각각의 폭은 제 1 및 제 2 구조체 상단부들의 각각의 폭과 동일할 수 있다.
- [0015] 상기 목적달성을 위해 본 발명의 수평 전계형 액정 표시장치는, 일정 간격을 두고 서로 대향 배치된 제 1 기관 및 제 2 기관, 제 1 기관 상에 배치된 배선들 및 박막 트랜지스터들이 배치된 배선 및 박막 트랜지스터층, 배선 및 박막 트랜지스터층을 커버하는 제 1 절연막 상에서 서로 나란하게 배치되는 제 1 및 제 2 구조체들, 제 1 상부 구조체 상에 배치되는 제 1 상부전극, 제 1 하부 구조체와 제 1 절연막 사이에 배치되며, 제 1 상부전극과 대향하는 위치에 배치되는 제 1 하부전극, 제 2 상부 구조체 상에 배치되는 제 2 상부전극, 및 제 2 하부 구조체와 제 1 절연막 사이에 배치되며, 제 2 상부전극과 대향하는 위치에 배치되는 제 2 하부전극을 포함한다. 제 1 구조체는 제 1 폭을 갖는 제 1 상부 구조체와 제 1 상부 구조체로부터 연장되며 제 1 폭보다 작은 제 2 폭을 갖는 제 1 하부 구조체를 포함한다. 제 2 구조체는 제 1 폭을 갖는 제 2 상부 구조체와 제 2 상부 구조체로부터 연장되며 제 2 폭을 갖는 제 2 하부 구조체를 포함한다. 제 1 상부전극과 상기 제 1 하부전극은 제 1 구조체의 일단부에서 서로 연결되고, 제 2 상부전극과 제 2 하부전극은 제 2 구조체의 일단부에서 서로 연결된다.
- [0016] 본 발명의 수평 전계형 액정 표시장치는, 제 1 및 제 2 상부 구조체의 폭과 동일하며, 제 1 및 제 2 상부 구조체들의 일부 영역과, 제 1 및 제 2 하부 구조체들의 측벽과, 제 1 및 제 2 하부전극들의 일부 영역을 커버하는 제 2 절연막을 더 포함한다. 제 1 상부전극은 제 1 상부 구조체로부터 연장되어 제 2 절연막을 통해 노출되는 상기 제 1 하부전극의 일단부에 접속된다. 제 2 상부전극은 제 2 상부 구조체로부터 연장되어 상기 제 2 절연막을 통해 노출되는 상기 제 2 하부전극의 일단부에 접속된다.
- [0017] 본 발명의 수평 전계형 액정 표시장치는, 제 1 및 제 2 상부 구조체의 폭보다 좁은 폭을 가지며, 제 1 및 제 2 상부 구조체들의 일부 영역과, 제 1 및 제 2 하부 구조체들의 측벽과, 제 1 및 제 2 하부전극들의 일부 영역을 커버하는 제 2 절연막을 더 포함한다. 제 1 상부전극은 제 1 상부 구조체로부터 연장되어 상기 제 2 절연막을 통해 노출되는 상기 제 1 하부전극의 양측부에 접속된다. 제 2 상부전극은 제 2 상부 구조체로부터 연장되어 제 2 절연막을 통해 노출되는 제 2 하부전극의 양측부에 접속된다.
- [0018] 또한, 상기 목적 달성을 위한 본 발명의 수평 전계형 액정 표시장치의 공통전극 및 화소전극의 제조방법은 제 1 내지 제 4 마스크 공정을 포함한다.
- [0019] 제 1 마스크 공정에서는 제 1 절연막 상에 제 1 도전층, 유기 절연층 및 제 1 포토레지스트를 순차적으로 적층한 후 제 1 마스크를 이용한 포토리소그래피 공정을 통해 제 1 포토레지스트 패턴을 형성하고, 상기 제 1 포토레지스트 패턴을 통해 노출된 상기 유기 절연층을 제거하여 서로 나란하게 배치되는, 하부에 언더컷 구조를 갖는 T형의 제 1 및 제 2 구조체들을 형성한다.
- [0020] 제 2 마스크 공정에서는 T형의 제 1 및 제 2 구조체들이 형성된 상기 제 1 도전층 상에 제 2 포토레지스트를 적층한 후, 제 2 마스크를 이용한 포토리소그래피 공정을 통해 제 1 및 제 2 하부 구조체들의 상기 언더컷 부분에 채워지는 제 2 포토레지스트 패턴을 형성하고, 상기 제 2 포토레지스트 패턴을 통해 노출되는 상기 제 1 도전층을 패터닝하여 상기 제 1 구조체 하부에 배치되는 제 1 하부전극과, 상기 제 2 하부 구조체 하부에 배치되는 제 2 하부전극을 형성한다.
- [0021] 제 3 마스크 공정에서는 상기 제 1 및 제 2 구조체들과 상기 제 1 및 제 2 하부 전극들이 형성된 상기 제 1 절연막 상에 제 2 절연물질을 적층한 후, 제 3 마스크를 이용한 포토리소그래피 공정을 통해 상기 제 1 하부전극과 상기 제 2 하부전극의 일측 단부들을 제외한 영역이 노출되도록 제 3 포토레지스트 패턴을 형성하고, 상기 제 3 포토레지스트 패턴을 통해 노출된 제 2 절연물질을 제거하여, 상기 제 1 및 제 2 구조체들의 상부영역들의 일부영역들과 상기 언더컷 영역을 커버하고, 상기 제 1 및 제 2 하부전극들의 일부분들을 노출시키는 제 2 절연막을 형성한다.
- [0022] 제 4 마스크 공정에서는 상기 제 2 절연막이 형성된 전체 구조에 제 2 도전층을 적층한 후, 제 4 마스크를 이용한 포토리소그래피 공정을 통해 상기 제 1 하부전극과 상기 제 2 하부전극 사이의 제 2 도전층이 노출되도록 제 4 포토레지스트 패턴을 형성하고, 상기 제 4 포토레지스트 패턴을 통해 노출된 상기 제 2 도전층을 제거하여 상기 제 1 및 제 2 구조체 상에 각각 배치되는 제 1 및 제 2 상부전극들을 형성한다. 제 1 상부전극은 상기 제 1

구조체의 상단부로부터 연장되어 상기 제 2 절연막을 통해 노출되는 상기 제 1 하부전극과 접속되고, 상기 제 2 상부전극은 상기 제 2 구조체의 상단부로부터 연장되어 상기 제 2 절연막을 통해 노출되는 상기 제 2 하부전극과 접속된다.

발명의 효과

- [0023] 본 발명에 따르는 수평 전계형 액정 표시장치에 의하면, 제 1 및 제 2 구조체들에 의해 공통전극이 상부 공통전극과 하부 공통전극으로 분리되고, 화소전극이 상부 화소전극과 하부 화소전극으로 분할되므로, 액정층 전체에 걸쳐 균일한 전기장을 형성시키기 위해 공통전극과 화소전극을 고전압으로 구동시킬 필요가 없게 되는 효과를 얻을 수 있다.
- [0024] 또한, 액정층 상층부와 하층부의 전계가 균일하게 형성되므로, 전계 불균일로 인해 액정층 상층부에 위치한 액정의 거동 불량으로 인한 빛샘 현상을 제거할 수 있는 효과를 얻을 수 있게 된다.
- [0025] 또한, 제 1 및 제 2 하부 구조체가 언더컷 구조를 갖게 되어 하부 공통전극과 하부 화소전극이 제 1 및 제 2 구조체들 외측으로 각각 노출되기 때문에 각 전극의 일단부 측에서 상부 공통전극 및 상부 화소전극과 일괄 접속이 가능하여 공간 활용도가 높아지는 효과를 얻을 수 있다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 실시예들에 따르는 수평 전계형 액정 표시장치를 개략적으로 나타낸 블록도,
 도 2는 도 1에 도시된 화소영역을 도시한 등가 회로도,
 도 3은 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치를 개략적으로 도시한 단면도,
 도 4는 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치에서 상부 공통전극들 및 하부 공통전극들이 연결되는 영역을 도시한 단면도,
 도 5는 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치에서 상부 화소전극들 및 하부 화소전극들이 연결되는 영역을 도시한 단면도
 도 6a는 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 1 마스크 공정을 도시한 단면도,
 도 6b 및 도 6c는 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 2 마스크 공정을 도시한 단면도,
 도 6b는 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 2 마스크 공정을 도시한 단면도,
 도 6c는 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 3 마스크 공정을 도시한 단면도,
 도 6d 및 도 6e는 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 3 마스크 공정을 도시한 단면도,
 도 6f 및 도 6g는 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 4 마스크 공정을 도시한 단면도,
 도 7은 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치를 개략적으로 도시한 단면도,
 도 8a는 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치에서 상부 공통전극들 및 하부 공통전극들이 연결되는 영역의 측면을 도시한 단면도,
 도 8b는 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치에서 상부 공통전극들 및 하부 공통전극들이 연결되는 영역의 정면을 도시한 단면도,
 도 9a는 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치에서 상부 화소전극들 및 하부 화소전극들이 연

결되는 영역의 측면을 도시한 단면도,

도 9b는 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치에서 상부 화소전극들 및 하부 화소전극들이 연결되는 영역의 정면을 도시한 단면도,

도 10a는 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 1 마스크 공정을 도시한 단면도,

도 10b 및 도 10c는 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 2 마스크 공정을 도시한 단면도,

도 10d 및 도 10e는 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 3 마스크 공정을 도시한 단면도,

도 10f 및 도 10g는 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 4 마스크 공정을 도시한 단면도,

도 11은 종래의 수평 전계형 액정 표시장치와 본 발명의 실시예들에 따르는 수평 전계형 액정 표시장치의 투과율을 도시한 그래프.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0028] 우선, 도 1 및 도 2를 참조하여 본 발명의 실시예들에 따르는 수평 전계형 액정 표시장치에 대해 개략적으로 설명하기로 한다. 도 1은 본 발명의 실시예들에 따르는 수평 전계형 액정 표시장치를 개략적으로 나타낸 블록도이고, 도 2는 도 1에 도시된 화소 영역(SP)을 도시한 등가 회로도이다.
- [0029] 도 1을 참조하면, 본 발명의 실시예들에 따르는 액정 표시장치는 서로 대향배치되어 합착된 박막 트랜지스터 어레이(TFTA) 및 컬러 필터 어레이(CFA)와, 이들 사이에 위치된 공간에 채워진 액정 분자들로 이루어지는 액정층(LC)을 포함한다.
- [0030] 박막 트랜지스터 어레이(TFTA)는 제 1 기관(SUB1), 제 1 기관(SUB1) 상에 형성된 게이트 라인들(GL), 게이트 라인들(GL)과 교차되는 데이터 라인들(DL), 게이트 라인들(GL) 및 데이터 라인들(DL)의 교차에 의해 정의된 셀 영역마다 형성된 박막 트랜지스터들(TFT), 박막 트랜지스터들(TFT)에 각각 접속된 화소전극들(P), 화소전극들(P)과 번갈아 배치되는 공통전극들(COM), 공통전극들(COM)에 접속되는 공통라인(CL), 및 스토리지 캐패시터(Cst) 등을 포함한다.
- [0031] 공통라인(CL)은 셀 영역을 사이에 두고 게이트 라인(GL)과 나란하게 형성되며 액정분자들(LC)의 구동을 위한 기준전압인 공통전압을 공통전극(COM)에 공급한다.
- [0032] 박막 트랜지스터(TFT)는 게이트 라인(GL)으로부터의 게이트 신호에 응답하여 데이터 라인(DL)으로부터의 데이터 신호를 화소전극(P)으로 공급한다. 박막 트랜지스터(TFT)를 통해 데이터 신호가 공급된 화소전극(P)과 공통라인(CL)을 통해 기준전압이 공급된 공통전극(COM) 사이에는 수평 전계가 형성된다. 이러한 수평 전계에 의해 박막 트랜지스터 어레이(TFTA)와 컬러 필터 어레이(CFA) 사이에서 배열된 액정층(LC)의 액정분자들이 유전 이방성에 의해 회전하거나 액정분자의 형상이 액정분자의 중심축을 중심으로 길게 늘어나 타원형으로 변화되게 된다. 이러한 액정분자들의 회전 정도 또는 타원형으로의 변화 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 화상을 구현하게 된다.
- [0033] 컬러 필터 어레이(CFA)는 제 2 기관(SUB2), 제 2 기관(SUB2) 상에 배치된 블랙 매트릭스(BM) 및 컬러 필터(CF)와, 컬러 필터(CF) 및 블랙 매트릭스(BM)가 형성된 상부 기관(SUB2)을 평탄화하기 위한 오버코트층(OC)을 포함한다. 블랙 매트릭스(BM)는 이웃한 컬러필터(CF) 사이의 혼색을 방지하는 동시에, 화소전극(P)과 공통전극(COM)이 등전위로 되는 경우(즉, 블랙 구동의 경우), 데이터 라인(DL) 및 게이트 라인(GL) 등에 의한 전계의 영향으로 액정이 구동되어 블랙 휘도가 높아지는 것을 방지하는 기능을 한다. 오버코트층(OC)은 생략될 수도 있다.

- [0034] 도 2를 참조하면, 하나의 화소영역에는 스위칭 트랜지스터(TFT), 스토리지 커패시터(Cst) 및 액정 셀(Clc)이 포함된다. 스위칭 트랜지스터(TFT)의 게이트전극은 게이트 라인(GL)에 연결되고 소스전극은 데이터 라인(DL1)에 연결된다.
- [0035] 스토리지 커패시터(Cst)는 박막 트랜지스터(TFT)의 드레인전극에 일단이 연결되고 공통전압라인(Vcom)에 타단이 연결된다.
- [0036] 다음으로, 도 3을 참조하여 본 발명의 제 1 실시예에 따르는 수평 전계형 액정 표시장치를 보다 구체적으로 설명하기로 한다. 도 3은 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치를 개략적으로 도시한 단면도이다.
- [0037] 도 3을 참조하면, 본 발명의 제 1 실시예에 따르는 액정 표시장치는 서로 대향 배치되어 합착된 박막 트랜지스터 어레이(TFTA) 및 컬러 필터 어레이(CFA)와, 이들 사이에 위치한 공간에 채워진 액정 분자들로 이루어지는 액정층(LC)을 포함한다. 도 3에 도시된 박막 트랜지스터 어레이(TFTA) 및 컬러 필터 어레이(CFA)와, 액정층(LC)의 구성은 공통전극과 화소전극을 제외하고는 도 1에 도시된 것과 동일하므로 다른 점에 대해서만 설명하기로 한다.
- [0038] 박막 트랜지스터 어레이(TFTA)의 제 1 기판(SUB) 상에는 도 1에 도시된 바와 같이 게이트 라인들(GL), 공통라인들(CL), 데이터 라인들(DL), 박막 트랜지스터들(TFT)이 배치된 배선 및 박막 트랜지스터층(WTL)이 배치된다. 배선 및 박막 트랜지스터층(WTL)은 제 1 절연막(INS1)으로 커버되어 있다.
- [0039] 제 1 절연막(INS1) 상에는 복수의 공통전극들(COM)과 복수의 화소전극들(P)이 각 화소영역 내에서 번갈아 배치된다. 공통전극들(COM)은 제 1 절연막(INS1)에 형성된 제 1 콘택홀(CH1)을 통해 공통라인(CL)에 접속되고, 화소전극들(P)은 제 1 절연막(INS1)에 형성된 제 2 콘택홀(CH2)을 통해 박막 트랜지스터(TFT)에 각각 접속된다(도 4 및 도 5 참조).
- [0040] 각 공통전극(COM)은 제 1 절연막(INS1) 상에 배치되는 하부 공통전극(LCOM), 하부 공통전극(LCOM) 상에 배치되는 제 1 구조체(S1), 제 1 구조체(S1) 상에 위치되는 상부 공통전극(UCOM)을 포함한다.
- [0041] 공통전극들(COM)의 하부 공통전극들(LCOM)은 제 1 절연막(INS1) 상의 화소영역 내에서 일정 간격을 두고 서로 나란하게 배치된다. 각 하부 공통전극(LCOM)은 제 1 폭을 갖는다.
- [0042] 제 1 구조체(S1)는 하부 공통전극(LCOM)과 실질적으로 동일한 제 1 폭을 갖는 제 1 상부 구조체(US1)와, 제 1 상부 구조체(US1)로부터 하부로 연장되며 제 1 폭보다 작은 제 2 폭을 갖는 제 1 하부 구조체(LS1)를 포함한다. 제 1 상부 구조체(US1)는 하부 공통전극(LCOM) 상에 배치된다. 제 1 상부 구조체(US1)와 제 1 하부 구조체(LS1)는 일체로 형성되어 대략 T자형의 구조체를 형성한다.
- [0043] 공통전극들(COM)의 각 상부 공통전극(UCOM)은 제 1 상부 구조체(US1)에 배치된다. 각각의 상부 공통전극(UCOM)은 각각의 하부 공통전극(LCOM)과 동일한 폭을 갖는다.
- [0044] 상부 공통전극들(UCOM) 및 하부 공통전극들(LCOM)은 일측 단부에서 서로 연결되고, 또한 공통라인(CL)에도 접속되므로, 각 화소영역 내의 상부 공통전극들(UCOM) 및 하부 공통전극들(LCOM)은 전기적으로 서로 연결된다.
- [0045] 이하, 상부 공통전극들(UCOM) 및 하부 공통전극들(LCOM)과 공통라인과의 연결에 대해 도 4를 참조하여 보다 상세히 설명하기로 한다. 도 4는 본 발명의 실시예에 따르는 수평 전계형 표시장치에서 상부 공통전극들(UCOM) 및 하부 공통전극들(LCOM)이 연결되는 영역을 도시한 단면도이다.
- [0046] 도 4를 참조하면, 각 화소영역의 공통전극들(COM)은 상부 공통전극들(UCOM) 및 하부 공통전극들(LCOM)이 연결되는 위치, 즉, 공통전극들(COM)의 일측 단부에서 T자형 제 1 구조체(S1)의 제 1 상부 구조체(US1)의 일부 영역, 제 1 하부 구조체(LS1)의 일측벽, 및 제 1 절연막(INS1)의 일부 영역을 커버하는 제 2 절연막(INS2)을 더 포함한다. 이에 따라 상부 공통전극(UCOM)은 제 1 상부 구조체(US1)뿐 아니라 제 2 절연막(INS2), 및 제 2 절연막(INS2) 외부로 노출되는 하부 공통전극(LCOM) 상에 배치된다. 따라서, 각 화소영역 내의 상부 공통전극(UCOM) 및 하부 공통전극(LCOM)은 각 공통전극(COM)의 일단부에서 서로 연결되고, 제 1 절연막(INS1)에 형성된 제 1 콘택홀(CH1)을 통해 배선 및 박막 트랜지스터층(WTL)에 형성된 공통라인(CL)에 접속될 수 있게 된다.
- [0047] 한편, 각 화소전극(P)은 제 1 절연막(INS1) 상에 배치되는 하부 화소전극(LP), 하부 화소전극(LP) 상에 배치되는 제 2 구조체(S2), 및 제 2 구조체(S2) 상에 위치되는 상부 화소전극(UP)을 포함한다.
- [0048] 화소전극들(P)의 각 하부 공통전극(LP)은 제 1 절연막(INS1) 상의 화소영역 내에서 하부 공통전극(LCOM)과 일정

간격을 두고 배치되며, 공통전극과 번갈아 배치된다. 각 하부 화소전극(LP)은 하부 공통전극(LCOM)과 실질적으로 동일한 제 1 폭을 갖는다.

[0049] 제 2 구조체(S2)는 하부 화소전극(LP)과 실질적으로 동일한 제 1 폭을 갖는 제 2 상부 구조체(US2)와, 제 2 상부 구조체(US2)로부터 하부로 연장되며 제 1 폭보다 작은 제 2 폭을 갖는 제 2 하부 구조체(LS2)를 포함한다. 제 2 상부 구조체(US2)는 하부 화소전극(LP) 상에 배치된다. 제 2 상부 구조체(US2)와 제 2 하부 구조체(LS2)는 일체로 형성되어 대략 T자형의 구조체를 형성한다.

[0050] 화소전극들(P)의 각 상부 화소전극(UP)은 제 2 상부 구조체(US2) 상에 배치된다. 각각의 상부 화소전극(UP)은 각각의 하부 화소전극(LP)과 동일한 폭 및 크기를 갖는다.

[0051] 상부 화소전극들(UCOM) 및 하부 화소전극들(LCOM)은 일측 단부에서 서로 연결되고 또한 박막 트랜지스터(TFT)에도 접속되므로 각 화소영역 내의 상부 화소전극들(UP) 및 하부 화소전극들(LP)은 전기적으로 서로 연결된다.

[0052] 이하, 상부 화소전극들(UP) 및 하부 화소전극들(LP)과 박막 트랜지스터의 연결에 대해 도 5를 참조하여 보다 상세히 설명하기로 한다. 도 5는 본 발명의 실시예에 따르는 수평 전계형 표시장치에서 상부 화소전극들(UP) 및 하부 화소전극들(LP)이 연결되는 영역을 도시한 단면도이다.

[0053] 도 5를 참조하면, 각 화소영역의 화소전극들(P)은 상부 화소전극들(UCOM) 및 하부 화소전극들(LP)이 연결되는 위치, 즉, 각 화소전극(P)의 일측 단부에서 T자형 제 2 구조체(S2)의 제 2 상부 구조체(US2)의 일부 영역, 제 2 하부 구조체(LS2)의 일측벽, 및 제 1 절연막(INS1)의 일부 영역을 커버하는 제 2 절연막(INS2)을 더 포함한다. 이에 따라 상부 화소전극(UP)은 제 2 상부 구조체(US2)뿐 아니라 제 2 절연막(INS2), 및 제 2 절연막(INS2) 외부로 노출되는 하부 공통전극(LCOM) 상에 배치된다. 따라서, 각 화소영역 내의 상부 화소전극(UP) 및 하부 화소전극(LP)은 각 화소전극(P)의 일단부에서 서로 연결되고, 제 1 절연막(INS1)에 형성된 제 2 콘택홀(CH2)을 통해 배선 및 박막 트랜지스터층(WTL)에 형성된 박막 트랜지스터(TFT)에 접속될 수 있다.

[0054] 상기 구성에서, 하부 공통전극들(LCOM) 및 하부 화소전극들(LP)은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텅스텐(W) 또는 이들의 합금으로 이루어진 군(group)에서 선택되는 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0055] 또한, 상부 공통전극들(UCOM) 및 상부 화소전극들(UP)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), GZO(Gallium-doped Zinc Oxide)를 포함하는 투명 도전성 물질로부터 선택되는 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0056] 상술한 본 발명의 제 1 실시예에 따르는 수평 전계형 액정 표시장치에 의하면, 제 1 구조체(S1)의 상부 및 하부에 각각 상부 및 하부 공통전극들(UCOM, LCOM)이 배치되고, 제 2 구조체(S2)의 상부 및 하부에 각각 상부 및 하부 화소전극들(UP, LP)이 배치되기 때문에, 액정층의 상층부 영역에서도 균일한 전계가 형성될 수 있게 된다. 따라서, 액정층의 액정분자를 구동시키기 위한 구동전압을 높이지 않고도 액정층 전체에 균일한 수평전계를 형성할 수 있는 효과를 얻을 수 있다.

[0057] 또한, 액정층 상층부와 하층부의 전계가 균일하게 형성되므로, 전계 불균일로 인해 액정층 상층부에 위치한 액정의 거동 불량으로 인한 빛샘 현상을 제거할 수 있는 효과를 얻을 수 있게 된다.

[0058] 또한, 제 1 및 제 2 하부 구조체가 언더컷 구조를 갖게 되어 하부 공통전극과 하부 화소전극이 제 1 및 제 2 구조체들 외측으로 각각 노출되기 때문에 각 전극의 일단부 측에서 상부 공통전극 및 상부 화소전극과 일괄 접속이 가능하여 공간 활용도가 높아지는 효과를 얻을 수 있다.

[0059] 다음으로, 본 발명의 제 1 실시예에 따르는 수평 전계형 액정 표시장치의 공통전극 및 화소전극을 제조하는 방법에 대해 도 6a 내지 도 6g를 참조하여 설명하기로 한다. 도 6a 내지 도 6g는 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 마스크 공정들을 도시한 단면도이다.

[0060] 도 6a 내지 도 6g에서 공통전극들 및 화소전극들이 형성되는 제 1 절연막(INS1) 하부 구성의 제조공정에 대해서는 이미 알려져 있는 사항이므로 편의상 그에 대한 자세한 제조공정 단계는 생략되었다. 또한, 이들 도면에서 최좌측에 도시된 전극구조는 도 1에 도시된 박막 트랜지스터에 접속되는 화소전극의 일단부들과, 공통라인에 접속되는 공통전극의 일단부들에 모두 적용되므로, 도면 상에 편의상 전극 접속부(EC)라 표시하고, 중앙부의 전극은 공통전극(COM), 우측의 전극은 화소전극(P)이라 각각 표시하였다. 따라서, 도 6a 내지 도 6e에 도시된 공통전극과 화소전극 제조방법에서 설명되는 최좌측 전극은 별도의 전극이 아니라 공통전극(COM)과 화소전극(P)의

일측 단부를 나타내고 있으므로 도면 상에서 공통전극과 화소전극으로 표시하였다.

- [0061] 도 6a는 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 1 마스크 공정을 도시한 단면도이다.
- [0062] 도 6a를 참조하면, 제 1 절연막(INS1) 상에 금속물질과 절연물질이 순차적으로 적층된 후, 제 1 마스크를 이용한 제 1 포토 레지스트 공정을 통해 금속층(ML)과, 금속층(ML) 상부에 일정한 간격을 두고 나란하게 배치되는 T자형의 제 1 구조체(S1) 및 제 2 구조체(S2)가 형성된다.
- [0063] 보다 구체적으로, 제 1 절연막(INS1) 상에 예를 들면 스퍼터링 공정을 통해 높은 도전성을 갖는 금속물질, 유기 절연물질 및 제 1 포토레지스트가 순차적으로 적층된다. 그리고, 제 1 마스크를 이용한 포토리소그래피 공정을 통해 제 1 포토레지스트 패턴(도시생략)이 형성되고, 제 1 포토레지스트 패턴을 통해 노출된 유기 절연물질이 제 1 포토레지스트 패턴을 마스크로 이용한 노광 및 에칭에 의해 패터닝된다. 그 후 잔류하는 제 1 포토레지스트 패턴이 애싱됨으로써, 금속층(ML) 상부에 일정한 간격을 두고 나란하게 배치되는 T자형의 제 1 구조체(S1) 및 제 2 구조체(S2)가 형성된다. 제 1 마스크 공정에서 이용되는 금속물질은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텅스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택될 수 있다. 또, 절연물질로는 검은 색 색상을 갖는 유기 절연물질이 이용될 수 있다.
- [0064] 제 1 구조체(S1)는 제 1 폭을 갖는 제 1 상부 구조체(US1)와, 제 1 상부 구조체(US1)로부터 하부로 연장되며 제 1 폭보다 작은 제 2 폭을 갖는 제 1 하부 구조체(LS1)를 포함한다. 즉, 제 1 하부 구조체(LS1)는 제 1 상부 구조체(US1)의 측면에서 일정 거리만큼 내측으로 과식각된 언더컷(undercut) 모양을 가질 수 있다.
- [0065] 제 2 구조체(S2)는 제 1 구조체(S1)의 제 1 폭과 실질적으로 동일한 제 1 폭을 갖는 제 2 상부 구조체(US2)와, 제 2 상부 구조체(US2)로부터 하부로 연장되며 제 1 폭보다 작은 제 2 폭을 갖는 제 2 하부 구조체(LS2)를 포함한다. 즉, 제 2 하부 구조체(LS2) 또한 제 2 상부 구조체(US2)의 측면에서 일정 거리만큼 내측으로 과식각된 언더컷 모양을 가질 수 있다.
- [0066] 도 6b 및 도 6c는 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 2 마스크 공정을 도시한 단면도이다.
- [0067] 도 6b를 참조하면, 제 1 및 제 2 구조체들(S1, S2)이 형성된 금속층(ML) 상에 제 2 포토레지스트가 적층된 후, 제 2 마스크를 이용한 포토리소그래피 공정을 통해 제 1 및 제 2 하부 구조체들(LS1, LS2)의 언더컷 부분에 채워지는 제 2 포토레지스트 패턴(PR2)이 형성된다. 제 2 포토레지스트 패턴(PR2)은 공통전극(COM), 및 화소전극(P)의 일측 단부의 위치에서 제 1 상부 구조체(US1) 및 제 2 상부 구조체(US2)의 외측으로 돌출되도록 형성된다.
- [0068] 도 6c를 참조하면, 제 1 및 제 2 구조체들(S1, S2)과 제 2 포토레지스트 패턴(PR2)을 통해 노출된 금속층(ML)은 제 2 포토레지스트 패턴(PR2)을 형성하기 위해 이용했던 마스크를 이용한 노광 및 에칭에 의해 제거되고, 애싱에 의해 잔류하는 제 2 포토레지스트 패턴(PR2)이 제거된다. 이에 따라, 제 1 하부 구조체(LS1)의 하부에는 제 1 상부 구조체(US1)의 제 1 폭과 실질적으로 동일한 제 1 폭을 갖는 하부 공통전극(LCOM)이 형성되고, 제 2 하부 구조체(LS2)의 하부에는 제 2 상부 구조체(US2)의 제 1 폭과 실질적으로 동일한 제 1 폭을 갖는 하부 화소전극(LP)이 형성된다. 따라서, 제 1 상부 구조체(US1), 제 2 상부 구조체(US2), 하부 공통전극(LCOM), 및 하부 화소전극(LP)의 폭은 모두 실질적으로 동일한 제 1 폭을 갖는다. 그러나, 하부 공통전극(LCOM), 및 하부 화소전극(LP)은 그 일측 단부의 위치에서는 제 1 상부 구조체(US1) 및 제 2 상부 구조체(US2)의 외측으로 돌출되도록 형성된다.
- [0069] 도 6d 및 도 6e는 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 3 마스크 공정을 도시한 단면도이다.
- [0070] 도 6d를 참조하면, 제 1 및 제 2 구조체들(S1, S2)과, 하부 공통전극(LCOM), 및 하부 화소전극(LP)이 형성된 전체 상부에 제 2 절연물질이 적층된 후, 제 3 마스크를 이용한 포토리소그래피 공정을 통해 제 2 절연층(INS2)이 형성된다.
- [0071] 보다 구체적으로, 제 1 및 제 2 구조체들(S1, S2)과, 하부 공통전극(LCOM), 및 하부 화소전극(LP)이 형성된 전체 상부에 제 2 절연물질과 제 3 포토레지스트가 순차적으로 적층된다. 그 후 제 3 마스크를 이용한 포토리소그래피 공정을 통해 하부 공통전극(LCOM)과 하부 화소전극(LP)의 일측 단부를 제외한 모든 영역이 노출되도록 제 3 포토레지스트 패턴(도시생략)이 형성된다. 제 3 포토레지스트 패턴을 통해 노출된 제 2 절연물질은 제 3

포토리지스트 패턴을 마스크로 이용한 노광 및 식각을 통해 제거되고, 잔류하는 제 3 포토리지스트 패턴은 애싱을 통해 제거됨으로써 제 2 절연막(INS2)이 형성된다. 제 2 절연막은 하부 공통전극(LCOM)과 하부 화소전극(LP)의 일측 단부에 대응하는 위치에서 제 1 상부 구조체(US1)의 일부 영역과, 제 2 상부 구조체(US2)의 일부 영역과, 제 1 및 제 2 하부 구조체들(LS1, LS2)의 언더컷 영역을 커버하고, 하부 공통전극(LCOM)의 일부분과 하부 화소전극(LP)의 일부분을 노출시킨다.

- [0072] 도 6e를 참조하면, 제 1 및 제 2 구조체들(S1, S2)과, 제 1 하부 공통전극(LCOM), 제 1 하부 화소전극(LP) 및 제 2 절연막(INS2)이 형성된 전체 구조의 상면에 투명 도전성 물질이 도포된다. 투명 도전성 금속물질은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), GZO(Gallium-doped Zinc Oxide)로부터 선택될 수 있다.
- [0073] 이에 따라, 제 1 상부 구조체(US1), 제 2 상부 구조체(US2), 제 2 절연막(INS2), 및 하부 공통전극(LCOM)과 하부 화소전극(LP) 사이의 노출된 제 1 절연막(INS1) 상에는 단차 때문에 각각 투명 도전성 물질이 분리되어 위치하게 된다. 따라서, 제 1 상부 구조체(US1) 상에 위치하는 투명 도전성 물질은 상부 공통전극(UCOM)으로 되고, 제 2 상부 구조체(US2) 상에 위치하는 투명 도전성 물질은 상부 화소전극(UP)으로 된다. 이와 달리, 제 1 상부 구조체(US1) 상에 위치하는 투명 도전성 물질은 상부 화소전극(UP)으로 되고, 제 2 상부 구조체(US2) 상에 위치하는 투명 도전성 물질은 상부 공통전극(UCOM)으로 될 수도 있음을 물론이다.
- [0074] 도 6f 및 도 6g는 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 4 마스크 공정을 도시한 단면도이다.
- [0075] 도 6f 및 도 6g를 참조하면, 투명 도전성 물질이 위치된 전체 상부에 제 4 포토리지스트를 도포한 후, 제 4 마스크를 이용한 포토리소그래피 공정을 통해 제 1 상부 구조체(US1) 상에 위치하는 상부 공통전극(UCOM)과 제 2 상부 구조체(US2) 상에 위치하는 상부 화소전극(UP)이 각각 형성된다.
- [0076] 보다 구체적으로, 도 6f를 참조하면, 투명 도전성 물질이 위치된 전체 상부에 제 4 포토리지스트가 도포된 후, 제 4 마스크를 이용한 포토리소그래피 공정으로 하부 공통전극(LCOM)과 하부 화소전극(LP) 사이에 위치된 투명 도전성 물질을 노출시키는 제 4 포토리지스트 패턴(도시 생략)이 형성된다.
- [0077] 도 6g를 참조하면, 제 4 포토리지스트 패턴을 마스크로 이용한 노광 및 식각을 통해 제 1 절연막(INS1) 상의 투명 도전성 물질이 완전히 제거된 후, 잔류하는 제 4 포토리지스트 패턴이 애싱을 통해 제거된다. 이에 따라, 상부 공통전극(UCOM)과 동일한 제 1 폭을 갖는 하부 공통전극(LCOM)과 상부 화소전극(UP)과 동일한 제 1 폭을 갖는 하부 화소전극(LP)이 얻어진다. 그러나, 하부 공통전극(LCOM)과 하부 화소전극(LP)은 제 2 절연막(INS2) 외측으로 노출된 돌출부를 각각 구비하므로, 상부 공통전극(UCOM)의 길이는 하부 공통전극(LCOM)의 길이보다 짧고, 상부 화소전극(UP)의 길이는 하부 화소전극(LP)의 길이보다 짧아진다.
- [0078] 상술한 본 발명의 제 1 실시예에 따르는 수평 전계형 액정 표시장치의 공통전극과 화소전극에 따르면, T자형 제 1 및 제 2 구조체들(S1, S2)을 이용하여 공통전극(COM)과 화소전극(P)이 각각 상부 공통전극(UCOM), 하부 공통전극(LCOM), 상부 화소전극(UP), 및 하부 화소전극(LP)으로 분할된다. 또한, 공통전극(COM)의 일측 단부에서 상부 공통전극(UCOM)과 하부 공통전극(LCOM)이 전기적으로 연결되고, 화소전극(P)의 상부 화소전극(UP)과 하부 화소전극(LP)이 전기적으로 연결될 수 있게 된다. 이에 따라 상부 공통전극(UCOM)과 상부 화소전극(UP) 사이에 전계가 형성되고, 하부 공통전극(LCOM)과 하부 화소전극(LP) 사이에 전계가 형성되기 때문에 액정층의 하층부와 상층부에 균일한 전계가 형성될 수 있게 된다.
- [0079] 따라서, 액정층 전체에 걸쳐 균일한 전기장을 형성시키기 위해 공통전극과 화소전극을 고전압으로 구동시킬 필요가 없게 되는 효과를 얻을 수 있다.
- [0080] 또한, 액정층 상층부와 하층부의 전계가 균일하게 형성되므로, 전계 불균일로 인해 액정층 상층부에 위치한 액정의 거동 불량으로 인한 빛샘 현상을 제거할 수 있는 효과를 얻을 수 있게 된다.
- [0081] 또한, 제 1 및 제 2 하부 구조체(LS1, LS2)가 언더컷 구조를 갖게 되어 하부 공통전극(LCOM)과 하부 화소전극(LP)이 제 1 및 제 2 구조체들(S1, S2) 외측으로 각각 노출되기 때문에 각 전극의 일단부 측에서 상부 공통전극(UCOM) 및 상부 화소전극(UP)과 일괄 접속이 가능하여 공간 활용도가 높아지는 효과를 얻을 수 있다.
- [0082] 다음으로, 도 7을 참조하여 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치를 보다 구체적으로 설명하기로 한다. 도 7은 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치를 개략적으로 도시한 단면도이다.
- [0083] 본 발명의 제 2 실시예에 따르는 액정 표시장치는 상부 공통전극(UCOM)과 하부 공통전극(LCOM) 및 상부 화소전극

(UP)과 하부 화소전극(UP)이 실질적으로 동일한 크기로 구성되고, 제 2 절연막(INS2)은 상부 공통전극(UCOM)및 상부 화소전극(UP)의 폭보다 좁게 형성되어 상부 공통전극(UCOM)과 상부 화소전극(UP) 각각의 양측부들과 하부 공통전극(LCOM)과 하부 화소전극(LP) 각각의 양측부들이 제 2 절연막(INS2) 외측으로 노출되며, 상부 공통전극(UCOM)이 하부 공통전극(LCOM)의 노출된 양측부에 접속되고, 상부 화소전극(UP)이 하부 화소전극(LP)의 노출된 양측부에 접속된다는 점에서 도 3에 도시된 제 1 실시예에 따르는 액정 표시장치와 다르다.

[0084] 이하, 상부 공통전극들(UCOM) 및 하부 공통전극들(LCOM)과 공통라인과의 연결에 대해 도 8a 및 도 8b를 참조하여 보다 상세히 설명하기로 한다. 도 8a는 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치에서 상부 공통전극들 및 하부 공통전극들이 연결되는 영역의 측면을 도시한 단면도이고, 도 8b는 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치에서 상부 공통전극들 및 하부 공통전극들이 연결되는 영역의 정면을 도시한 단면도이다.

[0085] 도 8a 및 도 8b를 참조하면, 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치의 제 2 절연막(INS2)은 상부 공통전극(UCOM) 및 하부 공통전극(LCOM)의 폭보다 좁게 형성된다. 이에 따라 상부 공통전극(UCOM)의 양측부들과 하부 공통전극(LCOM)의 양측부들은 제 2 절연막(INS2) 외측으로 노출된다. 상부 공통전극(UCOM)은 제 2 절연막(INS2)을 통해 노출된 제 1 상부 구조체(US1)와, 제 2 절연막(INS2)의 상부와, 제 2 절연막(INS2)을 통해 노출된 하부 공통전극(LCOM)의 양측부상에 배치된다. 또한, 상부 공통전극(UCOM)은 제 1 절연막(INS1)과 배선 및 박막 트랜지스터층(WTL)을 관통하는 제 1 콘택홀(CH1)을 통해 배선 및 박막 트랜지스터층(WTL)에 배치된 공통라인(CL)에 접속된다.

[0086] 다음으로, 상부 화소전극들(UP) 및 하부 화소전극들(LP)과 공통라인과의 연결에 대해 도 9a 및 도 9b를 참조하여 보다 상세히 설명하기로 한다. 도 9a는 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치에서 상부 화소전극들 및 하부 화소전극들이 연결되는 영역의 측면을 도시한 단면도이고, 도 9b는 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치에서 상부 화소전극들 및 하부 화소전극들이 연결되는 영역의 정면을 도시한 단면도이다.

[0087] 도 9a 및 도 9b를 참조하면, 본 발명의 제2실시예에 따르는 액정 표시장치의 제 2 절연막(INS2)은 상부 화소전극(UP)및 하부 화소전극(LP)의 폭보다 좁게 형성된다. 이에 따라 상부 화소전극(UCOM)의 양측부들과 하부 화소전극(LP)의 양측부들은 제 2 절연막(INS2) 외측으로 노출된다. 상부 화소전극(UP)은 제 2 절연막(INS2)을 통해 노출된 제 1 상부 구조체(US1)와, 제 2 절연막(INS2)의 상부와, 제 2 절연막(INS2)을 통해 노출된 하부 공통전극(LCOM)의 양측부 상에 배치된다. 또한, 상부 화소전극(UP)은 제 1 절연막(INS1)과 배선 및 박막 트랜지스터층(WTL)을 관통하는 제 2 콘택홀(CH2)을 통해 배선 및 박막 트랜지스터층(WTL)에 배치된 박막 트랜지스터(TFT)에 접속된다.

[0088] 상술한 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치에 의하면 제 1 실시예에 따르는 수평 전계형 액정 표시장치와 동일한 효과를 얻을 수 있다. 더욱이 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치에 의하면 상부 공통전극과 하부 공통전극의 크기 및 상부 화소전극과 하부 화소전극의 크기가 정확하게 셀프얼라인되어(self-aligned), 마스크 정렬오차에 의한 제품불량을 방지할 수 있는 효과를 더 얻을 수 있게 된다.

[0089] 다음으로, 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치의 공통전극 및 화소전극을 제조하는 방법에 대해 도 10a 내지 도 10g를 참조하여 설명하기로 한다. 도 10a 내지 도 10g는 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 마스크 공정들을 도시한 단면도이다.

[0090] 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치의 제조방법은 제 2 게이트 절연막을 형성하는 방법과, 그에 따라 나타나는 제 2 절연막의 구조가 달라진다는 점과, 제 2 절연막의 구조변경에 따라, 상부 공통전극과 하부 공통전극의 크기 및 상부 화소전극과 하부 화소전극의 크기가 정확하게 셀프얼라인할 수 있게 된다는 점에서 본 발명의 제 1 실시예에 따르는 수평 전계형 표시장치의 제조방법과 차이가 있다. 이하, 도 9a 내지 도 9g를 참조하여 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치에 대해 설명하기로 한다.

[0091] 도 10a는 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 1 마스크 공정을 도시한 단면도이다.

[0092] 도 10a를 참조하면, 제 1 절연막(INS1) 상에 금속물질과 절연물질이 순차적으로 적층된 후, 제 1 마스크를 이용한 제 1 포토 레지스트 공정을 통해 금속층(ML)과, 금속층(ML) 상부에 일정한 간격을 두고 나란하게 배치되는 T 자형의 제 1 구조체(S1) 및 제 2 구조체(S2)가 형성된다.

- [0093] 보다 구체적으로, 제 1 절연막(INS1) 상에 예를 들면 스퍼터링 공정을 통해 높은 도전성을 갖는 금속물질, 유기 절연물질 및 제 1 포토레지스트가 순차적으로 적층된다. 그리고, 제 1 마스크를 이용한 포토리소그래피 공정을 통해 제 1 포토레지스트 패턴(도시생략)이 형성되고, 제 1 포토레지스트 패턴을 통해 노출된 유기 절연물질이 제 1 포토레지스트 패턴을 마스크로 이용한 노광 및 에칭에 의해 패터닝된다. 그 후 잔류하는 제 1 포토레지스트 패턴이 애싱됨으로써, 금속층(ML) 상부에 일정한 간격을 두고 나란하게 배치되는 T자형의 제 1 구조체(S1) 및 제 2 구조체(S2)가 형성된다. 제 1 마스크 공정에서 이용되는 금속물질은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텅스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택될 수 있다. 또, 절연물질로는 검은 색 색상을 갖는 유기 절연물질이 이용될 수 있다.
- [0094] 제 1 구조체(S1)는 제 1 폭을 갖는 제 1 상부 구조체(US1)와, 제 1 상부 구조체(US1)로부터 하부로 연장되며 제 1 폭보다 작은 제 2 폭을 갖는 제 1 하부 구조체(LS1)를 포함한다. 즉, 제 1 하부 구조체(LS1)는 제 1 상부 구조체(US1)의 측면에서 일정 거리만큼 내측으로 과식각된 언더컷(undercut) 모양을 가질 수 있다.
- [0095] 제 2 구조체(S2)는 제 1 구조체(S1)의 제 1 폭과 실질적으로 동일한 제 1 폭을 갖는 제 2 상부 구조체(US2)와, 제 2 상부 구조체(US2)로부터 하부로 연장되며 제 1 폭보다 작은 제 2 폭을 갖는 제 2 하부 구조체(LS2)를 포함한다. 즉, 제 2 하부 구조체(LS2) 또한 제 2 상부 구조체(US2)의 측면에서 일정 거리만큼 내측으로 과식각된 언더컷 모양을 가질 수 있다.
- [0096] 도 10b 및 도 10c는 본 발명의 제 2실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 2 마스크 공정을 도시한 단면도이다.
- [0097] 도 10b를 참조하면, 제 1 및 제 2 구조체들(S1, S2)이 형성된 금속층(ML) 상에 제 2 포토레지스트가 적층된 후, 제 2 마스크를 이용한 포토리소그래피 공정을 통해 제 1 및 제 2 하부 구조체들(LS1, LS2)의 언더컷 부분에 채워지는 제 2 포토레지스트 패턴(PR2)이 형성된다. 제 2 포토레지스트 패턴(PR2)은 공통전극(COM), 및 화소전극(P)의 일측 단부의 위치에서 제 1 상부 구조체(US1) 및 제 2 상부 구조체(US2)의 외측으로 돌출되도록 형성된다.
- [0098] 도 10c를 참조하면, 제 1 및 제 2 구조체들(S1, S2)과 제 2 포토레지스트 패턴(PR2)을 통해 노출된 금속층(ML)은 제 2 포토레지스트 패턴(PR2)을 마스크로 이용한 노광 및 에칭에 의해 제거되고, 애싱에 의해 잔류하는 제 2 포토레지스트 패턴(PR2)이 제거된다. 따라서, 제 2 포토레지스트 패턴을 형성하기 위해 이용되었던 마스크를 사용할 필요가 없게 된다. 이에 따라, 제 1 하부 구조체(LS1)의 하부에는 제 1 상부 구조체(US1)의 크기와 실질적으로 동일한 크기를 갖는 하부 공통전극(LCOM)이 형성되고, 제 2 하부 구조체(LS2)의 하부에는 제 2 상부 구조체(US2)의 크기와 실질적으로 동일한 크기를 갖는 하부 화소전극(LP)이 형성된다. 따라서, 제 1 상부 구조체(US1), 제 2 상부 구조체(US2), 하부 공통전극(LCOM), 및 하부 화소전극(LP)는 모두 실질적으로 동일한 크기를 가지므로, 제 1 실시예의 경우와 달리 하부 공통전극(LCOM), 및 하부 화소전극(LP) 각각의 일측 단부에서 제 1 상부 구조체(US1) 및 제 2 상부 구조체(US2)의 외측으로 돌출된 부분이 형성되지 않게 된다.
- [0099] 도 10d 및 도 10e는 본 발명의 제 2실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 3 마스크 공정을 도시한 단면도이다.
- [0100] 도 10d를 참조하면, 제 1 및 제 2 구조체들(S1, S2)과, 하부 공통전극(LCOM), 및 하부 화소전극(LP)이 형성된 전체 상부에 제 2 절연물질이 적층된 후, 제 3 마스크를 이용한 포토리소그래피 공정을 통해 제 2 절연막(INS2)이 형성된다.
- [0101] 보다 구체적으로, 제 1 및 제 2 구조체들(S1, S2)과, 하부 공통전극(LCOM), 및 하부 화소전극(LP)이 형성된 전체 상부에 제 2 절연물질과 제 3 포토레지스트가 순차적으로 적층된다. 그 후 제 3 마스크를 이용한 포토리소그래피 공정을 통해 제 2 절연막을 형성할 영역을 제외한 나머지 영역이 노출되도록 제 3 포토레지스트 패턴(도시생략)이 형성된다. 제 3 포토레지스트 패턴을 통해 노출된 제 2 절연물질은 제 3 포토레지스트 패턴을 마스크로 이용한 노광 및 식각을 통해 제거되고, 잔류하는 제 3 포토레지스트 패턴은 애싱을 통해 제거됨으로써 제 2 절연막(INS2)이 형성된다. 제 2 절연막(INS2)은 상부 공통전극(UCOM) 및 하부 공통전극(LCOM)의 폭보다 좁게 형성된다. 이에 따라 상부 공통전극(UCOM)의 양측부들과 하부 공통전극(LCOM)의 양측부들은 제 2 절연막(INS2)의 외측으로 노출된다.
- [0102] 도 10e를 참조하면, 제 1 및 제 2 구조체들(S1, S2)과, 제 1 하부 공통전극(LCOM), 제 1 하부 화소전극(LP) 및 제 2 절연막(INS2)이 형성된 전체 구조의 상면에 투명 도전성 물질이 도포된다. 투명 도전성 금속물질은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), GZO(Gallium-doped Zinc Oxide)로부터 선택될 수 있다.

- [0103] 이에 따라, 제 1 상부 구조체(US1), 제 2 상부 구조체(US2), 제 2 절연막(INS2), 및 하부 공통전극(LCOM)과 하부 화소전극(LP) 사이의 노출된 제 1 절연막(INS1) 상에는 단차 때문에 각각 투명 도전성 물질이 분리되어 위치하게 된다. 또한, 제 1 상부 구조체(US1)와 제 2 상부 구조체(US2)의 단부 상에는 이들 구조체의 폭보다 좁은 폭을 갖도록 제 2 절연막(INS2)이 위치되므로, 제 2 절연막(INS2) 외측으로 노출된 제 1 및 제 2 상부 구조체들(US1, US2) 상과 제 1 및 제 2 하부 구조체(LS1, LS2)들 상에도 투명 도전성 물질이 위치된다. 따라서, 제 1 상부 구조체(US1) 상에 위치하는 투명 도전성 물질은 상부 공통전극(UCOM)으로 되고, 제 2 상부 구조체(US2) 상에 위치하는 투명 도전성 물질은 상부 화소전극(UP)으로 된다. 이와 달리, 제 1 상부 구조체(US1) 상에 위치하는 투명 도전성 물질은 상부 화소전극(UP)으로 되고, 제 2 상부 구조체(US2) 상에 위치하는 투명 도전성 물질은 상부 공통전극(UCOM)으로 될 수도 있음을 물론이다.
- [0104] 도 10f 및 도 10g는 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치의 공통전극 및 화소전극을 제조하기 위한 제 4 마스크 공정을 도시한 단면도이다.
- [0105] 도 10f 및 도 10g를 참조하면, 투명 도전성 물질이 위치된 전체 상부에 제 4 포토레지스트를 도포한 후, 제 4 마스크를 이용한 포토리소그래피 공정을 통해 제 1 상부 구조체(US1) 상에 위치하는 상부 공통전극(UCOM)과 제 2 상부 구조체(US2) 상에 위치하는 상부 화소전극(UP)이 각각 형성된다.
- [0106] 보다 구체적으로, 도 10f를 참조하면, 투명 도전성 물질이 위치된 전체 상부에 제 4 포토레지스트가 도포된 후, 제 4 마스크를 이용한 포토리소그래피 공정으로 하부 공통전극(LCOM)과 하부 화소전극(LP) 사이에 위치된 제 1 절연막(INS1) 상의 투명 도전성 물질을 노출시키는 제 4 포토레지스트 패턴(도시 생략)이 형성된다.
- [0107] 도 10g를 참조하면, 제 4 포토레지스트 패턴을 마스크로 이용한 노광 및 식각을 통해 제 1 절연막(INS1) 상의 투명 도전성 물질이 완전히 제거된 후, 잔류하는 제 4 포토레지스트 패턴이 애싱을 통해 제거된다. 이에 따라, 상부 공통전극(UCOM)과 동일한 크기를 갖는(즉, 폭과 길이가 같은) 하부 공통전극(LCOM)과 상부 화소전극(UP)과 동일한 크기를 갖는(즉, 폭과 길이가 같은) 하부 화소전극(LP)이 얻어진다.
- [0108] 상술한 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치에 의하면, 상부 공통전극과 하부 공통전극, 상부 화소전극과 하부 화소전극을 셀프얼라인 방식으로 형성할 수 있기 때문에 마스크의 미스얼라인(misalign)에 따른 공정오차를 줄일 수 있어 제품 불량률 방지할 수 있는 효과를 얻을 수 있다.
- [0109] 도 11은 종래의 수평 전계형 액정 표시장치와 본 발명의 실시예들에 따르는 수평 전계형 액정 표시장치의 투과율을 도시한 그래프이다. 도 11에서 가로 축은 화소전극에 공급되는 구동전압을, 세로 축은 액정 표시장치의 투과효율을 나타낸다. 도 11에 도시된 바와 같이, 종래의 점선으로 표시한 수평 전계형 액정 표시장치는 최대 구동전압 60V에서 최대 투과효율이 0.187이었으나, 본 발명의 실시예들에 따르는 수평 전계형 액정 표시장치에서는 구동전압 36V에서 투과효율이 0.21로 나타났다. 따라서, 본 발명의 실시예들에 따르는 수평 전계형 액정 표시장치는 종래의 수평 전계형 액정 표시장치에 비해 훨씬 낮은 구동전압으로도 높은 투과효율을 얻을 수 있음을 알 수 있다.
- [0110] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

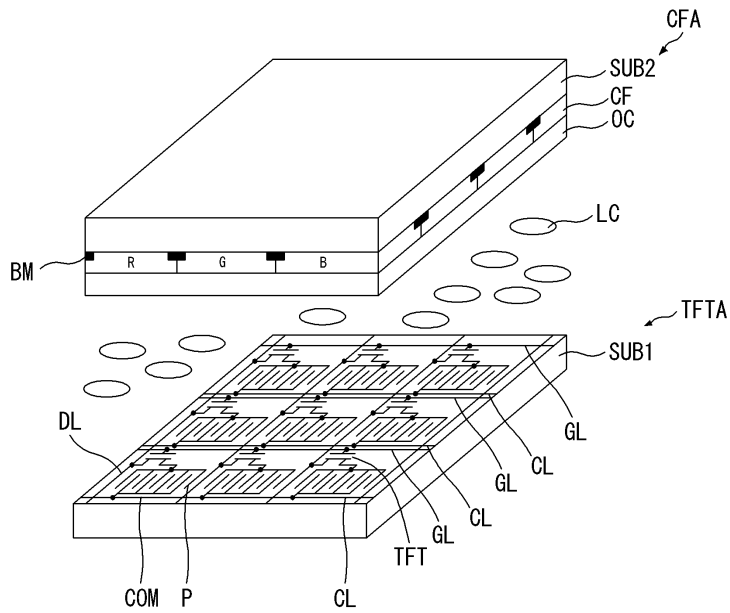
부호의 설명

- [0111] SUB1, SUB2: 기판 INS1, INS2: 절연층
WTL: 배선 및 박막 트랜지스터층 S1, S2: 구조체
LS1, LS2: 하부 구조체 US1, US2: 상부 구조체
COM: 공통전극 LCOM: 하부 공통전극
UCOM: 상부 공통전극 P: 화소전극

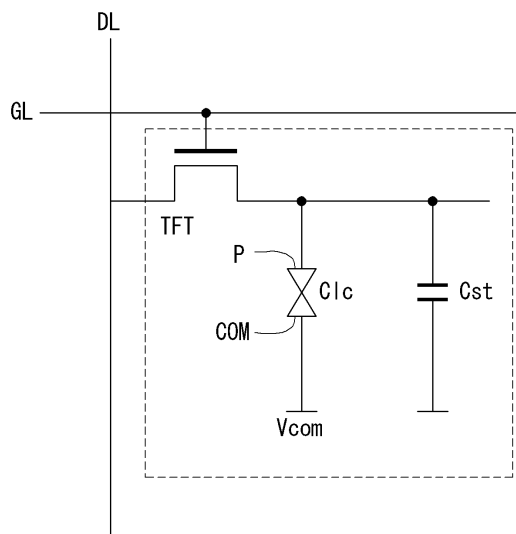
LP: 하부 화소전극 UP: 상부 화소전극

도면

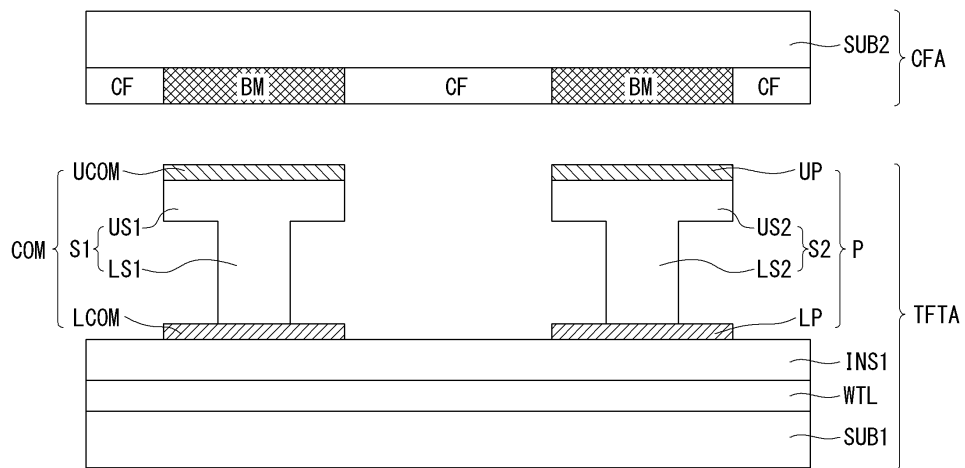
도면1



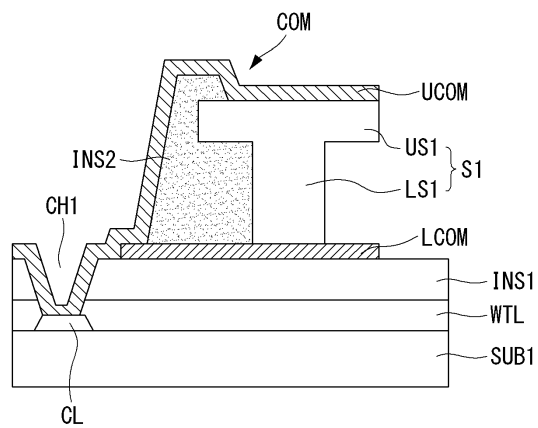
도면2



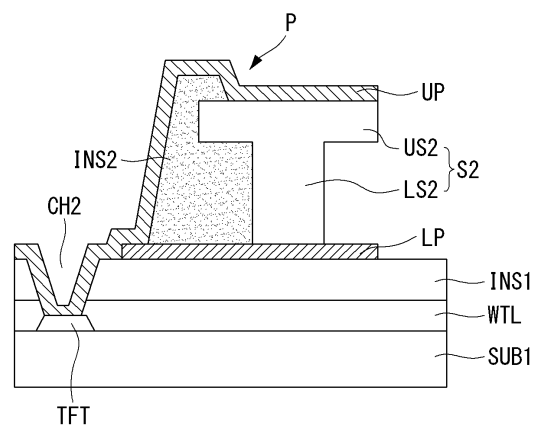
도면3



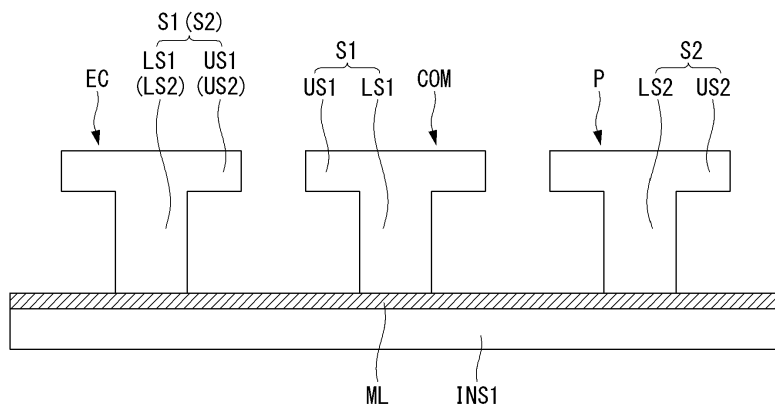
도면4



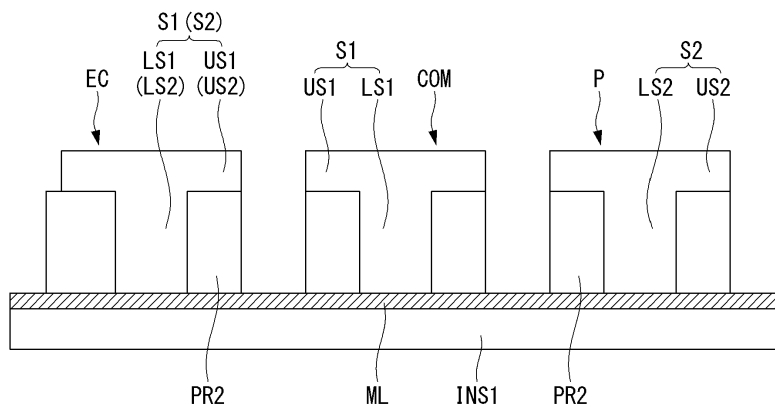
도면5



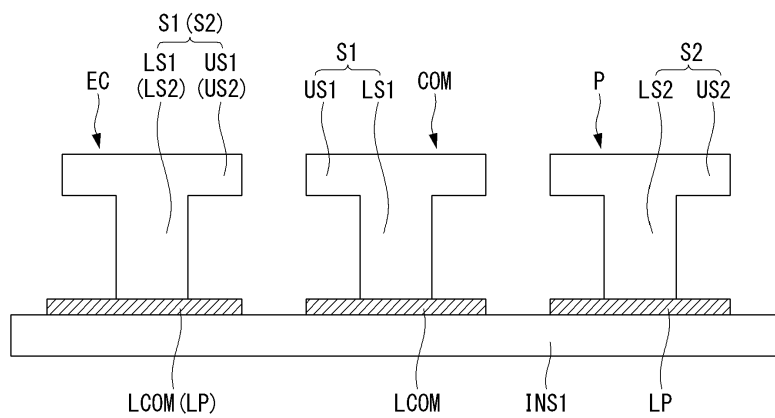
도면6a



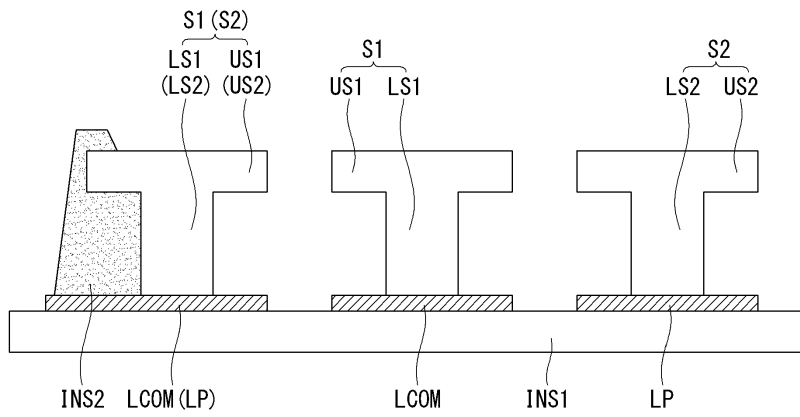
도면6b



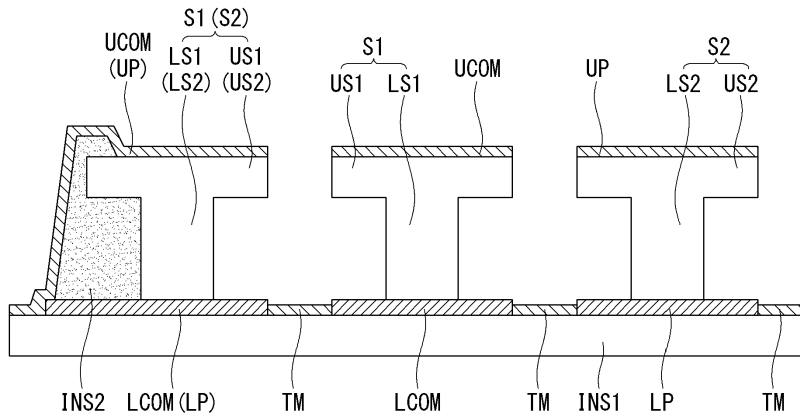
도면6c



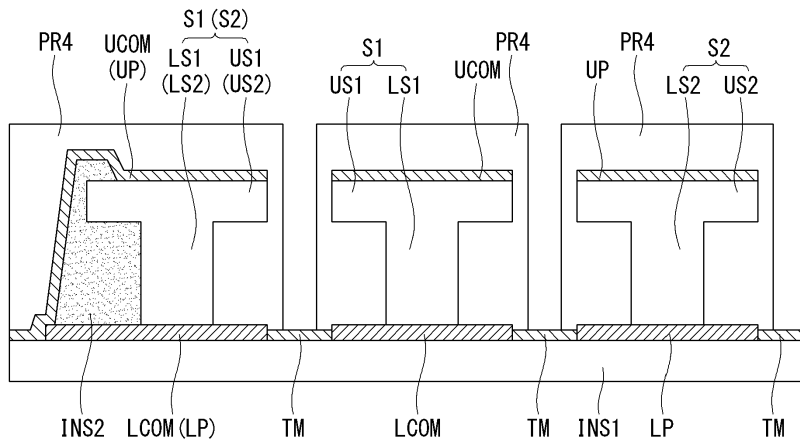
도면6d



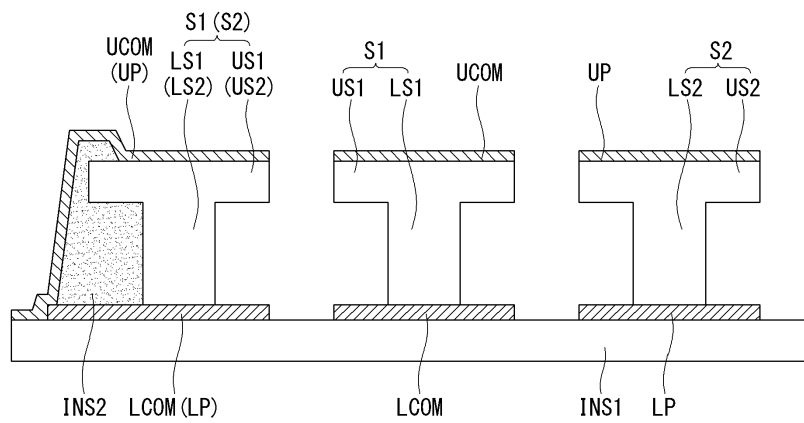
도면6e



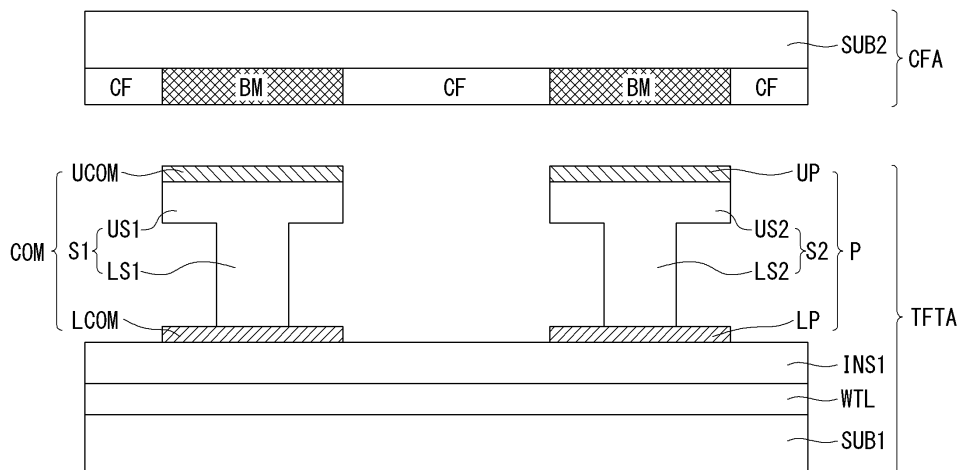
도면6f



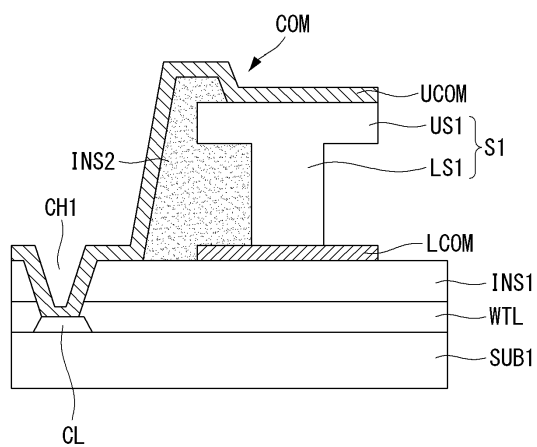
도면6g



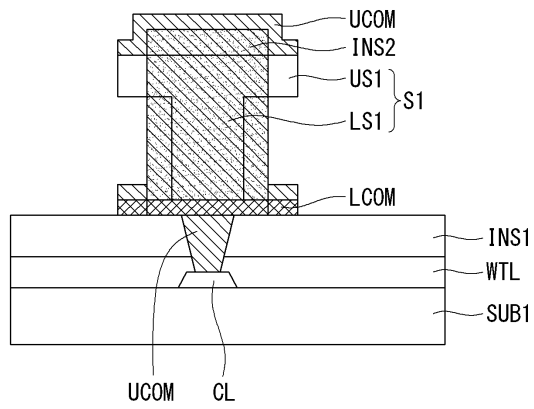
도면7



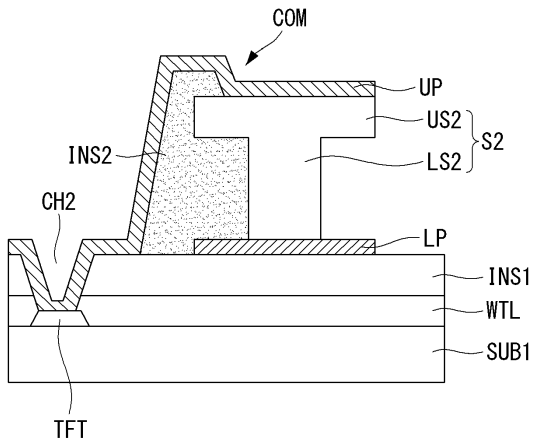
도면 8a



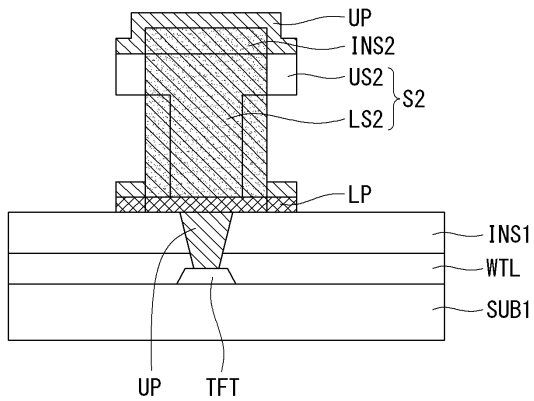
도면8b



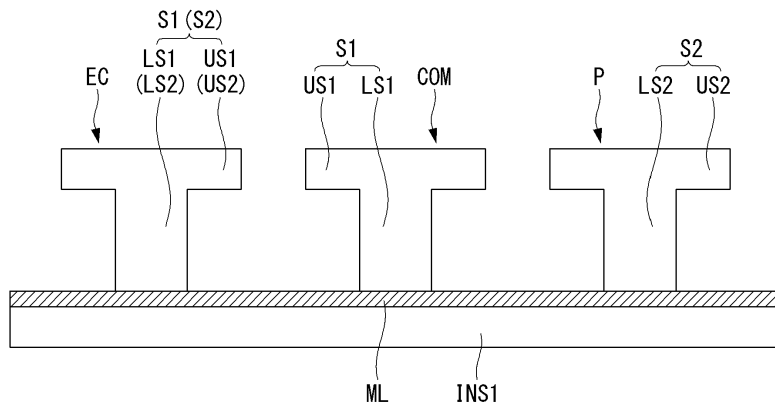
도면9a



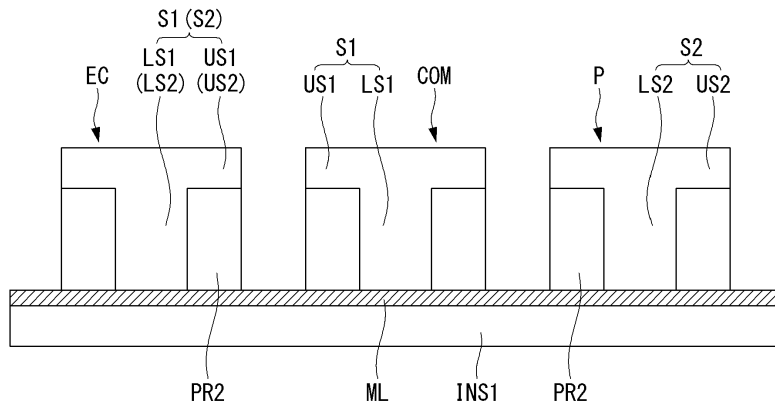
도면9b



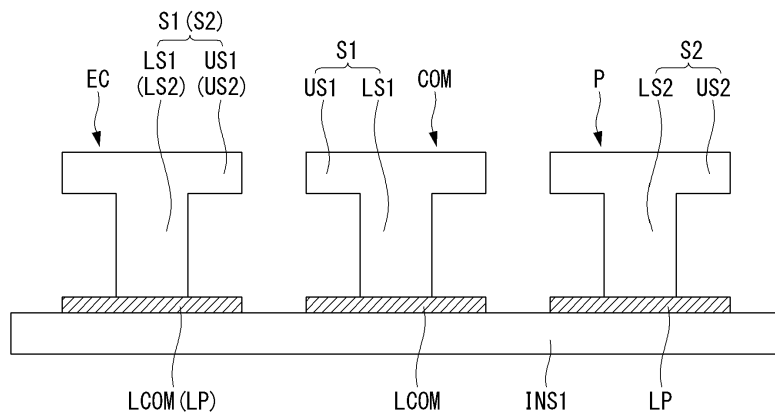
도면10a



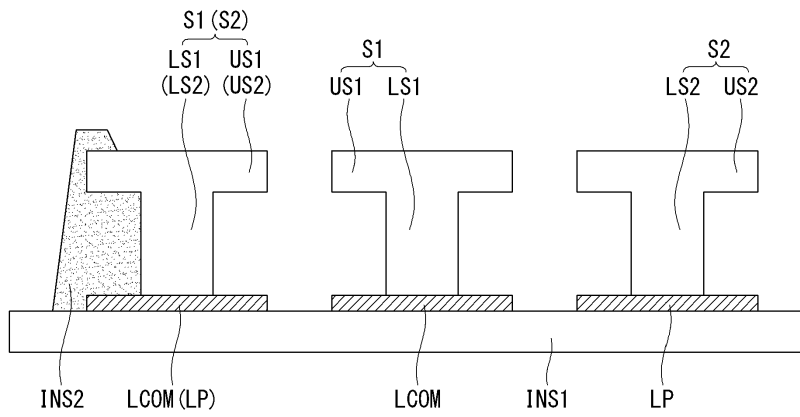
도면10b



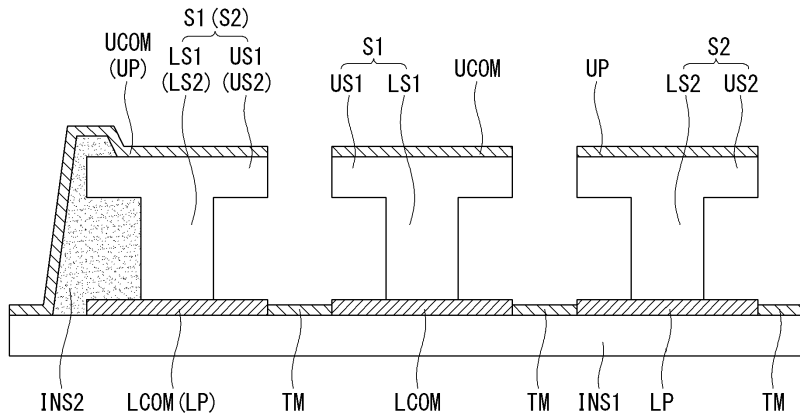
도면10c



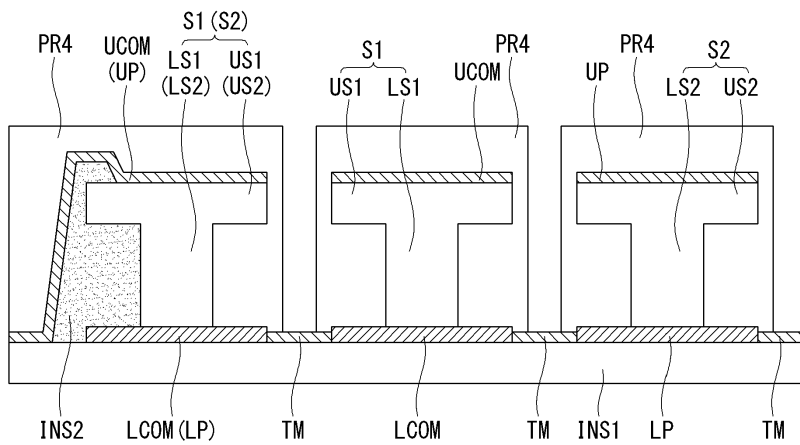
도면10d



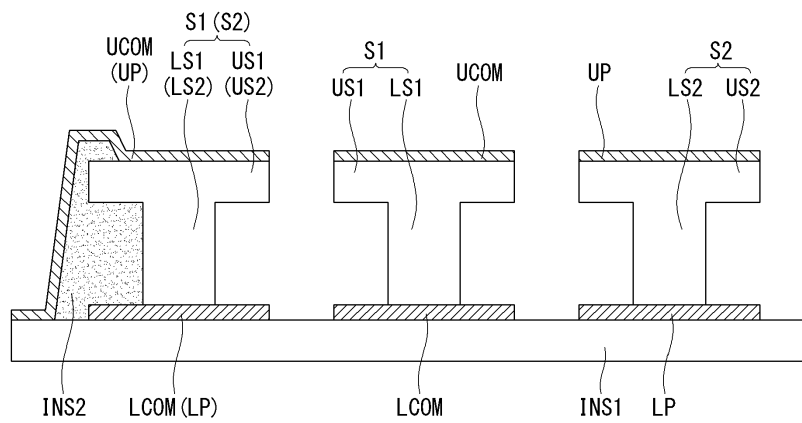
도면10e



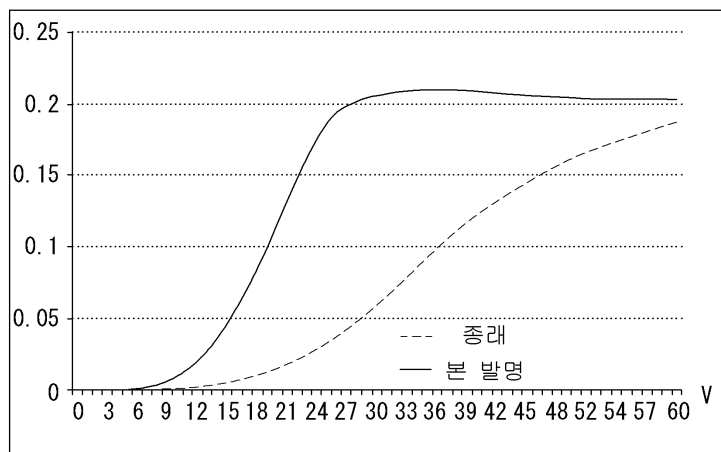
도면10f



도면10g



도면11



	종래	본 발명
투과효율	0.187	0.21
Vpeak	>60V	36V

