



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0007974
(43) 공개일자 2016년01월21일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01)

(21) 출원번호 10-2014-0086928
(22) 출원일자 2014년07월10일
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이소영

서울 마포구 마포대로 115-8, 105동 812호 (공덕동, 공덕삼성아파트)

박귀복

서울 은평구 진관2로 90, 317동 402호 (진관동, 은평뉴타운마고정)

(74) 대리인

특허법인로알

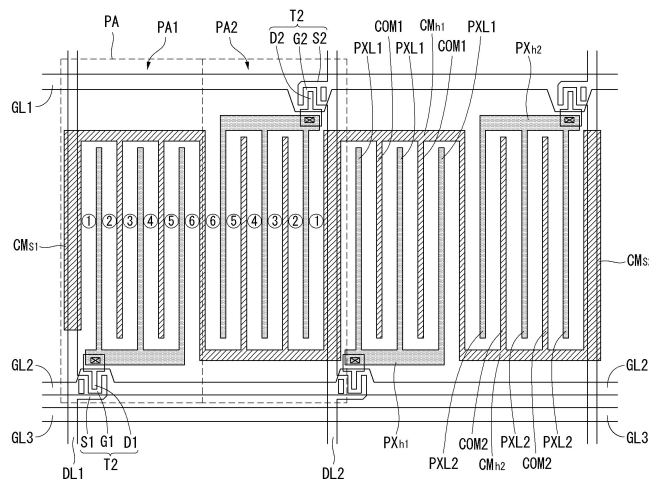
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 초고해상도 수평 전계형 액정 표시장치

(57) 요약

본 발명은 초고해상도 수평 전계형 액정 표시장치에 관한 것이다. 본 발명에 의한 초고해상도 수평 전계형 액정 표시장치는, 기관 위에서 제1 화소 영역과 제2 화소 영역이 좌우로 배치된 화소 영역; 상기 화소 영역의 좌측 변에 배치된 제1 차폐 전극 및 우측 변에 배치된 제2 차폐 전극; 상기 제1 차폐 전극에서 상기 제1 화소 영역 내로 연장된 제1 수평 공통 전극 및 상기 제2 차폐 전극에서 상기 제2 화소 영역 내로 연장된 제2 수평 공통 전극; 상기 제1 수평 화소 전극에서 상기 제1 화소 영역 내로 연장된 제1 수직 공통 전극 및 상기 제2 수평 화소 전극에서 상기 제2 화소 영역 내로 연장된 제2 수직 공통 전극; 그리고 상기 제1 수평 공통 전극과 상기 제2 수평 공통 전극을 연결하는 수직 공통 전극을 포함한다.

대표도 - 도4



명세서

청구범위

청구항 1

기관 위에서 제1 화소 영역과 제2 화소 영역이 좌우로 배치된 화소 영역;

상기 화소 영역의 좌측 변에 배치된 제1 차폐 전극 및 우측 변에 배치된 제2 차폐 전극;

상기 제1 차폐 전극에서 상기 제1 화소 영역 내로 연장된 제1 수평 공통 전극 및 상기 제2 차폐 전극에서 상기 제2 화소 영역 내로 연장된 제2 수평 공통 전극;

상기 제1 수평 화소 전극에서 상기 제1 화소 영역 내로 연장된 제1 수직 공통 전극 및 상기 제2 수평 화소 전극에서 상기 제2 화소 영역 내로 연장된 제2 수직 공통 전극; 그리고

상기 제1 수평 공통 전극과 상기 제2 수평 공통 전극을 연결하는 수직 공통 전극을 포함하는 수평 전계형 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 화소 영역 내에서 상기 제1 수평 공통 전극과 대향하여 배치된 제1 수평 화소 전극 및 상기 제2 화소 영역 내에서 상기 제2 수평 공통 전극과 대향하여 배치된 제2 수평 화소 전극; 그리고

상기 제1 수평 화소 전극에서 상기 제1 화소 영역 내로 연장된 제1 수직 화소 전극 및 상기 제2 수평 화소 전극에서 상기 제2 화소 영역 내로 연장된 제2 수직 화소 전극을 더 포함하는 수평 전계형 액정 표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 수직 공통 전극, 상기 제2 수직 공통 전극, 상기 제1 수직 화소 전극, 상기 제2 수직 화소 전극 및 상기 수직 공통 전극은 동일한 선풍을 갖는 선분 형상인 수평 전계형 액정 표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 수직 공통 전극 및 상기 제1 수직 화소 전극은, 상기 제1 차폐 전극과 상기 수직 공통 전극 사이에서 동일한 간격으로 교대로 배치되고,

상기 제2 수직 공통 전극 및 상기 제2 수직 화소 전극은, 상기 제2 차폐 전극과 상기 수직 공통 전극 사이에서 동일한 간격으로 교대로 배치되는 수평 전계형 액정 표시장치.

청구항 5

제 2 항에 있어서,

상기 제1 수직 공통 전극, 상기 제2 수직 공통 전극, 상기 제1 수직 화소 전극 및 상기 제2 수직 화소 전극은 일정 선풍을 갖고 일정 간격으로 이격된 다수 개의 선분 형상을 가지며;

상기 수직 공통 전극은 상기 일정 선풍을 갖고, 상기 제1 수직 화소 전극 및 상기 제2 수직 화소 전극과 상기

일정 간격으로 이격된 선분 형상을 갖는 수평 전계형 액정 표시장치.

청구항 6

제 2 항에 있어서,

상기 화소 영역은,

상기 제1 차폐 전극에 의해 덮인 제1 데이터 배선, 상기 제2 차폐 전극에 의해 덮인 제2 데이터 배선, 상기 화소 영역의 상변에 배치된 제1 게이트 배선, 그리고 하변에 배치된 제2 게이트 배선으로 둘러싸여 정의되고;

상기 제1 화소 영역은,

상기 제1 데이터 배선과 상기 제1 수평 화소 전극 사이에 연결된 제1 박막 트랜지스터를 더 포함하며;

상기 제2 화소 영역은,

상기 제2 데이터 배선과 상기 제2 수평 화소 전극 사이에 연결된 제2 박막 트랜지스터를 더 포함하는 수평 전계형 액정 표시장치.

청구항 7

제 6 항에 있어서,

상기 제1 박막 트랜지스터는,

상기 제1 게이트 배선에서 분기된 제1 게이트 전극;

상기 제1 데이터 배선에서 분기된 제1 소스 전극; 및

상기 제1 소스 전극과 대향하며, 상기 제1 수평 화소 전극과 연결된 제1 드레인 전극을 포함하고;

상기 제2 박막 트랜지스터는,

상기 제1 게이트 배선에서 분기된 제2 게이트 전극;

상기 제2 데이터 배선에서 분기된 제2 소스 전극; 및

상기 제2 소스 전극과 대향하며, 상기 제2 수평 화소 전극과 연결된 제2 드레인 전극을 포함하는 수평 전계형 액정 표시장치.

청구항 8

제 6 항에 있어서,

상기 제1 박막 트랜지스터는,

상기 제1 게이트 배선에서 분기된 제1 게이트 전극;

상기 제1 데이터 배선에서 분기된 제1 소스 전극; 및

상기 제1 소스 전극과 대향하며, 상기 제1 수평 화소 전극과 연결된 제1 드레인 전극을 포함하고,

상기 제2 박막 트랜지스터는,

상기 제2 게이트 배선에서 분기된 제2 게이트 전극;

상기 제2 데이터 배선에서 분기된 제2 소스 전극; 및

상기 제2 소스 전극과 대향하며, 상기 제2 수평 화소 전극과 연결된 제2 드레인 전극을 포함하는 수평 전계형 액정 표시장치.

청구항 9

제 1 항에 있어서,

상기 제1 화소 영역과 상기 제2 화소 영역은 면적 비율은, 대칭 구조 및 비 대칭 구조 중 어느 한 구조를 갖는 수평 전계형 액정 표시장치.

청구항 10

제 9 항에 있어서,

상기 제1 화소 영역 및 상기 제2 화소 영역 중 어느 하나에는, 적색, 녹색 및 청색 중 어느 한 색상 화소가 배치되고,

나머지 다른 하나에는 백색 화소가 배치되는 수평 전계형 액정 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 초고해상도 수평 전계형 액정 표시장치에 관한 것이다. 특히, 본 발명은 이웃하는 두 개의 화소 영역들을 기본 단위로 하여 차폐용 전극('차폐 전극' 혹은 '공통 차폐 전극'이라고도 함)이 배치되고 그 사이에 공통 전극과 화소 전극이 교대로 배치함으로써 고 개구율을 구현한, 초고해상도 수평 전계형 액정 표시장치에 관한 것이다.

배경 기술

[0002] 액정 표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시한다. 이러한 액정 표시장치는 액정을 구동하는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.

[0003] 수직 전계형 액정 표시장치는 상부 기판 상에 형성된 공통 전극과 하부 기판 상에 형성된 화소 전극이 서로 대향 하도록 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동한다. 이러한 수직 전계형 액정 표시장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도 좁은 단점을 가진다.

[0004] 수평 전계형 액정 표시장치는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인플레인 스위칭(In Plane Switching: IPS) 모드로 액정을 구동한다. 이러한 수평 전계형 액정 표시장치는 시야각이 170도 정도로 넓은 장점을 가진다. 반면에 수평 전계형 액정 표시장치는 수직 전계형 액정 표시장치보다 개구율이 떨어지는 단점이 있다.

[0005] 현재 주로 생산되고 있는 액정 표시장치는 박막 트랜지스터가 매트릭스 배열을 이루는 박막 트랜지스터 기판과, 칼라 필터가 형성되는 칼라 필터 기판을 합착한 후, 그 사이에 액정층을 개재하는 구조를 갖는다. 특히, 수평 전계형 액정 표시장치의 경우, 박막 트랜지스터 기판의 형성되는 데이터 배선과 화소 전극 사이의 전기적 간섭을 최소화하기 위해 데이터 배선의 상부 혹은 하부에, 공통 전극과 연결된 차폐 전극을 형성한다.

[0006] 도 1은 종래 기술에 의한 공통 전극과 연결된 차폐 전극을 갖는 수평 전계형 액정 표시장치의 박막 트랜지스터 기판의 구조를 나타내는 평면도이다. 도 2는 도 1에 도시한 박막 트랜지스터 기판을 절취선 I-I'선을 따라 자른 단면도이다.

[0007] 도 1 및 도 2를 참조하면, 종래 기술에 의한 차폐 전극을 갖는 수평 전계형 액정 표시장치용 박막 트랜지스터 기판은 투명 하부 기판(SUB) 위에 가로 방향으로 진행되는 게이트 배선(GL)과, 세로 방향으로 진행되는 데이터 배선(DL)을 포함한다. 게이트 절연막(GI)을 사이에 두고 서로 직교하는 게이트 배선(GL)과 데이터 배선(DL)이 매트릭스 배열의 화소 영역을 정의한다. 화소 영역의 일측 모서리 부분에는 게이트 배선(GL)에서 분기한 게이트 전극(G), 데이터 배선(DL)에서 분기하는 소스 전극(S), 그리고 소스 전극(D)과 일정 간격 떨어져 대향 하도록 배치된 드레인 전극(D)을 구비하는 박막 트랜지스터(T)가 배치되어 있다.

[0008] 특히, 게이트 전극(G)을 덮는 게이트 절연막(GI) 위에는 게이트 전극(G)과 중첩하도록 반도체 층(A)이 형성되어

있다. 반도체 층(A)의 일측면은 소스 전극(S)과 접촉하며, 타측면은 드레인 전극(D)과 접촉한다.

[0009] 박막 트랜지스터(T) 위에는 소자를 보호하기 위한 보호막(PAS)이 형성되어 있다. 보호막(PAS) 위에는 투명 도전층으로 형성한 화소 전극(PXL)과 공통 전극(COM)이 형성된다. 화소 전극(PXL)은 보호막(PAS)에 형성된 화소 콘택홀(PH)을 통해 드레인 전극(D)과 접촉한다. 또한, 화소 전극(PXL)은 화소 영역 내에서 다수 개의 선분 모양이 일정 간격으로 평행하게 배열된 빗살 구조를 갖는다.

[0010] 화소 전극(PXL)은 화소 영역의 하단에서 가로 방향으로 진행되는 수평 화소 전극(PXL_h)을 포함한다. 화소 전극(PXL)은, 수평 화소 전극(PXL_h)에서 수직 방향으로 분기하는 다수 개의 수직 화소 전극(PXL_v)들을 더 포함한다. 수직 화소 전극(PXL_v)들은 서로 일정 간격 떨어져 배치되며, 다음에 설명하는 수직 공통 전극(COM_v)들과 서로 교대로 배치되어 있다.

[0011] 한편, 공통 전극(COM)은, 게이트 배선(GL)에서 화소 영역 쪽으로 일정 거리 떨어져 배치되며, 게이트 배선(GL)과 평행하게 진행되는, 공통 배선(CL)에 연결되어 있다. 공통 배선(CL)이 공통 전극(COM)과 동일한 층 상에 형성된 경우라면, 공통 전극(COM)은 공통 배선(CL)에서 직접 분기된 구조를 가질 수 있다. 공통 배선(GL)을 게이트 배선(GL)과 동일한 물질로 게이트 배선(GL)과 동일한 층에 형성하는 경우에는, 통해 공통 전극(COM)은 공통 콘택홀(CH)을 통해 공통 배선(CL)과 연결될 수 있다.

[0012] 공통 전극(COM)은, 데이터 배선(DL)의 상부에서 데이터 배선(DL)보다 넓은 폭을 갖고 중첩하면서, 데이터 배선(DL)을 완전히 덮도록 배치된 차폐 전극(CM_s)을(혹은, 공통 차폐 전극) 포함한다. 서로 이웃하는 두 개의 차폐 전극(CM_s)들 사이에는 선분 형상을 갖는 다수개의 수직 공통 전극(COM_v)들이 일정 간격으로 배치되어 있다. 이들 차폐 전극(CM_s)과 수직 공통 전극(COM_v)들은 화소 영역 내에서 세로(혹은 수직) 방향으로 배치되어 있는데, 이들은 모두 수평 공통 전극(COM_h)에 의해 연결되어 있다. 수평 공통 전극(COM_h)은 공통 배선(CL)과 대향 하는 위치에 배치되어 있다. 이로써, 화소 영역의 내측 테두리부는 차폐 전극(CM_s), 공통 배선(CL) 그리고 수평 공통 전극(COM_h)로 둘러싸인 구조를 가질 수 있다.

[0013] 수직 화소 전극(PXL_v)과 수직 공통 전극(COM_v) 및 차폐 전극(CM_s) 사이에는 하부 기관(SUB)의 표면 방향으로 수평한 전계가 형성되고, 이 수평 전계에 의해 하부 기관(SUB)의 상부에 배치되는 액정층을 구동한다. 한편, 수평 화소 전극(PXL_h)은 그 일부가, 게이트 절연막(GI) 및/또는 보호막(PAS)을 사이에 두고 공통 배선(CL)과 중첩하도록 배치되어, 그 중첩된 영역에 보조 용량(Cst)을 형성할 수 있다.

[0014] 수직 화소 전극(PXL_v)과 수직 공통 전극(COM_v) 및 차폐 전극(CM_s) 사이의 공간은, 도면에서 ①~⑥의 도면 부호로 나타내었다. 여기서는 일례로 수직 화소 전극(PXL_v)의 개수를 세 개인 경우를 도시한 것으로, 수평 전계가 형성되는 공간인 블록(Block)이 모두 6개인 경우를 나타내었다. 즉, 블록 ①은 좌측 차폐 전극(CM_s)과 첫 번째 수직 화소 전극(PXL_v) 사이의 공간, 블록 ②는 첫 번째 수직 화소 전극(PXL_v)과 첫 번째 수직 공통 전극(COM_v) 사이의 공간, 블록 ③은 첫 번째 수직 공통 전극(COM_v)과 두 번째 수직 화소 전극(PXL_v) 사이의 공간, 블록 ④는 두 번째 수직 화소 전극(PXL_v)과 두 번째 수직 공통 전극(COM_v) 사이의 공간, 블록 ⑤는 두 번째 수직 공통 전극(COM_v)과 세 번째 수직 화소 전극(PXL_v) 사이의 공간, 그리고 블록 ⑥은 세 번째 수직 화소 전극(PXL_v)과 우측 차폐 전극(CM_s) 사이의 공간이다.

[0015] 도면으로 나타내지는 않았지만, 데이터 배선(DL)의 전기적 신호가 수직 화소 전극(PXL_v)에 주는 간섭을 최소화하기 위해, 데이터 배선(DL)을 덮는 차폐 전극(CM_s) 이외에도, 데이터 배선(DL)의 하부에는 게이트 금속과 동일한 물질을 포함하는 하부 차폐 전극이 게이트 절연막(GI)을 사이에 두고 더 형성될 수 있다. 차폐 전극(CM_s) 및 하부 차폐 전극(도시하지 않음)은 모두 공통 전압을 인가하여야 하므로, 별도의 콘택홀을 통해(도면에 나타내지 않음) 서로 전기적으로 연결될 수 있다.

[0016] 이와 같이 데이터 배선(DL)을 완전히 덮는 차폐 전극은 수평 방향으로 데이터 배선(DL)보다 더 넓은 폭을 갖는다. 이로 인해, 데이터 배선(DL)에 형성되는 블랙 매트릭스의 폭은 차폐 전극(CM_s)의 폭보다 더 넓은 값을 가져야 한다. 즉, 차폐 전극(CM_s)의 폭으로 인해 블랙 매트릭스 폭이 결정되며, 이는 박막 트랜지스터 기관의 개

구울 및 투과율을 결정하는 요인이 된다. 종래 기술에서는, 차폐 전극(CM₅)이 각 화소 영역과 화소 영역 사이에 하나씩 반드시 배치되어야 하므로, 개구율 및/또는 투과율을 향상하는 데 많은 제약이 있다.

발명의 내용

해결하려는 과제

[0017] 본 발명의 목적은 상기 문제점들을 극복하기 위해 고안된 것으로, 400PPI 초고해상도를 구현함에 있어서, 고 개구율을 확보한 수평 전계형 액정 표시장치를 제공하는 데 있다. 본 발명의 다른 목적은 수평 방향으로 이웃하는 두 개의 화소를 하나의 화소 영역으로 재 정의하고, 좌측 화소 영역과 우측 화소 영역에 걸쳐 동일한 선폭과 동일한 간격을 갖도록 수직 공통 전극을 배치하고, 수직 공통 전극 사이에 하나씩 수직 화소 전극을 배치함으로써, 고 개구율을 구현한 수평 전계형 액정 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0018] 상기 본 발명의 목적을 달성하기 위해, 본 발명에 의한 초고해상도 수평 전계형 액정 표시장치는, 기관 위에서 제1 화소 영역과 제2 화소 영역이 좌우로 배치된 화소 영역; 상기 화소 영역의 좌측 변에 배치된 제1 차폐 전극 및 우측 변에 배치된 제2 차폐 전극; 상기 제1 차폐 전극에서 상기 제1 화소 영역 내로 연장된 제1 수평 공통 전극 및 상기 제2 차폐 전극에서 상기 제2 화소 영역 내로 연장된 제2 수평 공통 전극; 상기 제1 수평 화소 전극에서 상기 제1 화소 영역 내로 연장된 제1 수직 공통 전극 및 상기 제2 수평 화소 전극에서 상기 제2 화소 영역 내로 연장된 제2 수직 공통 전극; 그리고 상기 제1 수평 공통 전극과 상기 제2 수평 공통 전극을 연결하는 수직 공통 전극을 포함한다.

[0019] 상기 제1 화소 영역 내에서 상기 제1 수평 공통 전극과 대향하여 배치된 제1 수평 화소 전극 및 상기 제2 화소 영역 내에서 상기 제2 수평 공통 전극과 대향하여 배치된 제2 수평 화소 전극; 그리고 상기 제1 수평 화소 전극에서 상기 제1 화소 영역 내로 연장된 제1 수직 화소 전극 및 상기 제2 수평 화소 전극에서 상기 제2 화소 영역 내로 연장된 제2 수직 화소 전극을 더 포함한다.

[0020] 상기 제1 수직 공통 전극, 상기 제2 수직 공통 전극, 상기 제1 수직 화소 전극, 상기 제2 수직 화소 전극 및 상기 수직 공통 전극은 동일한 선 폭을 갖는 선분 형상이다.

[0021] 상기 제1 수직 공통 전극 및 상기 제1 수직 화소 전극은, 상기 제1 차폐 전극과 상기 수직 공통 전극 사이에서 동일한 간격으로 교대로 배치되고, 상기 제2 수직 공통 전극 및 상기 제2 수직 화소 전극은, 상기 제2 차폐 전극과 상기 수직 공통 전극 사이에서 동일한 간격으로 교대로 배치된다.

[0022] 상기 제1 수직 공통 전극, 상기 제2 수직 공통 전극, 상기 제1 수직 화소 전극 및 상기 제2 수직 화소 전극은 일정 선 폭을 갖고 일정 간격으로 이격된 다수 개의 선분 형상을 가지며; 상기 수직 공통 전극은 상기 일정 선 폭을 갖고, 상기 제1 수직 화소 전극 및 상기 제2 수직 화소 전극과 상기 일정 간격으로 이격된 선분 형상을 갖는다.

[0023] 상기 화소 영역은, 상기 제1 차폐 전극에 의해 덮인 제1 데이터 배선, 상기 제2 차폐 전극에 의해 덮인 제2 데이터 배선, 상기 화소 영역의 상변에 배치된 제1 게이트 배선, 그리고 하변에 배치된 제2 게이트 배선으로 둘러싸여 정의되고; 상기 제1 화소 영역은, 상기 제1 데이터 배선과 상기 제1 수평 화소 전극 사이에 연결된 제1 박막 트랜지스터를 더 포함하며; 상기 제2 화소 영역은, 상기 제2 데이터 배선과 상기 제2 수평 화소 전극 사이에 연결된 제2 박막 트랜지스터를 더 포함한다.

[0024] 상기 제1 박막 트랜지스터는, 상기 제1 게이트 배선에서 분기된 제1 게이트 전극; 상기 제1 데이터 배선에서 분기된 제1 소스 전극; 및 상기 제1 소스 전극과 대향 하며, 상기 제1 수평 화소 전극과 연결된 제1 드레인 전극을 포함하고, 상기 제2 박막 트랜지스터는, 상기 제1 게이트 배선에서 분기된 제2 게이트 전극; 상기 제2 데이터 배선에서 분기된 제2 소스 전극; 및 상기 제2 소스 전극과 대향 하며, 상기 제2 수평 화소 전극과 연결된 제2 드레인 전극을 포함한다.

[0025] 상기 제1 박막 트랜지스터는, 상기 제1 게이트 배선에서 분기된 제1 게이트 전극; 상기 제1 데이터 배선에서 분기된 제1 소스 전극; 및 상기 제1 소스 전극과 대향 하며, 상기 제1 수평 화소 전극과 연결된 제1 드레인 전극을 포함하고, 상기 제2 박막 트랜지스터는, 상기 제2 게이트 배선에서 분기된 제2 게이트 전극; 상기 제2 데이터 배선에서 분기된 제2 소스 전극; 및 상기 제2 소스 전극과 대향 하며, 상기 제2 수평 화소 전극과 연결된 제

2 드레인 전극을 포함한다.

[0026] 상기 제1 화소 영역과 상기 제2 화소 영역은 면적 비율은, 대칭 구조 및 비대칭 구조 중 어느 한 구조를 갖는다.

[0027] 상기 제1 화소 영역 및 상기 제2 화소 영역 중 어느 하나에는, 적색, 녹색 및 청색 중 어느 한 색상 화소가 배치되고; 나머지 다른 하나에는 백색 화소가 배치된다.

발명의 효과

[0028] 본 발명에 의한 초고해상도 수평 전계형 액정 표시장치는, 수평 방향으로 이웃하는 두 개의 화소를 하나의 화소 영역으로 재 정의하고, 좌측 화소 영역과 우측 화소 영역에 걸쳐 동일한 선폭과 동일한 간격을 갖도록 수직 공통 전극을 배치하고, 수직 공통 전극 사이에 하나씩 수직 화소 전극을 배치함으로써, 고 개구율을 구현할 수 있다. 매 화소 열 사이에 차폐 배선 혹은 수직 공통 배선이 배치되었던 종래 기술에 대해, 본 발명에서는 이웃하는 두 개의 화소 영역 사이에는 수직 공통 전극이 배치되어 두 개 화소 영역을 하나의 단위로 하여 균일한 폭을 갖고 균일한 간격으로 배치된 전계 블록들을 구비함으로써, 고 개구율을 달성할 수 있다. 본 발명에 의한 수평 액정 표시장치에서는 수직 화소 전극의 개수를 세로이 정의된 두 개의 인접하는 화소 영역들에서 대칭 혹은 비대칭적으로 배정하여 화소 설계에 있어 다양한 구성을 이룰 수 있다.

도면의 간단한 설명

[0029] 도 1은 종래 기술에 의한 차폐 전극을 갖는 수평 전계형 액정 표시장치의 박막 트랜지스터 기관의 구조를 나타내는 평면도,

도 2는 도 1에 도시한 박막 트랜지스터 기관을 절취선 I-I'선을 따라 자른 단면도,

도 3은 본 발명의 제1 실시 예에 의한 차폐 전극을 갖는 수평 전계형 액정 표시장치의 박막 트랜지스터 기관의 구조를 나타내는 평면도,

도 4는 본 발명의 제2 실시 예에 의한 차폐 전극을 갖는 수평 전계형 액정 표시장치의 박막 트랜지스터 기관의 구조를 나타내는 평면도,

도 5는 본 발명의 제3 실시 예에 의한 차폐 전극을 갖는 수평 전계형 액정 표시장치의 박막 트랜지스터 기관의 구조를 나타내는 평면도,

도 6은 본 발명의 제4 실시 예에 의한 차폐 전극을 갖는 수평 전계형 액정 표시장치의 박막 트랜지스터 기관의 구조를 나타내는 평면도.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0031] 이하, 도 3을 참조하여 본 발명의 제1 실시 예에 대하여 설명한다. 도 3은 본 발명의 제1 실시 예에 의한 차폐 전극을 갖는 수평 전계형 액정 표시장치의 박막 트랜지스터 기관의 구조를 나타내는 평면도이다. 본 발명의 주요 특징은 400PPI(Pixel Per Inch) 이상의 초고해상도 액정 표시장치에서 고 개구율을 구현할 수 있는 화소 구조에 있다. 따라서, 액정 표시장치의 평면도를 중심으로 설명한다. 박막 트랜지스터 등의 구성 요소들의 적층 구조는 종래의 것과 동일할 수 있으므로, 도면을 참조한 상세한 설명은 생략한다.

[0032] 도 3을 참조하면, 본 발명의 제1 실시 예에 의한 초고해상도 액정 표시장치는 기관 위에 매트릭스 방식으로 배열된 화소들을 갖는다. 각 화소의 행들 사이에는 가로 방향으로 진행되는 게이트 배선(GL)이 하나씩 배열되어 있다. 그리고 기관의 세로 방향으로는 데이터 배선(DL)들이 배열되어 있다. 데이터 배선(DL)들은 매 두 개의 화소 열을 기본 단위로 하여, 좌측과 우측에 각각 두 개의 데이터 배선(DL)들이 배치된다.

[0033] 두 개의 이웃하는 게이트 배선들(GL)과 서로 떨어져 있되 이웃하는 두 개의 데이터 배선들(DL1, DL2)에 의해 둘러싸인 영역을 화소 영역(PA)으로 정의한다. 화소 영역(PA)은 두 개의 단위 화소 영역들로 이루어진다. 즉, 화소 영역(PA)은 좌측 데이터 배선(DL1) 및 게이트 배선(GL)과 연결된 제1 박막 트랜지스터(T1)에 할당된 제1

화소 영역(PA1)과, 우측 데이터 배선(DL2) 및 게이트 배선(GL)과 연결된 제2 박막 트랜지스터(T2)에 할당된 제2 화소 영역(PA2)을 포함할 수 있다.

[0034] 화소 영역(PA)은 공통 요소에 의해 둘러싸인 구조를 갖는다. 예를 들어, 좌측 데이터 배선(DL1) 위에는 좌측 데이터 배선(DL1)보다 넓은 폭을 갖고 대부분을 덮도록 형성된 제1 차폐 전극(CM_{S1})이 배치된다. 우측 데이터 배선(DL2) 위에는 우측 데이터 배선(DL2)보다 넓은 폭을 갖고 대부분을 덮도록 형성된 제2 차폐 전극(CM_{S2})이 배치된다. 제1 차폐 전극(CM_{S1})과 제2 차폐 전극(CM_{S2})은 화소 영역(PA)의 일측면(여기서는, 상부면)을 가로지르는 수평 공통전극으로 연결된다. 수평 공통전극은 제1 화소 영역(PA1)의 상부면에 배치된 제1 수평 공통전극(CM_{H1})과 제2 화소 영역(PA2)의 상부면에 배치된 제2 수평 공통전극(CM_{H2})을 포함한다.

[0035] 제1 화소 영역(PA1) 내에는 제1 수평 공통전극(CM_{H1})에서 분기한 다수 개의 선분 형상을 갖는 제1 수직 공통 전극(COM1)들이 배치된다. 제1 수직 공통 전극(COM1)들은 일정 간격으로 평행하게 이격되어 있다. 마찬가지로, 제2 화소 영역(PA2) 내에는 제2 수평 공통전극(CM_{H2})에서 분기한 다수 개의 선분 형상을 갖는 제2 수직 공통 전극(COM2)들이 배치된다. 제2 수직 공통 전극(COM2)들은 일정 간격으로 평행하게 이격되어 있다.

[0036] 제1 화소 영역(PA1)에 할당된 제1 박막 트랜지스터(T1)는 게이트 배선(GL)에서 분기하는 제1 게이트 전극(G1), 좌측 데이터 배선(DL1)에서 분기하는 제1 소스 전극(S1) 그리고 제1 소스 전극(S1)과 일정 거리 떨어져 대향 하는 제1 드레인 전극(D1)을 포함한다. 제1 드레인 전극(D1)에는 제1 화소 영역(PA1)의 하부면에 배치된 제1 수평 화소 전극(PX_{H1})이 배치된다. 제1 화소 영역(PA1) 내에는 제1 수평 화소 전극(PX_{H1})에서 분기한 다수 개의 선분 형상을 갖는 제1 수직 화소 전극(PXL1)들이 배치된다. 제1 수직 화소 전극(PXL1)들은 일정 간격으로 평행하게 이격되어 있다. 특히, 제1 수직 화소 전극(PXL1)들은 제1 수직 공통 전극(COM1)들 사이에 하나씩 배치된다.

[0037] 마찬가지로, 제2 화소 영역(PA2)에 할당된 제2 박막 트랜지스터(T2)는 게이트 배선(GL)에서 분기하는 제2 게이트 전극(G2), 우측 데이터 배선(DL2)에서 분기하는 제2 소스 전극(S2) 그리고 제2 소스 전극(S2)과 일정 거리 떨어져 대향 하는 제2 드레인 전극(D2)을 포함한다. 제2 드레인 전극(D2)에는 제2 화소 영역(PA2)의 하부면에 배치된 제2 수평 화소 전극(PX_{H2})이 배치된다. 제2 화소 영역(PA2) 내에는 제2 수평 화소 전극(PX_{H2})에서 분기한 다수 개의 선분 형상을 갖는 제2 수직 화소 전극(PXL2)들이 배치된다. 제2 수직 화소 전극(PXL2)들은 일정 간격으로 평행하게 이격되어 있다. 특히, 제2 수직 화소 전극(PXL2)들은 제2 수직 공통 전극(COM2)들 사이에 하나씩 배치된다.

[0038] 수평 공통전극의 중앙부인, 제1 수평 공통전극(CM_{H1})과 제2 수평 공통전극(CM_{H2})이 연결되는 부위에는, 수직 공통 전극(COM_V)이 배치된다. 수직 공통 전극(COM_V)은 제1 화소 영역(PA1)과 제2 화소 영역(PA2)의 경계선상에 배치된다. 특히, 수직 공통 전극(COM_V)은 제1 수직 공통 전극(COM1) 및 제2 수직 공통 전극(COM2)과 동일한 폭을 갖고 배치된다.

[0039] 제1 화소 영역(PA1) 내부에 정의되는 수평 전개 형성 공간에 대하여 좀 더 상세히 설명한다. 제1 수직 화소 전극(PXL1)들은 제1 수직 공통 전극(COM1)들 사이에 하나씩 배치된다. 예를 들어, 도면에 도시한 바와 같이, 제1 수직 화소 전극(PXL1)의 개수를 3개 형성한 경우, 첫 번째 제1 수직 화소 전극(PXL1)은 왼쪽에 평행하게 배치된 제1 차폐 전극(CM_{S1}) 사이에 ① 블록을, 그리고 오른쪽에 평행하게 배치된 첫 번째 제1 공통 전극(COM1) 사이에 ② 블록을 형성한다. 두 번째 제1 수직 화소 전극(PXL1)은 왼쪽에 평행하게 배치된 첫 번째 제1 공통 전극(COM1) 사이에 ③ 블록을, 그리고 오른쪽에 평행하게 배치된 두 번째 제1 공통 전극(COM1) 사이에 ④ 블록을 형성한다. 세 번째 제1 수직 화소 전극(PXL1)은 왼쪽에 평행하게 배치된 두 번째 제1 공통 전극(COM1) 사이에 ⑤ 블록을, 그리고 오른쪽에 평행하게 배치된 수직 공통 전극(COM_V) 사이에 ⑥ 블록을 형성한다.

[0040] 제2 화소 영역(PA2) 내부에 정의되는 수평 전개 형성 공간에 대하여 좀 더 상세히 설명한다. 제2 수직 화소 전극(PXL2)들은 제2 수직 공통 전극(COM2)들 사이에 하나씩 배치된다. 예를 들어, 도면에 도시한 바와 같이, 제2 수직 화소 전극(PXL2)의 개수를 3개 형성한 경우, 첫 번째 제2 수직 화소 전극(PXL2)은 오른쪽에 평행하게 배치된 제2 차폐 전극(CM_{S2}) 사이에 ① 블록을, 그리고 왼쪽에 평행하게 배치된 첫 번째 제2 공통 전극(COM2) 사이에 ② 블록을 형성한다. 두 번째 제2 수직 화소 전극(PXL2)은 오른쪽에 평행하게 배치된 첫 번째 제2 공통 전극(COM2) 사이에 ③ 블록을, 그리고 왼쪽에 평행하게 배치된 두 번째 제2 공통 전극(COM2) 사이에 ④ 블록을 형성한다. 세 번째 제2 수직 화소 전극(PXL2)은 오른쪽에 평행하게 배치된 두 번째 제2 공통 전극(COM2) 사이에 ⑤

블록을, 그리고 왼쪽에 평행하게 배치된 수직 공통 전극(COM_v) 사이에 ⑥ 블록을 형성한다.

[0041] 본 발명의 제1 실시 예에서는, 이웃하는 두 개의 화소 영역들 즉, 제1 화소 영역과 제2 화소 영역(PA1, PA2)을 하나의 화소 영역(PA)으로 재 정의하여 구성하였다. 이를 위해, 데이터 배선(DL)을 매 두 개의 화소 행마다 두 개씩 배치하는 구성을 갖는다. 특히, 하나의 화소 영역(PA)을 구성하는 제1 화소 영역(PA1)과 제2 화소 영역(PA2)에는 동일한 폭을 갖는 제1 수직 공통 전극(COM1)과 제2 수직 공통 전극(COM2)들이 동일한 간격으로 떨어져 배치된다. 특히, 제1 화소 영역(PA1)과 제2 화소 영역(PA2)의 경계부에는 제1 수직 공통 전극(COM1) 및 제2 수직 공통 전극(COM2)과 동일한 폭을 갖는 수직 공통 전극(COM_v)이 배치된다.

[0042] 그리고 제1 수직 화소 전극(PXL1) 및 제2 수직 화소 전극(PXL2)이 화소 영역(PA) 내에서 제1 수직 공통 전극(COM1) 및 제2 수직 공통 전극(COM2)들 사이에 배치된다. 그 결과, 제1 화소 영역(PA1) 내에 형성된 수평 전계를 형성하는 전계 블록들과 제2 화소 영역(PA2) 내에 형성된 전계 블록들이 동일한 폭과 동일한 간격으로 배열되는 구조를 가질 수 있다. 여기서, 전계 블록들의 폭은 수직 화소 전극들과 수직 공통 전극들 사이의 떨어진 간격에 해당하고, 전계 블록들의 간격은 수직 화소 전극 및 수직 공통 전극의 폭에 해당한다.

[0043] 본 발명의 제1 실시 예에 의한 화소 구조를 종래 기술에 의한 화소 구조를 비교하면, 화소 영역당 배치되는 데이터 배선(DL)의 개수는 동일하다. 따라서, 데이터 배선(DL)이 차지하는 면적은 거의 동일하다. 하지만, 종래 기술에서는 모든 화소 열들 사이에는 데이터 배선(DL)들이 배치되며, 또한 차폐 전극(CM_s)이 배치된다. 반면에, 제1 실시 예에 의한 화소 구조에서는 제1 화소 영역(PA1)과 제2 화소 영역(PA2) 사이에는 차폐 전극이 배치되지 않고, 제1 수직 공통 전극(COM1) 및 제2 수직 공통 전극(COM2)과 동일한 폭을 갖는 수직 공통 전극(COM_v)이 배치된다. 따라서, 종래 기술에서는 비 개구 영역이었던 부분을 개구 영역으로 활용할 수 있다.

[0044] 이하, 도 4를 참조하여 본 발명의 제2 실시 예에 대하여 설명한다. 도 4는 본 발명의 제2 실시 예에 의한 차폐 전극을 갖는 수평 전계형 액정 표시장치의 박막 트랜지스터 기관의 구조를 나타내는 평면도이다. 제2 실시 예는 제1 실시 예에서보다 개구율을 더 높이기 위해, 매 두 개의 화소 열마다 하나씩 데이터 배선을 배치하고, 매 화소 행마다 두 개의 게이트 배선을 배치하는 DRD(Double Rate Drive) 구조를 적용한다.

[0045] 도 4를 참조하면, 본 발명의 제2 실시 예에 의한 초고해상도 액정 표시장치는 기관 위에 매트릭스 방식으로 배열된 화소들을 갖는다. 각 화소의 행들 사이에는 가로 방향으로 진행되는 게이트 배선들이 두 개씩 배열되어 있다. 그리고 기관의 세로 방향으로는 데이터 배선들이 배열되어 있다. 데이터 배선들은 매 두 개의 화소 열마다 하나씩 배치된다.

[0046] 하나의 화소 행들 사이에 두고 서로 대향 하는 두 개의 게이트 배선들(GL1, GL2)과 두 개의 화소 열들 사이에 두고 서로 대향 하는 두 개의 데이터 배선들(DL1, DL2)에 의해 둘러싸인 영역을 화소 영역(PA)으로 정의한다. 화소 영역(PA)은 두 개의 단위 화소 영역들로 이루어진다. 즉, 화소 영역(PA)은 좌측 데이터 배선(DL1) 및 하변의 제2 게이트 배선(GL2)과 연결된 제1 박막 트랜지스터(T1)에 할당된 제1 화소 영역(PA1)과, 우측 데이터 배선(DL2) 및 상변의 제2 게이트 배선(GL1)과 연결된 제2 박막 트랜지스터(T2)에 할당된 제2 화소 영역(PA2)을 포함할 수 있다.

[0047] 제2 실시 예에 의한 화소 영역(PA)은 제1 게이트 배선(GL1) 및 제2 게이트 배선(GL2) 그리고 좌측 데이터 배선(DL1) 및 우측 데이터 배선(DL2)에 의해 정의된다. 그리고 제1 화소 영역(PA1)과 제2 화소 영역(PA2)에는 각각 박막 트랜지스터가 하나씩 할당된다. 할당된 박막 트랜지스터는, 제1 게이트 배선(GL1)과 좌측 데이터 배선(DL1)에 연결된 제1 박막 트랜지스터와 제2 게이트 배선(GL2)과 우측 데이터 배선(DL2)에 연결된 제2 박막 트랜지스터를 구비할 수도 있다. 여기서, 편의상 도 4와 같은 구조로 할당된 것으로 설명한다.

[0048] 화소 영역(PA)은 공통 요소에 의해 둘러싸인 구조를 갖는다. 예를 들어, 좌측 데이터 배선(DL1) 위에는 좌측 데이터 배선(DL1)보다 넓은 폭을 갖고 대부분을 덮도록 형성된 제1 차폐 전극(CM_{s1})이 배치된다. 우측 데이터 배선(DL2) 위에는 우측 데이터 배선(DL2)보다 넓은 폭을 갖고 대부분을 덮도록 형성된 제2 차폐 전극(CM_{s2})이 배치된다. 제1 차폐 전극(CM_{s1})은 제1 화소 영역(PA1)의 상부변을 가로지르는 제1 수평 공통전극(COM_{h1})과 연결되어 있다. 제2 차폐 전극(CM_{s2})은 제2 화소 영역(PA2)의 하부변을 가로지르는 제2 수평 공통전극(COM_{h2})과 연결되어 있다.

[0049] 제1 화소 영역(PA1) 내에는 제1 수평 공통전극(COM_{h1})에서 분기한 다수 개의 선분 형상을 갖는 제1 수직 공통 전

극(COM1)들이 배치된다. 제1 수직 공통 전극(COM1)들은 일정 간격으로 평행하게 이격되어 있다. 마찬가지로, 제2 화소 영역(PA2) 내에는 제2 수평 공통전극(CM_{h2})에서 분기한 다수 개의 선분 형상을 갖는 제2 수직 공통 전극(COM2)들이 배치된다. 제2 수직 공통 전극(COM2)들은 일정 간격으로 평행하게 이격되어 있다.

[0050] 제1 화소 영역(PA1)에 할당된 제1 박막 트랜지스터(T1)는 제2 게이트 배선(GL2)에서 분기하는 제1 게이트 전극(G1), 좌측 데이터 배선(DL1)에서 분기하는 제1 소스 전극(S1) 그리고 제1 소스 전극(S1)과 일정 거리 떨어져 대향 하는 제1 드레인 전극(D1)을 포함한다. 제1 드레인 전극(D1)에는 제1 화소 영역(PA1)의 하부면에 배치된 제1 수평 화소 전극(PX_{h1})이 배치된다. 제1 화소 영역(PA1) 내에는 제1 수평 화소 전극(PX_{h1})에서 분기한 다수 개의 선분 형상을 갖는 제1 수직 화소 전극(PXL1)들이 배치된다. 제1 수직 화소 전극(PXL1)들은 일정 간격으로 평행하게 이격되어 있다. 특히, 제1 수직 화소 전극(PXL1)들은 제1 수직 공통 전극(COM1)들 사이에 하나씩 배치된다.

[0051] 마찬가지로, 제2 화소 영역(PA2)에 할당된 제2 박막 트랜지스터(T2)는 제1 게이트 배선(GL1)에서 분기하는 제2 게이트 전극(G2), 우측 데이터 배선(DL2)에서 분기하는 제2 소스 전극(S2) 그리고 제2 소스 전극(S2)과 일정 거리 떨어져 대향 하는 제2 드레인 전극(D2)을 포함한다. 제2 드레인 전극(D2)에는 제2 화소 영역(PA2)의 상부면에 배치된 제2 수평 화소 전극(PX_{h2})이 배치된다. 제2 화소 영역(PA2) 내에는 제2 수평 화소 전극(PX_{h2})에서 분기한 다수 개의 선분 형상을 갖는 제2 수직 화소 전극(PXL2)들이 배치된다. 제2 수직 화소 전극(PXL2)들은 일정 간격으로 평행하게 이격되어 있다. 특히, 제2 수직 화소 전극(PXL2)들은 제2 수직 공통 전극(COM2)들 사이에 하나씩 배치된다.

[0052] 제1 수평 공통전극(CM_{h1})과 제2 수평 공통전극(CM_{h2})은, 화소 영역(PA)의 중앙부에 형성된, 수직 공통 전극(COM_v)에 의해 서로 연결된다. 수직 공통 전극(COM_v)은 제1 화소 영역(PA1)과 제2 화소 영역(PA2)의 경계선상에 배치된다. 특히, 수직 공통 전극(COM_v)은 제1 수직 공통 전극(COM1) 및 제2 수직 공통 전극(COM2)과 동일한 폭을 갖고 배치된다.

[0053] 제1 화소 영역(PA1) 내부에 정의되는 수평 전계 형성 공간에 대하여 좀 더 상세히 설명한다. 제1 수직 화소 전극(PXL1)들은 제1 수직 공통 전극(COM1)들 사이에 하나씩 배치된다. 예를 들어, 도면에 도시한 바와 같이, 제1 수직 화소 전극(PXL1)의 개수를 3개 형성한 경우, 첫 번째 제1 수직 화소 전극(PXL1)은 왼쪽에 평행하게 배치된 제1 차폐 전극(CM_{s1}) 사이에 ① 블록을, 그리고 오른쪽에 평행하게 배치된 첫 번째 제1 공통 전극(COM1) 사이에 ② 블록을 형성한다. 두 번째 제1 수직 화소 전극(PXL1)은 왼쪽에 평행하게 배치된 첫 번째 제1 공통 전극(COM1) 사이에 ③ 블록을, 그리고 오른쪽에 평행하게 배치된 두 번째 제1 공통 전극(COM1) 사이에 ④ 블록을 형성한다. 세 번째 제1 수직 화소 전극(PXL1)은 왼쪽에 평행하게 배치된 두 번째 제1 공통 전극(COM1) 사이에 ⑤ 블록을, 그리고 오른쪽에 평행하게 배치된 수직 공통 전극(COM_v) 사이에 ⑥ 블록을 형성한다.

[0054] 제2 화소 영역(PA2) 내부에 정의되는 수평 전계 형성 공간에 대하여 좀 더 상세히 설명한다. 제2 수직 화소 전극(PXL2)들은 제2 수직 공통 전극(COM2)들 사이에 하나씩 배치된다. 예를 들어, 도면에 도시한 바와 같이, 제2 수직 화소 전극(PXL2)의 개수를 3개 형성한 경우, 첫 번째 제2 수직 화소 전극(PXL2)은 오른쪽에 평행하게 배치된 제2 차폐 전극(CM_{s2}) 사이에 ① 블록을, 그리고 왼쪽에 평행하게 배치된 첫 번째 제2 공통 전극(COM2) 사이에 ② 블록을 형성한다. 두 번째 제2 수직 화소 전극(PXL2)은 오른쪽에 평행하게 배치된 첫 번째 제2 공통 전극(COM2) 사이에 ③ 블록을, 그리고 왼쪽에 평행하게 배치된 두 번째 제2 공통 전극(COM2) 사이에 ④ 블록을 형성한다. 세 번째 제2 수직 화소 전극(PXL2)은 오른쪽에 평행하게 배치된 두 번째 제2 공통 전극(COM2) 사이에 ⑤ 블록을, 그리고 왼쪽에 평행하게 배치된 수직 공통 전극(COM_v) 사이에 ⑥ 블록을 형성한다.

[0055] 본 발명의 제2 실시 예에서는, 이웃하는 두 개의 화소 영역들 즉, 제1 화소 영역과 제2 화소 영역(PA1, PA2)을 하나의 화소 영역(PA)으로 재 정의하여 구성한다. 이를 위해, 데이터 배선을 매 두 개의 화소 행마다 하나씩 배치하는 구성을 갖고, 게이트 배선을 매 두 개의 화소 열마다 두 개씩 배치하는 구성을 갖는다. 특히, 하나의 화소 영역(PA)을 구성하는 제1 화소 영역(PA1)과 제2 화소 영역(PA2)에 걸쳐 동일한 폭을 갖는 제1 수직 공통 전극(COM1)과 제2 수직 공통 전극(COM2)들이 동일한 간격으로 떨어져 배치된다. 특히, 제1 화소 영역(PA1)과 제2 화소 영역(PA2)의 경계부에는 제1 수직 공통 전극(COM1) 및 제2 수직 공통 전극(COM2)과 동일한 폭을 갖는 수직 공통 전극(COM_v)이 배치된다.

[0056] 그리고 제1 수직 화소 전극(PXL1) 및 제2 수직 화소 전극(PXL2)이 화소 영역(PA) 내에서 제1 수직 공통 전극(COM1) 및 제2 수직 공통 전극(COM2)들 사이에 배치된다. 그 결과, 제1 화소 영역(PA1) 내에 형성된 수평 전계

를 형성하는 전계 블록들과 제2 화소 영역(PA2) 내에 형성된 전계 블록들이 동일한 폭과 동일한 간격으로 배열되는 구조를 가질 수 있다. 여기서, 전계 블록들의 폭은 수직 화소 전극들과 수직 공통 전극들 사이의 떨어진 간격에 해당하고, 전계 블록들의 간격은 수직 화소 전극 및 수직 공통 전극의 폭에 해당한다.

[0057] 본 발명의 제2 실시 예에 의한 화소 구조를 종래 기술에 의한 화소 구조와 비교하면, 화소 영역당 배치되는 데이터 배선(DL)의 개수가 1/2로 줄어든다. 따라서, 데이터 배선(DL)이 차지하는 면적의 일부를 개구 영역으로 활용할 수 있다. 종래 기술에서는 모든 화소 열들 사이에는 데이터 배선(DL)들이 배치되며, 또한 차폐 전극(CM_s)이 배치된다. 반면에, 제2 실시 예에 의한 화소 구조에서는 제1 화소 영역(PA1)과 제2 화소 영역(PA2) 사이에는 차폐 전극이 배치되지 않고, 제1 수직 공통 전극(COM1) 및 제2 수직 공통 전극(COM2)과 동일한 폭을 갖는 수직 공통 전극(COM_v)이 배치된다. 따라서, 종래 기술에서는 비 개구 영역이었던 부분을 개구 영역으로 활용할 수 있다.

[0058] 또한, 종래 기술에 의한 DRD 구조를 갖는 액정 표시장치에서는 데이터 배선이 배치되지 않은 화소 열 사이에는 데이터 배선은 존재하지 않지만, 수직 공통 배선이 배치된다. 따라서, DRD 구조 자체에 의해 개구율이 증가하는 효과를 얻기가 어렵다. 하지만, 본 발명의 제2 실시 예에서는 데이터 배선이 존재하지 않는 화소 열과 사이에는, 폭이 넓은 수직 공통 배선 대신에, 제1 수직 공통 전극 및 제2 수직 공통 전극과 동일한 폭을 갖는 수직 공통 전극이 배치되어 전계를 형성하므로, 개구 영역을 더 넓게 확보할 수 있다.

[0059] 한편, 제1 게이트 배선(GL1)과 평행하되, 화소 영역(PA) 내측으로 일정거리 이격하여 배치된 공통 배선(CL)을 더 포함할 수 있다. 공통 배선(CL)은 제1 차폐 전극(CM_{s1}), 제1 수평 공통 전극(CM_{h1}), 제2 차폐 전극(CM_{s2}) 및/또는 제2 수평 공통 전극(CM_{h2})과 공통 콘택홀(CH)을 통해 연결될 수 있다. 또한, 공통 배선(CL)의 일부분은 수평 화소 전극(PXLh)의 일부와 중첩하여 보조 용량(Cst)을 형성할 수 있다. 공통 배선(CL)의 배치 및 공통 배선(CL)과 공통 요소들(제1 차폐 전극, 제1 수평 공통 전극, 제2 차폐 전극, 제2 수평 공통 전극 및 수직 공통 전극)과의 연결 구조는 실시 예1 혹은 종래 기술에 의한 것을 차용할 수 있으므로 이에 대한 상세한 설명은 생략한다.

[0060] 이하, 도 5를 참조하여 본 발명의 제3 실시 예에 대하여 설명한다. 도 5는 본 발명의 제3 실시 예에 의한 차폐 전극을 갖는 수평 전계형 액정 표시장치의 박막 트랜지스터 기관의 구조를 나타내는 평면도이다. 제3 실시 예에 의한 액정 표시장치의 화소 구조는 기본적으로 제2 실시 예와 거의 동일하다. 차이가 있다면, 화소 영역(PA)을 구성하는 제1 화소 영역(PA1)과 제2 화소 영역(PA2)의 면적 비율이 동일하지 않고 비대칭 구조를 갖는다.

[0061] 제3 실시 예에 의한 액정 표시장치의 구조 대부분이 제2 실시 예의 것과 동일하므로, 차이가 있는 부분을 중심으로 설명한다. 차이점은, 제1 화소 영역(PA1) 내부에 형성되는 전계 블록의 개수와 제2 화소 영역(PA2) 내부에 형성되는 전계 블록의 개수가 서로 다른데 있다.

[0062] 제1 화소 영역(PA1) 내부에 정의되는 수평 전계 형성 공간에 대하여 좀 더 상세히 설명한다. 제1 수직 화소 전극(PXL1)들은 제1 수직 공통 전극(COM1)들 사이에 하나씩 배치된다. 예를 들어, 도면에 도시한 바와 같이, 제1 수직 화소 전극(PXL1)의 개수를 4개 형성한다. 이 경우, 첫 번째 제1 수직 화소 전극(PXL1)은 왼쪽에 평행하게 배치된 제1 차폐 전극(CM_{s1}) 사이에 ① 블록을, 그리고 오른쪽에 평행하게 배치된 첫 번째 제1 공통 전극(COM1) 사이에 ② 블록을 형성한다. 두 번째 제1 수직 화소 전극(PXL1)은 왼쪽에 평행하게 배치된 첫 번째 제1 공통 전극(COM1) 사이에 ③ 블록을, 그리고 오른쪽에 평행하게 배치된 두 번째 제1 공통 전극(COM1) 사이에 ④ 블록을 형성한다. 세 번째 제1 수직 화소 전극(PXL1)은 왼쪽에 평행하게 배치된 두 번째 제1 공통 전극(COM1) 사이에 ⑤ 블록을, 그리고 오른쪽에 평행하게 배치된 세 번째 제1 공통 전극(COM1) 사이에 ⑥ 블록을 형성한다. 네 번째 제1 수직 화소 전극(PXL1)은 왼쪽에 평행하게 배치된 세 번째 제1 공통 전극(COM1) 사이에 ⑦ 블록을, 그리고 오른쪽에 평행하게 배치된 수직 공통 전극(COM_v) 사이에 ⑧ 블록을 형성한다.

[0063] 제2 화소 영역(PA2) 내부에 정의되는 수평 전계 형성 공간에 대하여 좀 더 상세히 설명한다. 제2 수직 화소 전극(PXL2)들은 제2 수직 공통 전극(COM2)들 사이에 하나씩 배치된다. 예를 들어, 도면에 도시한 바와 같이, 제2 수직 화소 전극(PXL2)의 개수를 2개 형성한다. 이 경우, 첫 번째 제2 수직 화소 전극(PXL2)은 오른쪽에 평행하게 배치된 제2 차폐 전극(CM_{s2}) 사이에 ① 블록을, 그리고 왼쪽에 평행하게 배치된 첫 번째 제2 공통 전극(COM2) 사이에 ② 블록을 형성한다. 두 번째 제2 수직 화소 전극(PXL2)은 오른쪽에 평행하게 배치된 첫 번째 제2 공통

전극(COM2) 사이에 ③ 블록을, 그리고 왼쪽에 평행하게 배치된 수직 공통 전극(COMv) 사이에 ④ 블록을 형성한다.

[0064] 제3 실시 예에 의한 액정 표시장치에서, 화소 영역(PA)은, 8개의 전계 블록을 갖는 제1 화소 영역(PA1)과 4개의 전계 블록을 갖는 제2 화소 영역(PA2)을 포함한다. 이와 같이 서로 이웃하는 두 개의 화소를 하나의 그룹으로 묶고, 각 화소 영역의 크기 비율을 다르게 하여 다양한 화소 배열을 가질 수 있다.

[0065] 예를 들어, 화소의 배열이 적색(red), 녹색(green) 및 청색(blue)의 배열에서, 백색(white) 화소를 각 색상 화소마다 하나씩 배열하여 고 휘도 표시장치를 구성할 수 있다. 즉, R-W-G-W-B-W와 같은 배열을 갖는 색상 화소 구성을 가질 수 있다. 이 경우, 백색 화소의 크기를 RGB 색상 화소의 크기와 동일하면, 백색 휘도가 너무 높을 수 있다. 백색 휘도가 높은 것이 바람직하지 않을 경우, 도 5와 같이 화소 영역을 구성한 후, RGB 색상 화소들은 8개 전계 블록을 갖는 제1 화소 영역(PA1)에 배정하고, 백색 화소를 4개 전계 블록을 갖는 제2 화소 영역(PA1)에 배정하는 것이 바람직하다. 이 경우, RGB 색상 화소들 사이에 백색 화소가 위치하고 있으므로, 세로 방향의 블랙 매트릭스를 삭제하거나, 최소한의 폭으로 형성할 수도 있다.

[0066] 또 다른 응용 방법으로, R-W-B-W-G-W와 같은 화소 배열을 갖고, 백색 화소는 투명 화소로 활용하는, 투명 액정 표시장치에 적용할 경우, 백색 화소의 면적 비율을 더 크게 확보할 수도 있다. 즉, 도 5에 의한 화소 구성에서, 칼라 필터의 배열을, W-R-W-B-W-G의 방식으로 배열하고, 백색 화소는 투명 화소로 구성할 수 있다. 그러면, 표시장치의 뒷 배경을 그대로 투과하면서, 표시 패널에서 구현하는 비디오 정보를 동시에 관람할 수 있는 투명 액정 표시장치를 구현할 수 있다.

[0067] 이하, 도 6을 참조하여 본 발명의 제4 실시 예에 대하여 설명한다. 도 6은 도 6은 본 발명의 제4 실시 예에 의한 차폐 전극을 갖는 수평 전계형 액정 표시장치의 박막 트랜지스터 기관의 구조를 나타내는 평면도이다. 제1 및 제2 실시 예에서는 이웃하는 제1 및 제2 화소 영역을 묶어서 새로운 화소 영역으로 정의하고, 화소 영역에 걸쳐 수직 공통 전극과 수직 화소 전극을 고르게 배치함으로써, 초고해상도에서 고 개구율을 구현한 액정 표시장치를 제공하였다.

[0068] 제3 실시 예에서는, 제1 화소 영역과 제2 화소 영역의 크기 비율을 다르게 함으로써, 투명 표시장치와 같은 화소 배열에서 투명 화소의 비율을 적절하게 조절할 수 있는 초고해상도에서 고 개구율을 구현한 액정 표시장치를 제공하였다. 이 경우, 제3 실시 예에 의한 화소 영역 내의 수직 화소 전극의 개수는 동일하게 유지하되, 제1 화소 영역의 수직 화소 전극의 개수를 하나 더 늘이고, 제2 화소 영역의 수직 화소 전극의 개수를 하나 줄였다.

[0069] 제4 실시 예에서는, 제2 화소 영역에 배치된 수직 화소 전극과 수직 공통 전극 각각의 개수를 하나씩 줄임으로써, 화소 영역에 배치되는 전체 수직 화소 전극과 수직 공통 전극의 개수를 하나씩 줄여, 전계 블록의 폭을 좀 더 넓게 확보하는 예를 설명한다. 이 경우는, 500PPI 이상의 초고해상도로 설계할 경우, 화소 영역의 크기가 현저히 줄어들기 때문에 유용하게 적용할 수 있는 방법이다.

[0070] 도 6을 참조하면, 제4 실시 예에 의한 액정 표시장치의 구조 대부분이 제2 및 제3 실시 예의 것과 동일하므로, 차이가 있는 부분을 중심으로 설명한다. 제3 실시 예에서는, 제2 실시 예의 제2 화소 영역(PA2)에 배치된 수직 화소 전극 1개를 제1 화소 영역(PA1)에 할당한 결과와 동일하다. 그 결과, 제1 화소 영역(PA2) 내부에 배치되는 수직 화소 전극 개수와 제2 화소 영역(PA2) 내부에 형성되는 수직 화소 전극 개수의 차이가 2개이다. 반면에, 제4 실시 예에서는, 제1 화소 영역(PA1) 내부에 배치되는 수직 화소 전극 개수와 제2 화소 영역(PA2) 내부에 형성되는 수직 화소 전극 개수의 차이가 1개이다.

[0071] 제1 화소 영역(PA1) 내부에 정의되는 수평 전계 형성 공간에 대하여 좀 더 상세히 설명한다. 제1 수직 화소 전극(PXL1)들은 제1 수직 공통 전극(COM1)들 사이에 하나씩 배치된다. 예를 들어, 도면에 도시한 바와 같이, 제1 수직 화소 전극(PXL1)의 개수를 3개 형성한다. 이 경우, 첫 번째 제1 수직 화소 전극(PXL1)은 왼쪽에 평행하게 배치된 제1 차폐 전극(CMS1) 사이에 ① 블록을, 그리고 오른쪽에 평행하게 배치된 첫 번째 제1 공통 전극(COM1) 사이에 ② 블록을 형성한다. 두 번째 제1 수직 화소 전극(PXL1)은 왼쪽에 평행하게 배치된 첫 번째 제1 공통 전극(COM1) 사이에 ③ 블록을, 그리고 오른쪽에 평행하게 배치된 두 번째 제1 공통 전극(COM1) 사이에 ④ 블록을 형성한다. 세 번째 제1 수직 화소 전극(PXL1)은 왼쪽에 평행하게 배치된 두 번째 제1 공통 전극(COM1) 사이에 ⑤ 블록을, 그리고 오른쪽에 평행하게 배치된 수직 공통 전극(COMv) 사이에 ⑥ 블록을 형성한다.

[0072] 제2 화소 영역(PA2) 내부에 정의되는 수평 전계 형성 공간에 대하여 좀 더 상세히 설명한다. 제2 수직 화소 전

극(PXL2)들은 제2 수직 공통 전극(COM2)들 사이에 하나씩 배치된다. 예를 들어, 도면에 도시한 바와 같이, 제2 수직 화소 전극(PXL2)의 개수를 2개 형성한다. 이 경우, 첫 번째 제2 수직 화소 전극(PXL2)은 오른쪽에 평행하게 배치된 제2 차폐 전극(CM_{S2}) 사이에 ① 블록을, 그리고 왼쪽에 평행하게 배치된 첫 번째 제2 공통 전극(COM2) 사이에 ② 블록을 형성한다. 두 번째 제2 수직 화소 전극(PXL2)은 오른쪽에 평행하게 배치된 첫 번째 제2 공통 전극(COM2) 사이에 ③ 블록을, 그리고 왼쪽에 평행하게 배치된 수직 공통 전극(COM_v) 사이에 ④ 블록을 형성한다.

[0073] 제4 실시 예에 의한 액정 표시장치에서, 화소 영역(PA)은, 6개의 전계 블록을 갖는 제1 화소 영역(PA1)과 4개의 전계 블록을 갖는 제2 화소 영역(PA2)을 포함한다. 이와 같이 서로 이웃하는 두 개의 화소를 하나의 그룹으로 묶고, 각 화소 영역의 크기 비율을 다르게 하여 다양한 화소 배열을 가질 수 있다.

[0074] 예를 들어, 화소의 배열이 적색(red), 녹색(green) 및 청색(blue)의 배열에서, 백색(white) 화소를 각 색상 화소마다 하나씩 배열하여 고 휘도 표시장치를 구성할 수 있다. 즉, R-W-G-W-B-W와 같은 배열의 색상 화소 구성을 가질 수 있다. 이 경우, 백색 화소의 크기를 RGB 색상 화소의 크기와 동일하면, 백색 휘도가 너무 높을 수 있다. 백색 휘도가 높은 것이 바람직하지 않을 경우, 도 6과 같은 화소 영역을 구성한 후, RGB 색상 화소들은 6개 전계 블록을 갖는 제1 화소 영역(PA1)에 배정하고, 백색 화소를 4개 전계 블록을 갖는 제2 화소 영역(PA1)에 배정할 수 있다. 이 경우, RGB 색상 화소들 사이에 백색 화소가 위치하고 있으므로, 세로 방향의 블랙 매트릭스를 삭제하거나, 최소한의 폭으로 형성할 수도 있다.

[0075] 또 다른 응용 방법으로, R-W-B-W-G-W와 같은 화소 배열을 갖고, 백색 화소는 투명 화소로 활용하는, 투명 액정 표시장치에 적용할 경우, 백색 화소의 면적 비율을 더 크게 확보할 수도 있다. 즉, 도 6에 의한 화소 구성에서, 칼라 필터의 배열을, W-R-W-B-W-G의 방식으로 배열하고, 백색 화소는 투명 화소로 구성할 수 있다. 그러면, 표시장치의 뒷 배경을 그대로 투과하면서, 표시 패널에서 구현하는 비디오 정보를 동시에 관람할 수 있는 투명 액정 표시장치를 구현할 수 있다.

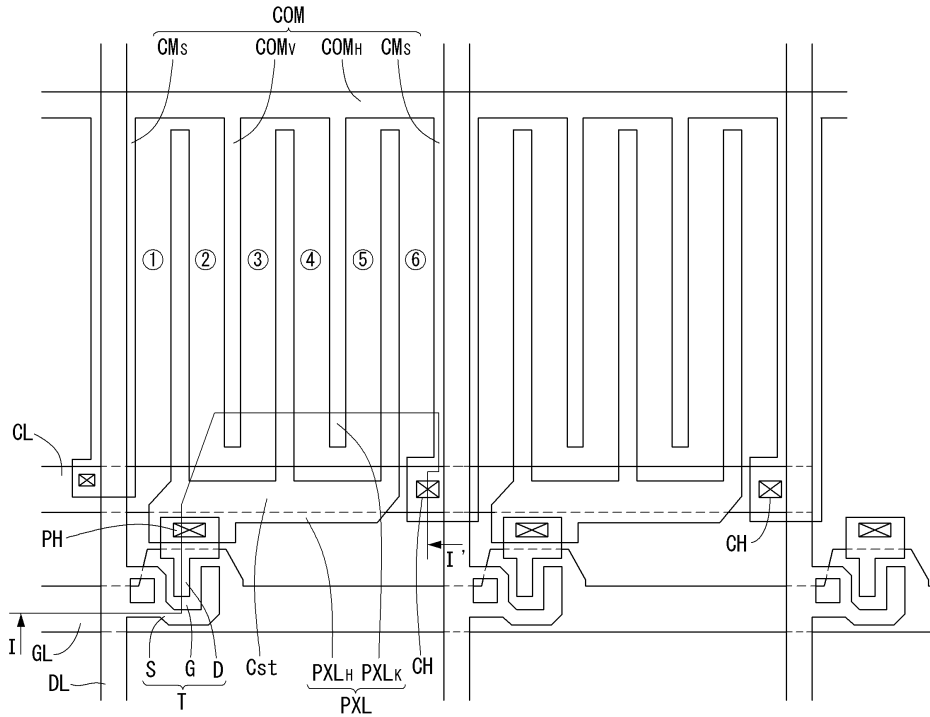
[0076] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

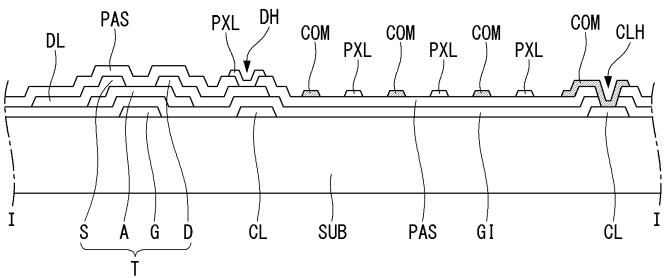
[0077] GL: 게이트 배선 DL: 데이터 배선
 PA: 화소 영역 PA1: 제1 화소 영역
 PA2: 제2 화소 영역 GL1: 제1 게이트 배선
 GL2: 제2 게이트 배선 DL1: 좌측 데이터 배선
 DL2: 우측 데이터 배선 T1: 제1 박막 트랜지스터
 T2: 제2 박막 트랜지스터
 COM: 공통 전극 COM_v: 수직 공통 전극
 CM_{S1}: 제1 차폐 전극 CM_{S2}: 제2 차폐 전극
 COM1: 제1 수직 공통 전극 COM2: 제2 수직 공통 전극
 CM_{h1}: 제1 수평 공통 전극 CM_{h2}: 제2 수평 공통 전극
 PXL: 화소 전극 PX_{h1}:: 제1 수평 화소 전극
 PX_{h2}:: 제2 수평 화소 전극 PXL1: 제1 수직 화소 전극
 PXL2: 제2 수직 화소 전극

도면

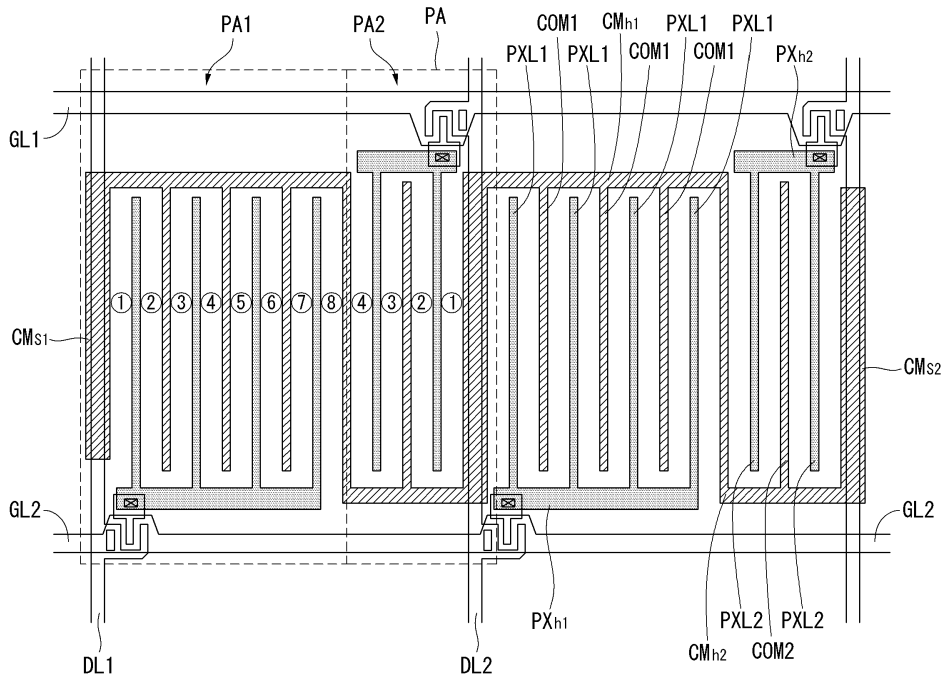
도면1



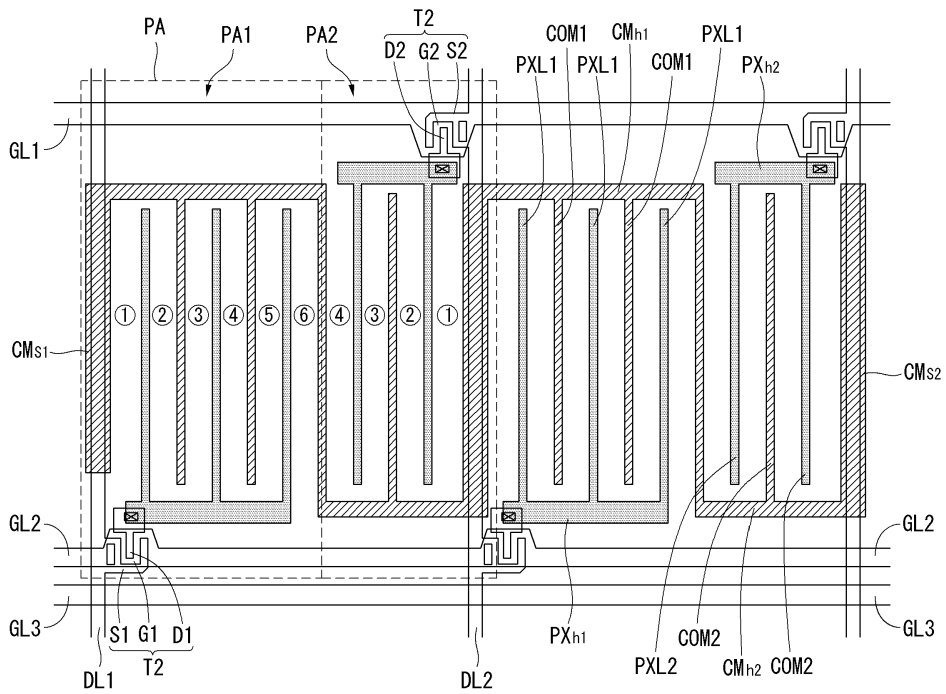
도면2



도면5



도면6



专利名称(译)	超高分辨率水平电场液晶显示器		
公开(公告)号	KR1020160007974A	公开(公告)日	2016-01-21
申请号	KR1020140086928	申请日	2014-07-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SO YOUNG 이소영 PARK KI BOK 박귀복		
发明人	이소영 박귀복		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134363 G02F1/136286 G02F2201/40 H01L29/786		
外部链接	Espacenet		

摘要(译)

超分辨率面内切换液晶显示装置本发明涉及一种超分辨率面内切换液晶显示装置。根据本发明，超分辨率面内切换液晶显示装置包括：像素区域，其第一像素区域和第二像素区域从一侧到另一侧布置在基板上；第一屏蔽电极，设置在像素区域的左侧；第二屏蔽电极，设置在像素区域的右侧；第一水平公共电极，从第一屏蔽电极延伸到第一像素区域；第二水平公共电极，从第二屏蔽电极延伸到第二像素区域；第一垂直公共电极，从第一水平像素电极延伸到第一像素区域；第二垂直公共电极，从第二水平像素电极延伸到第二像素区域；连接第一水平公共电极和第二水平公共电极的垂直公共电极。

