

명세서

청구범위

청구항 1

복수의 게이트 라인과 복수의 데이터 라인이 교차되도록 형성되고, 복수의 픽셀이 정의된 액정 패널;

상기 복수의 게이트 라인에 게이트 구동 신호를 공급하는 게이트 구동회로;

상기 복수의 데이터 라인에 데이터 전압을 공급하는 데이터 구동회로;

상기 복수의 픽셀에 공통전압을 공급하기 위한 공통전압 라인;

상기 액정 패널에 그라운드 전위를 공급하기 위한 그라운드 라인;

상기 액티브 영역의 외곽에서 상기 복수의 게이트 라인 또는 상기 복수의 데이터 라인에 연결되어 과전압 전류를 방전시키는 복수의 제1 정전기 방전 회로; 및

상기 복수의 제1 정전기 방전 회로와 상기 공통전압 라인 사이에 연결되거나, 상기 공통전압 라인과 상기 그라운드 라인에 연결되어 과전압 전류를 방전시키는 복수의 제2 정전기 방전 회로를 포함하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 2

제1 항에 있어서,

상기 복수의 제1 정전기 방전 회로는,

상기 복수의 게이트 라인과 상기 공통전압 라인 사이에 배치된 복수의 게이트 정전기 방전 회로; 및

상기 복수의 데이터 라인과 상기 공통전압 라인 사이에 배치된 복수의 데이터 정전기 방전 회로를 포함하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 3

제2 항에 있어서,

상기 복수의 데이터 정전기 방전 회로의 제1 단자는 상기 복수의 데이터 라인에 접속되고, 제2 단자는 상기 그라운드 라인에 접속된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 4

제2 항에 있어서,

상기 복수의 데이터 정전기 방전 회로의 제1 단자는 상기 복수의 데이터 라인에 접속되고, 제2 단자는 상기 공통전압 라인에 접속된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 5

제1 항에 있어서,

상기 복수의 제2 정전기 방전 회로는,

상기 복수의 게이트 정전기 방전 회로와 상기 공통전압 라인에 연결된 복수의 제1 보호 회로; 및

상기 공통전압 라인 또는 상기 공통전압 라인과 상기 그라운드 라인에 연결된 복수의 제2 보호 회로를 포함하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 6

제1 항에 있어서,

상기 복수의 제1 정전기 방전 회로 및 상기 제2 정전기 방전 회로는,
상기 표시 영역에 형성된 박막트랜지스터의 채널 길이와 동일한 길이를 갖는 산화물 박막트랜지스터인 것을 특징으로 하는 액정 디스플레이 장치.

청구항 7

제1 항에 있어서,
상기 복수의 제1 정전기 방전 회로 및 상기 제2 정전기 방전 회로 각각은,
복수의 스위칭 박막트랜지스터; 및
상기 액티브 영역에 형성된 박막트랜지스터의 채널 길이와 동일한 채널 길이를 가지는 복수의 박막트랜지스터가 직렬로 연결되어 구성된 복수의 센터 박막트랜지스터를 포함하는 액정 디스플레이 장치.

청구항 8

제7 항에 있어서,
상기 복수의 센터 박막트랜지스터는 2개~7개의 박막트랜지스터가 직렬로 연결된 구조로 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 9

제7 항에 있어서,
상기 복수의 제1 정전기 방전 회로는,
3개의 상기 스위칭 박막트랜지스터와 2개의 상기 센터 박막트랜지스터로 구성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 10

제7 항에 있어서,
상기 복수의 제1 정전기 방전 회로는,
상기 제1 스위칭 박막트랜지스터와 상기 제2 스위칭 박막트랜지스터 사이에 상기 제1 센터 박막트랜지스터가 형성되고,
상기 제2 스위칭 박막트랜지스터와 상기 제3 스위칭 박막트랜지스터 사이에 상기 제2 센터 박막트랜지스터가 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 11

제7 항에 있어서,
상기 복수의 제2 정전기 방전 회로는,
3개의 상기 스위칭 박막트랜지스터와 2개의 상기 센터 박막트랜지스터로 구성되거나, 또는 4개의 상기 스위칭 박막트랜지스터와 3개의 상기 센터 박막트랜지스터로 구성되는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 12

제7 항에 있어서,
상기 복수의 제2 정전기 방전 회로는,
상기 제1 스위칭 박막트랜지스터와 제2 스위칭 박막트랜지스터 사이에 상기 제1 센터 박막트랜지스터가 형성되고,
상기 제2 스위칭 박막트랜지스터와 제3 스위칭 박막트랜지스터 사이에 상기 제2 센터 박막트랜지스터가 형성되고,

상기 제3 스위칭 박막트랜지스터와 제4 스위칭 박막트랜지스터 사이에 상기 제3 센터 박막트랜지스터가 형성된 것을 특징으로 하는 액정 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 출원은 2014년 03월 10일자로 출원된 미국 가특허출원 제61/950,675호의 이익을 주장하며, 상기 가특허출원은 본 명세서에 참조로 병합된다.

배경 기술

[0002] 액정 디스플레이 장치(LCD)는 양산 기술의 발전, 구동수단의 용이성, 저전력 소비, 고화질 구현의 장점이 있어 TV 및 휴대용 기기의 디스플레이 소자로 적합하다. 액정 디스플레이 장치는 외부로부터 입력된 영상 신호에 따라서 픽셀(pixel)의 액정층을 투과하는 광의 투과율을 조절하여 영상 신호에 따른 화상을 표시한다.

[0003] 액정 디스플레이 장치는 픽셀이 매트릭스 형태로 배열되어 화상을 표시하는 액정 패널과 상기 액정 패널을 구동시키기 위한 신호 및 전원을 공급하는 구동 회로부를 포함한다.

[0004] 이러한, 액정 디스플레이 장치는 정전기 또는 과전압이 픽셀에 유입되면 픽셀과 라인이 파괴되어 화상을 제대로 표시할 수 없다. 이러한, 정전기 또는 과전압의 유입에 따른 문제점을 개선하기 위해서 데이터 라인 및 게이트 라인에 병렬로 정전기 방전 회로가 접속된다.

[0005] 일반적인 정전기방지 회로는 외부로부터 유입되는 과전압을 제한하고, 과전압 전류를 우회시켜 TFT 어레이를 보호한다. 정전기방지 회로는 액정 패널의 동작 시 전압강하나 누설전류에 의해서 패널 동작에 영향이 미치지 않아야 하며, 반면에 정전기에 따른 과전압이 발생된 경우에는 정전기방지 회로의 저항이 낮아 턴-온(turn-on) 시간이 빨라야 한다.

[0006] 정전기 방전 회로는 정전기가 발생 시 정전기를 분산시켜 액티브 영역의 TFT 어레이를 보호한다. 고전압의 정전기가 발생하면 정전기 방전 회로가 정전기 신호를 먼저 감지하고, 과전압 전류를 그라운드(GND) 또는 공통전압(Vcom) 단자로 우회시킨다.

[0007] 도 1은 종래 기술에 따른 정전기 방전 회로(ESD circuit)를 나타내는 도면이다.

[0008] 도 1을 참조하면, 종래 기술에 따른 정전기 방전 회로(20)는 2개의 스위칭 TFT(22, 24)와 1개의 이퀄라이저 TFT(26)를 포함한다.

[0009] 제1 스위칭 TFT(22)와 제2 스위칭 TFT(24)는 게이트(gate)와 소스(source)가 다이오드 커넥션으로 연결되어 다이오드로 동작하며, 동시에 양방향으로 전류가 흐르는 것을 차단한다.

[0010] 이러한, 종래 기술의 정전기 방전 회로(20)는 동작 속도를 높이기 위해서, 제1 스위칭 TFT(22), 제2 스위칭 TFT(24) 및 이퀄라이저 TFT(26)의 액티브층의 재료가 산화물로 이루어진 산화물 TFT(oxide TFT)가 적용된다.

[0011] 제1 스위칭 TFT(22), 제2 스위칭 TFT(24) 및 이퀄라이저 TFT(26)가 모두 산화물 TFT인 경우에는 정전기 유입에 따른 동작 속도는 빠르지만, 누설전류의 양이 많아 소비 전력이 증가하는 문제점이 있다.

[0012] 정전기 방전 회로(20)에 산화물 TFT를 적용함에 따른 문제점을 개선하기 위한 방안으로, TFT의 개수를 증가시키거나, TFT의 채널의 길이(length)를 늘려, 즉, 채널의 저항을 증가시켜 누설전류를 최소화 할 수 있다.

[0013] 그러나, 정전기 방전 회로의 설계 시 면적의 제약이 있어 TFT의 개수를 증가시키거나, TFT의 채널의 길이(length)를 늘려 방법을 적용하는데 어려움이 있다. 특히, 고 해상도로 갈수록 디스플레이 패널 내에서 회로 설계 면적을 확보하는 것에 제약이 있어, 정전기 방전 성능을 충분히 확보하면서 누설전류를 최소화시킬 수 있는 정전기 방전 회로를 설계하는 것에 어려움이 있다.

[0014] 도 2는 Back Channel Etched(BCE) 타입의 산화물 박막트랜지스터(oxide TFT)의 채널 길이(length)에 따른 전압-전류 특성의 변화를 나타내는 도면이다.

[0015] 도 2를 참조하면, BCE 타입의 산화물 TFT의 경우, 채널 길이(length)가 증가함에 따라 초기 문턱전압(initial V_{th})이 포지티브 쉬프트(positive shift)하며, S-factor 값이 증가하여 기존의 a-Si TFT 또는 ES 산화물 TFT에

기반한 정전기 방전 회로의 설계를 BCE 타입의 산화물 TFT에 반영하는 것이 매우 어렵다.

- [0016] 여기서, S-factor는 TFT의 Trans-curve 그래프(graph)에서 Sub-threshold 영역의 기울기의 역수 값을 의미하는 것으로, 0부터 S-factor 값을 가진다. 이러한, S-factor 값이 작을수록 스위칭(switching) 기능을 하는 소자특성이 우수하며, 반대로 S-factor 값이 증가하면 소자특성이 떨어지게 된다.
- [0017] BCE 타입의 산화물 TFT를 포함하는 정전기 방전 회로의 누설전류를 줄이기 위해서, 채널의 길이(length)를 6 μ m에서 10 μ m로 증가하도록 TFT의 설계를 변경하면 S-factor 값이 증가하여 산화물 TFT의 동작 특성이 변화하게 되는 다른 문제점이 있다.
- [0018] 따라서, 종래의 a-Si TFT 수준으로 누설전류를 유지하면서 산화물 TFT 수준으로 고속의 스위칭 속도 및 정전기 방전 성능을 확보할 수 있는 BCE 타입의 산화물 TFT의 개발이 요구된다. 또한, 방전 성능 및 스위칭 성능을 모두 만족하는 산화물 TFT를 포함하는 정전기 방전 회로의 개발 및 이러한 정전기 방전 회로를 포함하는 액정 디스플레이 장치가 요구된다.

발명의 내용

해결하려는 과제

- [0019] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 누설전류를 감소시킬 수 있는 정전기 방전 회로와 이를 포함하는 액정 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.
- [0020] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 소비전력을 줄일 수 있는 정전기 방전 회로와 이를 포함하는 액정 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.
- [0021] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 회로 설계 면적을 줄이면서 정전기 방전 성능을 향상시킬 수 있는 정전기 방전 회로와 이를 포함하는 액정 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.
- [0022] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 고해상도 디스플레이 패널에 적용 가능한 정전기 방전 회로를 제공하는 것을 기술적 과제로 한다.
- [0023] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0024] 본 발명의 실시 예에 따른 액정 디스플레이 장치는 복수의 게이트 라인과 복수의 데이터 라인이 교차되도록 형성되고, 복수의 픽셀이 정의된 액정 패널; 상기 복수의 게이트 라인에 게이트 구동 신호를 공급하는 게이트 구동회로; 상기 복수의 데이터 라인에 데이터 전압을 공급하는 데이터 구동회로; 상기 복수의 픽셀에 공통전압을 공급하기 위한 공통전압 라인; 상기 액정 패널에 그라운드 전위를 공급하기 위한 그라운드 라인; 상기 액티브 영역의 외곽에서 상기 복수의 게이트 라인 또는 상기 복수의 데이터 라인에 연결되어 과전압 전류를 방전시키는 복수의 제1 정전기 방전 회로; 및 상기 복수의 제1 정전기 방전 회로와 상기 공통전압 라인 사이에 연결되거나, 상기 공통전압 라인과 상기 그라운드 라인에 연결되어 과전압 전류를 방전시키는 복수의 제2 정전기 방전 회로를 포함하는 것을 특징으로 한다.
- [0025] 이 밖에도, 본 발명의 실시 예들을 통해 본 발명의 또 다른 특징 및 이점들이 새롭게 파악 될 수도 있을 것이다.

발명의 효과

- [0026] 본 발명은 누설전류를 감소시킬 수 있는 정전기 방전 회로와 이를 포함하는 액정 디스플레이 장치를 제공할 수 있다.
- [0027] 본 발명은 소비전력을 줄일 수 있는 정전기 방전 회로와 이를 포함하는 액정 디스플레이 장치를 제공할 수 있다.
- [0028] 본 발명은 회로 설계 면적을 줄이면서 정전기 방전 성능을 향상시킬 수 있는 정전기 방전 회로와 이를 포함하는 액정 디스플레이 장치를 제공할 수 있다.

- [0029] 본 발명은 고해상도 디스플레이 패널에 적용 가능한 정전기 방전 회로를 제공할 수 있다.
- [0030] 본 발명의 5TFT 구조 또는 7TFT 구조의 산화물 TFT를 포함하는 정전기 방전 회로는 각각의 산화물 TFT의 채널 길이(length)가 액티브 영역(표시 영역)의 산화물 TFT의 채널 길이(length)와 동일하게 설계됨으로, 정전기 방전 회로를 위해서 별도로 채널 설계를 변경할 필요가 없다.
- [0031] 본 발명의 5TFT 구조 또는 7TFT 구조의 산화물 TFT를 포함하는 정전기 방전 회로는 기관 상에서 TFT의 설계 면적을 줄일 수 있어 정전기 방전 회로를 설계하는데 제약을 받지 않는다.
- [0032] 본 발명의 5TFT 구조 또는 7TFT 구조의 산화물 TFT를 포함하는 정전기 방전 회로는 3개의 비정질 실리콘(a-Si) TFT로 정전기 방전 회로를 구성한 것과 동일 수준으로 누설전류를 줄일 수 있고, 소비전력도 줄일 수 있다.
- [0033] 본 발명의 5TFT 구조 또는 7TFT 구조의 산화물 TFT를 포함하는 정전기 방전 회로는 고해상도 디스플레이 패널에 적용이 가능한 장점이 있다.

도면의 간단한 설명

- [0034] 도 1은 종래 기술에 따른 정전기 방전 회로(ESD circuit)를 나타내는 도면이다.
- 도 2는 Back Channel Etched(BCE) 타입의 산화물 박막트랜지스터(oxide TFT)의 채널 길이(length)에 따른 전압-전류 특성의 변화를 나타내는 도면이다.
- 도 3은 본 발명의 실시 예에 따른 액정 디스플레이 장치를 나타내는 도면이다.
- 도 4는 정전기 방전 회로에 구성된 산화물 TFT의 채널 길이(length) 증가에 따른 누설전류를 나타내는 도면이다.
- 도 5는 본 발명의 제1 실시 예에 따른 정전기 방전 회로의 등가 회로를 나타내는 도면이다.
- 도 6은 본 발명의 제1 실시 예에 따른 정전기 방전 회로의 레이아웃을 나타내는 도면이다.
- 도 7은 본 발명의 제1 실시 예에 따른 정전기 방전 회로의 단면도이다.
- 도 8은 본 발명의 제2 실시 예에 따른 정전기 방전 회로의 등가 회로도이다.
- 도 9는 본 발명의 제3 실시 예에 따른 정전기 방전 회로의 등가 회로도이다.
- 도 10은 본 발명의 제4 실시 예에 따른 정전기 방전 회로의 등가 회로도이다.
- 도 11은 본 발명의 제5 실시 예에 따른 정전기 방전 회로의 등가 회로도이다.
- 도 12는 본 발명의 제6 실시 예에 따른 정전기 방전 회로의 등가 회로도이다.
- 도 13은 정전기 방전 회로의 구조 및 센터 TFT의 채널 길이(length)에 따른 누설전류를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0035] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0036] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0037] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0038] 본 발명의 실시 예들을 설명함에 있어서 어떤 구조물(전극, 라인, 배선 레이어, 컨택)이 다른 구조물 "상부에

또는 상에" 및 "하부에 또는 아래에" 형성된다고 기재된 경우, 이러한 기재는 이 구조물들이 서로 접촉되어 있는 경우는 물론이고 이들 구조물들 사이에 제3의 구조물이 개재되어 있는 경우까지 포함하는 것으로 해석되어야 한다.

- [0039] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0040] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0041] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0042] 본 발명은 액정 디스플레이 장치에 관한 것으로, 정전기 방전 회로의 크기를 줄이면서 누설전류를 감소시킬 수 있는 정전기 방전 회로와 이를 포함하는 액정 디스플레이 장치에 관한 것이다.
- [0043] 본 발명은 누설전류를 감소시킬 수 있는 정전기 방전 회로와 이를 포함하는 액정 디스플레이 장치를 제안한다. 또한, 본 발명은 소비전력을 줄일 수 있는 정전기 방전 회로와 이를 포함하는 액정 디스플레이 장치를 제안한다. 또한, 본 발명은 회로 설계 면적을 줄이면서 정전기 방전 성능을 향상시킬 수 있는 정전기 방전 회로와 이를 포함하는 액정 디스플레이 장치를 제안한다. 또한, 본 발명은 고해상도 디스플레이 패널에 적용 가능한 정전기 방전 회로를 제안한다.
- [0044] 도 3은 본 발명의 실시 예에 따른 액정 디스플레이 장치를 나타내는 도면이다.
- [0045] 도 3을 참조하면, 본 발명의 실시 예에 따른 액정 디스플레이 장치는 입력된 영상 신호에 따라 영상을 표시하는 액정 패널(100), 복수의 정전기 방전 회로(200), 게이트 구동회로(300), 데이터 구동회로(400), 상기 게이트 구동회로(300)와 데이터 구동회로(400)의 동작을 제어하는 제어부(미도시) 및 상기 구동회로들에 전원을 공급하는 전원 공급부(미도시)를 포함한다.
- [0046] 액정 패널(100)은 m개의 게이트 라인(GL1~GLm)과 n개의 데이터 라인(DL1~DLn)이 상호 교차하도록 형성된다. 데이터 라인들과 게이트 라인들의 교차에 의해 복수의 픽셀들이 매트릭스 형태로 형성된다. 각 픽셀에는 스위칭 소자로서 산화물 TFT(Oxide TFT)가 형성되어, 각 픽셀에 이미지 데이터의 공급을 스위칭 한다. 또한, 각 픽셀에는 스토리지 커패시터(Cst)가 형성되어 있다.
- [0047] 액정 패널(100)에는 데이터 구동회로(400)에서 출력되는 공통전압(Vcom)을 픽셀들에 공급하기 위한 공통전압 라인(110), 공통전압(Vcom)을 다시 데이터 구동회로(400)로 피드백 시키는 공통전압 피드백 라인(120), 액정 패널(100)에 그라운드 전위를 공급하기 위한 그라운드 라인(130) 및 정전기 방전 회로들을 연결하는 공통 라인(140)이 형성되어 있다.
- [0048] 각 픽셀의 산화물 TFT는 게이트 라인을 통해 공급되는 게이트 구동 신호에 의해 스위칭 되고, 산화물 TFT가 온(on)되면 데이터 라인을 통해 공급되는 데이터 전압이 픽셀에 공급된다. 데이터 전압과 공통전압의 전계 차이에 의해 각 픽셀에서 액정의 배열 상태가 변화되고, 액정의 배열을 조절하여 백라이트 유닛에서 입사되는 광의 투과율을 조절함으로써 화상을 표시한다.
- [0049] 제어부는 입력된 영상 신호를 프레임 단위의 R, G, B 영상 데이터로 정렬하고, 정렬된 R, G, B 영상 데이터를 데이터 구동회로(400)에 공급한다. 또한, 제어부는 입력되는 타이밍 신호(TS)를 이용하여 게이트 구동회로(300)의 제어를 위한 게이트 제어 신호(GCS) 및 데이터 구동회로(400)의 제어를 위한 데이터 제어 신호(DCS)를 생성한다. 상기 타이밍 신호(TS)는 데이터 인에이블 신호(DE), 수평 동기신호(Hsync), 수직 동기신호(Vsync), 클럭 신호(CLK)를 포함한다.
- [0050] 게이트 제어 신호(GCS)는 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock) 및 게이트 출력 인에이블(GOE: Gate Output Enable) 등을 포함할 수 있다.
- [0051] 데이터 제어 신호(DCS)는 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블(SOE: Source Output Enable), 극성 제어 신호(POL: Polarity) 등을 포함할 수 있다.

- [0052] 데이터 구동회로(400)는 제어부로부터 공급되는 R, G, B 영상 데이터를 아날로그 데이터 전압으로 변환한다. 이후, 액정 패널(100)의 데이터 라인들을 통해 데이터 전압을 각 픽셀에 공급한다. 또한, 데이터 구동회로(400)는 제어부의 제어에 기초하여 GIP 방식의 게이트 구동회로(300)를 구동시키기 위한 Vst, CLK, VDD, Vreset 신호들을 생성하고, 생성된 Vst, CLK, VDD, Vreset 신호들을 게이트 구동회로(300)에 공급한다.
- [0053] 게이트 구동회로(300)는 게이트 구동 신호(Vout)를 액정 패널(100)의 복수의 게이트 라인 각각에 공급하는 것으로, 게이트 구동회로(300)는 입력된 구동 전압(VDD, VSS) 및 Vst, CLK, Vreset 신호들을 이용하여 게이트 구동 신호(Vout)를 생성하고, 액정 패널(100)의 게이트 라인들에 순차적으로 공급한다. 게이트 구동회로(300)는 복수의 게이트 라인에 대응되는 복수의 스테이지를 포함하여 구성된다. 복수의 스테이지들은 오드 스테이지들과 이븐 스테이지들로 나뉘어 액정 패널(100)의 양측에 분산 배치될 수 있다.
- [0054] 액정 패널(100)에 정전기 또는 과전압이 유입되면 픽셀과 라인이 파괴되어 화상을 제대로 표시할 수 없다. 이러한, 정전기 또는 과전압의 유입되는 것을 차단시키기 위해서 액정 패널(100)에 복수의 정전기 방전 회로(200)가 형성되어 있다. 정전기 방전 회로(200)는 액정 패널(100)에 유입되는 과전압을 제한하고, 과전압 전류를 우회시켜 액티브 영역의 픽셀들 및 라인들을 보호한다.
- [0055] 이러한, 본 발명의 정전기 방전 회로(200)는 정전기가 발생 시 정전기에 따른 과전압 전류를 그라운드(GND) 또는 공통전압(Vcom) 단자로 우회시킨다.
- [0056] 본 발명의 정전기 방전 회로(200)는 복수의 제1 정전기 방전 회로(210, 메일 정전기 방전 회로) 및 복수의 제2 정전기 방전 회로(220, 보조 정전기 방전 회로)로 구성되어 있다. 복수의 제1 정전기 방전 회로(210) 및 복수의 제2 정전기 방전 회로(220)는 복수의 TFT를 포함한다. 복수의 TFT는 액티브층이 스위칭 특성이 우수한 산화물 반도체 물질로 형성된 산화물 TFT가 적용된다. 복수의 제1 정전기 방전 회로(210) 및 복수의 제2 정전기 방전 회로(220) 각각은 액정 패널(100)의 동작 시 전압강하나 누설전류에 의해서 패널 동작에 영향이 미치지 않고, 정전기에 따른 과전압이 발생된 경우에는 낮은 저항으로 빠르게 턴-온(turn-on) 된다.
- [0057] 복수의 제1 정전기 방전 회로(210)는 복수의 게이트 라인 및 복수의 데이터 라인의 시작단 및 끝단에 배치된다. 그리고, 복수의 제2 정전기 방전 회로(220)는 공통전압 라인(110)과 상기 복수의 제1 정전기 방전 회로(210) 사이에 배치된다. 복수의 제1 정전기 방전 회로(210)를 통해 우회된 과전압 전류는 복수의 제2 정전기 방전 회로(220)를 통해 공통전압(Vcom) 단자와 그라운드 단자로 방전된다.
- [0058] **복수의 제1 정전기 방전 회로**
- [0059] 복수의 제1 정전기 방전 회로(210)는 복수의 게이트 정전기 방전 회로(212a, 212b) 및 복수의 데이터 정전기 방전 회로(214a, 214b)를 포함한다.
- [0060] 복수의 게이트 정전기 방전 회로(212a, 212b)는 제1 게이트 정전기 방전 회로들(212a) 및 제2 게이트 정전기 방전 회로들(212b)을 포함한다.
- [0061] 제1 게이트 정전기 방전 회로들(212a)은 게이트 라인들의 시작단에 배치된다. 제1 게이트 정전기 방전 회로들(212a)의 제1 단자는 게이트 라인들에 접속되고, 제2 단자는 공통 라인(140)과 접속된다.
- [0062] 그리고, 제2 게이트 정전기 방전 회로들(212b)은 게이트 라인들의 끝단에 배치된다. 제2 게이트 정전기 방전 회로들(212b)의 제1 단자는 게이트 라인에 접속되고, 제2 단자는 공통 라인(140)과 접속된다.
- [0063] 하나의 게이트 라인(GL)의 시작단에 제1 게이트 정전기 방전 회로(212a)가 접속되고, 하나의 게이트 라인(GL)의 끝단에 제2 게이트 정전기 방전 회로(212b)가 접속되어 하나의 게이트 라인(GL)이 2개의 ESD 회로에 의해 보호된다.
- [0064] 이어서, 복수의 데이터 정전기 방전 회로(214a, 214b)는 제1 데이터 정전기 방전 회로들(214a) 및 제2 데이터 정전기 방전 회로들(214b)을 포함한다.
- [0065] 제1 데이터 정전기 방전 회로들(214a)은 데이터 라인의 시작단에 배치된다. 제1 데이터 정전기 방전 회로들(214a)의 제1 단자는 데이터 라인에 접속되고, 제2 단자는 공통전압 라인(110)과 접속된다.
- [0066] 제2 데이터 정전기 방전 회로들(214b)은 데이터 라인의 끝단에 배치된다. 제2 데이터 정전기 방전 회로들(214b)의 제1 단자는 데이터 라인에 접속되고, 제2 단자는 그라운드 라인(130)과 접속된다.
- [0067] 하나의 데이터 라인(DL)의 시작단에 제1 데이터 정전기 방전 회로(214a)가 접속되고, 하나의 데이터 라인(DL)의

끝단에 제2 데이터 정전기 방전 회로(214b)가 접속되어, 하나의 데이터 라인(DL)이 2개의 ESD 회로로 보호된다.

[0068] 복수의 제2 정전기 방전 회로

[0069] 복수의 제2 정전기 방전 회로(220)는 복수의 제1 보호 회로(222a, 222b) 및 복수의 제2 보호 회로(224a, 224b)를 포함한다.

[0070] 여기서, 복수의 제1 보호 회로(222a, 222b)는 복수의 게이트 정전기 방전 회로(212a, 212b)를 통해 우회되는 과전압 전류를 공통전압(Vcom) 단자와 그라운드(GND) 단자로 방전시키는 정전기 방전 회로이다.

[0071] 그리고, 복수의 제2 보호 회로(224a, 224b)는 복수의 데이터 정전기 방전 회로(214a, 214b)를 통해 우회되는 과전압 전류를 공통전압(Vcom) 단자와 그라운드(GND) 단자로 방전시키는 정전기 방전 회로이다.

[0072] 복수의 제1 보호 회로(222a, 222b)는 제1 게이트 보호 회로들(222a) 및 제2 게이트 보호 회로들(222b)을 포함한다.

[0073] 먼저, 복수의 제1 보호 회로(222a, 222b)에 대해서 설명하기로 한다.

[0074] 제1 게이트 보호 회로들(222a)은 공통전압 라인(110)과 제1 게이트 정전기 방전 회로들(212a) 사이에 배치된다. 제1 게이트 보호 회로들(222a)의 제1 단자는 제1 게이트 정전기 방전 회로들(212a)이 접속된 공통 라인(140)에 접속된다. 그리고, 제1 게이트 보호 회로들(222a)의 제2 단자는 공통전압 라인(110)에 접속된다.

[0075] 제1 게이트 보호 회로들(222a)은 2개의 ESD 회로로 구성될 수 있다. 1개의 ESD 회로는 제1 게이트 정전기 방전 회로들(212a)의 시작단과 공통전압 라인(110) 사이에 배치되고, 나머지 1개의 ESD 회로는 제1 게이트 정전기 방전 회로들(212a)의 끝단과 공통전압 라인(110) 사이에 배치된다. 즉, 제1 게이트 보호 회로들(222a) 중에서 1개의 ESD 회로는 액정 패널의 좌측 상단부에 배치되어 과전압 전류로부터 액정 패널을 보호한다. 그리고, 나머지 1개의 ESD 회로는 액정 패널의 좌측 하단부에 배치되어 과전압 전류로부터 액정 패널을 보호한다.

[0076] 제2 게이트 보호 회로들(222b)은 공통전압 라인(110)과 제2 게이트 정전기 방전 회로들(212b) 사이에 배치된다. 제2 게이트 보호 회로들(222b)의 제1 단자는 공통 라인(140)에 접속된다. 공통 라인(140)에는 제2 게이트 정전기 방전 회로들(212b)이 접속되어 있다. 그리고, 제2 게이트 보호 회로들(222b)의 제2 단자는 공통전압 라인(110)에 접속된다.

[0077] 제2 게이트 보호 회로들(222b)은 2개의 ESD 회로로 구성될 수 있다. 1개의 ESD 회로는 제2 게이트 정전기 방전 회로들(212b)의 시작단과 공통전압 라인(110) 사이에 배치되고, 나머지 1개의 ESD 회로는 제2 게이트 정전기 방전 회로들(212b)의 끝단과 공통전압 라인(110) 사이에 배치된다. 즉, 제2 게이트 보호 회로들(222b) 중에서 1개의 ESD 회로는 액정 패널의 우측 상단부에 배치되어 과전압 전류로부터 액정 패널을 보호한다. 그리고, 나머지 1개의 ESD 회로는 액정 패널이 우측 하단부에 배치되어 과전압 전류로부터 액정 패널을 보호한다.

[0078] 이어서, 복수의 제2 보호 회로(224a, 224b)에 대해서 설명하기로 한다.

[0079] 복수의 제2 보호 회로(224a, 224b)는 제1 데이터 보호 회로들(224a) 및 제2 데이터 보호 회로들(224b)을 포함한다.

[0080] 제1 데이터 보호 회로들(224a)은 공통전압 라인(110)과 제1 데이터 정전기 방전 회로들(214a) 사이에 배치된다. 제1 데이터 보호 회로들(224a)의 제1 단자는 제1 데이터 정전기 방전 회로들(214a)에 접속된다. 그리고, 제1 데이터 보호 회로들(224a)의 제2 단자는 공통전압 라인(110)에 접속된다.

[0081] 제1 데이터 보호 회로들(224a)은 2개의 ESD 회로로 구성될 수 있다. 1개의 ESD 회로는 제1 데이터 정전기 방전 회로들(214a)의 시작단과 공통전압 라인(110) 사이에 배치되고, 나머지 1개의 ESD 회로는 제1 데이터 정전기 방전 회로들(214a)의 끝단과 공통전압 라인(110) 사이에 배치된다. 즉, 제1 데이터 보호 회로들(224a) 중에서 1개의 ESD 회로는 액정 패널의 좌측 상단부에 배치되어 과전압 전류로부터 액정 패널을 보호한다. 그리고, 나머지 1개의 ESD 회로는 액정 패널의 우측 상단부에 배치되어 과전압 전류로부터 액정 패널을 보호한다.

[0082] 이어서, 제2 데이터 보호 회로들(224b)은 공통전압 라인(110)과 제2 데이터 정전기 방전 회로들(214b) 사이에 배치된다. 제2 데이터 보호 회로들(224b)의 제1 단자는 제2 데이터 정전기 방전 회로들(214b)에 접속된다. 그리고, 제2 데이터 보호 회로들(224b)의 제2 단자는 그라운드 라인(130)에 접속된다.

[0083] 제2 데이터 보호 회로들(224b)은 4개의 ESD 회로로 구성될 수 있다. 2개의 ESD 회로씩 병렬 구조로 연결되어, 제2 데이터 정전기 방전 회로들(214b)의 시작단과 공통전압 라인(110) 사이에 배치된다. 그리고, 나머지 2개의

ESD 회로가 병렬 구조로 연결되어 제2 데이터 정전기 방전 회로들(214b)의 끝단과 공통전압 라인(110) 사이에 배치된다. 즉, 제1 데이터 보호 회로들(224a) 중에서 2개의 ESD 회로는 액정 패널의 좌측 하단부에 배치되어 과전압 전류로부터 액정 패널을 보호한다. 그리고, 나머지 2개의 ESD 회로는 액정 패널의 우측 하단부에 배치되어 과전압 전류로부터 액정 패널을 보호한다.

- [0084] 액정 패널이 제조가 완료된 후 신호 검사를 수행할 때 과전압 전류가 액정 패널에 유입될 수 있는데, 2개의 ESD 회로가 병렬 구조로 연결된 구조로 제2 데이터 보호 회로들(224b)이 구성되어 있어 과전압 전류를 효율적으로 방전시킬 수 있다.
- [0085] 도 4는 정전기 방전 회로에 구성된 산화물 TFT의 채널 길이(length) 증가에 따른 누설전류를 나타내는 도면이다.
- [0086] 도 4를 참조하면, 산화물 TFT는 이동도 특성에 따라서 정전기 방전 회로의 누설전류(static current)가 증가하는 문제점이 있다. 또한, 산화물 TFT의 누설전류로 인해서 액정 패널의 구동 불량 및 소비전력의 증가하는 문제점이 있다.
- [0087] 정전기 방전 회로를 구성하는 TFT 개수를 추가하여 3TTF+3TFT 구조 또는 3TFT+5TFT 구조로 정전기 방전 회로를 구성하면 누설전류가 감소시킬 수 있다. 이를 통해, 정전기 방전 회로에 산화물 TFT를 적용함에 따른 문제점들을 개선할 수 있다.
- [0088] 다른 방법으로, TFT의 채널 길이(length)를 증가시키면 누설전류가 감소하게 되어, 정전기 방전 회로에 산화물 TFT를 적용함에 따른 문제점들을 개선할 수 있다.
- [0089] 그러나, 정전기 방전 회로를 구성하는 TFT의 개수나 각 TFT의 채널 길이(length)를 증가시키면 기판 상에서 정전기 방전 회로의 면적이 증가하게 되어 회로 설계 시 제약이 있다.
- [0090] 액정 패널의 액티브 영역에 형성된 산화물 TFT와 액정 패널의 비 표시 영역에 형성된 정전기 방전 회로의 산화물 TFT는 동일 제조 공정으로 함께 형성하여 제조 비용을 줄이고 제조 효율을 높이고 있다. 만약, 액티브 영역의 산화물 TFT의 채널 길이(length)는 그대로 유지하고, 정전기 방전 회로의 산화물 TFT의 채널 길이(length)만 별도로 설계하는 경우에는 액티브 영역의 산화물 TFT와 정전기 방전 회로의 산화물 TFT를 동일 공정으로 형성할 수 없어 제조 비용 및 제조 효율이 떨어져 이러한 제조방법을 적용하는 것에는 제약이 있다. 즉, 액티브 영역의 산화물 TFT의 제조 공정 조건과 정전기 방전 회로의 산화물 TFT의 제조 공정 조건이 상이하여 채널의 길이(length)를 상이하게 형성하는 것은 실제 제조 공정에 적용하기 어렵다.
- [0091] 본 발명에서는 BCE 타입의 산화물 TFT를 적용하여 정전기 방전 회로를 구성함에 있어서, 액티브 영역의 산화물 TFT의 채널 길이(length)와 동일하게 정전기 방전 회로의 산화물 TFT의 채널 길이(length)를 적용하였다. 여기서, 복수의 산화물 TFT가 직렬로 연결되도록 방전 회로를 형성한다.
- [0092] 이를 통해, 액티브 영역의 산화물 TFT와 정전기 방전 회로의 산화물 TFT를 동일 제조 공정으로 형성할 수 있고, 정전기 방전 회로의 누설전류를 개선함으로써 소비 전력을 절감하는 효과를 얻을 수 있다.
- [0093] 도 5는 본 발명의 제1 실시 예에 따른 정전기 방전 회로의 등가 회로를 나타내는 도면이다.
- [0094] 도 5를 참조하면, 본 발명의 제1 실시 예에 따른 정전기 방전 회로는 하나의 산화물 TFT의 채널 길이(length)는 액티브 영역의 산화물 TFT와 동일하다. 하지만, 복수의 산화물 TFT가 직렬로 연결되는 구조를 설계에 반영하여 정전기 방전 회로를 구성하는 산화물 TFT의 채널 길이(length)를 증가시킬 수 있다. 이를 통해, 누설전류를 줄일 수 있는 정전기 방전 회로를 개발하였다.
- [0095] 일 예로서, 도 5에 도시된 바와 같이, 정전기 방전 회로를 5TFT 구조로 형성할 수 있다. 여기서, 3개의 스위칭 TFT, 즉, 제1 스위칭 TFT(T1), 제2 스위칭 TFT(T3) 및 제3 스위칭 TFT(T5)는 액티브 영역의 산화물 TFT와 동일한 채널 길이(length)를 가지는 하나의 산화물 TFT로 구성된다.
- [0096] 그리고, 2개의 센터 TFT 즉, 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)는 액티브 영역의 산화물 TFT와 동일한 채널 길이(length)를 가지는 3개의 산화물 TFT가 직렬로 연결된 구조로 구성된다.
- [0097] 여기서, 제1 스위칭 TFT(T1)와 제2 스위칭 TFT(T3) 사이에 제1 센터 TFT(T2)가 형성되고, 제2 스위칭 TFT(T3)와 제3 스위칭 TFT(T5) 사이에 제2 센터 TFT(T4)가 형성되어 있다.
- [0098] 액티브 영역(표시 영역)의 산화물 TFT의 채널 길이(length)가 8 μ m인 경우, 비 표시 영역의 제1 센터 TFT(T2) 및

제2 센터 TFT(T4)의 채널 길이(length)는 $24\mu\text{m}(3 \times 8\mu\text{m})$ 가 된다. 또한, 액티브 영역(표시 영역)의 산화물 TFT와 비 표시 영역의 정전기 방전 회로를 구성하는 복수의 산화물 TFT의 채널 길이(length)뿐만 아니라, 채널의 폭(width)도 동일하게 형성할 수 있다.

- [0099] 도 5를 참조한, 설명에서는 산화물 TFT의 채널 길이(length)가 $8\mu\text{m}$ 인 것으로 설명하였으나, 이는 본 발명의 여러 실시 예들 중에서 하나를 설명한 것이다. 산화물 TFT의 채널 길이(length)는 $8\mu\text{m}$ 보다 작게 형성할 수도 있고, $8\mu\text{m}$ 보다 크게 형성할 수도 있다.
- [0100] 이와 같이, 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)가 길어지면 이에 비례하여 채널의 저항이 증가하여 누설전류가 감소하게 되고, 소비전력이 감소하게 된다.
- [0101] 도 6은 본 발명의 제1 실시 예에 따른 정전기 방전 회로의 레이아웃을 나타내는 도면이고, 도 7은 본 발명의 제1 실시 예에 따른 정전기 방전 회로의 단면도이다. 도 6에 도시된 A-B 선에 따른 센터 TFT의 단면 및 C-D 선에 따른 스위칭 TFT의 단면을 도 7에 도시하였다.
- [0102] 도 6 및 도 7을 참조하면, 정전기 방전 회로의 레이아웃 설계 시, 5TFT 구조를 적용할 수 있다. 즉, 5TFT 구조로 하나의 정전기 방전 회로(ESD circuit)를 형성할 수 있다.
- [0103] 액티브 영역(표시 영역)의 산화물 TFT와 동일한 채널(short channel) 길이(length)를 가지는 3개의 산화물 TFT가 직렬로 연결된 구조로 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)를 형성한다. 그리고, 제1 스위칭 TFT(T1), 제2 스위칭 TFT(T3) 및 제3 스위칭 TFT(T5)는 액티브 영역의 산화물 TFT와 동일한 채널 길이(length)를 가지는 하나의 산화물 TFT로 형성한다.
- [0104] 5TFT 구조를 가지는 정전기 방전 회로의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 구조를 설명하기로 한다.
- [0105] 도 7에 도시된 바와 같이, 기판 상에 게이트 전극(gate)이 형성되어 있고, 게이트 전극(gate)을 덮도록 게이트 절연막(GI: gate insulator)이 형성되어 있다. 게이트 절연막(GI) 상에는 3개의 액티브층(ACT)이 일정 간격을 두고 이격되어 게이트 전극(gate)과 중첩하도록 형성되어 있다. 이때, 액티브층(ACT)은 산화물 반도체 물질이 적용된다.
- [0106] 3개의 액티브층(ACT) 각각의 상부에는 소스 전극/드레인 전극이 형성되어 있다. 하나의 게이트, 3개의 액티브층 및 3개의 소스 전극/드레인 전극으로 하나의 센터 TFT가 구성되어, 3개의 산화물 TFT가 직렬로 연결된 구조를 가진다.
- [0107] 소스 전극/드레인 전극을 덮도록 제1 보호막(PAS1)이 형성되어 있고, TFT의 프로파일에 의한 단차를 없애기 위해서 포토아크릴(PAC)로 평탄화층이 형성되어 있다. 평탄화층 상에는 공통전극(Vcom)이 형성되어 있고, 공통전극(Vcom)을 덮도록 제2 보호막(PAS2)이 형성되어 있다.
- [0108] 제1 스위칭 TFT(T1), 제2 스위칭 TFT(T3) 및 제3 스위칭 TFT(T5)의 구조는 액티브층(ACT)이 하나로 형성된 것을 제외하고는 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 구조와 동일함으로 상세한 설명은 생략한다.
- [0109] 앞에서 설명한 5TFT 구조를 가지는 정전기 방전 회로를 도 3을 참조하여 설명한 복수의 제1 정전기 방전 회로(210) 및 복수의 제2 정전기 방전 회로(220)에 적용할 수 있다.
- [0110] 본 발명의 5TFT 구조를 가지는 정전기 방전 회로는 각각의 산화물 TFT가 액티브 영역의 산화물 TFT와 동일한 채널 길이(length)를 가지도록 설계됨으로, 정전기 방전 회로를 위해서 별도로 채널 설계를 변경할 필요가 없다.
- [0111] 또한, 본 발명의 5TFT 구조를 가지는 정전기 방전 회로는 종래 기술에서 하나의 산화물 TFT의 채널 길이(length)를 거대 길이(large length) 방식으로 형성했을 때보다 기판 상에서 설계 면적을 줄일 수 있어 정전기 방전 회로를 설계하는데 제약을 받지 않는 효과가 있다.
- [0112] 또한, 본 발명의 5TFT 구조를 가지는 정전기 방전 회로는 3개의 비정질 실리콘(a-Si) TFT로 정전기 방전 회로를 구성한 것과 동일 수준으로 누설전류를 줄일 수 있고, 소비전력을 줄일 수 있다. 또한, 본 발명의 5TFT 구조를 가지는 정전기 방전 회로는 고해상도 디스플레이 패널에 적용이 가능하다.
- [0113] 도 8은 본 발명의 제2 실시 예에 따른 정전기 방전 회로의 등가 회로도이다.
- [0114] 도 8을 참조하면, 정전기 방전 회로를 5TFT 구조로 형성할 수 있다. 여기서, 3개의 스위칭 TFT, 즉, 제1 스위칭 TFT(T1), 제2 스위칭 TFT(T3) 및 제3 스위칭 TFT(T5)는 액티브 영역(표시 영역)의 산화물 TFT와 동일한 채널 길이(length)를 가지는 하나의 산화물 TFT로 구성된다.

- [0115] 그리고, 2개의 센터 TFT 즉, 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)는 액티브 영역(표시 영역)의 산화물 TFT와 동일한 채널 길이(length)를 가지는 4개의 산화물 TFT가 직렬로 연결된 구조로 구성된다.
- [0116] 액티브 영역(표시 영역)의 산화물 TFT의 채널 길이(length)가 $8\mu\text{m}$ 인 경우, 비 표시 영역의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)는 $32\mu\text{m}(4 \times 8\mu\text{m})$ 가 된다. 또한, 액티브 영역(표시 영역)의 산화물 TFT와 정전기 방전 회로를 구성하는 복수의 산화물 TFT의 채널 길이(length)뿐만 아니라, 채널의 폭(width)도 동일하게 형성할 수 있다.
- [0117] 도 8을 참조한, 설명에서는 산화물 TFT의 채널 길이(length)가 $8\mu\text{m}$ 인 것으로 설명하였으나, 이는 본 발명의 여러 실시 예들 중에서 하나를 설명한 것이다. 산화물 TFT의 채널 길이(length)는 $8\mu\text{m}$ 보다 작게 형성할 수도 있고, $8\mu\text{m}$ 보다 크게 형성할 수도 있다.
- [0118] 이와 같이, 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)가 길어지면 이에 비례하여 채널의 저항이 증가하여 누설전류가 감소하게 되고, 소비전력이 감소하게 된다.
- [0119] 도 9는 본 발명의 제3 실시 예에 따른 정전기 방전 회로의 등가 회로도이다.
- [0120] 도 9를 참조하면, 본 발명의 제3 실시 예에 따른 정전기 방전 회로는 하나의 산화물 TFT의 채널 길이(length)는 액티브 영역(표시 영역)의 산화물 TFT와 동일하지만, 복수의 산화물 TFT가 직렬로 연결되는 구조를 설계에 반영하여 하나의 산화물 TFT의 채널 길이(length)는 액티브 영역(표시 영역)의 산화물 TFT의 채널 길이(length)와 동일하게 유지한다.
- [0121] 본 발명의 제3 실시 예에 따른 정전기 방전 회로는 복수의 산화물 TFT가 직렬로 연결되는 구조를 설계에 반영하여 정전기 방전 회로를 구성하는 산화물 TFT의 채널 길이(length)를 증가시킬 수 있다. 이를 통해, 누설전류를 줄일 수 있는 정전기 방전 회로를 개발하였다.
- [0122] 7TFT 구조로 하나의 정전기 방전 회로(ESD circuit)를 형성할 수 있다.
- [0123] 4개의 스위칭 TFT, 즉, 제1 스위칭 TFT(T1), 제2 스위칭 TFT(T3), 제3 스위칭 TFT(T5) 및 제4 스위칭 TFT(T7)는 액티브 영역(표시 영역)의 산화물 TFT와 동일한 채널 길이(length)를 가지는 하나의 산화물 TFT로 구성된다. 그리고, 3개의 센터 TFT 즉, 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)는 액티브 영역(표시 영역)의 산화물 TFT와 동일한 채널 길이(length)를 가지는 3개의 산화물 TFT가 직렬로 연결된 구조로 구성된다.
- [0124] 액티브 영역(표시 영역)의 산화물 TFT의 채널 길이(length)가 $8\mu\text{m}$ 인 경우, 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)는 $24\mu\text{m}(3 \times 8\mu\text{m})$ 가 된다. 또한, 액티브 영역(표시 영역)의 산화물 TFT와 정전기 방전 회로를 구성하는 복수의 산화물 TFT의 채널 길이(length)뿐만 아니라 채널의 폭(width)도 동일하게 형성할 수 있다.
- [0125] 도 9를 참조한, 설명에서는 산화물 TFT의 채널 길이(length)가 $8\mu\text{m}$ 인 것으로 설명하였으나 이는 본 발명의 여러 실시 예들 중에서 하나를 설명한 것이다. 산화물 TFT의 채널 길이(length)는 $8\mu\text{m}$ 보다 작게 형성할 수도 있고, $8\mu\text{m}$ 보다 크게 형성할 수도 있다.
- [0126] 이와 같이, 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)가 길어지면 이에 비례하여 채널의 저항이 증가하여 누설전류가 감소하게 되고, 소비전력이 감소하게 된다.
- [0127] 정전기 방전 회로의 레이아웃 설계 시, 도 9에 도시된 TFT 구조를 적용할 수 있다. 이때, 액티브 영역(표시 영역)의 산화물 TFT와 동일하게 채널(short channel)을 가지는 4개의 산화물 TFT가 직렬로 연결된 구조로 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)을 형성한다.
- [0128] 그리고, 제1 스위칭 TFT(T1), 제2 스위칭 TFT(T3), 제3 스위칭 TFT(T5) 및 제4 스위칭 TFT(T7)는 액티브 영역(표시 영역)의 산화물 TFT와 동일한 채널 길이(length)를 가지는 하나의 산화물 TFT로 형성한다.
- [0129] 앞에서 설명한 7TFT 구조를 가지는 정전기 방전 회로를 도 3을 참조하여 설명한 복수의 제1 정전기 방전 회로(210) 및 복수의 제2 정전기 방전 회로(220)에 적용할 수 있다.
- [0130] 본 발명의 7TFT 구조를 가지는 정전기 방전 회로는 각각의 산화물 TFT의 채널 길이(length)가 액티브 영역(표시 영역)의 산화물 TFT의 채널 길이(length)와 동일하게 설계됨으로, 정전기 방전 회로를 위해서 별도로 채널 설계를 변경할 필요가 없다.
- [0131] 또한, 본 발명의 7TFT 구조를 가지는 정전기 방전 회로는 종래 기술에서 하나의 산화물 TFT의 채널 길이

(length)를 크게 형성하는 거대 길이(large length) 방식으로 형성했을 때보다 기관 상에서 설계 면적을 줄일 수 있어 정전기 방전 회로를 설계하는데 제약을 받지 않는다.

[0132] 또한, 본 발명의 7TFT 구조를 가지는 정전기 방전 회로는 3개의 비정질 실리콘(a-Si) TFT로 정전기 방전 회로를 구성한 것과 동일 수준으로 누설전류를 줄일 수 있고, 소비전력을 줄일 수 있다. 또한, 본 발명의 7TFT 구조를 가지는 정전기 방전 회로는 고해상도 디스플레이 패널에 적용이 가능하다.

[0133] 도 10은 본 발명의 제4 실시 예에 따른 정전기 방전 회로의 등가 회로도이다.

[0134] 도 10을 참조하면, 본 발명의 제4 실시 예에 따른 정전기 방전 회로는 하나의 산화물 TFT의 채널 길이(length)는 액티브 영역(표시 영역)의 산화물 TFT와 동일하지만, 복수의 산화물 TFT가 직렬로 연결되는 구조를 설계에 반영하여 하나의 산화물 TFT의 채널 길이(length)는 액티브 영역(표시 영역)의 산화물 TFT의 채널 길이(length)와 동일하게 유지한다.

[0135] 본 발명의 제4 실시 예에 따른 정전기 방전 회로는 복수의 산화물 TFT가 직렬로 연결되는 구조를 설계에 반영하여 정전기 방전 회로를 구성하는 산화물 TFT의 채널 길이(length)를 증가시킬 수 있다. 이를 통해, 누설전류를 줄일 수 있는 정전기 방전 회로를 개발하였다.

[0136] 정전기 방전 회로를 7TFT 구조로 형성할 수 있다. 여기서, 4개의 스위칭 TFT, 즉, 제1 스위칭 TFT(T1), 제2 스위칭 TFT(T3), 제3 스위칭 TFT(T5) 및 제4 스위칭 TFT(T7)는 액티브 영역(표시 영역)의 산화물 TFT와 동일한 채널 길이(length)를 가지는 하나의 산화물 TFT로 구성된다.

[0137] 그리고, 3개의 센터 TFT 즉, 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)는 액티브 영역(표시 영역)의 산화물 TFT와 동일한 채널 길이(length)를 가지는 4개의 산화물 TFT가 직렬로 연결된 구조로 구성된다.

[0138] 제1 스위칭 TFT(T1)와 제2 스위칭 TFT(T3) 사이에 제1 센터 TFT(T2)가 형성되고, 제2 스위칭 TFT(T3)와 제3 스위칭 TFT(T5) 사이에 제2 센터 TFT(T4)가 형성되고, 제3 스위칭 TFT(T5)와 제4 스위칭 TFT(T7) 사이에 제3 센터 TFT(T6)가 형성되어 있다.

[0139] 액티브 영역(표시 영역)의 산화물 TFT의 채널 길이(length)가 $8\mu\text{m}$ 인 경우, 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)는 $32\mu\text{m}(4 \times 8\mu\text{m})$ 가 된다. 또한, 액티브 영역(표시 영역)의 산화물 TFT와 정전기 방전 회로를 구성하는 복수의 산화물 TFT의 채널 길이(length)뿐만 아니라 채널의 폭(width)도 동일하게 형성할 수 있다.

[0140] 도 10을 참조한, 설명에서는 산화물 TFT의 채널 길이(length)가 $8\mu\text{m}$ 인 것으로 설명하였으나 이는 본 발명의 여러 실시 예들 중에서 하나를 설명한 것이다. 산화물 TFT의 채널 길이(length)는 $8\mu\text{m}$ 보다 작게 형성할 수도 있고, $8\mu\text{m}$ 보다 크게 형성할 수도 있다.

[0141] 이와 같이, 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)가 길어지면 이에 비례하여 채널의 저항이 증가하여 누설전류가 감소하게 되고, 소비전력이 감소하게 된다.

[0142] 도 11은 본 발명의 제5 실시 예에 따른 정전기 방전 회로의 등가 회로도이다.

[0143] 도 11을 참조하면, 정전기 방전 회로를 5TFT 구조로 형성할 수 있다. 여기서, 3개의 스위칭 TFT, 즉, 제1 스위칭 TFT(T1), 제2 스위칭 TFT(T3) 및 제3 스위칭 TFT(T5)는 액티브 영역(표시 영역)의 산화물 TFT와 동일한 채널 길이(length)를 가지는 하나의 산화물 TFT로 구성된다.

[0144] 그리고, 2개의 센터 TFT 즉, 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)는 액티브 영역(표시 영역)의 산화물 TFT와 동일한 채널 길이(length)를 가지는 5개의 산화물 TFT가 직렬로 연결된 구조로 구성된다.

[0145] 액티브 영역(표시 영역)의 산화물 TFT의 채널 길이(length)가 $8\mu\text{m}$ 인 경우, 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length) $40\mu\text{m}(5 \times 8\mu\text{m})$ 가 된다. 또한, 액티브 영역(표시 영역)의 산화물 TFT와 정전기 방전 회로를 구성하는 복수의 산화물 TFT의 채널 길이(length)뿐만 아니라 채널의 폭(width)도 동일하게 형성할 수 있다.

[0146] 도 11을 참조한, 설명에서는 산화물 TFT의 채널 길이(length)가 $8\mu\text{m}$ 인 것으로 설명하였으나 이는 본 발명의 여러 실시 예들 중에서 하나를 설명한 것이다. 산화물 TFT의 채널 길이(length)는 $8\mu\text{m}$ 보다 작게 형성할 수도 있고, $8\mu\text{m}$ 보다 크게 형성할 수도 있다.

[0147] 이와 같이, 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)가 길어지면 이에 비례하여 채널의 저항

이 증가하여 누설전류가 감소하게 되고, 소비전력이 감소하게 된다.

- [0148] 도 12는 본 발명의 제6 실시 예에 따른 정전기 방전 회로의 등가 회로도이다.
- [0149] 도 12를 참조하면, 정전기 방전 회로를 7TFT 구조로 형성할 수 있다. 여기서, 4개의 스위칭 TFT, 즉, 제1 스위칭 TFT(T1), 제2 스위칭 TFT(T3), 제3 스위칭 TFT(T5) 및 제4 스위칭 TFT(T7)는 액티브 영역(표시 영역)의 산화물 TFT와 동일한 채널 길이(length)를 가지는 하나의 산화물 TFT로 구성된다.
- [0150] 그리고, 3개의 센터 TFT 즉, 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)는 액티브 영역(표시 영역)의 산화물 TFT와 동일한 채널 길이(length)를 가지는 5개의 산화물 TFT가 직렬로 연결된 구조로 구성된다.
- [0151] 액티브 영역(표시 영역)의 산화물 TFT의 채널 길이(length)가 $8\mu\text{m}$ 인 경우, 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)는 $40\mu\text{m}(5 \times 8\mu\text{m})$ 가 된다. 또한, 액티브 영역(표시 영역)의 산화물 TFT와 정전기 방전 회로를 구성하는 복수의 산화물 TFT의 채널 길이(length)뿐만 아니라 채널의 폭(width)도 동일하게 형성할 수 있다.
- [0152] 도 12를 참조한, 설명에서는 산화물 TFT의 채널 길이(length)가 $8\mu\text{m}$ 인 것으로 설명하였으나 이는 본 발명의 여러 실시 예들 중에서 하나를 설명한 것이다. 산화물 TFT의 채널 길이(length)는 $8\mu\text{m}$ 보다 작게 형성할 수도 있고, $8\mu\text{m}$ 보다 크게 형성할 수도 있다.
- [0153] 이와 같이, 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)가 길어지면 이에 비례하여 채널의 저항이 증가하여 누설전류가 감소하게 되고, 소비전력이 감소하게 된다.
- [0154] 도 13은 정전기 방전 회로의 구조 및 센터 TFT의 채널 길이(length)에 따른 누설전류를 나타내는 도면이다.
- [0155] 도 13을 참조하여 센터 TFT의 채널 길이(length)에 따른 누설전류 및 구동회로의 소비전력에 대해서 설명하기로 한다.
- [0156] 일 예로서, 5TFT 구조의 정전기 방전 회로를 도 3에 도시된 복수의 제1 정전기 방전 회로(210)로 적용할 수 있다. 이때, 5TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)를 $24\mu\text{m}(3 \times 8\mu\text{m})$ 로 형성할 수 있다.
- [0157] 5TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)가 $24\mu\text{m}(3 \times 8\mu\text{m})$ 로 형성된 경우, 복수의 제1 정전기 방전 회로(210) 각각의 사이즈는 $294.5\mu\text{m}$ 가 될 수 있다.
- [0158] 그리고, 7TFT 구조의 정전기 방전 회로를 도 3에 도시된 복수의 제2 정전기 방전 회로(220)로 적용할 수 있다. 이때, 7TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)를 $32\mu\text{m}(4 \times 8\mu\text{m})$ 로 형성할 수 있다.
- [0159] 7TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)가 $32\mu\text{m}(4 \times 8\mu\text{m})$ 로 형성된 경우, 복수의 제2 정전기 방전 회로(220) 각각의 사이즈는 $490.5\mu\text{m}$ 가 될 수 있다.
- [0160] 5TFT 구조를 가지는 복수의 제1 정전기 방전 회로(210)의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)를 $24\mu\text{m}(3 \times 8\mu\text{m})$ 로 형성하고, 7TFT 구조를 가지는 제2 정전기 방전 회로(220)의 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)를 $32\mu\text{m}(4 \times 8\mu\text{m})$ 로 형성하면 구동회로의 오프(off) 상태 및 온(on) 상태에서의 누설전류를 감소시킬 수 있다.
- [0161] 앞에서 설명한 제1 내지 제6 실시 예의 정전기 방전 회로의 구조 이외에도, 센터 TFT의 채널 길이(length)를 $8\mu\text{m}$ 또는 $16\mu\text{m}$ 으로 형성하여 정전기 방전 회로를 구성할 수 있다.
- [0162] 이와 같이, 제1 정전기 방전 회로(210) 및 제2 정전기 방전 회로(220)를 형성하면, 3개의 비정질 실리콘(a-Si) TFT로 정전기 방전 회로를 구성했을 때보다 더 낮은 수준으로 누설전류를 줄일 수 있다. 이를 통해, 게이트 구동회로가 오프(off) 상태일 때의 소비전력을 0.021mW 로 줄일 수 있다.
- [0163] 다른 예로서, 5TFT 구조의 정전기 방전 회로를 도 3에 도시된 복수의 제1 정전기 방전 회로(210)로 적용할 수 있다. 이때, 5TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)를 $24\mu\text{m}(3 \times 8\mu\text{m})$ 로 형성할 수 있다.
- [0164] 5TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)가 $24\mu\text{m}(3 \times 8\mu\text{m})$

로 형성된 경우, 복수의 제1 정전기 방전 회로(210) 각각의 사이즈는 294.5 μ m가 될 수 있다.

- [0165] 그리고, 7TFT 구조의 정전기 방전 회로를 도 3에 도시된 복수의 제2 정전기 방전 회로(220)로 적용할 수 있다. 이때, 7TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)를 40 μ m(5 \times 8 μ m)로 형성할 수 있다.
- [0166] 7TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)가 40 μ m(5 \times 8 μ m)로 형성된 경우, 복수의 제2 정전기 방전 회로(220) 각각의 사이즈는 562.5 μ m가 될 수 있다.
- [0167] 5TFT 구조를 가지는 복수의 제1 정전기 방전 회로(210)의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)를 24 μ m(3 \times 8 μ m)로 형성하고, 7TFT 구조를 가지는 제2 정전기 방전 회로(220)의 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)를 40 μ m(5 \times 8 μ m)로 형성하면 도 18에 도시된 것처럼 구동회로의 오프(off) 상태 및 온(on) 상태에서의 누설전류를 감소시킬 수 있다.
- [0168] 이와 같이, 제1 정전기 방전 회로(210) 및 제2 정전기 방전 회로(220)를 구성하면, 3개의 비정질 실리콘(a-Si) TFT로 정전기 방전 회로를 구성했을 때보다 더 낮은 수준으로 누설전류를 줄일 수 있다. 이를 통해, 도 17에 도시된 바와 같이, 게이트 구동회로가 오프(off) 상태일 때의 소비전력을 0.015mW로 줄일 수 있다.
- [0169] 또 다른 예로서, 5TFT 구조의 정전기 방전 회로를 도 3에 도시된 복수의 제1 정전기 방전 회로(210)로 적용할 수 있다. 이때, 5TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)를 32 μ m(4 \times 8 μ m)로 형성할 수 있다.
- [0170] 5TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)가 32 μ m(4 \times 8 μ m)로 형성된 경우, 복수의 제1 정전기 방전 회로(210) 각각의 사이즈는 342.5 μ m가 될 수 있다.
- [0171] 그리고, 7TFT 구조의 정전기 방전 회로를 도 3에 도시된 복수의 제2 정전기 방전 회로(220)로 적용할 수 있다. 이때, 7TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)를 32 μ m(4 \times 8 μ m)로 형성할 수 있다.
- [0172] 7TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)가 32 μ m(4 \times 8 μ m)로 형성된 경우, 복수의 제2 정전기 방전 회로(220) 각각의 사이즈는 490.5 μ m가 될 수 있다.
- [0173] 5TFT 구조를 가지는 복수의 제1 정전기 방전 회로(210)의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)를 32 μ m(4 \times 8 μ m)로 형성하고, 7TFT 구조를 가지는 제2 정전기 방전 회로(220)의 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)를 32 μ m(4 \times 8 μ m)로 형성하면 구동회로의 오프(off) 상태 및 온(on) 상태에서의 누설전류를 감소시킬 수 있다.
- [0174] 이와 같이, 제1 정전기 방전 회로(210) 및 제2 정전기 방전 회로(220)를 구성하면, 3개의 비정질 실리콘(a-Si) TFT로 정전기 방전 회로를 구성했을 때보다 더 낮은 수준으로 누설전류를 줄일 수 있다. 이를 통해, 도 17에 도시된 바와 같이, 게이트 구동회로가 오프(off) 상태일 때의 소비전력을 0.018mW로 줄일 수 있다.
- [0175] 또 다른 예로서, 5TFT 구조의 정전기 방전 회로를 도 3에 도시된 복수의 제1 정전기 방전 회로(210)로 적용할 수 있다. 이때, 5TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)를 32 μ m(4 \times 8 μ m)로 형성할 수 있다.
- [0176] 5TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)가 32 μ m(4 \times 8 μ m)로 형성된 경우, 복수의 제1 정전기 방전 회로(210) 각각의 사이즈는 342.5 μ m가 될 수 있다.
- [0177] 그리고, 7TFT 구조의 정전기 방전 회로를 도 3에 도시된 복수의 제2 정전기 방전 회로(220)로 적용할 수 있다. 이때, 7TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)를 40 μ m(5 \times 8 μ m)로 형성할 수 있다.
- [0178] 7TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)가 40 μ m(5 \times 8 μ m)로 형성된 경우, 복수의 제2 정전기 방전 회로(220) 각각의 사이즈는 562.5 μ m가 될 수 있다.
- [0179] 5TFT 구조를 가지는 복수의 제1 정전기 방전 회로(210)의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이

(length)를 $32\mu\text{m}(4\times 8\mu\text{m})$ 로 형성하고, 7TFT 구조를 가지는 제2 정전기 방전 회로(220)의 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)를 $40\mu\text{m}(5\times 8\mu\text{m})$ 로 형성하면 구동회로의 오프(off) 상태 및 온(on) 상태에서의 누설전류를 감소시킬 수 있다.

- [0180] 이와 같이, 제1 정전기 방전 회로(210) 및 제2 정전기 방전 회로(220)를 구성하면, 3개의 비정질 실리콘(a-Si) TFT로 정전기 방전 회로를 구성했을 때보다 더 낮은 수준으로 누설전류를 줄일 수 있다. 이를 통해, 도 17에 도시된 바와 같이, 게이트 구동회로가 오프(off) 상태일 때의 소비전력을 0.013mW로 줄일 수 있다.
- [0181] 또 다른 예로서, 5TFT 구조의 정전기 방전 회로를 도 3에 도시된 복수의 제1 정전기 방전 회로(210)로 적용할 수 있다. 이때, 5TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)를 $32\mu\text{m}(4\times 8\mu\text{m})$ 로 형성할 수 있다.
- [0182] 5TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)가 $32\mu\text{m}(4\times 8\mu\text{m})$ 로 형성된 경우, 복수의 제1 정전기 방전 회로(210) 각각의 사이즈는 $342.5\mu\text{m}$ 가 될 수 있다.
- [0183] 그리고, 7TFT 구조의 정전기 방전 회로를 도 3에 도시된 복수의 제2 정전기 방전 회로(220)로 적용할 수 있다. 이때, 7TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)를 $48\mu\text{m}(6\times 8\mu\text{m})$ 로 형성할 수 있다.
- [0184] 7TFT 구조의 정전기 방전 회로의 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)가 $48\mu\text{m}(6\times 8\mu\text{m})$ 로 형성된 경우, 복수의 제2 정전기 방전 회로(220) 각각의 사이즈는 $634.5\mu\text{m}$ 가 될 수 있다.
- [0185] 5TFT 구조를 가지는 복수의 제1 정전기 방전 회로(210)의 제1 센터 TFT(T2) 및 제2 센터 TFT(T4)의 채널 길이(length)를 $32\mu\text{m}(4\times 8\mu\text{m})$ 로 형성하고, 7TFT 구조를 가지는 제2 정전기 방전 회로(220)의 제1 센터 TFT(T2), 제2 센터 TFT(T4) 및 제3 센터 TFT(T6)의 채널 길이(length)를 $48\mu\text{m}(6\times 8\mu\text{m})$ 로 형성하면 도 18에 도시된 것처럼 구동회로의 오프(off) 상태 및 온(on) 상태에서의 누설전류를 감소시킬 수 있다.
- [0186] 이와 같이, 제1 정전기 방전 회로(210) 및 제2 정전기 방전 회로(220)를 구성하면, 3개의 비정질 실리콘(a-Si) TFT로 정전기 방전 회로를 구성했을 때보다 더 낮은 수준으로 누설전류를 줄일 수 있다. 이를 통해, 도 17에 도시된 바와 같이, 게이트 구동회로가 오프(off) 상태일 때의 소비전력을 0.010mW로 줄일 수 있다.
- [0187] 본 발명의 실시 예에 따른 액정 디스플레이 장치의 상기 복수의 제1 정전기 방전 회로는, 상기 복수의 게이트 라인과 상기 공통전압 라인 사이에 배치된 복수의 게이트 정전기 방전 회로; 및 상기 복수의 데이터 라인과 상기 공통전압 라인 사이에 배치된 복수의 데이터 정전기 방전 회로를 포함한다.
- [0188] 본 발명의 실시 예에 따른 액정 디스플레이 장치에서, 상기 복수의 데이터 정전기 방전 회로의 제1 단자는 상기 복수의 데이터 라인에 접속되고, 제2 단자는 상기 그라운드 라인에 접속된다.
- [0189] 본 발명의 실시 예에 따른 액정 디스플레이 장치에서, 상기 복수의 데이터 정전기 방전 회로의 제1 단자는 상기 복수의 데이터 라인에 접속되고, 제2 단자는 상기 공통전압 라인에 접속된다.
- [0190] 본 발명의 실시 예에 따른 액정 디스플레이 장치의 상기 복수의 제2 정전기 방전 회로는, 상기 복수의 게이트 정전기 방전 회로와 상기 공통전압 라인에 연결된 복수의 제1 보호 회로; 및 상기 공통전압 라인 또는 상기 공통전압 라인에 연결된 복수의 제2 보호 회로를 포함한다.
- [0191] 본 발명의 실시 예에 따른 액정 디스플레이 장치에서, 상기 복수의 제1 정전기 방전 회로 및 상기 제2 정전기 방전 회로는, 상기 표시 영역에 형성된 박막트랜지스터의 채널 길이와 동일한 길이를 갖는 산화물 박막트랜지스터인 것을 특징으로 한다.
- [0192] 본 발명의 실시 예에 따른 액정 디스플레이 장치에서, 상기 복수의 제1 정전기 방전 회로 및 상기 제2 정전기 방전 회로 각각은, 복수의 스위칭 박막트랜지스터; 및 상기 액티브 영역에 형성된 박막트랜지스터의 채널 길이와 동일한 채널 길이를 가지는 복수의 박막트랜지스터가 직렬로 연결되어 구성된 복수의 센터 박막트랜지스터를 포함한다.
- [0193] 본 발명의 실시 예에 따른 액정 디스플레이 장치에서, 상기 복수의 센터 박막트랜지스터는 2개~7개의 박막트랜지스터가 직렬로 연결된 구조로 형성된다.
- [0194] 본 발명의 실시 예에 따른 액정 디스플레이 장치에서, 상기 복수의 제1 정전기 방전 회로는, 3개의 상기 스위칭

박막트랜지스터와 2개의 상기 센터 박막트랜지스터로 구성된다.

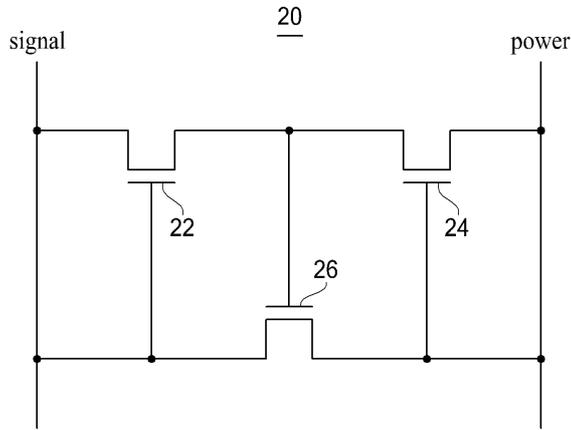
- [0195] 본 발명의 실시 예에 따른 액정 디스플레이 장치에서, 상기 복수의 제1 정전기 방전 회로는, 상기 제1 스위칭 박막트랜지스터와 상기 제2 스위칭 박막트랜지스터 사이에 상기 제1 센터 박막트랜지스터가 형성되고, 상기 제2 스위칭 박막트랜지스터와 상기 제3 스위칭 박막트랜지스터 사이에 상기 제2 센터 박막트랜지스터가 형성된 것을 특징으로 한다.
- [0196] 본 발명의 실시 예에 따른 액정 디스플레이 장치에서, 상기 복수의 제2 정전기 방전 회로는, 3개의 상기 스위칭 박막트랜지스터와 2개의 상기 센터 박막트랜지스터로 구성되거나, 또는 4개의 상기 스위칭 박막트랜지스터와 3개의 상기 센터 박막트랜지스터로 구성되는 것을 특징으로 한다.
- [0197] 본 발명의 실시 예에 따른 액정 디스플레이 장치에서, 상기 복수의 제2 정전기 방전 회로는, 상기 제1 스위칭 박막트랜지스터와 제2 스위칭 박막트랜지스터 사이에 상기 제1 센터 박막트랜지스터가 형성되고, 상기 제2 스위칭 박막트랜지스터와 제3 스위칭 박막트랜지스터 사이에 상기 제2 센터 박막트랜지스터가 형성되고, 상기 제3 스위칭 박막트랜지스터와 제4 스위칭 박막트랜지스터 사이에 상기 제3 센터 박막트랜지스터가 형성된 것을 특징으로 한다.
- [0198] 본 발명이 속하는 기술분야의 당 업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.
- [0199] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

- [0200] 100: 액정 패널(100)
- 110: 공통전압 라인(110)
- 120: 공통전압 피드백 라인(120)
- 130: 그라운드 라인
- 140: 공통 라인
- 200: 정전기 방전 회로
- 210: 제1 정전기 방전 회로
- 212a, 212b: 게이트 정전기 방전 회로
- 214a, 214b: 데이터 정전기 방전 회로
- 220: 제2 정전기 방전 회로
- 222a, 222b: 제1 보호 회로
- 224a, 224b: 제2 보호 회로
- 300: 게이트 구동회로
- 400: 데이터 구동회로

도면

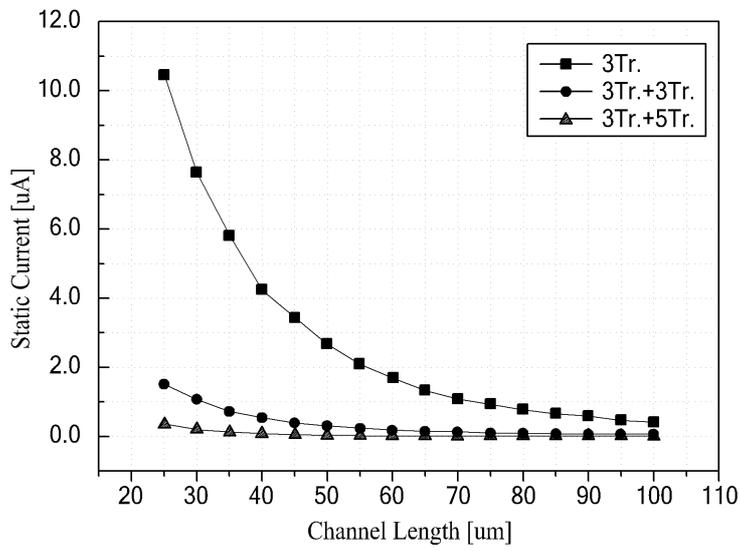
도면1



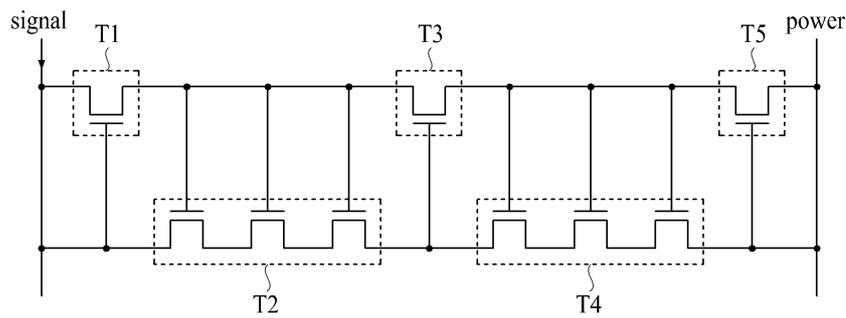
도면2

| 항목 | L6 | L10 |
|----------|------|------|
| W6 | | |
| Vth | 0.4V | 3.9V |
| S-Factor | 0.31 | 0.99 |

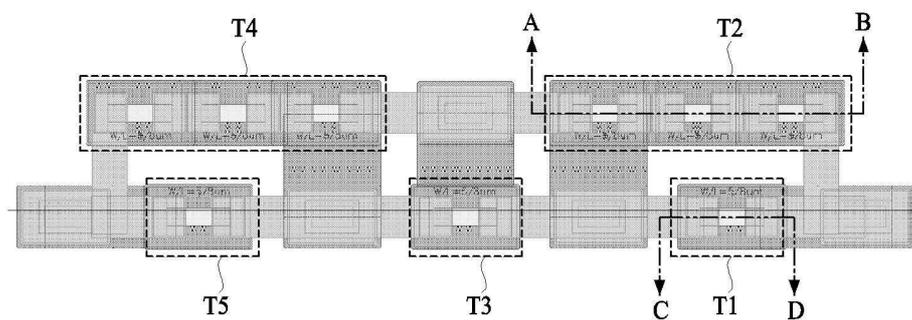
도면4



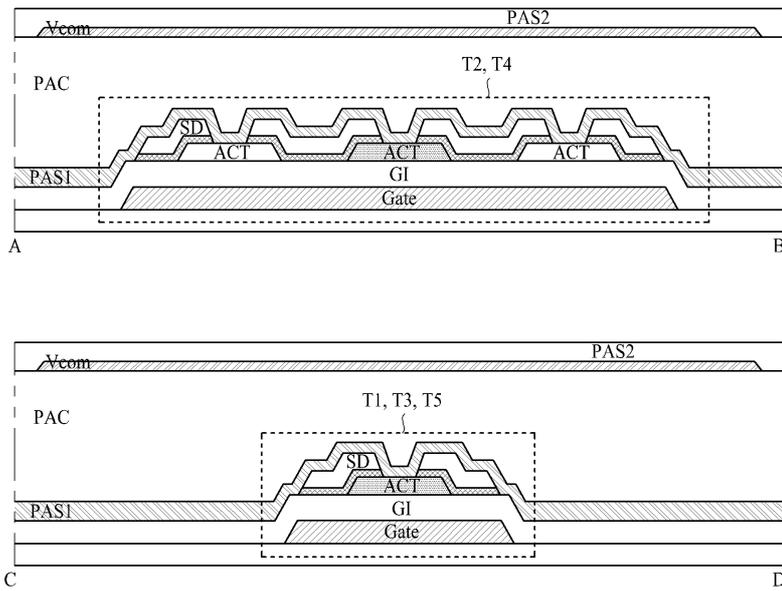
도면5



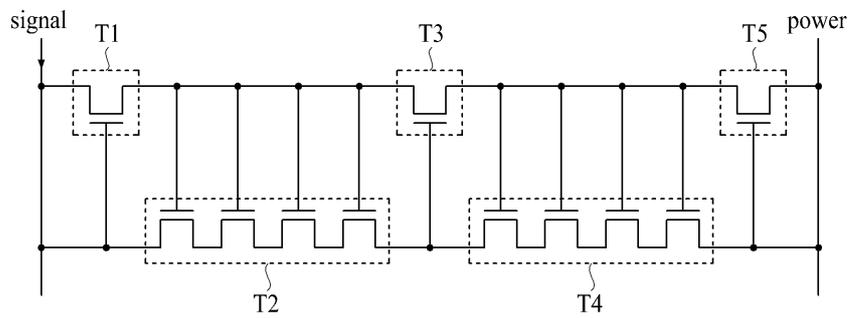
도면6



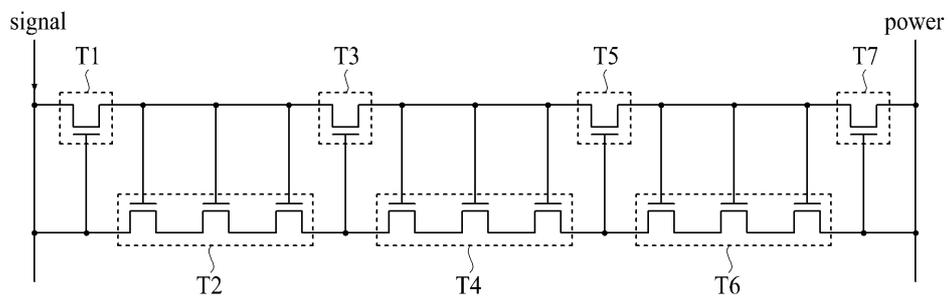
도면7



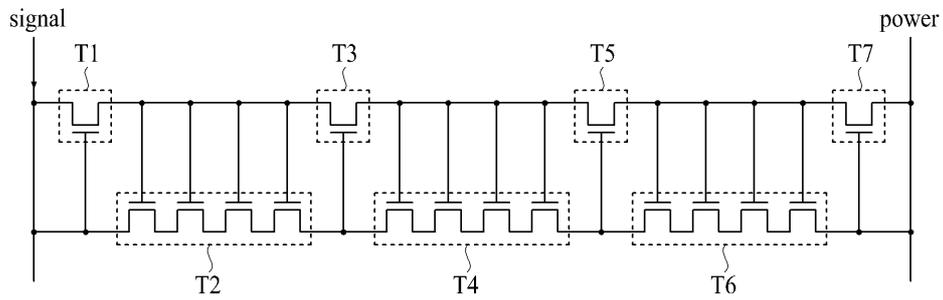
도면8



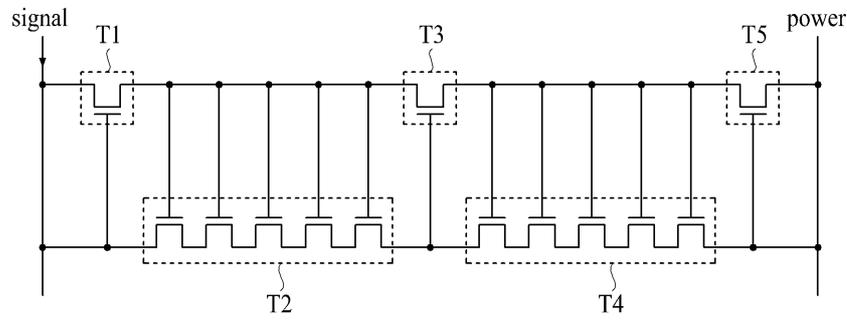
도면9



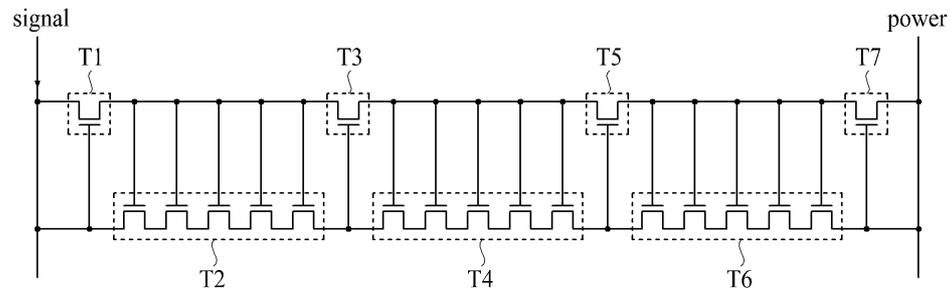
도면10



도면11



도면12



도면13

| Reference | 1 st ESD circuit Main Tr. | 2 nd ESD circuit Add Tr. | Offr(VdI)에서의 누설신류 | | | Onr(Vdb)에서의 누설신류 | | |
|-----------|---|--|-------------------|------------------|------------------|------------------|------------------|------------------|
| | | | Vth = -3 | Vth = 0v | Vth=3 | Vth = -3 | Vth = 0v | Vth=3 |
| 1 | 3Tr 7Tr Center Tr 8um | 3Tr 7Tr Center Tr 8um | -3.20E-10 | -5.43E-10 | -3.58E-10 | -2.09E-08 | -1.75E-08 | -1.15E-08 |
| 2 | | | -3.21E-09 | -2.21E-09 | -1.58E-09 | -1.52E-07 | -1.49E-07 | -4.45E-08 |
| 3 | 5Tr Center Tr Length_16um | 7Tr Center Tr 16um | -2.67E-09 | -2.12E-09 | -8.83E-10 | -1.24E-07 | -1.02E-07 | -2.13E-09 |
| 4 | | | -2.43E-09 | -1.27E-09 | -4.16E-10 | -1.13E-07 | -4.20E-08 | -8.32E-11 |
| 5 | 7Tr Center Tr 32um | 7Tr Center Tr 32um | -2.33E-09 | -7.57E-10 | -3.56E-11 | -1.07E-07 | -1.97E-08 | -8.86E-11 |
| 6 | | | -2.26E-09 | -5.18E-10 | -8.75E-12 | -1.03E-07 | -1.51E-08 | -6.60E-11 |
| 7 | 7Tr Center Tr 48um | 7Tr Center Tr 48um | -2.20E-09 | -3.58E-10 | -3.61E-11 | -1.00E-07 | -1.26E-08 | -1.66E-10 |
| 8 | | | -2.96E-09 | -1.58E-09 | -1.16E-09 | -1.39E-07 | -1.15E-07 | -1.12E-08 |
| 9 | 5Tr Center Tr Length_24um | 7Tr Center Tr 16um | -2.50E-09 | -1.68E-09 | -6.73E-10 | -1.16E-07 | -7.40E-08 | -1.38E-09 |
| 10 | | | -2.31E-09 | -9.74E-10 | -2.91E-10 | -1.06E-07 | -3.42E-08 | -1.03E-10 |
| 11 | 7Tr Center Tr 32um | 7Tr Center Tr 32um | -2.20E-09 | -6.49E-10 | -5.63E-12 | -1.01E-07 | -1.74E-08 | -6.89E-11 |
| 12 | | | -2.13E-09 | -4.32E-10 | -3.19E-12 | -9.72E-08 | -1.39E-08 | -5.68E-11 |
| 13 | 7Tr Center Tr 48um | 7Tr Center Tr 48um | -2.09E-09 | -3.10E-10 | -3.97E-12 | -9.46E-08 | -1.17E-08 | -4.45E-11 |
| 14 | | | -2.83E-09 | -1.24E-09 | -8.77E-10 | -1.31E-07 | -7.37E-08 | -1.27E-09 |
| 15 | 5Tr Center Tr Length_32um | 7Tr Center Tr 16um | -2.40E-09 | -1.29E-09 | -5.47E-10 | -1.11E-07 | -3.90E-08 | -1.11E-10 |
| 16 | | | -2.22E-09 | -7.81E-10 | -2.29E-10 | -1.02E-07 | -2.30E-08 | -1.16E-10 |
| 17 | 7Tr Center Tr 40um | 7Tr Center Tr 32um | -2.12E-09 | -5.20E-10 | -4.79E-12 | -9.70E-08 | -1.39E-08 | -9.96E-11 |
| 18 | | | -2.06E-09 | -3.69E-10 | -4.91E-12 | -9.38E-08 | -1.14E-08 | -1.70E-10 |
| | | 7Tr Center Tr 48um | -2.02E-09 | -2.78E-10 | -4.13E-12 | -9.14E-08 | -9.82E-09 | -6.39E-11 |

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 标题：静电放电电路和包括其的液晶显示装置 | | |
| 公开(公告)号 | KR1020150106304A | 公开(公告)日 | 2015-09-21 |
| 申请号 | KR1020140073014 | 申请日 | 2014-06-16 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | SANGWOON KIM 김상운 HUN JEOUNG 정훈 SANGHEE YU 유상희 | | |
| 发明人 | 김상운 정훈 유상희 | | |
| IPC分类号 | G02F1/1362 G09G3/36 G02F1/133 | | |
| CPC分类号 | G02F1/13306 G02F1/136286 G09G3/3648 H02H9/046 | | |
| 优先权 | 61/950675 2014-03-10 US | | |
| 外部链接 | Espacenet | | |

摘要(译)

该液晶显示装置包括多条栅极线和形成根据本发明的一个实施例交叉的多个像素限定液晶面板的多条数据线;栅极驱动电路,用于向多条栅极线提供栅极驱动信号;一种数据驱动电路,用于向多条数据线提供数据电压;公共电压线,用于向多个像素提供公共电压;用于向液晶面板提供地电位的地线;多个第一静电放电电路连接到有源区外部的多条栅极线或多条数据线,以释放过电压电流;并且其特征在于它包括多个用于第二静电放电电路的或连接在所述多个第一静电放电电路和所述公共电压线,放电过电压电流耦合到所述公共电压线和接地线之间。

