

(72) 발명자

이선화

경북 안동시 길주길 101-12, 204동 303호 (용상동, 현대아파트)

정광철

경기 성남시 수정구 수정로 60, 403호 (수진동, 태평오피스텔)

채종철

서울 서초구 반포대로 275, 116동 2701호 (반포동, 래미안퍼스티지)

특허청구의 범위

청구항 1

기관,

상기 기관 위에 위치하는 박막 트랜지스터,

상기 박막 트랜지스터의 한 단자와 연결되는 화소 전극,

상기 화소 전극 위에 위치하고, 액정 주입구를 포함하며 화소 영역에 대응하는 복수의 영역을 포함하는 미세 공간층,

상기 미세 공간층 위에 위치하는 공통 전극,

상기 공통 전극 위에 위치하는 지지 부재,

상기 지지 부재 위치하고, 상기 액정 주입구를 덮는 캐핑막을 포함하고,

상기 화소 전극은 접촉 구멍을 통해 상기 박막 트랜지스터의 한 단자와 연결되고, 상기 접촉 구멍은 상기 화소 영역 내에 위치하는 액정 표시 장치.

청구항 2

제1항에서,

상기 미세 공간층의 복수의 영역 사이에 그루브가 형성되고, 상기 공통 전극은 상기 그루브가 위치하는 영역으로 돌출된 돌출부를 포함하는 액정 표시 장치.

청구항 3

제2항에서,

상기 공통 전극의 돌출부는 상기 화소 영역에 위치하는 공통 전극의 단부에서 꺾인 모양을 갖는 액정 표시 장치.

청구항 4

제3항에서,

상기 공통 전극의 돌출부의 길이는 상기 미세 공간층에 형성되는 액정층의 셀 갭보다 작은 액정 표시 장치.

청구항 5

제4항에서,

상기 공통 전극 위에 위치하는 보호막을 더 포함하고, 상기 보호막의 단부에는 상기 공통 전극의 돌출부와 대응하는 돌출부가 연결되어 있는 액정 표시 장치.

청구항 6

제5항에서,

상기 공통 전극의 돌출부와 상기 보호막의 돌출부는 중첩하는 액정 표시 장치.

청구항 7

제1항에서,

상기 화소 전극은 가로 줄기부 및 이와 교차하는 세로 줄기부를 포함하는 십자형 줄기부 그리고

상기 십자형 줄기부로부터 뻗어 나온 복수의 가지부를 포함하는 액정 표시 장치.

청구항 8

제7항에서,

상기 화소 전극과 연결되는 상기 박막 트랜지스터의 한 단자는 상기 세로 줄기부를 따라 형성되는 액정 표시 장치.

청구항 9

제8항에서,

상기 접촉 구멍은 상기 가로 줄기부와 상기 세로 줄기부가 교차하는 교차 지점에 형성되는 액정 표시 장치.

청구항 10

제9항에서,

상기 기관 위에 위치하는 게이트선,

채널 영역을 포함하는 반도체층,

상기 반도체층의 가장자리와 중첩하는 소스 전극 및 드레인 전극, 상기 소스 전극에 연결되는 데이터선을 포함하는 데이터 배선층을 더 포함하고,

상기 반도체층은 상기 채널 영역을 제외하고 상기 데이터 배선층과 동일한 평면 모양을 갖는 액정 표시 장치.

청구항 11

제10항에서,

상기 기관 위에 위치하는 차광 패턴을 더 포함하고, 상기 차광 패턴은 상기 드레인 전극을 따라 형성되는 액정 표시 장치.

청구항 12

제11항에서,

상기 차광 패턴은 상기 게이트선과 동일한 층에 위치하는 액정 표시 장치.

청구항 13

제1항에서,

상기 미세 공간층의 복수의 영역 사이에 그루브가 형성되고,

상기 캐핑막은 상기 그루브를 덮고 있는 액정 표시 장치.

청구항 14

제13항에서,

상기 그루브는 상기 박막 트랜지스터에 연결된 게이트선과 평행한 방향을 따라 뻗어 있는 액정 표시 장치.

청구항 15

제14항에서,

상기 화소 전극과 상기 미세 공간층 또는 상기 공통 전극과 상기 미세 공간층 사이에 위치하는 배향막을 더 포함하는 액정 표시 장치.

청구항 16

제15항에서,

상기 미세 공간층은 액정 물질을 포함하는 액정 표시 장치.

청구항 17

기관 위에 박막 트랜지스터를 형성하는 단계,
 상기 박막 트랜지스터의 한 단자와 연결되도록 화소 전극을 형성하는 단계,
 상기 화소 전극 위에 희생막을 형성하는 단계,
 상기 희생막 위에 공통 전극을 형성하는 단계,
 상기 공통 전극 위에 지지 부재를 형성하는 단계,
 상기 희생막을 제거하여 액정 주입구를 포함하며 화소 영역에 대응하는 복수의 영역을 포함하는 미세 공간층을 형성하는 단계,
 상기 미세 공간층에 액정 물질을 주입하는 단계 그리고
 상기 지지 부재 위에 상기 액정 주입구를 덮도록 캐핑막을 형성하는 단계를 포함하고,
 상기 화소 전극은 접촉 구멍을 통해 상기 박막 트랜지스터의 한 단자와 연결되고, 상기 접촉 구멍은 상기 화소 영역 내에 위치하는 액정 표시 장치의 제조 방법.

청구항 18

제17항에서,
 상기 지지 부재를 패터닝하여 그루브를 형성하는 단계,
 상기 지지 부재 위에 덮개막을 형성하는 단계 그리고
 상기 덮개막을 패터닝하여 상기 희생막의 일부를 노출하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 19

제18항에서,
 상기 덮개막을 패터닝하여 상기 희생막의 일부를 노출하는 단계에서 상기 그루브가 위치하는 영역으로 상기 공통 전극 및 상기 덮개막의 단부가 돌출된 돌출부를 형성하는 액정 표시 장치의 제조 방법.

청구항 20

제19항에서,
 상기 그루브는 상기 미세 공간층의 복수의 영역 사이에 형성되고, 상기 미세 공간층을 형성하는 단계 이후에 상기 공통 전극 및 상기 덮개막의 돌출부는 아래로 기울어지는 액정 표시 장치의 제조 방법.

청구항 21

제20항에서,
 상기 돌출부의 길이는 상기 미세 공간층에 형성되는 액정층의 셀 갭보다 작도록 형성하는 액정 표시 장치의 제조 방법.

청구항 22

제17항에서,
 상기 화소 전극은 가로 줄기부 및 이와 교차하는 세로 줄기부를 포함하는 십자형 줄기부 그리고
 상기 십자형 줄기부로부터 뺀어 나온 복수의 가지부를 포함하도록 형성하는 액정 표시 장치의 제조 방법.

청구항 23

제22항에서,
 상기 화소 전극과 연결되는 상기 박막 트랜지스터의 한 단자는 상기 세로 줄기부를 따라 위치하도록 형성하는

액정 표시 장치의 제조 방법.

청구항 24

제23항에서,

상기 접촉 구멍은 상기 가로 줄기부와 상기 세로 줄기부가 교차하는 교차 지점에 형성하는 액정 표시 장치의 제조 방법.

청구항 25

제24항에서,

상기 기판 위에 게이트선을 형성하는 단계,

채널 영역을 포함하는 반도체층을 형성하는 단계,

상기 반도체층의 가장자리와 중첩하는 소스 전극 및 드레인 전극, 상기 소스 전극에 연결되는 데이터선을 포함하는 데이터 배선층을 형성하는 단계를 더 포함하고,

상기 반도체층은 상기 채널 영역을 제외하고 상기 데이터 배선층과 동일한 평면 모양을 갖도록 형성하는 액정 표시 장치의 제조 방법.

청구항 26

제25항에서,

상기 기판 위에 위치하는 차광 패턴을 형성하는 단계를 더 포함하고, 상기 차광 패턴은 상기 드레인 전극을 따라 위치하도록 형성하는 액정 표시 장치의 제조 방법.

청구항 27

제26항에서,

상기 차광 패턴은 상기 게이트선과 동일한 층에 위치하도록 형성하는 액정 표시 장치의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 액정 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층으로 이루어진다.

[0003] 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0004] NCD(Nano Crystal Display) 액정 표시 장치는 유기 물질 등으로 희생층을 형성하고 상부에 지지 부재를 형성한 후에 희생층을 제거하고, 희생층 제거로 형성된 빈 공간에 액정을 채워 디스플레이를 만드는 장치이다.

[0005] NCD(Nano Crystal Display) 액정 표시 장치의 제조 방법은 지지 부재 위에 덮개막을 형성한 후 희생층을 노출하기 위해 공통 전극과 덮개막을 패터닝하는 공정을 포함한다. 이 때, 미스 얼라인(mis-align)이 발생하면 공통 전극 및 덮개막의 단부가 돌출부 모양으로 남게 되고, 후속 공정에 따른 공통 전극 돌출부의 처짐 현상에 의해 화소 전극과 쇼트 불량 발생 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는 쇼트 불량을 방지할 수 있는 액정 표시 장치 및 그 제조 방법을 제공하는데

있다.

과제의 해결 수단

- [0007] 본 발명의 일실시예에 따른 액정 표시 장치는 기관, 상기 기관 위에 위치하는 박막 트랜지스터, 상기 박막 트랜지스터의 한 단자와 연결되는 화소 전극, 상기 화소 전극 위에 위치하고, 액정 주입구를 포함하며 화소 영역에 대응하는 복수의 영역을 포함하는 미세 공간층, 상기 미세 공간층 위에 위치하는 공통 전극, 상기 공통 전극 위에 위치하는 지지 부재, 상기 지지 부재 위치하고, 상기 액정 주입구를 덮는 캐핑막을 포함하고, 상기 화소 전극은 접촉 구멍을 통해 상기 박막 트랜지스터의 한 단자와 연결되고, 상기 접촉 구멍은 상기 화소 영역 내에 위치한다.
- [0008] 상기 미세 공간층의 복수의 영역 사이에 그루브가 형성되고, 상기 공통 전극은 상기 그루브가 위치하는 영역으로 돌출된 돌출부를 포함할 수 있다.
- [0009] 상기 공통 전극의 돌출부는 상기 화소 영역에 위치하는 공통 전극의 단부에서 꺾인 모양을 가질 수 있다.
- [0010] 상기 공통 전극의 돌출부의 길이는 상기 미세 공간층에 형성되는 액정층의 셀 갭보다 작을 수 있다.
- [0011] 상기 공통 전극 위에 위치하는 보호막을 더 포함하고, 상기 보호막의 단부에는 상기 공통 전극의 돌출부와 대응하는 돌출부가 연결될 수 있다.
- [0012] 상기 공통 전극의 돌출부와 상기 보호막의 돌출부는 중첩할 수 있다.
- [0013] 상기 화소 전극은 가로 줄기부 및 이와 교차하는 세로 줄기부를 포함하는 십자형 줄기부 그리고 상기 십자형 줄기부로부터 뺀 나온 복수의 가지부를 포함할 수 있다.
- [0014] 상기 화소 전극과 연결되는 상기 박막 트랜지스터의 한 단자는 상기 세로 줄기부를 따라 형성될 수 있다.
- [0015] 상기 접촉 구멍은 상기 가로 줄기부와 상기 세로 줄기부가 교차하는 교차 지점에 형성될 수 있다.
- [0016] 상기 기관 위에 위치하는 게이트선, 채널 영역을 포함하는 반도체층, 상기 반도체층의 가장자리와 중첩하는 소스 전극 및 드레인 전극, 상기 소스 전극에 연결되는 데이터선을 포함하는 데이터 배선층을 더 포함하고, 상기 반도체층은 상기 채널 영역을 제외하고 상기 데이터 배선층과 동일한 평면 모양을 가질 수 있다.
- [0017] 상기 기관 위에 위치하는 차광 패턴을 더 포함하고, 상기 차광 패턴은 상기 드레인 전극을 따라 형성될 수 있다.
- [0018] 상기 차광 패턴은 상기 게이트선과 동일한 층에 위치할 수 있다.
- [0019] 상기 미세 공간층의 복수의 영역 사이에 그루브가 형성되고, 상기 캐핑막은 상기 그루브를 덮을 수 있다.
- [0020] 상기 그루브는 상기 박막 트랜지스터에 연결된 게이트선과 평행한 방향을 따라 뺄 수 있다.
- [0021] 상기 화소 전극과 상기 미세 공간층 또는 상기 공통 전극과 상기 미세 공간층 사이에 위치하는 배향막을 더 포함할 수 있다.
- [0022] 상기 미세 공간층은 액정 물질을 포함할 수 있다.
- [0023] 본 발명의 일실시예에 따른 액정 표시 장치의 제조 방법은 기관 위에 박막 트랜지스터를 형성하는 단계, 상기 박막 트랜지스터의 한 단자와 연결되도록 화소 전극을 형성하는 단계, 상기 화소 전극 위에 희생막을 형성하는 단계, 상기 희생막 위에 공통 전극을 형성하는 단계, 상기 공통 전극 위에 지지 부재를 형성하는 단계, 상기 희생막을 제거하여 액정 주입구를 포함하며 화소 영역에 대응하는 복수의 영역을 포함하는 미세 공간층을 형성하는 단계, 상기 미세 공간층에 액정 물질을 주입하는 단계 그리고 상기 지지 부재 위에 상기 액정 주입구를 덮도록 캐핑막을 형성하는 단계를 포함하고, 상기 화소 전극은 접촉 구멍을 통해 상기 박막 트랜지스터의 한 단자와 연결되고, 상기 접촉 구멍은 상기 화소 영역 내에 위치한다.
- [0024] 상기 지지 부재를 패터닝하여 그루브를 형성하는 단계, 상기 지지 부재 위에 덮개막을 형성하는 단계 그리고 상기 덮개막을 패터닝하여 상기 희생막의 일부를 노출하는 단계를 더 포함할 수 있다.
- [0025] 상기 덮개막을 패터닝하여 상기 희생막의 일부를 노출하는 단계에서 상기 그루브가 위치하는 영역으로 상기 공통 전극 및 상기 덮개막의 단부가 돌출된 돌출부를 형성할 수 있다.
- [0026] 상기 그루브는 상기 미세 공간층의 복수의 영역 사이에 형성되고, 상기 미세 공간층을 형성하는 단계 이후에 상

기 공통 전극 및 상기 덮개막의 돌출부는 아래로 기울어질 수 있다.

- [0027] 상기 돌출부의 길이는 상기 미세 공간층에 형성되는 액정층의 셀 갭보다 작도록 형성할 수 있다.
- [0028] 상기 화소 전극은 가로 줄기부 및 이와 교차하는 세로 줄기부를 포함하는 십자형 줄기부 그리고 상기 십자형 줄기부로부터 뺀어 나온 복수의 가지부를 포함하도록 형성할 수 있다.
- [0029] 상기 화소 전극과 연결되는 상기 박막 트랜지스터의 한 단자는 상기 세로 줄기부를 따라 위치하도록 형성할 수 있다.
- [0030] 상기 접촉 구멍은 상기 가로 줄기부와 상기 세로 줄기부가 교차하는 교차 지점에 형성할 수 있다.
- [0031] 상기 기판 위에 게이트선을 형성하는 단계, 채널 영역을 포함하는 반도체층을 형성하는 단계, 상기 반도체층의 가장자리와 중첩하는 소스 전극 및 드레인 전극, 상기 소스 전극에 연결되는 데이터선을 포함하는 데이터 배선층을 형성하는 단계를 더 포함하고, 상기 반도체층은 상기 채널 영역을 제외하고 상기 데이터 배선층과 동일한 평면 모양을 갖도록 형성할 수 있다.
- [0032] 상기 기판 위에 위치하는 차광 패턴을 형성하는 단계를 더 포함하고, 상기 차광 패턴은 상기 드레인 전극을 따라 위치하도록 형성할 수 있다.
- [0033] 상기 차광 패턴은 상기 게이트선과 동일한 층에 위치하도록 형성할 수 있다.

발명의 효과

- [0034] 이와 같이 본 발명의 한 실시예에 따르면, 화소 전극이 공통 전극의 돌출 부분과 중첩하는 부분에 형성되지 않도록 함으로써 쇼트 불량을 방지할 수 있다.

도면의 간단한 설명

- [0035] 도 1은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다.
- 도 2는 도 1의 절단선 II-II를 따라 자른 단면도이다.
- 도 3은 도 1의 절단선 III-III을 따라 자른 단면도이다.
- 도 4는 본 발명의 일실시예에 따른 미세 공간층을 나타내는 사시도이다.
- 도 5는 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다.
- 도 6은 도 5의 절단선 VI-VI를 따라 자른 단면도이다.
- 도 7은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다.
- 도 8 내지 도 12는 본 발명의 일실시예에 따른 액정 표시 장치의 제조 방법을 나타내는 단면도들이다.
- 도 13은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다.
- 도 14는 도 13의 실시예에 따른 액정 표시 장치에서 하나의 화소에 대한 등가 회로도이다.
- 도 15는 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다.
- 도 16은 도 15의 실시예에 따른 액정 표시 장치에서 하나의 화소에 대한 등가 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0037] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.

- [0038] 도 1은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다. 도 2는 도 1의 절단선 II-II를 따라 자른 단면도이다. 도 3은 도 1의 절단선 III-III를 따라 자른 단면도이다. 도 4는 본 발명의 일실시예에 따른 미세 공간층을 나타내는 사시도이다.
- [0039] 도 1 내지 도 3을 참고하면, 투명한 유리 또는 플라스틱 파위로 만들어진 기관(110) 위에 게이트선(121) 및 유지 전극선(131a, 131b)이 위치한다. 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있으며 가로 방향으로 뻗은 게이트선(121)에서 돌출된 부분인 게이트 전극(124)을 포함한다.
- [0040] 유지 전극선(131a, 131b)은 공통 전압(Vcom) 등의 기설정된 전압을 전달하고, 게이트선(121)과 실질적으로 수직하게 뻗은 세로부(131b)와 세로부(131b)의 끝을 서로 연결하는 가로부(131a)를 포함한다.
- [0041] 게이트선(121) 및 유지 전극선(131a, 131b) 위에는 질화 규소 파위로 형성된 게이트 절연막(140)이 위치한다. 게이트 절연막(140) 위에는 비정질 또는 결정질 규소 등으로 만들어질 수 있는 반도체층(151, 154)이 형성되어 있다. 반도체층(151, 154)은 주로 세로 방향으로 뻗어 있는 선형 반도체(151)와, 선형 반도체(151)에서 게이트 전극(124)을 향하여 뻗어 나온 돌출부(projection 154)를 포함한다.
- [0042] 반도체층(151, 154) 및 게이트 절연막(140) 위에는 데이터선(171), 데이터선(171)과 연결된 소스 전극(173), 소스 전극(173)과 채널 영역을 기준으로 이격되어 있는 드레인 전극(175)이 형성되어 있다. 반도체층의 돌출부(154)와 소스 전극(173) 사이 및 반도체층의 돌출부(154)와 드레인 전극(175) 사이에는 저항성 접촉 부재(미도시)가 형성될 수 있다. 저항성 접촉 부재는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 파위의 물질로 만들어질 수 있다.
- [0043] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 데이터선(171)은 게이트 전극(124)을 향하여 뻗어 U자 형상을 가지는 소스 전극(173)과 연결되어 있다. 드레인 전극(175)은 데이터선(171)과 분리되어 있고 소스 전극(173)의 U자 형상의 가운데에서 상부를 향하여 연장되어 있다.
- [0044] 본 실시예에서 드레인 전극(175)은 화소 영역(PX)으로 길게 연장된 막대부를 포함한다. 드레인 전극(175)이 화소 영역(PX)으로 길게 연장되고, 연장된 단부에서 드레인 전극(175)은 넓은 부분을 가질 수 있다. 막대부라는 용어는 하나의 실시예에 따른 드레인 전극(175)의 모양을 나타낸 것일 뿐 본 발명에 따른 실시예가 막대 모양의 드레인 전극(175)에 한정되는 것은 아니다.
- [0045] 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 반도체층의 돌출부(154)와 함께 박막 트랜지스터를 형성한다.
- [0046] 반도체층(151, 154)은 소스 전극(173)과 드레인 전극(175) 사이의 채널 영역을 제외하고는 데이터 배선층(171, 173, 175) 및 그 하부의 저항성 접촉 부재와 실질적으로 동일한 평면 모양을 가질 수 있다. 이것은 한 예로, 데이터선(171), 소스 전극(173) 및 드레인 전극(175)을 포함하는 데이터 배선층이 그 아래에 위치하는 저항성 접촉 부재(미도시) 및 반도체층(151, 154)과 하나의 마스크를 사용하여 동시에 형성할 때 나타날 수 있는 구조이다..
- [0047] 반도체층의 돌출부(154)에는 소스 전극(173)과 드레인 전극(175) 사이에서 소스 전극(173) 및 드레인 전극(175)에 의해 가리지 않고 노출된 부분이 있다. 데이터 배선층(171, 173, 175) 및 노출된 반도체층의 돌출부(154) 부분 위에는 보호막(180)이 형성되어 있다. 보호막(180)은 질화 규소와 산화 규소 파위의 무기 절연물로 만들어진다. 그러나 보호막(180)은 유기 절연물로 만들어질 수 있으며 표면이 평탄할 수 있다.
- [0048] 보호막(180) 위에는 유기막(230)이 위치한다. 유기막(230)은 박막 트랜지스터 등이 위치하는 곳을 제외한 대부분의 영역에 위치한다. 본 실시예에서, 유기막(230)은 화소 전극(191)의 열 방향을 따라서 길게 뻗을 수 있다. 유기막(230)은 선택될 수 있고, 선택될(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다. 하지만, 적색, 녹색, 및 청색의 삼원색에 제한되지 않고, 청록색(cyan), 자홍색(magenta), 옐로(yellow), 화이트 계열의 색 중 하나를 표시할 수도 있다.
- [0049] 서로 이웃하는 유기막(230)은 도 1에서 나타낸 가로 방향(D) 및 이와 교차하는 세로 방향을 따라 이격될 수 있다. 도 2에서는 가로 방향(D)을 따라 서로 이격되어 있는 유기막(230)을 나타내고, 도 3에서는 세로 방향을 따라 서로 이격되어 있는 유기막(230)을 나타낸다.
- [0050] 도 3을 참고하면, 가로 방향(D)을 따라 이격되어 있는 유기막(230) 사이에 세로 차광 부재(220b)가 위치한다. 세로 차광 부재(220b)는 이웃하는 유기막(230) 각각의 가장자리와 중첩하고 있으며, 세로 차광 부재(220b)가 유

기막(230)의 양쪽 가장자리와 중첩하는 폭은 실질적으로 동일하다.

- [0051] 도 4를 참고하면, 세로 방향을 따라 이격되어 있는 유기막(230) 사이에 가로 차광 부재(220a)가 위치한다. 가로 차광 부재(220a)는 이웃하는 유기막(230) 각각의 가장자리와 중첩하고 있으며, 가로 차광 부재(220a)가 유기막(230)의 양쪽 가장자리와 중첩하는 폭은 실질적으로 동일하다.
- [0052] 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다. 차광 부재(220) 및 유기막(230) 위에 평탄화막(182)이 위치할 수 있다. 평탄화막(182)은 유기 물질로 형성될 수 있고, 하부에 형성된 막들을 평탄화하는 역할을 할 수 있다.
- [0053] 평탄화막(182) 위에는 화소 전극(191)이 위치한다. 화소 전극(191)은 접촉 구멍(185)을 통해 박막 트랜지스터의 한 단자인 드레인 전극(175)과 전기적으로 연결된다.
- [0054] 화소 전극(191)은 미세 슬릿 전극으로 형성될 수 있고 미세 슬릿 전극의 전체적인 모양은 사각형이며, 가로 줄기부(191a) 및 이와 교차하는 세로 줄기부(191b)로 이루어진 십자형 줄기부를 포함한다. 또한, 가로 줄기부(191a)와 세로 줄기부(191b)에 의해 네 개의 부영역으로 나뉘어지며 각 부영역은 복수의 미세 가지부(191c)를 포함한다.
- [0055] 미세 슬릿 전극의 미세 가지부(191c) 중 하나는 가로 줄기부(191a) 또는 세로 줄기부(191b)에서부터 왼쪽 위 방향으로 비스듬하게 뻗어 있으며, 다른 하나의 미세 가지부(191c)는 가로 줄기부(191a) 또는 세로 줄기부(191b)에서부터 오른쪽 위 방향으로 비스듬하게 뻗어 있다. 또한 다른 하나의 미세 가지부(191c)는 가로 줄기부(191a) 또는 세로 줄기부(191b)에서부터 왼쪽 아래 방향으로 뻗어 있으며, 나머지 하나의 미세 가지부(191c)는 가로 줄기부(191a) 또는 세로 줄기부(191b)에서부터 오른쪽 아래 방향으로 비스듬하게 뻗어 있다. 이웃하는 두 부영역의 미세 가지부(191c)는 서로 직교할 수 있다. 도시하지 않았으나 미세 가지부(191c)의 폭은 점진적으로 넓어질 수 있다.
- [0056] 앞에서 설명한 드레인 전극(175)의 막대부는 화소 전극(191)의 세로 줄기부(191b)를 따라 길게 형성되어 있다.
- [0057] 본 실시예에서는 보호막(180), 유기막(230), 평탄화막(182)을 관통하는 접촉 구멍(185)이 형성되어 있고, 접촉 구멍(185)을 통해 드레인 전극(175)과 화소 전극(191)이 연결되어 있다. 본 실시예에서 접촉 구멍(185)은 화소 전극(191)의 가로 줄기부(191a)와 세로 줄기부(191b)가 교차하는 교차 지점에 형성될 수 있다. 도 1에서 도시한 바와 같이 드레인 전극(175)의 넓은 끝부분은 가로 줄기부(191a)와 세로 줄기부(191b)의 교차 지점과 중첩하고, 이 부분에 접촉 구멍(185)이 형성되어 있다.
- [0058] 서로 이웃하는 부영역에서 액정 분자가 기울어지는 방향은 서로 다르다. 가로 줄기부(191a)와 세로 줄기부(191b)는 이웃하는 부영역이 만나는 경계 영역이고, 이러한 경계 영역은 액정 분자가 기울어지는 방향이 결정되지 않은 비투과부에 해당한다. 따라서, 본 발명의 실시예에 따라 드레인 전극(175)과 접촉 구멍(185)이 화소 영역(PX) 내에 형성되어 있더라도 개구율 감소를 최소화할 수 있다.
- [0059] 화소 전극(191) 위에는 미세 공간층(400)이 위치한다. 미세 공간층(400)에는 액정 분자(310)를 포함하는 액정 물질이 주입되어 있고, 미세 공간층(400)은 액정 주입구(A)를 갖는다. 미세 공간층(400)은 화소 전극(191)의 열 방향 다시 말해 세로 방향을 따라 형성될 수 있다.
- [0060] 화소 전극(191) 위에는 하부 배향막(미도시)이 형성될 수 있고, 미세 공간층(400) 위에 상부 배향막(미도시)이 위치한다.
- [0061] 본 실시예에서 배향막을 형성하는 배향 물질과 액정 분자(310)를 포함하는 액정 물질은 모관력(capillary force)을 이용하여 미세 공간층(400)에 주입될 수 있다.
- [0062] 미세 공간층(400) 위에 공통 전극(270) 및 덮개막(250)이 위치한다. 공통 전극(270)은 공통 전압을 인가 받고, 데이터 전압이 인가된 화소 전극(191)과 함께 전기장을 생성하여 두 전극 사이의 미세 공간층(400)에 위치하는 액정 분자(310)가 기울어지는 방향을 결정한다. 공통 전극(270)은 화소 전극(191)과 축전기를 이루어 박막 트랜지스터가 턴 오프(turn-off)된 후에도 인가된 전압을 유지한다. 덮개막(250)은 질화 규소(SiNx) 또는 산화 규소(SiO₂)로 형성될 수 있다.
- [0063] 덮개막(250) 위에 지지 부재(supporting member; 260)가 위치한다. 지지 부재(260)는 실리콘 옥시카바이드(SiOC) 또는 포토 레지스트 또는 그 밖의 유기 물질을 포함할 수 있다. 지지 부재(260)가 실리콘 옥시카바이드(SiOC)를 포함하는 경우에는 화학 기상 증착법으로 형성할 수 있고, 포토 레지스트를 포함하는 경우에는 코팅법

으로 형성할 수 있다. 실리콘 옥시카바이드(SiOC)는 화학 기상 증착법으로 형성할 수 있는 막 중에서 투과율이 높고, 막 스트레스도 적어 변형도 가지 않는 장점이 있다. 따라서, 본 실시예에서 지지 부재(260)를 실리콘 옥시카바이드(SiOC)로 형성함으로써 빛이 잘 투과되도록 하며 안정적인 막을 형성할 수 있다.

- [0064] 가로 차광 부재(220a) 위에는 미세 공간층(400), 상부 배향막(21), 공통 전극(270), 덮개막(250) 및 지지 부재(260)를 관통하는 그루브(GRV)가 형성되어 있다.
- [0065] 지지 부재(260) 위에 보호막(240)이 위치한다. 보호막(240)은 질화 규소(SiNx) 또는 산화 규소(SiO₂)로 형성될 수 있다.
- [0066] 본 실시예에서는 화소 영역(PX)의 가장자리 부분에서 공통 전극(270)의 단부에 돌출부(PTP)가 형성되어 있다. 공통 전극(270)과 동일한 마스크를 사용하여 덮개막(250)과 보호막(240)이 형성된 경우에는 덮개막(250)과 보호막(240)의 단부도 공통 전극(270)의 단부와 함께 돌출부(PTP)를 형성할 수 있다. 도 3에 도시한 바와 같이 돌출부(PTP)는 그루브(GRV)가 위치하는 영역으로 돌출되어 있고, 화소 영역(PX)에 형성된 공통 전극(270)의 단부에서 꺾인 모양을 갖는다.
- [0067] 본 실시예에서 돌출부(PTP)의 길이는 미세 공간층(400)에 형성되는 액정층의 셀 갭보다 작은 것이 바람직하다.
- [0068] 또한, 본 실시예에서는 도 3에 도시한 바와 같이 화소 전극(191)이 화소 영역(PX)에만 형성되고, 차광 영역(LB)에 해당하는 부분에는 형성되지 않기 때문에 공통 전극(270)의 돌출부(PTP)가 처짐에 따라 화소 전극(191)이 위치하는 레벨까지 내려온다고 하더라도 쇼트 불량이 발생할 가능성이 매우 적다.
- [0069] 보호막(240) 위에 캐핑막(280)이 위치한다. 캐핑막(280)은 지지 부재(260)의 상부면 및 측벽과 접촉하며, 캐핑막(280)은 그루브(GRV)에 의해 노출된 미세 공간층(400)의 액정 주입구(A1, A2)를 덮는다. 캐핑막(280)은 열경화성 수지, 실리콘 옥시카바이드(SiOC) 또는 그래핀(Graphene)으로 형성될 수 있다.
- [0070] 캐핑막(280)이 그래핀으로 형성되는 경우에 그래핀(Graphene)은 헬륨 등을 포함하는 가스에 대한 내투과성이 강한 특성을 갖기 때문에 액정 주입구(A1, A2)를 막는 캐핑막 역할을 할 수 있고, 탄소 결합으로 이루어진 물질이기 때문에 액정 물질과 접촉하더라도 액정 물질이 오염되지 않는다. 뿐만 아니라, 그래핀(Graphene)은 외부의 산소 및 수분에 대해 액정 물질을 보호하는 역할도 할 수 있다.
- [0071] 본 실시예에서 미세 공간층(400)의 액정 주입구(A1, A2)를 통해 액정 물질을 주입하기 때문에 별도의 상부 기판을 형성하지 않고 액정 표시 장치를 형성할 수 있다.
- [0072] 캐핑막(280) 위에 무기막 또는 유기막으로 형성된 오버코트막(미도시)이 위치할 수 있다. 오버코트막은 외부 충격으로부터 미세 공간층(400)에 주입된 액정 분자(310)를 보호하고 막을 평탄화시키는 역할을 한다.
- [0073] 이하, 도 1 내지 도 4를 참고하여 미세 공간층(400)에 대해 구체적으로 설명한다.
- [0074] 도 1 내지 도 4를 참고하면, 미세 공간층(400)은 게이트선(121)과 증착하는 부분에 위치하는 복수의 그루브(GRV)에 의해 나누어지며, 게이트선(121)이 뻗어 있는 방향(D)을 따라 복수개 형성되어 있다. 복수개 형성된 미세 공간층(400) 각각은 화소 영역(PX)에 대응할 수 있고, 복수개 형성된 미세 공간층(400) 집단이 열 방향으로 복수개 형성되어 있다.
- [0075] 이 때, 미세 공간층(400) 사이에 형성된 그루브(GRV)는 게이트선(121)이 뻗어 있는 방향(D)을 따라 위치할 수 있으며, 미세 공간층(400)의 액정 주입구(A)는 그루브(GRV)와 미세 공간층(400)의 경계 부분에 대응하는 영역을 형성한다. 액정 주입구(A)는 그루브(GRV)가 뻗어 있는 방향을 따라 형성되어 있다. 그리고, 게이트선(121a)이 뻗어 있는 방향(D)으로 서로 이웃하는 미세 공간층(400) 사이에 형성된 오픈부(OPN)는 도 2에 나타난 바와 같이 지지 부재(260)에 의해 덮일 수 있다.
- [0076] 본 실시예에서 그루브(GRV)가 게이트선(121a)이 뻗어 있는 방향(D)을 따라 형성된 것으로 설명하였으나, 다른 실시예로 그루브(GRV)는 데이터선(171)이 뻗어 있는 방향을 따라 복수개 형성될 수 있고, 복수개 형성된 미세 공간층(400) 집단이 행 방향으로 복수개 형성될 수 있다. 액정 주입구(A)도 데이터선(171)이 뻗어 있는 방향을 따라 형성된 그루브(GRV)가 뻗어 있는 방향을 따라 형성될 수 있다.
- [0077] 도 5는 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다. 도 6은 도 5의 절단선 VI-VI를 따라 자른 단면도이다.
- [0078] 도 5 및 도 6을 참고하여 설명하려는 실시예는 도 1 내지 도 4를 참고하여 설명한 실시예와 대부분 구성이 동일

하고, 이하 차이가 있는 부분에 대해서만 설명하기로 한다.

- [0079] 도 5 및 도 6을 참고하면, 도 1 내지 도 4에서 설명한 실시예에서 차광 패턴(133)이 더 형성되어 있다. 본 실시예에서 차광 패턴(133)은 유지 전극선의 가로부(131a)에서 길게 뻗어 나와 드레인 전극(175)의 막대부를 따라 형성되어 있다. 차광 패턴(133)은 게이트선(121)과 동일한 층에 형성되고, 드레인 전극(175) 하부에 형성된 선풍 반도체층(151)이 백라이트에 의해 영향을 받는 것을 차단하는 역할을 한다.
- [0080] 도 7은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다.
- [0081] 도 7을 참고하여 설명하려는 실시예는 도 5 및 도 6에서 설명한 실시예와 대부분 구성이 동일하고, 이하 차이가 있는 부분에 대해서만 설명하기로 한다.
- [0082] 도 5 및 도 6에서 설명한 실시예와 같이 본 실시예에서는 차광 패턴(133)이 형성되어 있다. 차광 패턴(133)은 유지 전극선의 가로부(131a)로부터 연장되어 형성되기 때문에 유지 전극으로써 공통 전압과 같은 기설정된 전압이 전달될 수 있다. 따라서, 차광 패턴(133)은 화소 전극(191) 특히 화소 전극의 세로 줄기부(191b)와 유지 커패시턴스를 형성하고, 이것은 추가적인 커패시턴스를 형성하여 화소 전극(191)의 기생 커패시턴스에 의한 영향을 줄여준다. 결과적으로, 차광 패턴(133)은 추가적인 커패시턴스를 형성하기 때문에 화소 전극(191) 좌우에 위치하는 유지 전극선의 세로부(131b)를 제거할 수 있다. 본 실시예는 도 5 및 도 6에서 설명한 실시예에서 유지 전극선의 세로부(131b)가 제거되어 있고, 제거된 공간을 고려하여 화소 전극(191)과 데이터선(171)을 좀 더 인접시킨 구조를 갖는다. 따라서, 기존에 수직 크로스 토크(Vertical Crosstalk) 때문에 이격시켜 놓은 화소 전극(191)과 데이터선(171) 사이의 거리를 줄임으로써 개구율 증가를 도모할 수 있다.
- [0083] 도 8 내지 도 12는 본 발명의 일실시예에 따른 액정 표시 장치의 제조 방법을 나타내는 단면도들이다. 도 8 내지 도 12는 본 발명의 일실시예에 따른 액정 표시 장치의 제조 방법을 나타내기 위해 도 1의 절단선 III-III를 따라 자른 단면도를 순서대로 나타낸 것이다.
- [0084] 도 8을 참고하면, 투명한 유리 또는 플라스틱 따위로 만들어진 기판(110) 위에 게이트 전극(124)을 포함하는 게이트선(121) 및 유지 전극선(131a)을 형성한다. 도 8에서는 유지 전극선의 가로부(131a)만 도시되어 있으나, 도 1을 다시 참고하면 유지 전극선의 세로부(131b)도 형성된다.
- [0085] 게이트선(121)과 유지 전극선(131a, 131b) 위에 게이트 절연막(140)을 형성한다. 게이트 절연막(140) 위에 반도체층(151, 154), 저항성 접촉 부재(미도시)와, 데이터선(171), 소스 전극(173), 드레인 전극(175)을 포함하는 데이터 배선층을 형성하고, 데이터 배선층 및 소스 전극(173)과 드레인 전극(175) 사이에 노출된 반도체층의 돌출부(154)를 덮도록 보호막(180)을 형성한다.
- [0086] 이 때, 반도체층(151, 154)과 데이터 배선층은 동일한 마스크를 사용하여 형성할 수 있고, 반도체층(151, 154)은 소스 전극(173)과 드레인 전극(175) 사이의 채널 영역을 제외하고는 데이터 배선층(171, 173, 175) 및 그 하부의 저항성 접촉 부재와 실질적으로 동일한 평면 모양을 가질 수 있다.
- [0087] 보호막(180) 위에 화소 영역에 대응하도록 유기막(230)을 형성하고, 이웃하는 유기막(230) 사이에 가로 차광 부재(220a) 및 세로 차광 부재(220b)를 포함하는 차광 부재(220)를 형성한다. 도 8에서는 가로 차광 부재(220a)만 도시되어 있으나, 도 1을 다시 참고하면 세로 차광 부재(220b)도 형성된다.
- [0088] 유기막(230)과 차광 부재(220) 위에 평탄화막(182)을 형성한다. 평탄화막(182)은 유기 물질로 형성될 수 있고, 하부에 형성된 막들을 평탄화하는 역할을 할 수 있다.
- [0089] 평탄화막(182), 유기막(230) 및 보호막(180)을 패터닝하여 드레인 전극(175)을 드러내도록 접촉 구멍(185)을 형성한다. 접촉 구멍(185)은 화소 영역(PX)에 형성한다.
- [0090] 평탄화막(182) 위에 미세 슬릿 구조를 갖는 화소 전극(191)을 형성한다. 화소 전극(191)의 모양은 도 1에 도시한 바와 같다. 화소 전극(191)은 접촉 구멍(185)을 통해 드레인 전극(175)과 전기적으로 연결된다.
- [0091] 화소 전극(191) 위에 실리콘 옥시카바이드(SiOC) 또는 포토 레지스트를 포함하는 희생막(300)을 형성한다. 희생막(300)은 실리콘 옥시카바이드(SiOC) 또는 포토 레지스트를 제외한 유기 물질로 형성할 수도 있다.
- [0092] 희생막(300) 위에 공통 전극(270), 덮개막(250) 및 지지 부재(260)를 순차적으로 형성한다. 공통 전극(270)은 ITO 또는 IZO 따위의 투명 도전체로 형성할 수 있고, 덮개막(250)은 질화 규소(SiNx) 또는 산화 규소(SiO2)로 형성할 수 있다. 본 실시예에 따른 지지 부재(260)는 앞에서 형성한 희생막(300)과 다른 물질로 형성할 수 있다.

- [0093] 지지 부재(260)를 패터닝하여 차광 부재(220a)와 대응하는 부분의 덮개막(250)을 노출시키는 그루브(GRV)를 형성한다.
- [0094] 도 9를 참고하면, 노출된 덮개막(250)과 지지 부재(260)를 덮도록 보호막(240)을 형성한다. 보호막(240)은 질화 규소(SiNx) 또는 산화 규소(SiO₂)로 형성할 수 있다.
- [0095] 도 10을 참고하면, 그루브(GRV)에 대응하는 부분에 위치하는 보호막(240), 덮개막(250) 및 공통 전극(270)을 차례로 패터닝하여 희생막(300)을 노출시킨다. 이 때, 그루브(GRV)에 대응하는 부분의 희생막(300) 일부가 제거될 수 있다. 패터닝 과정에서, 미스 얼라인(mis-align)이 발생하여 공통 전극(270)의 단부가 돌출된 돌출부(PTP)가 형성될 수 있다. 공통 전극(270) 위에 형성된 덮개막(250)과 보호막(240)이 함께 돌출부(PTP)를 형성할 수 있다.
- [0096] 도 11을 참고하면, 그루브(GRV)를 통해 희생막(300)을 산소(O₂) 애싱(Ashing) 처리 또는 습식 식각법 등으로 제거한다. 이 때, 액정 주입구(A)를 갖는 미세 공간층(400)이 형성된다. 이 때, 미세 공간층(400)은 희생막(300)이 제거되어 빈 공간 상태이다. 액정 주입구(A)는 박막 트랜지스터의 한 단자와 연결되어 있는 신호선과 평행한 방향을 따라 형성될 수 있다.
- [0097] 도 12를 참고하면, 도 11에 도시한 액정 주입구(A)를 통해 배향 물질을 주입하여 화소 전극(191) 및 공통 전극(270) 위에 배향막(미도시)을 형성한다. 이후, 액정 주입구(A)를 통해 액정 분자(310)를 포함하는 액정 물질을 미세 공간층(400)에 주입한다.
- [0098] 배향 물질은 고형분과 용매를 포함하고, 배향 물질이 주입한 후에 베이크 공정이 진행되는데 이 때 응력이 가해져서 지지되지 못하는 공통 전극(270)의 돌출부(PTP)가 처질 수 있다. 이 뿐만 아니라, 돌출부(PTP)는 물리적인 관점에서도 현 단계에서 미세 공간층(400)과 그루브(GRV)는 빈 공간 상태이기 때문에 중력에 따른 힘을 받기 때문에 처질 수 있다. 또한, 배향 물질 주입 전에 공정상 세정을 진행할 수 있고, 세정액에 의해 돌출부(PTP)가 기울어질 수 있다.
- [0099] 도 13은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다.
- [0100] 도 13을 참고하여 설명하려는 실시예는 대부분의 구성이 도 1 내지 도 4에서 설명한 실시예와 동일하나, 박막 트랜지스터 구조에서 차이가 있다.
- [0101] 도 13을 참고하면, 도 1 내지 도 4에서 설명한 실시예와 달리 하나의 화소 영역에서 3개의 박막 트랜지스터가 형성되어 있다. 구체적으로 제1 게이트 전극(124a), 제1 소스 전극(173a), 및 제1 드레인 전극(175a)은 제1 반도체층(154a)과 함께 제1 박막 트랜지스터를 형성하며, 박막 트랜지스터의 채널은 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이의 반도체 부분(154a)에 형성된다. 이와 유사하게, 제2 게이트 전극(124b), 제2 소스 전극(173b), 및 제2 드레인 전극(175b)은 제2 반도체층(154b)과 함께 제2 박막 트랜지스터를 형성하며, 박막 트랜지스터의 채널은 제2 소스 전극(173b)과 제2 드레인 전극(175b) 사이의 반도체 부분(154b)에 형성되고, 제3 게이트 전극(124c), 제3 소스 전극(173c), 및 제3 드레인 전극(175c)은 제3 반도체층(154c)과 함께 제3 박막 트랜지스터를 형성하며, 박막 트랜지스터의 채널은 제3 소스 전극(173c)과 제3 드레인 전극(175c) 사이의 반도체 부분(154c)에 형성된다.
- [0102] 본 실시예에서 제1 드레인 전극은 제1 접촉 구멍(185a)을 통해 제1 부화소 전극(191a)과 연결되고, 제2 드레인 전극(175b)은 제2 접촉 구멍(185b)을 통해 제2 부화소 전극(191b)과 연결될 수 있다. 앞에서 설명한 실시예들과 같은 개념에서 제1 드레인 전극(175a)과 제2 드레인 전극(175b)이 화소 영역(PX)으로 뻗어 있는 제1 확장부(176a)와 제2 확장부(176b)를 포함한다. 제1 확장부(176a)와 제2 확장부(176b)의 단부는 각각 화소 영역(PX) 내에 형성된 제1 접촉 구멍(185a)과 제2 접촉 구멍(185b)에 의해 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)과 전기적으로 연결된다.
- [0103] 본 실시예에서는 유지 전극선(131a)과 제3 소스 전극(173c)을 연결하는 제3 접촉 구멍(185c)이 형성되어 있다. 본 실시예에서 제3 접촉 구멍(185c)은 화소 전극(191)이 위치하는 레벨과 유지 전극선(131a)이 위치하는 레벨 사이에 형성된 절연막들을 관통하여 형성된다. 화소 전극(191)과 동일한 층에 별도의 접촉 부재(190)가 형성되어 있다. 제3 접촉 구멍(185c)에 의해 유지 전극선(131a)의 일부 및 제3 소스 전극(173c)의 일부가 드러나고, 접촉 부재(190)가 제3 접촉 구멍(185c)을 채움으로써 유지 전극선(131a)과 제3 소스 전극(173c)이 전기적으로 연결된다. 따라서, 제1 접촉 구멍(185a) 및 제2 접촉 구멍(185b)과 달리 제3 접촉 구멍(185c)은 화소 영역(PX)이 아닌 차광 영역(LB)에 형성되기 때문에 공통 전극의 돌출부(PTP)와의 쇼트 가능성이 있다. 제1 접촉 구멍

(185a) 및 제2 접촉 구멍(185b)과 마찬가지로 제3 접촉 구멍(185c)의 위치를 화소 영역(PX) 내에 형성하게 되면 개구율 감소의 우려가 있기 때문이다. 여기서, 제3 접촉 구멍(185c)의 위치를 차광 영역(LB)의 중심 부분에 형성함으로써 쇼트 불량 가능성을 상대적으로 줄일 수 있다.

- [0104] 도 14는 도 13의 실시예에 따른 액정 표시 장치에서 하나의 화소에 대한 등가 회로도이다. 도 14를 참고하여 도 13에서 나타난 액정 표시 장치의 회로도적 구조 및 동작에 대해 설명하기로 한다.
- [0105] 도 14를 참고하여, 본 발명의 실시예에 따른 액정 표시 장치의 신호선 및 화소의 배치와 그 구동 방법에 대한 한가지 예시를 설명하기로 한다.
- [0106] 도 14를 참고하면, 본 발명의 일실시예에 따른 액정 표시 장치의 한 화소(PX)는 게이트 신호를 전달하는 게이트선(GL) 및 데이터 신호를 전달하는 데이터선(DL), 분압 기준 전압을 전달하는 기준 전압선(RL)을 포함하는 복수의 신호선, 그리고 복수의 신호선에 연결되어 있는 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb), 및 제3 스위칭 소자(Qc)와 제1 액정 축전기(C1ca) 및 제2 액정 축전기(C1cb)를 포함한다. 앞에서 설명한 도 1 내지 도 5의 실시예는 기준 전압선(RL)을 유지 전극선(131a, 131b)으로 형성하였고, 다른 실시예로 유지 전극선과 별도로 분압 기준 전압을 전달하기 위한 기준 전압선을 형성할 수도 있다.
- [0107] 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)는 각각 게이트선(GL) 및 데이터선(DL)에 연결되어 있으며, 제3 스위칭 소자(Qc)는 제2 스위칭 소자(Qb)의 출력 단자 및 기준 전압선(RL)에 연결되어 있다.
- [0108] 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)는 박막 트랜지스터 등의 삼단자 소자으로써, 그 제어 단자는 게이트선(GL)에 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 제1 스위칭 소자(Qa)의 출력 단자는 제1 액정 축전기(C1ca)에 연결되어 있고, 제2 스위칭 소자(Qb)의 출력 단자는 제2 액정 축전기(C1cb) 및 제3 스위칭 소자(Qc)의 출력 단자에 연결되어 있다.
- [0109] 제3 스위칭 소자(Qc) 역시 박막 트랜지스터 등의 삼단자 소자로서, 제어 단자는 게이트선(GL)과 연결되어 있고, 출력 단자는 제2 액정 축전기(C1cb)와 연결되어 있으며, 입력 단자는 기준 전압선(RL)에 연결되어 있다.
- [0110] 게이트선(GL)에 게이트 온(Von) 신호가 인가되면, 이에 연결된 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb), 그리고 제3 스위칭 소자(Qc)가 턴 온 된다. 이에 따라 데이터선(DL)에 인가된 데이터 전압은 턴 온 된 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)를 통해 각각 제1 전극(PEa) 및 제2 전극(PEb)에 인가된다. 이 때, 제1 전극(PEa) 및 제2 전극(PEb)에 인가된 데이터 전압은 서로 동일한 값으로 충전될 수 있다. 하지만, 본 발명의 실시예에 따르면, 제2 전극(PEb)에 인가되는 전압은 제2 스위칭 소자(Qb)와 직렬 연결되어 있는 제3 스위칭 소자(Qc)를 통해 분압이 된다. 따라서, 제2 전극(PEb)에 인가되는 전압은 제1 전극(PEa)에 인가되는 전압보다 더 작게 된다.
- [0111] 도 15는 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다.
- [0112] 도 15를 참고하여 설명하려는 실시예는 앞에서 설명한 도 13 및 도 14에서 설명한 실시예처럼 대부분의 구성이 도 1 내지 도 4에서 설명한 실시예와 동일하나, 박막 트랜지스터 구조에서 차이가 있다.
- [0113] 도 15를 참고하면, 도 1 내지 도 4에서 설명한 실시예와 달리 하나의 화소 영역에서 3개의 박막 트랜지스터가 형성되어 있다. 구체적으로 제1 게이트 전극(124a), 제1 소스 전극(173a), 및 제1 드레인 전극(175a)은 제1 반도체(154a)와 함께 제1 박막 트랜지스터(Qa)를 형성하고, 제2 게이트 전극(124b), 제2 소스 전극(173b), 및 제2 드레인 전극(175b)은 제2 반도체(154b)와 함께 제2 박막 트랜지스터(Qb)를 형성하며, 제3 게이트 전극(124c), 제3 소스 전극(173c), 및 제3 드레인 전극(175c)은 제3 반도체(154c)와 함께 제3 박막 트랜지스터(Qc)를 형성한다.
- [0114] 앞에서 설명한 실시예들과 달리 게이트선(121a)과 동일한 층에 감압 게이트선(121b)이 형성되어 있다. 그리고, 제3 소스 전극(173c)의 넓은 끝 부분(177c)은 용량 전극(137)과 중첩하여 감압 축전기(Cstd)를 형성한다.
- [0115] 본 실시예에서는 제1 접촉 구멍(185a)과 제2 접촉 구멍(185b)이 화소 영역(PX) 내에 형성되어 있고, 도 13 및 도 14에서 설명한 실시예와 달리 제3 접촉 구멍에 해당하는 구성을 필요로 하지 않기 때문에 개구율 감소 가능성이 낮다.
- [0116] 도 16은 도 15의 실시예에 따른 액정 표시 장치에서 하나의 화소에 대한 등가 회로도이다. 도 16을 참고하여 도 15에서 나타난 액정 표시 장치의 회로도적 구조 및 동작에 대해 설명하기로 한다.
- [0117] 본 발명의 한 실시예에 따른 액정 표시 장치는 제1 게이트선(121a), 제2 게이트선(121b), 유지 전극선(131), 그

리고 데이터선(171)을 포함하는 신호선과 이에 연결된 화소(PX)를 포함한다.

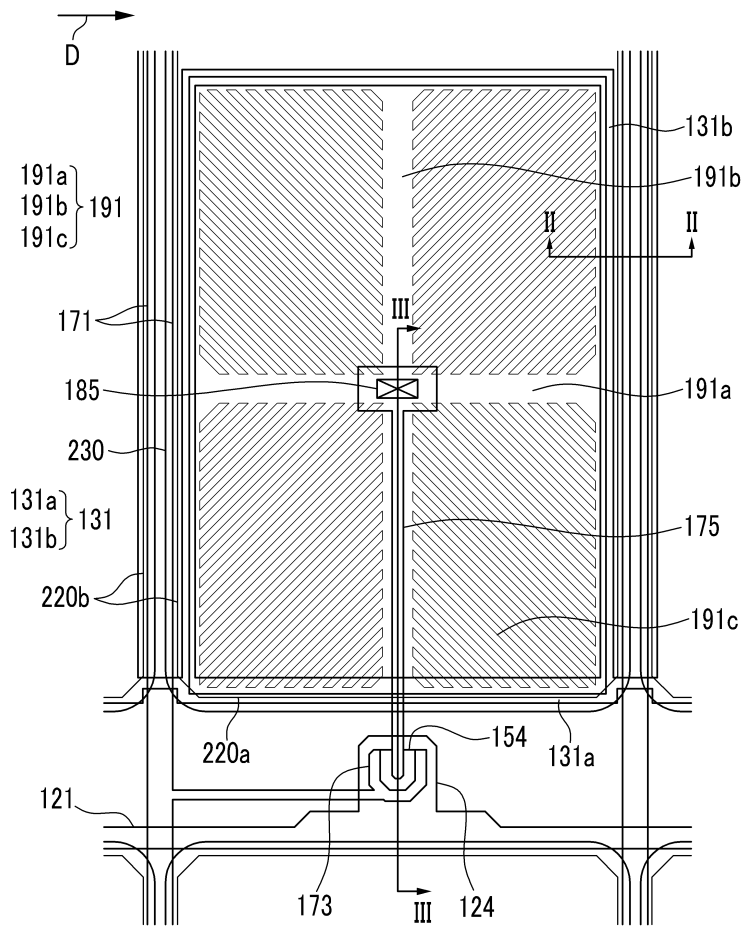
- [0118] 화소(PX)는 제1 부화소(PXa), 제2 부화소(PXb) 및 감압부(Cd)를 포함한다.
- [0119] 제1 부화소(PXa)는 제1 스위칭 소자(Qa), 제1 액정 축전기(Clca) 및 제1 유지 축전기(Csta)를 포함하고, 제2 부화소(PXb)는 제2 스위칭 소자(Qb), 제2 액정 축전기(Clcb) 및 제2 유지 축전기(Cstb)를 포함하며, 감압부(Cd)는 제3 스위칭 소자(Qc) 및 감압 축전기(Cstd)를 포함한다.
- [0120] 제1 및 제2 스위칭 소자(Qa, Qb)는 하부 표시판에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 제1 게이트선(121a)과 연결되어 있고, 입력 단자는 데이터선(171)과 연결되어 있으며, 출력 단자는 제1 및 제2 액정 축전기(Clca, Clcb)와 제1 및 제2 유지 축전기(Csta, Cstb)와 각각 연결되어 있다.
- [0121] 제3 스위칭 소자(Qc) 역시 하부 표시판에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 제어 단자는 제2 게이트선(121b)과 연결되어 있고, 입력 단자는 제1 액정 축전기(Clca)와 연결되어 있으며, 출력 단자는 감압 축전기(Cstd)와 연결되어 있다.
- [0122] 제1 및 제2 액정 축전기(Clca, Clcb)는 각각 제1 및 제2 스위칭 소자(Qa, Qb)와 연결된 제1 및 제2 부화소 전극(191a, 191b)과 상부 표시판의 공통 전극이 중첩하여 이루어진다. 제1 및 제2 유지 축전기(Csta, Cstb)는 유지 전극선(131)과 제1 및 제2 부화소 전극(191a, 191b)이 중첩하여 이루어진다.
- [0123] 감압 축전기(Cstd)는 제3 스위칭 소자(Qc)의 출력 단자와 유지 전극선(131)에 연결되어 있으며, 하부 표시판에 구비된 유지 전극선(131)과 제3 스위칭 소자(Qc)의 출력 단자가 절연체를 사이에 두고 중첩되어 이루어진다.
- [0124] 도 15 및 도 16에 나타난 액정 표시 장치의 동작에 대해 설명한다.
- [0125] 우선, 제1 게이트선(121a)에 게이트 온 전압(Von)이 인가되면 이에 연결된 제1 및 제2 박막 트랜지스터(Qa, Qb)가 턴 온 된다.
- [0126] 이에 따라 데이터선(171)의 데이터 전압은 턴 온 된 제1 및 제2 스위칭 소자(Qa, Qb)를 통하여 제1 및 제2 부화소 전극(191a, 191b)에 동일하게 인가된다. 제1 및 제2 액정 축전기(Clca, Clcb)는 공통 전극(270)의 공통 전압(Vcom)과 제1 및 제2 부화소 전극(191a, 191b)의 전압 차이만큼 충전되므로 제1 액정 축전기(Clca)의 충전 전압과 제2 액정 축전기(Clcb)의 충전 전압도 서로 동일하다. 이 때, 제2 게이트선(121b)에는 게이트 오프 전압(Voff)이 인가된다.
- [0127] 다음, 제1 게이트선(121a)에 게이트 오프 전압(Voff)이 인가됨과 동시에 제2 게이트선(121b)에 게이트 온 전압(Von)이 인가되면, 제1 게이트선(121a)에 연결된 제1 및 제2 스위칭 소자(Qa, Qb)는 턴 오프되고, 제3 스위칭 소자(Qc)는 턴 온 된다. 이에 따라 제1 스위칭 소자(Qa)의 출력 단자와 연결된 제1 부화소 전극(191a)의 전하가 감압 축전기(Cstd)로 흘러 들어 제1 액정 축전기(Clca)의 전압이 하강한다.
- [0128] 본 실시예에 따른 액정 표시 장치가 프레임 반전으로 구동되고 현재 프레임에서 데이터선(171)에 공통 전압(Vcom)을 기준으로 극성이 양(+)인 데이터 전압이 인가되는 경우를 예로 하여 설명하면, 이전 프레임이 끝난 후에 감압 축전기(Cstd)에는 음(-)의 전하가 모여있게 된다. 현재 프레임에서 제3 스위칭 소자(Qc)가 턴 온 되면 제1 부화소 전극(191a)의 양(+)의 전하가 제3 스위칭 소자(Qc)를 통해 감압 축전기(Cstd)로 흘러 들어와 감압 축전기(Cstd)에는 양(+)의 전하가 모이게 되고 제1 액정 축전기(Clca)의 전압은 하강하게 된다. 다음 프레임에서는 반대로 제1 부화소 전극(191a)에 음(-)의 전하가 충전된 상태에서 제3 스위칭 소자(Qc)가 턴 온 됨에 따라 제1 부화소 전극(191a)의 음(-)의 전하가 감압 축전기(Cstd)로 흘러 들어 감압 축전기(Cstd)에는 음(-)의 전하가 모이고 제1 액정 축전기(Clca)의 전압은 역시 하강하게 된다.
- [0129] 이와 같이 본 실시예에 따르면 데이터 전압의 극성에 상관없이 제1 액정 축전기(Clca)의 충전 전압을 제2 액정 축전기(Clcb)의 충전 전압보다 항상 낮게 할 수 있다. 따라서 제1 및 제2 액정 축전기(Clca, Clcb)의 충전 전압을 다르게 하여 액정 표시 장치의 측면 시인성을 향상할 수 있다.
- [0130] 도 13 내지 도 16에서 설명한 액정 표시 장치에 관한 설명은 측면 시인성을 향상하기 위한 시인성 구조의 한 예이고, 박막 트랜지스터의 구조 및 화소 전극 디자인은 본 실시예에서 설명한 구조에 한정되지 않고, 변형하여 본 발명의 일실시예에 따른 내용을 적용할 수 있다.
- [0131] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

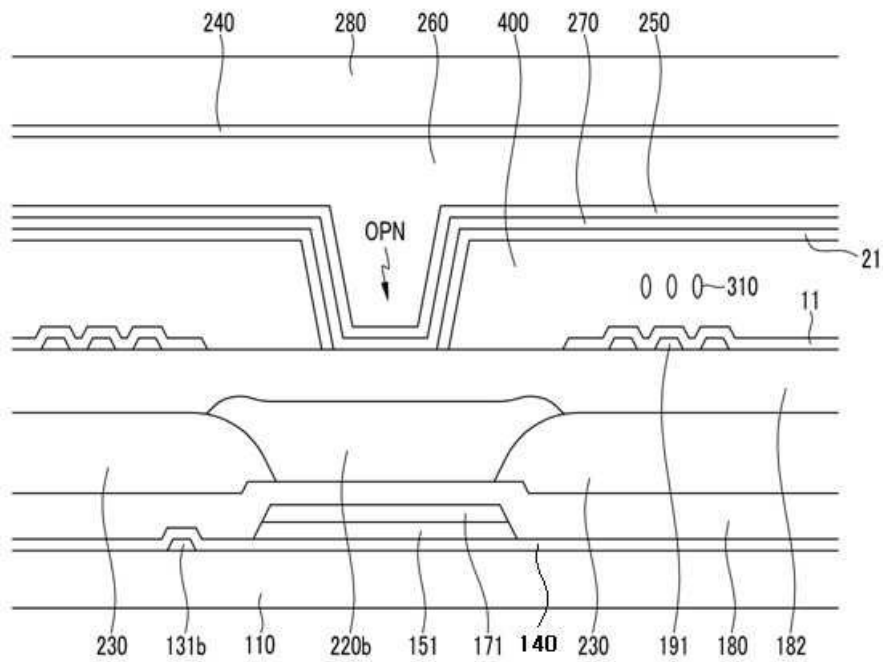
[0132]	175	드레인 전극	185	접촉 구멍
	191	화소 전극	270	공통 전극
	280	캐핑막	300	희생막
	400	미세 공간층		

도면

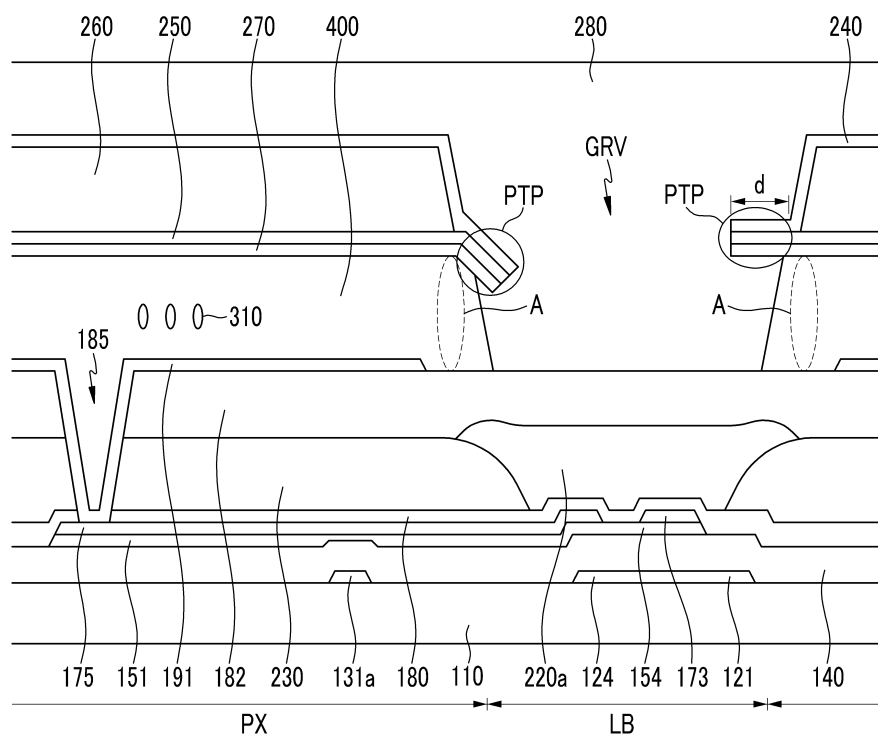
도면1



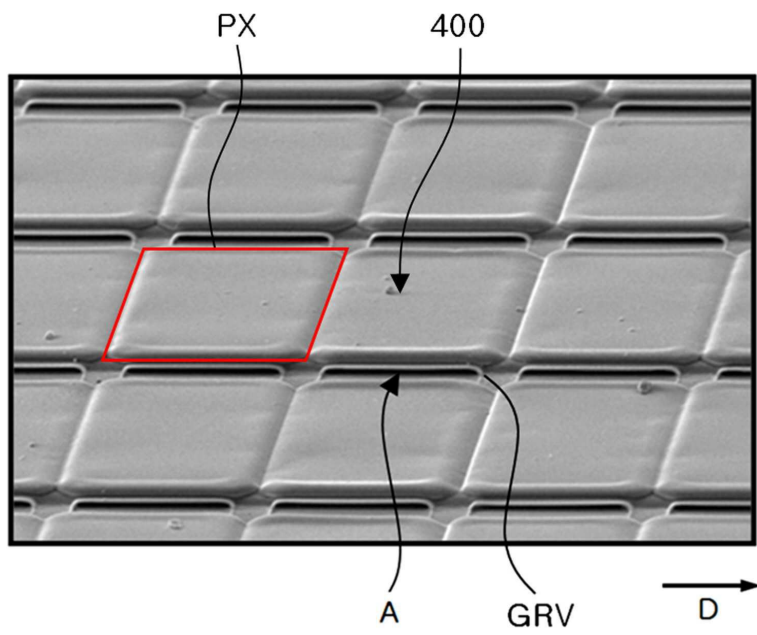
도면2



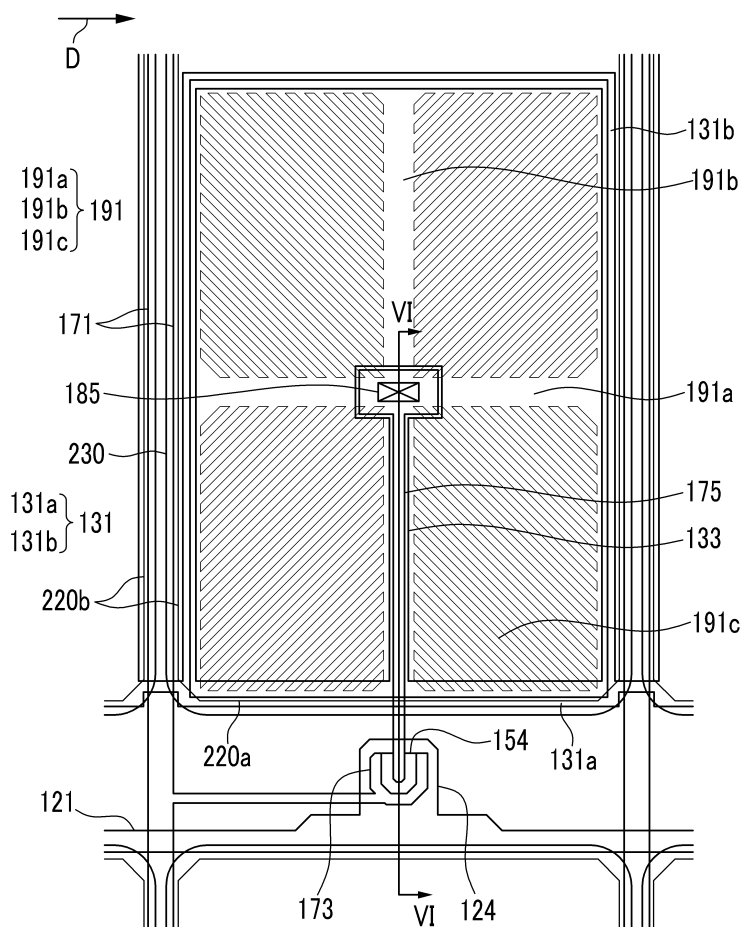
도면3



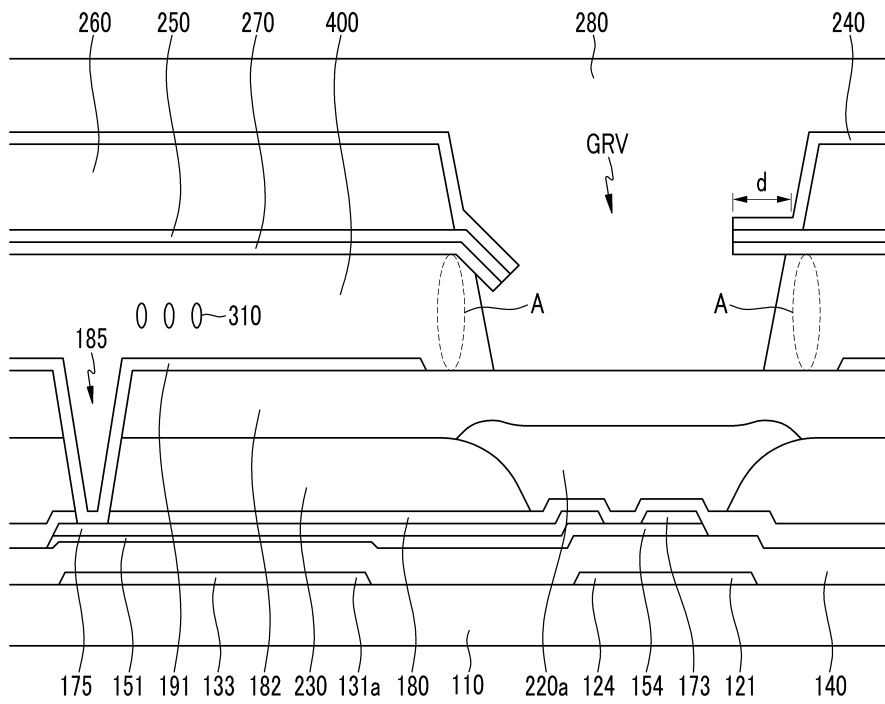
도면4



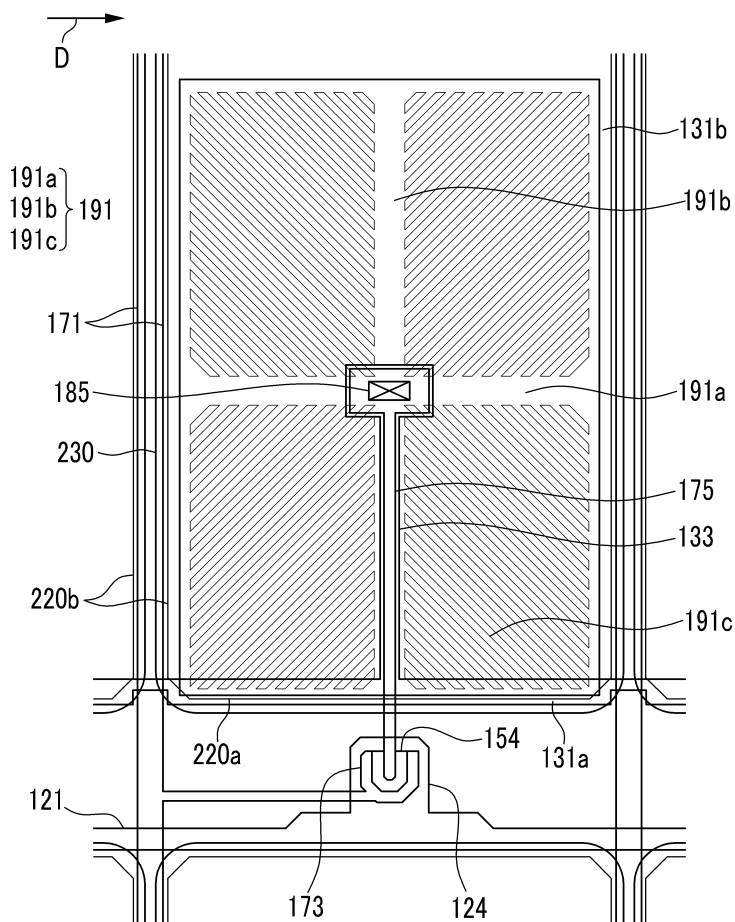
도면5



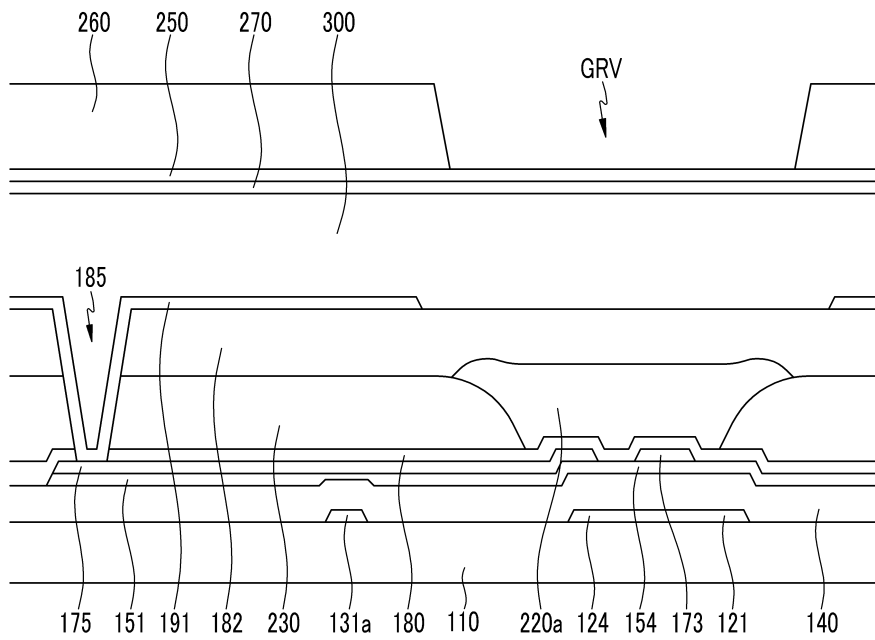
도면6



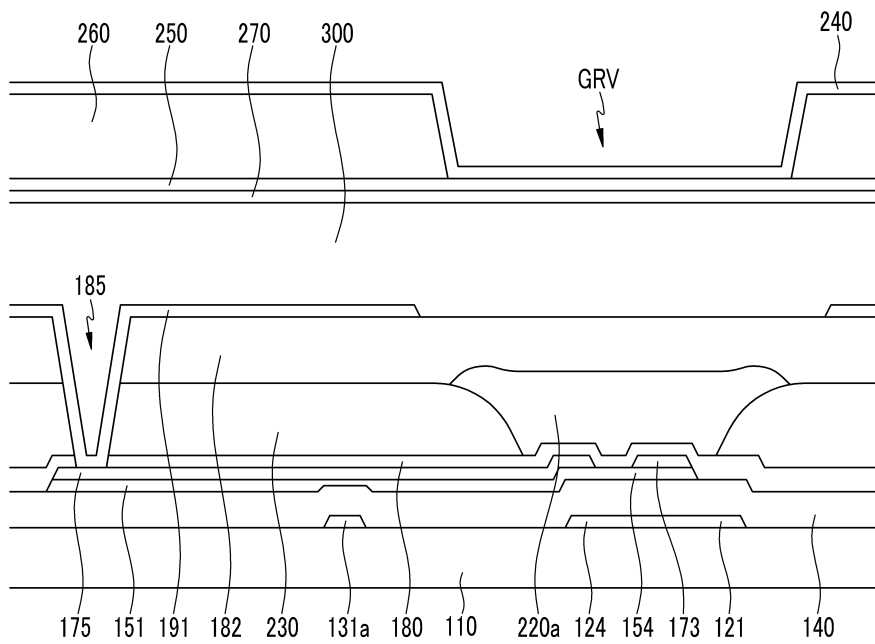
도면7



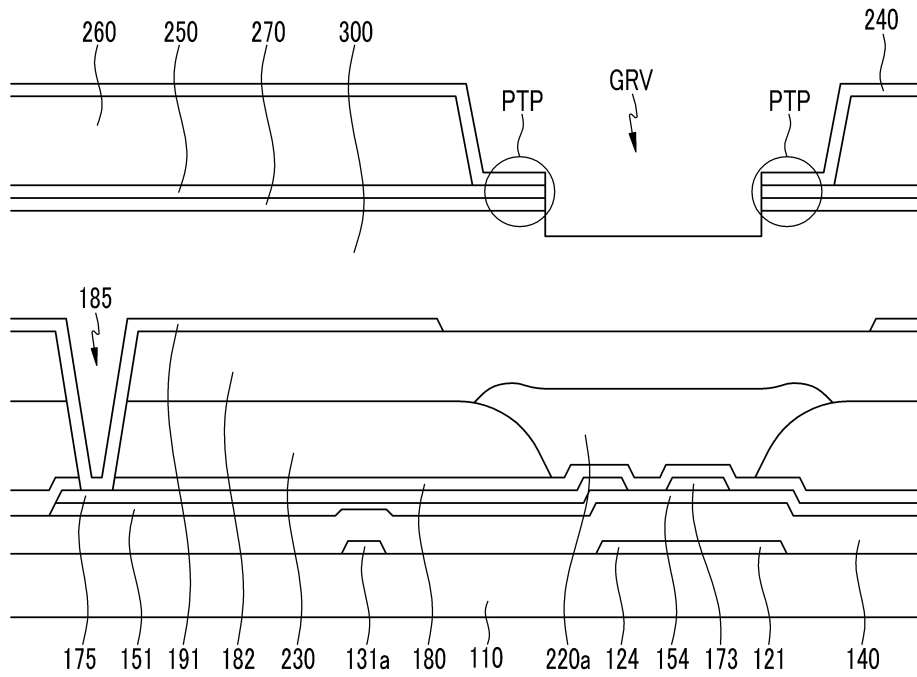
도면8



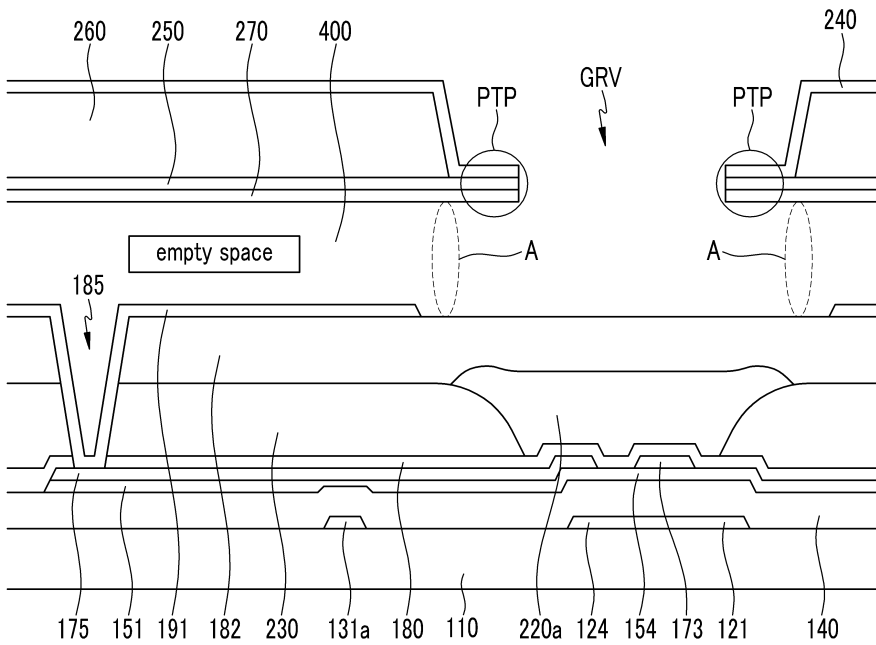
도면9



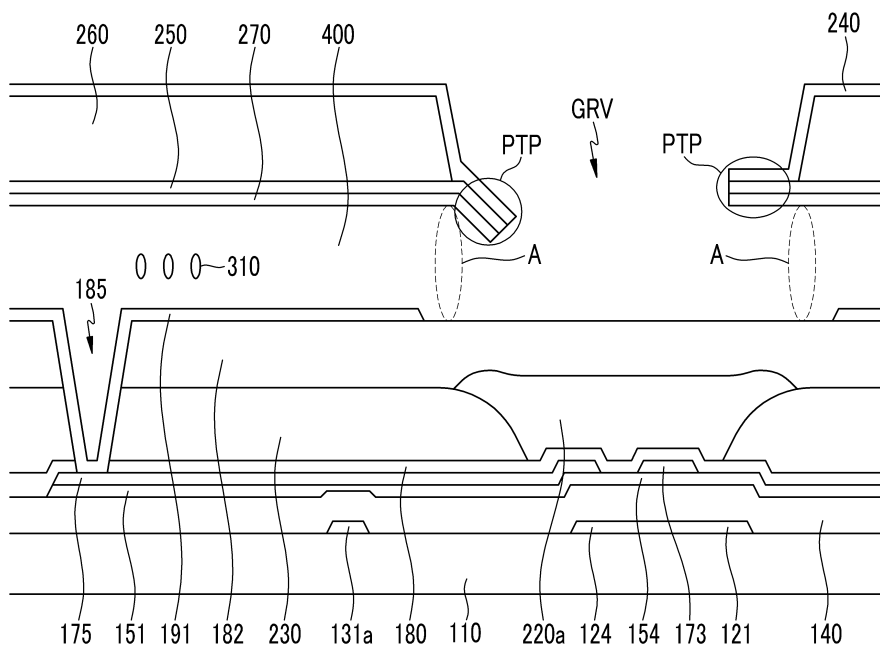
도면10



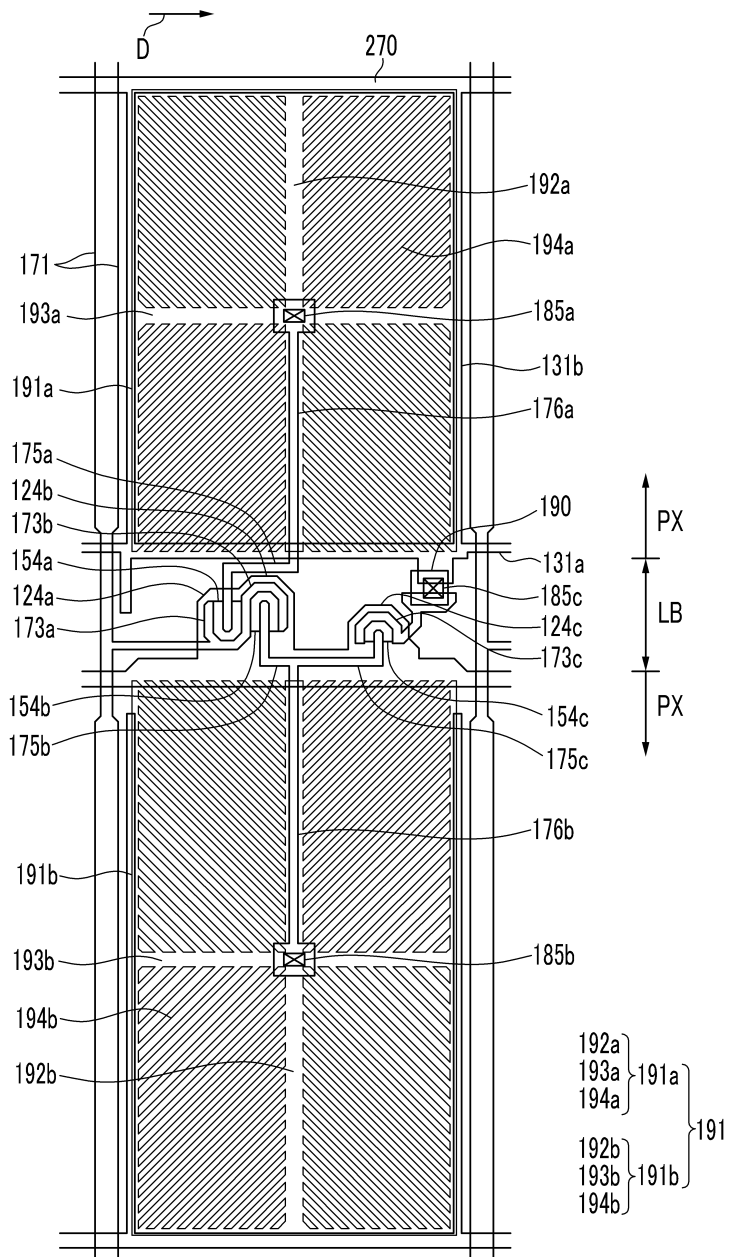
도면11



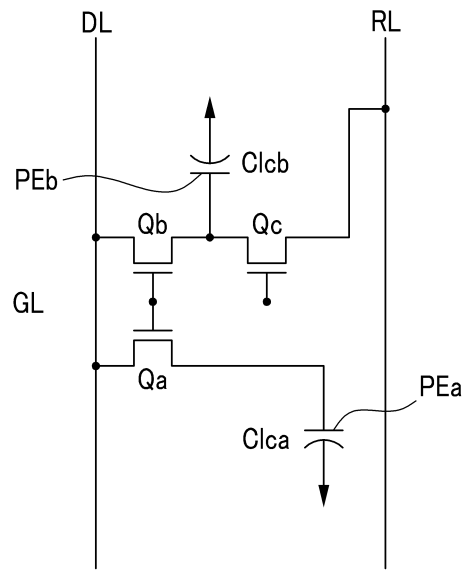
도면12



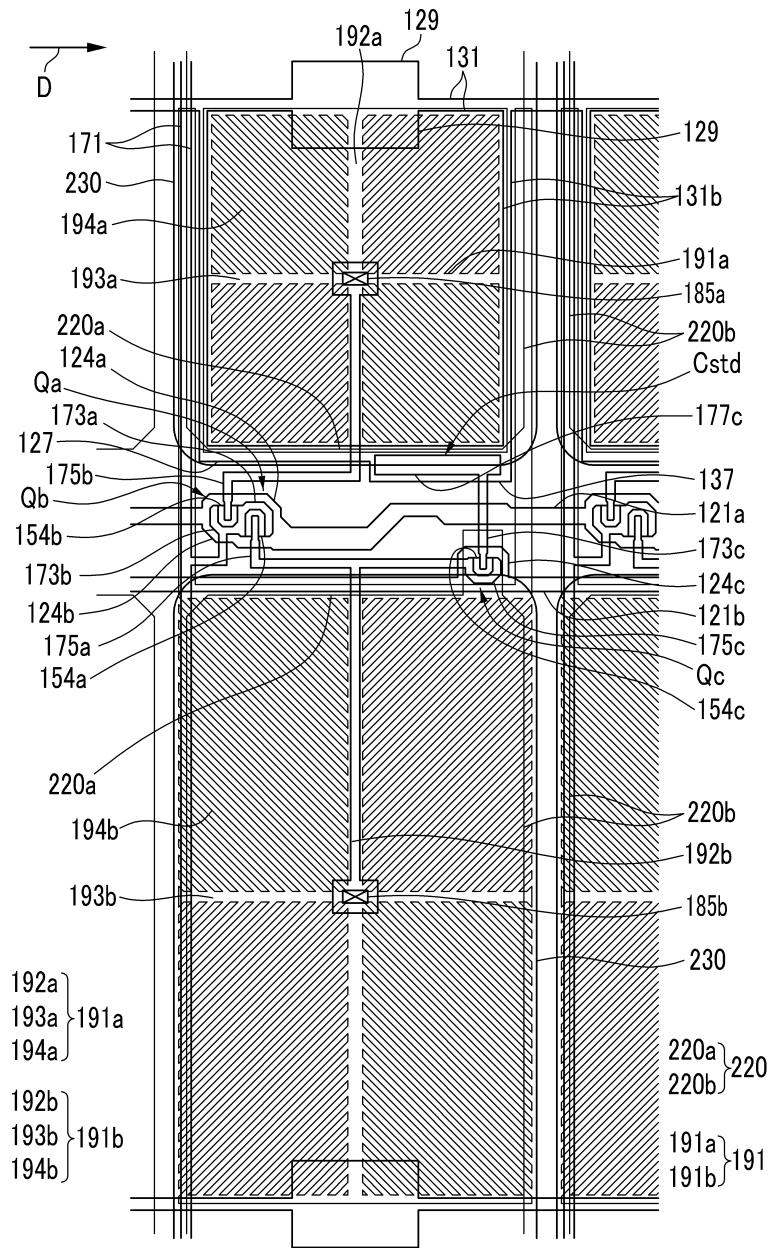
도면13



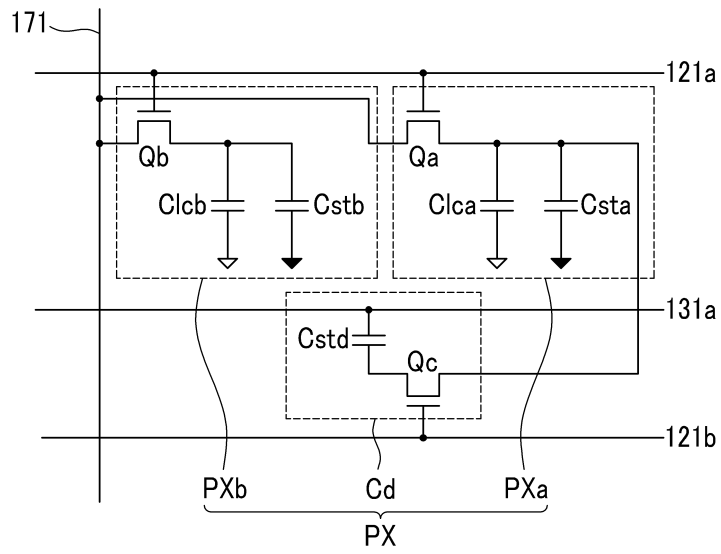
도면14



도면15



도면16



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR1020140062286A	公开(公告)日	2014-05-23
申请号	KR1020120128780	申请日	2012-11-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHO SE HYOUNG 조세형 JUNG MEE HYE 정미혜 LEE SUN HWA 이선화 JUNG KWANG CHUL 정광철 CHAI CHONG CHUL 채중철		
发明人	조세형 정미혜 이선화 정광철 채중철		
IPC分类号	G02F1/1343		
CPC分类号	G02F2001/136222 G02F1/1368 G02F1/136227 G02F1/133377 G02F1/1341		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示装置。根据本发明实施例的液晶显示装置包括：基板；位于基板上的薄膜晶体管；像素电极连接到薄膜晶体管的一个端子；微空间层，位于像素电极上，并包括多个区域，所述多个区域包括与像素区域对应的液晶注入口；位于微空间层上的公共电极；位于公共电极上的支撑件；盖膜位于支撑构件上并覆盖液晶注入口，其中像素电极通过接触孔连接到薄膜晶体管的一个端子，接触孔位于像素区域内。

