



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0042455
(43) 공개일자 2014년04월07일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2012-0109250
(22) 출원일자 2012년09월28일
심사청구일자 2012년09월28일

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
문태웅
경기도 파주시 후곡로 50, 421동 1801호 (금촌동, 후곡마을아파트)
장윤경
경기도 고양시 일산서구 강선로 141, 1602동 1001호 (일산동, 후곡마을16단지아파트)
(74) 대리인
박장원

전체 청구항 수 : 총 15 항

(54) 발명의 명칭 박막트랜지스터 보상회로를 포함하는 액정표시장치

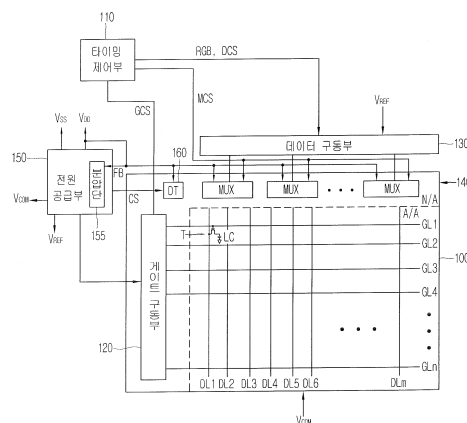
(57) 요약

본 발명의 액정표시장치를 공개한다. 보다 상세하게는, 본 발명은 옥사이드 박막트랜지스터를 이용하여 구동회로를 구현한 액정표시장치에서 문턱전압 쉬프트(threshold shift)에 따른 박막트랜지스터의 특성저하를 개선한 박막트랜지스터 보상회로를 포함하는 액정표시장치에 관한 것이다.

본 발명의 실시예에 따른 액정표시장치는, 액정패널, 게이트 및 데이터 구동부, 타이밍 제어부, 전원공급부를 구비하고, 비표시영역내의 박막트랜지스터의 문턱전압 쉬프트 정도를 감지하고, 감지결과에 따라 전원공급부가 공급하는 구동전압 중 하나를 조절하여 상기 박막트랜지스터에 인가함으로써 쉬프트된 문턱전압을 보상하는 문턱전압 보상부를 포함한다.

따라서, 액정패널상에 형성된 액정패널의 비표시영역상에 더미 박막트랜지스터를 포함하는 보상회로를 추가하여 DC전압에 의한 박막트랜지스터의 문턱전압 쉬프트 정도를 감지하고, 감지결과를 반영하여 문턱전압(V_{th})을 보상함으로써 소자특성 저하문제를 개선할 수 있는 효과가 있다.

대표도 - 도3



(72) 발명자

박청훈

경기도 파주시 월릉면 엘지로 245, 102동 219호
(파주LCD지방산업단지 정다운마을)

정일기

충청북도 청원군 옥산면 덕촌덕절길 47-2

특허청구의 범위

청구항 1

복수의 게이트 배선 및 데이터배선이 교차하고, 교차지점에 제1 박막트랜지스터를 포함하는 화소가 형성된 표시 영역 및 제2 박막트랜지스터가 형성된 비표시영역을 갖는 액정패널;

상기 액정패널의 일측에 실장되어 상기 게이트 배선을 통해 게이트 출력전압을 상기 화소에 인가하는 게이트 구동부;

상기 액정패널의 일측에 접속되어 상기 데이터 배선을 통해 상기 화소에 데이터 전압을 인가하는 데이터 구동부;

상기 게이트 구동부 및 데이터 구동부를 제어하는 타이밍 제어부;

복수의 구동전압을 생성하는 전원공급부; 및

상기 제2 박막트랜지스터의 문턱전압 쉬프트 정도를 감지하고, 감지결과에 따라 상기 구동전압 중 하나를 조절하여 제2 박막트랜지스터에 인가함으로서 쉬프트된 문턱전압을 보상하는 문턱전압 보상부

를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 구동전압 중 하나는 전원전압(V_{DD})인 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

전원공급부는,

상기 복수의 구동전압을 출력하는 복수의 출력단자 및 상기 전원전압을 피드백 받는 피드백단자를 포함하는 전원생성단; 및

상기 전원생성단의 전원전압(V_{DD}) 출력단자와 피드백단자 사이에 직렬연결된 제1 저항 및 상기 제1 저항과 병렬 연결된 제2 저항으로 이루어지는 분압단

을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 문턱전압 보상부는,

소스가 접지되고, 드레인이 상기 전원공급부의 제1 저항 및 제2 저항 사이에 연결되어 더미신호에 대응하여 쉬프트된 문턱전압에 의한 출력신호를 상기 피드백단자에 인가하는 더미 트랜지스터

를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 더미신호는 전압레벨이 하이레벨로 고정된 신호인 것을 특징으로 하는 액정표시장치.

청구항 6

제 4 항에 있어서,

상기 더미신호는 상기 게이트 구동부의 게이트 하이전압(VGH)인 것을 특징으로 하는 액정표시장치.

청구항 7

제 4 항에 있어서,

상기 제2 박막트랜지스터 및 더미 트랜지스터는 액티브층이 옥사이드(oxide)로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 제2 박막트랜지스터 및 더미 트랜지스터는,

두 개의 게이트 전극을 갖는 더블게이트(Double gate)구조인 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 액정패널은,

상기 2 이상의 데이터배선 중, 적어도 하나를 선택적으로 도통시키는 상기 제2 박막트랜지스터로 이루어지는 먹스부가 일측에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 10

제 8 항에 있어서,

상기 게이트 구동부는,

상기 제2 박막트랜지스터가 2 이상이 연결되어 구성되는 쉬프트 레지스터인 것을 특징으로 하는 액정표시장치.

청구항 11

제 8 항에 있어서,

상기 쉬프트 레지스터는,

개시신호 또는 전단 출력신호를 인가받아 하이레벨전압을 Q노드에 인가하는 제1 SR 트랜지스터;

다이오드 연결되고 우수 전원전압(V_{DD0})을 인가받아 Qb_o노드에 인가하는 제2-1 SR 트랜지스터;

다이오드 연결되고 기수 전원전압(V_{DDe})을 인가받아 Qb_e노드에 인가하는 제2-2 SR 트랜지스터;

상기 Qb_o노드의 전압레벨에 따라 상기 Q노드에 접지전압을 인가하는 제3-1 SR 트랜지스터;

상기 Qb_e노드의 전압레벨에 따라 상기 Q노드에 접지전압을 인가하는 제3-2 SR 트랜지스터;

후단 출력신호에 따라 상기 Q노드에 접지전압을 인가하는 제4 SR 트랜지스터;

상기 Q노드의 전압레벨에 따라, 상기 Qb_o노드에 접지전압을 인가하는 제5-1 SR 트랜지스터;

상기 Q노드의 전압레벨에 따라, 상기 Qb_e노드에 접지전압을 인가하는 제5-2 SR 트랜지스터;

상기 Q노드의 전압레벨에 따라, 클록신호를 상기 게이트 배선으로 출력하는 제6 SR 트랜지스터;

상기 Qb_o노드의 전압레벨에 따라 상기 게이트 배선으로 접지전압을 출력하는 제7-1 SR 트랜지스터; 및

상기 Qb_e노드의 전압레벨에 따라 상기 게이트 배선으로 접지전압을 출력하는 제7-2 SR 트랜지스터

를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

제 11 항에 있어서,

상기 우수 전원전압(V_{DD_O}) 및 기수 전원전압(V_{DD_e})은 서로 위상이 반전된 전압인 것을 특징으로 하는 액정표시장치.

청구항 13

제 11 항에 있어서,

상기 제3-1, 제3-2, 제5-1, 제5-2, 제7-1 및 제7-2 트랜지스터 중, 적어도 하나는 두 개의 게이트 전극을 갖는 더블게이트(Double gate)구조인 것을 특징으로 하는 액정표시장치.

청구항 14

제 10 항 및 제 13 항 중, 어느 하나의 항에 있어서,

상기 제2 박막트랜지스터의 두 게이트 전극 중 어느 하나에는 상기 조절된 구동전압(V_{DD})이 인가되는 것을 특징으로 하는 액정표시장치.

청구항 15

제 14 항에 있어서,

상기 조절된 구동전압(V_{DD})은, 상기 두 게이트 전극 중, 액티브층의 상부에 형성되는 탑-게이트 전극에 인가되는 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명의 액정표시장치에 관한 것으로, 특히 옥사이드 박막트랜지스터를 이용하여 구동회로를 구현한 액정표시장치에서 문턱전압 쉬프트(threshold shift)에 따른 박막트랜지스터의 특성저하를 개선한 박막트랜지스터 보상회로를 포함하는 액정표시장치에 관한 것이다.

배경기술

[0002] 휴대폰(Mobile Phone), 노트북컴퓨터와 같은 각종 포터블 장치(portable device) 및, HDTV 등의 고해상도, 고품질의 영상을 구현하는 정보전자장치가 발전함에 따라, 이에 적용되는 평판표시장치(Flat Panel Display Device)에 대한 수요가 점차 증대되고 있다. 이러한 평판표시장치로는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display) 및 OLED(Organic Light Emitting Diodes) 등이 활발히 연구되었지만, 양산화 기술, 구동수단의 용이성, 고화질의 구현, 대면적 화면의 실현이라는 이유로 인해 현재에는 액정표시장치(LCD)가 각광을 받고 있다.

[0003] 특히, 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor, TFT)가 이용되는 액티브 매트릭스 방식의 액정표시장치는 동적인 영상을 표시하기에 적합하다.

[0004] 도 1은 종래 액티브 매트릭스 방식의 액정표시장치의 일부를 개략적으로 나타낸 것으로, 액티브 매트릭스 타입의 액정표시장치는 화상을 표시하는 액정패널(1)을 포함하고, 액정패널(1)은 복수의 게이트 배선(GL1 ~ GLn) 및 데이터배선(DL1 ~ DLm)의 교차지점에 박막 트랜지스터인 스위칭 소자(T) 및 이와 연결되는 화소(PX)를 구비한다. 이러한 구조에 따라 액정패널(1)은 게이트 배선(GL1 ~ GLn)으로부터 인가되는 게이트 구동전압에 따라 스위칭 소자(T)를 도통하고, 데이터배선(DL1 ~ DLm)을 통해 화소(PX)에 데이터전압을 인가하여 화상을 표시하게 된다.

[0005] 한편, 도 1에 도시된 바와 같이 종래의 액정표시장치는 각 스위칭 소자(T) 당 하나의 게이트배선(GL1 ~ GLn) 및 데이터배선(DL1 ~ DLm)이 할당되어 1 수평기간동안 하나의 수평선상에 포함된 화소(PX)가 구동하는 구조이나, 액정패널(1)의 대형화 및 고해상도화 추세에 따라, 게이트배선(GL1 ~ GLn) 및 데이터배선(DL1 ~ DLm)의 개수가 증가하게 되고, 이는 각 배선에 게이트 구동전압 및 데이터 전압을 공급하는 IC의 개수 증가의 원인이 되어, 결국 제조단가가 상승하게 된다.

[0006] 이러한 제조단가 상승의 문제점을 해결하기 위해, 이웃한 스위칭 소자(T)간에 데이터배선(DL1 ~ DLm)을 공유하

여 배선의 개수 및 데이터구동부의 개수를 줄인 DRD 구조(double rate driving type) 및 이웃한 소정개의 데이터배선을 멀티플렉서(Multiplexer, MUX)를 이용하여 그룹화하여 데이터배선을 선택적으로 구동함으로써 데이터 구동부의 개수를 줄여 단가를 낮춘 MUX 구조의 액정표시장치가 제안되었다.

[0007] 도 2는 MUX 구조가 적용된 액정표시장치의 일부를 나타낸 도면이다.

[0008] 도시된 바와 같이, MUX 구조 액정표시장치는 화상을 표시하는 표시영역(A/A) 및 이의 외곽에 위치하는 비표시영역(N/A)으로 구분되는 액정패널(14)을 포함하고, 액정패널(14)의 표시영역에는 복수의 게이트 배선(GL1 ~ GLn) 및 데이터배선(DL1 ~ DLm)의 교차지점에 박막 트랜지스터인 스위칭 소자(T) 및 이와 연결되는 화소(PX)를 구비한다.

[0009] 또한, 비표시영역(N/A)에는 3 개 단위로 분류되는 데이터 배선(DL1 ~ DL3)과, 데이터 구동부(미도시)와 연결되는 하나의 링크배선(LL)이 각각 제1 내지 제3 M트랜지스터(MT1 ~ MT3)을 통해 연결된다. 제1 내지 제3 M트랜지스터(MT1 ~ MT3)는 통상적으로 타이밍 제어부에 실장되는 먹스 제어단(미도시)에 의해 1 수평기간(1H)동안 1/3 씩 순차적으로 턴-온되어 하나의 데이터 구동부의 출력단자에 의해 3개의 데이터배선(DL1 ~ DL3)에 대한 데이터 전압을 출력할 수 있다.

[0010] 이러한, MUX 구조 액정표시장치는 1 수평기간(1H)을 1/3씩 나누어 화소를 충전함에 따라, 화소 충전기간이 부족하여 낮은 전류 특성을 갖는 통상의 아몰퍼스 실리콘 박막트랜지스터를 이용하는 액정표시장치에는 적용하기 어려우며, 높은 전류특성을 갖는 옥사이드 실리콘(oxide silicon) 또는 폴리 실리콘(poly silicon) 박막트랜지스터를 이용하는 액정표시장치에 적용되고 있다.

[0011] 그러나, 옥사이드 실리콘 박막트랜지스터는 전류 특성이 높은 반면, 게이트에 지속적인 DC 전압이 인가되는 경우, 문턱전압 쉬프트(threshold voltage shift)현상에 따라 열화된 박막트랜지스터에 의해 소자 특성이 저하되는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0012] 본 발명은 전술한 문제점을 해결하기 위해 안출된 것으로, 본 발명은 옥사이드 실리콘 박막트랜지스터를 이용하는 액정표시장치에서 문턱전압 쉬프트에 따른 소자특성이 저하된 박막트랜지스터를 보상하는 보상회로를 제공하는 데 목적이 있다.

과제의 해결 수단

[0013] 전술한 목적을 달성하기 위해, 본 발명의 바람직한 실시예에 따른 액정표시장치는, 복수의 게이트 배선 및 데이터배선이 교차하고, 교차지점에 제1 박막트랜지스터를 포함하는 화소가 형성된 표시영역 및 제2 박막트랜지스터가 형성된 비표시영역을 갖는 액정패널; 상기 액정패널의 일측에 실장되어 상기 게이트 배선을 통해 게이트 출력전압을 상기 화소에 인가하는 게이트 구동부; 상기 액정패널의 일측에 접속되어 상기 데이터 배선을 통해 상기 화소에 데이터 전압을 인가하는 데이터 구동부; 상기 게이트 구동부 및 데이터 구동부를 제어하는 타이밍 제어부; 복수의 구동전압을 생성하는 전원공급부; 및 상기 제2 박막트랜지스터의 문턱전압 쉬프트 정도를 감지하고, 감지결과에 따라 상기 구동전압 중 하나를 조절하여 제2 박막트랜지스터에 인가함으로써 쉬프트된 문턱전압을 보상하는 문턱전압 보상부를 포함한다.

[0014] 상기 구동전압 중 하나는 전원전압(V_{DD})인 것을 특징으로 한다.

[0015] 전원공급부는, 상기 복수의 구동전압을 출력하는 복수의 출력단자 및 상기 전원전압을 피드백 받는 피드백단자를 포함하는 전원생성단; 및 상기 전원생성단의 전원전압(V_{DD}) 출력단자와 피드백단자 사이에 직렬연결된 제1 저항 및 상기 제1 저항과 병렬연결된 제2 저항으로 이루어지는 분압단을 포함하는 것을 특징으로 한다.

[0016] 상기 문턱전압 보상부는, 소스가 접지되고, 드레인이 상기 전원공급부의 제1 저항 및 제2 저항 사이에 연결되어 더미신호에 대응하여 쉬프트된 문턱전압에 의한 출력신호를 상기 피드백단자에 인가하는 더미 트랜지스터를 포함하는 것을 특징으로 한다.

[0017] 상기 더미신호는 전압레벨이 하이레벨로 고정된 신호인 것을 특징으로 한다.

[0018] 상기 더미신호는 상기 게이트 구동부의 게이트 하이전압(VGH)인 것을 특징으로 한다.

- [0019] 상기 제2 박막트랜지스터 및 더미 트랜지스터는 액티브층이 옥사이드(oxide)로 이루어진 것을 특징으로 한다.
- [0020] 상기 제2 박막트랜지스터 및 더미 트랜지스터는, 두 개의 게이트 전극을 갖는 더블 게이트(Double gate)구조인 것을 특징으로 한다.
- [0021] 상기 액정패널은, 상기 2 이상의 데이터배선 중, 적어도 하나를 선택적으로 도통시키는 상기 제2 박막트랜지스터로 이루어지는 먹스부가 일측에 형성되는 것을 특징으로 한다.
- [0022] 상기 게이트 구동부는, 상기 제2 박막트랜지스터가 2 이상이 연결되어 구성되는 쉬프트 레지스터인 것을 특징으로 한다.
- [0023] 상기 쉬프트 레지스터는, 개시신호 또는 전단 출력신호를 인가받아 하이레벨전압을 Q노드에 인가하는 제1 SR 트랜지스터; 다이오드 연결되고 우수 전원전압(V_{DD_O})을 인가받아 Qb_노드에 인가하는 제2-1 SR 트랜지스터; 다이오드 연결되고 기수 전원전압(V_{DD_e})을 인가받아 Qb_e노드에 인가하는 제2-2 SR 트랜지스터; 상기 Qb_노드의 전압레벨에 따라 상기 Q노드에 접지전압을 인가하는 제3-1 SR 트랜지스터; 상기 Qb_e노드의 전압레벨에 따라 상기 Q노드에 접지전압을 인가하는 제3-2 SR 트랜지스터; 후단 출력신호에 따라 상기 Q노드에 접지전압을 인가하는 제4 SR 트랜지스터; 상기 Q노드의 전압레벨에 따라, 상기 Qb_o노드에 접지전압을 인가하는 제5-1 SR 트랜지스터; 상기 Q노드의 전압레벨에 따라, 상기 Qb_e노드에 접지전압을 인가하는 제5-2 SR 트랜지스터; 상기 Q노드의 전압레벨에 따라, 클록신호를 상기 게이트 배선으로 출력하는 제6 SR 트랜지스터; 상기 Qb_o노드의 전압레벨에 따라 상기 게이트 배선으로 접지전압을 출력하는 제7-1 SR 트랜지스터; 및 상기 Qb_e노드의 전압레벨에 따라 상기 게이트 배선으로 접지전압을 출력하는 제7-2 SR 트랜지스터를 포함하는 것을 특징으로 한다.
- [0024] 상기 우수 전원전압(V_{DD_o}) 및 기수 전원전압(V_{DD_e})은 서로 위상이 반전된 전압인 것을 특징으로 한다.
- [0025] 상기 제3-1, 제3-2, 제5-1, 제5-2, 제7-1 및 제7-2 트랜지스터 중, 적어도 하나는 두 개의 게이트 전극을 갖는 더블게이트(Double gate)구조인 것을 특징으로 한다.
- [0026] 상기 제2 박막트랜지스터의 두 게이트 전극 중 어느 하나에는 상기 조절된 구동전압(V_{DD})이 인가되는 것을 특징으로 한다.
- [0027] 상기 조절된 구동전압(V_{DD})은, 상기 두 게이트 전극 중, 액티브층의 상부에 형성되는 탑-게이트 전극에 인가되는 것을 특징으로 한다.

발명의 효과

- [0028] 본 발명의 바람직한 실시예에 따르면, 액정패널상에 형성된 액정패널의 비표시영역상에 더미 박막트랜지스터를 포함하는 보상회로를 추가하여 DC전압에 의한 박막트랜지스터의 문턱전압 쉬프트 정도를 감지하고, 감지결과를 반영하여 문턱전압을 보상함으로써 소자특성 저하문제를 개선할 수 있는 효과가 있다.

도면의 간단한 설명

- [0029] 도 1은 종래 액티브 매트릭스 방식의 액정표시장치의 일부를 개략적으로 나타낸 도면이다.
- 도 2는 MUX 구조가 적용된 액정표시장치의 일부를 나타낸 도면이다.
- 도 3은 본 발명의 제1 실시예에 따른 액정표시장치의 전체 구조를 나타내는 도면이다.
- 도 4는 본 발명의 제1 실시예에 따른 문턱전압 보상부 및 이를 포함하는 액정표시장치의 일부를 나타낸 도면이다.
- 도 5a는 더블 게이트 구조 옥사이드 박막트랜지스터의 일 예를 나타낸 도면이고, 도 5b는 스트레스 인가에 따라 문턱전압이 쉬프트된 박막트랜지스터의 I-V 특성을 나타내는 도면이다.
- 도 6은 본 발명의 제2 실시예에 따른 액정표시장치의 전체 구조를 나타낸 도면이다.
- 도 7은 본 발명의 제2 실시예에 따른 문턱전압 보상부 및 이를 포함하는 액정표시장치의 일부를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 박막트랜지스터 보상회로를 포함하는 액정표시장치를 설명한다.
- [0031] 도 3은 본 발명의 제1 실시예에 따른 액정표시장치의 전체 구조를 나타내는 도면이다.
- [0032] 도시된 바와 같이, 본 발명의 액정표시장치는 화상을 표시하는 표시영역 및 그 외곽에 위치하는 비표시영역으로 구분되는 액정패널(100)과, 외부시스템으로부터 인가된 영상신호 및 제어신호를 각 구동회로에 공급하는 타이밍 제어부(110)와, 액정패널(100)의 일측에 실장되어 게이트배선(GL1 ~ GLn)으로 게이트 구동전압을 인가하는 게이트구동부(120)와, 각 화소에 데이터전압을 인가하는 데이터구동부(130)와, 액정패널(100)의 일측에 실장되어 데이터전압이 출력되는 데이터배선(DL1 ~ DLm)을 선택하는 맥스부(140)와, 액정표시장치의 구동에 필요한 각종 구동전압을 생성 및 공급하는 전원공급부(150)와, 액정패널(100)의 비표시영역(N/A)의 일측에 형성되어 박막트랜지스터들의 문턱전압 쉬프트(threshold shift) 정도를 감지하고, 감지결과에 따라 구동전압 중 하나를 조절하여 문턱전압이 쉬프트된 박막트랜지스터들에 인가함으로서 문턱전압(Vth)을 보상하는 문턱전압 보상부(160)을 포함한다.
- [0033] 액정패널(100)은 글라스 또는 플라스틱을 이용한 기판 상에 다수의 게이트배선(GL1 ~ GLn)과 다수의 데이터배선(DL1 ~ DLm)이 매트릭스 형태로 교차되고, 교차지점에 다수의 화소를 정의한다. 액정패널(100)의 표시영역(A/A) 상에는 R,G,B 삼원색에 각각 대응하는 복수의 화소가 매트릭스 형태로 형성되며, 각 화소는 적어도 하나의 제1 박막트랜지스터(T)와 액정캐패시터(LC)가 구성되어 화상을 표시하게 된다.
- [0034] 전술한 제1 박막트랜지스터(T)의 게이트전극은 게이트배선(GL1 ~ GLn)에 연결되고, 소스전극은 데이터배선(DL1 ~ DLm)에 연결되며, 그리고 드레인전극은 공통전극과 대향하는 화소전극과 연결되어 하나의 화소를 정의한다. 제1 박막트랜지스터(T)는 게이트전극이 액티브층의 하부층에 형성되는 버텀 게이트 구조이며, 이러한 제1 박막트랜지스터(T)의 액티브층을 이루는 물질로는 아몰퍼스 실리콘(amorphous silicon)이 널리 이용되나, 본 발명의 실시예에 따른 액정표시장치의 제1 박막트랜지스터(T)의 액티브층을 이루는 물질은 옥사이드 실리콘(oxide silicon)인 것이 바람직하다
- [0035] 또한, 표시영역(A/A)을 제외한 비표시영역(N/A)상의 제2 박막트랜지스터(미도시)의 액티브층을 이루는 물질로도 옥사이드 실리콘(oxide silicon)이 이용된다. 이러한 옥사이드 실리콘 박막트랜지스터의 보다 상세한 설명은 후술한다.
- [0036] 타이밍 제어부(110)는 외부시스템으로부터 전송되는 디지털 형태의 영상신호(RGB)와, 도시하지는 않았지만 수평 동기신호(Hsync), 수직동기신호(Vsync), 데이터 인에이블 신호(DE)등의 타이밍 신호를 인가받아, 게이트 구동부(120), 데이터 구동부(130)의 제어신호들과, 맥스부(140)의 제어신호를 생성한다.
- [0037] 타이밍 제어부(110)가 게이트 구동부(120)에 제공하는 게이트 제어신호(GCS)로는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블(Gate Output Enable, GOE)등이 있다.
- [0038] 또한, 타이밍 제어부(110)가 데이터 구동부(130)에 제공하는 데이터 제어신호(DCS)로는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 쉬프트 클럭(Source Shift Clock, SSC) 및 소스 출력 인에이블(Source Output Enable, SOE) 등이 있다.
- [0039] 그리고, 타이밍 제어부(110)는 맥스부(140)의 선택을 제어하는 맥스제어신호(MCS)를 생성한다. 맥스제어신호(MCS)는 1/3 수평기간(1/3H)씩 하이레벨과 로우레벨을 교번하는 클럭신호이다.
- [0040] 또한, 타이밍 제어부(110)는 통상의 인터페이스 방식을 통해 외부로부터 영상신호(RGB)를 입력받게 되며, 입력된 영상신호(RGB)는 데이터 구동부(130)가 처리가능한 형태로 정렬하여 공급하게 된다.
- [0041] 게이트 구동부(120)는 액정패널(100)의 일측 비표시영역(N/A)내에 복수의 제2 박막트랜지스터로 구성되는 복수의 스테이지를 포함하는 쉬프트 레지스터이며, 타이밍 제어부(110)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 액정패널(100)에 형성된 게이트배선(GL1 ~ GLn)을 통해 수평기간(1H)마다 하이레벨의 게이트 구동전압(VGH)이 순차적으로 출력되도록 한다. 이에 따라, 해당 게이트배선(GL1 ~ GLn)과 연결된 제1 박막트랜지스터(T)는 턴-온(turn-on)하며, 동시에 데이터 구동부(130)는 공급되는 아날로그 파형의 데이터전압을 데이터배선(DL1 ~ DLm)을 통해 제1 박막트랜지스터(T)에 접속된 화소들로 인가하게 된다.
- [0042] 데이터 구동부(130)는 타이밍 제어부(110)로부터 입력되는 데이터 제어신호(DCS)에 대응하여 입력되는 정렬된 디지털형태의 영상신호(RGB)를 기준전압에 따라 아날로그 형태의 데이터전압으로 변환한다. 데이터 구동부(13

0)는 별도의 IC로 구성되어 액정패널(100)의 일측 비표시영역상에 TAB 또는 OOG 방식으로 부착되며, 비표시영역(N/A)상의 링크배선을 통해 데이터배선(DL1 ~ DLm)과 접속된다. 링크배선은 하나당 세 개의 데이터배선(DL1 ~ DLm)이 할당된다.

[0043] 전술한 데이터전압은 하나의 수평선에 배치된 화소들에 대하여 1/3 수평기간(1/3H)마다 1/3의 데이터배선(DL1 ~ DLm)을 통해 액정패널(100)로 출력된다. 즉, 먼저 1/3 수평기간(1/3H)동안 제1, 4, 3m-2 번째 데이터배선(DL1, DL4, DL3m-2)에 데이터전압이 인가되고, 다음으로 1/3 수평기간(1/3H)동안 제2, 5, 3m-1 번째 데이터배선(DL2, DL5, DL3m-1)에 데이터전압이 인가된다. 마지막으로 1/3 수평기간(1/3H)동안 제3, 6, 3m 번째 데이터배선(DL3, DL6, DL3m)에 데이터전압이 인가되어 하나의 수평선상의 화소들에 데이터전압이 인가되게 된다.

[0044] 먹스부(140)는 액정패널(100)의 비표시영역(N/A)내 표시영역(A/A)과 데이터구동부(130)사이에 제2 박막트랜지스터(미도시)로 구성된다. 이러한 먹스부(140)는 세 개의 제2 박막트랜지스터가 데이터 구동부(130)의 하나의 출력단자와 세 개의 데이터배선(DL1 ~ DLm)사이를 연결하는 것으로 타이밍 제어부(110)로부터 먹스제어신호(MCS)를 인가받아 현재 데이터전압이 출력되는 데이터배선(DL1 ~ DLm)을 선택하게 된다.

[0045] 여기서, 제2 박막트랜지스터는 액티브층의 상하층 모두에 게이트 전극이 형성되는 더블 게이트 구조이며, 하부의 버텀 게이트 전극에는 타이밍 제어부(110)로부터 먹스제어신호(MCS)가 인가되고, 상부의 탑 게이트 전극에는 후술하는 전원공급부(150)로부터 조절된 전원전압(V_{DD})이 인가된다. 조절된 전원전압(V_{DD})은 문턱전압 보상신호로서 후술하는 문턱전압 보상부(160)가 감지한 제2 박막트랜지스터의 문턱전압 쉬프트(threshold shift)정도에 따라 전원전압(V_{DD})의 전압레벨이 조절된 신호이다.

[0046] 이는 제2 박막트랜지스터에는 짧은 기간동안 높은 하이레벨 전압이 지속적으로 인가되어 스트레스에 의한 문턱전압 쉬프트(threshold shift)가 발생되기 쉬우며, 따라서 문턱전압 보상부에 의해 감지된 문턱전압 쉬프트(threshold shift) 정도를 감안하여 탑 게이트 전극에 쉬프트된 문턱전압이상의 전압을 더 인가하여 백 채널(back channel)을 형성하여 전류를 보상하는 것으로, 열화에 의해 전류특성이 저하된 제2 박막트랜지스터의 게이트-소스간 전압(V_{gs})를 더 높여 줌으로서 문턱전압을 보상하는 것이다.

[0047] 전원공급부(150)는 액정표시장치의 구동을 위한 각종 구동전압을 생성 및 공급한다. 이를 위해 전원공급부(150)는 소정의 전압생성단(미도시) 및 분압단(155)을 포함한다. 전원공급부(150)가 생성하는 구동전압으로는 액정패널(100) 및 모든 구동부에 공통적으로 공급되는 전원전압(V_{DD}) 및 접지전압(V_{SS})뿐만 아니라, 게이트 출력전압의 상한선 및 하한선을 정의하는 게이트 하이전압(V_{GH}) 및 게이트 로우전압(V_{GL})과, 공통전압(V_{com}), 영상신호의 변환 기준이 되는 기준전압(V_{REF})등이 있다.

[0048] 특히, 전원공급부(150)가 생성하는 구동전압 중, 전원전압(V_{DD})은 대량생산된 액정패널(100) 및 구동부마다 서로 다른 신호지연 특성을 고려하여 피드백 구조로 공급되며, 이를 위해 전원공급부(150)는 하나이상의 저항소자로 구성된 분압단(155)을 이용하여 출력된 전원전압(V_{DD})을 분압하고 피드백 받아, 전압레벨을 안정적으로 조절하여 액정패널(100) 및 각 구동부에 공급하게 된다.

[0049] 여기서, 분압단(155)은 후술하는 문턱전압 보상부(160)와 연결되어 있으며, 그로부터 더미 트랜지스터(DT)의 쉬프트된 문턱전압(V_{th})에 따른 출력신호를 인가받아 전원생성단으로 피드백되는 전원전압(V_{DD})에 반영함으로써, 결국 전원공급부(150)으로부터 출력되는 전원전압(V_{DD})은 제2 박막트랜지스터의 문턱전압 쉬프트(threshold shift)정도에 의해 전압레벨이 조절된 전원전압(V_{DD})이 된다. 전원공급부(150)는 조절된 전원전압(V_{DD})을 제2 박막트랜지스터의 탑 게이트에 인가하여 특성변화에 따른 출력을 보상하게 된다.

[0050] 문턱전압 보상부(160)는 액정패널(100)의 비표시영역(N/A)내에 형성되며, 제2 박막트랜지스터의 문턱전압 쉬프트(threshold shift)정도를 감지하고, 그 감지결과를 전원공급부(150)에 인가한다. 이러한 문턱전압 보상부(160)는 제2 박막트랜지스터들과 동일한 구조의 더미 박막트랜지스터로 이루어지며 비표시영역(N/A)에 위치하여 그 소자특성이 서로 제2 박막트랜지스터들과 동일하다. 따라서, 더미 박막트랜지스터에 소정의 스트레스전압(CS)을 가하여 문턱전압을 쉬프트시켜 그 출력신호로 제2 박막트랜지스터의 문턱전압 쉬프트(threshold shift) 정도를 감지하게 된다. 출력신호는 전원공급부(150)에 인가되어 제2 박막트랜지스터들의 문턱전압 보상신호를 생성하는데 이용된다.

[0051] 이러한 구조에 따라, 본 발명의 액정표시장치는 문턱전압 보상부에 의해 제2 박막트랜지스터로 이루어지는 먹스

부의 문턱전압 쉬프트(threshold shift)에 의한 오작동 문제를 최소화 할 수 있다.

- [0052] 이하, 도면을 참조하여 본 발명의 제1 실시예에 따른 문턱전압 보상부의 구조 및 이의 문턱전압 보상방법을 설명한다.
- [0053] 도 4는 본 발명의 제1 실시예에 따른 문턱전압 보상부 및 이를 포함하는 액정표시장치의 일부를 나타낸 도면이다.
- [0054] 도시된 바와 같이, 본 발명의 액정표시장치는 액정패널(100)과, 타이밍 제어부(110)와, 데이터 구동부(130)와, 맥스부(140)와, 전원공급부(150)와, 액정패널(100)의 비표시영역의 일측에 형성되어 액정패널(100)의 비표시영역(N/A)상의 박막트랜지스터의 문턱전압 쉬프트(threshold shift)정도를 감지하고, 감지결과에 따라 상기 구동전압 중 하나를 조절하여 제2 박막트랜지스터에 인가함으로써 쉬프트된 문턱전압을 보상하는 문턱전압 보상부(160)를 포함한다.
- [0055] 도면에서는, 타이밍 제어부(110), 데이터 구동부(130) 및 전원공급부(150)는 별도의 인쇄회로기판(PCB)에 형성되어 액정패널(100)과 연결되는 구조를 예시하고 있으나, 데이터 구동부(130)는 별도의 인쇄회로기판이 아닌 액정패널(100)의 비표시영역(N/A)상에 직접 실장되는 COG 방식으로 구비될 수 있다.
- [0056] 전원공급부(150)는 복수의 구동전압을 생성하는 전원생성단(152) 및 구동전압 중, 전원전압(V_{DD})를 분압하여 전원생성단(152)에 피드백하는 피드백단(155)을 포함하며, 별도의 인쇄회로기판(PCB)에 실장되어 액정패널(100)과 연결된다. 피드백단(155)은 전원생성단(152)의 전원전압(V_{DD}) 출력단자와 피드백단자 사이에 직렬연결된 제1 저항(R1)과, 일 전극이 제1 저항(R1)과 연결되고 타 전극이 접지된 제2 저항(R2)으로 이루어진다.
- [0057] 또한, 액정패널(100)의 표시영역(A/A) 상에는 데이터배선(DL1 ~ DL3)가 액정캐패시터(LC)를 연결하는 제1 박막트랜지스터(T)가 형성되어 있으며, 액정패널(100)의 비표시영역(N/A)상에는 데이터 구동부(130)의 하나의 출력단자당 세 개의 데이터배선(DL1 ~ DL3)을 각각 연결하는 제2 박막트랜지스터(MT1 ~ MT3)로 이루어지는 맥스부(140)가 형성된다. 맥스부(140)의 일측 비표시영역(N/A)상에는 제2 박막트랜지스터(MT1 ~ MT3)와 동일한 구조의 더미트랜지스터(DT)를 갖는 문턱전압 보상부(160)가 형성되어 있다.
- [0058] 맥스부(140)는 데이터 구동부(130)의 하나의 출력단자와 세 개의 데이터배선(DL1 ~ DL3) 사이를 연결하는 세 개의 제2 박막트랜지스터(MT1 ~ MT3)를 포함한다. 제2 박막트랜지스터(MT1 ~ MT3)는 액티브층이 옥사이드 실리콘으로 이루어져 있으며, 액티브층의 상하로 버텀게이트 및 탑 게이트가 형성되는 더블 게이트 구조이다.
- [0059] 도 5a는 더블 게이트 구조 옥사이드 박막트랜지스터의 일 예를 나타낸 도면이고, 도 5b는 스트레스 인가에 따라 문턱전압이 쉬프트된 박막트랜지스터의 I-V 특성을 나타내는 도면이다.
- [0060] 도 5a를 참조하면, 더블 게이트 구조의 박막트랜지스터는 절기관(20)상에 형성된 제1 게이트전극(23)과, 제1 게이트전극(23)을 포함한 절연기관(20) 전면에 형성된 제1 게이트절연막(25)과, 제1 게이트전극(23)과 중첩되는 제1 게이트절연층(25)상부에 형성된 액티브층(27)과, 액티브층(27)상의 식각정지패턴(28)과, 제1 게이트전극(23) 양측의 액티브층(27)상에 형성되는 소스 및 드레인전극(30)과, 소스 및 드레인전극(30)을 포함한 기판전면에 형성된 보호층(32)과, 제1 게이트전극(33)과 대응되게 형성된 제2 게이트전극(back gate)(33)을 포함하여 구성된다.
- [0061] 이러한 이중 게이트 구조 박막트랜지스터는 제2 게이트전극(23)을 이용한 채널형성이 가능하기 때문에, 일반적인 박막트랜지스터가 갖고 있는 프론트채널(front channel)을 통한 전류 이동뿐만 아니라 백채널(back channel)을 통한 전류 흐름의 제어가 가능하게 되어 문턱전압 쉬프트(threshold shift)에 의한 초기 Ids를 조절할 수 있다.
- [0062] 도 5b는 옥사이드 박막트랜지스터의 초기 및 문턱전압 쉬프트 이후의 I-V 에 대한 그래프를 나타낸 것으로, X축은 게이트-소스간 전압(V_{gs})를 나타내고 Y축은 드레인-소스간 전류(I_{ds})를 나타낸다. 도시된 바와 같이, 초기 박막트랜지스터의 I-V 커브(initial)는 지속적인 DC 전압의 인가에 따라 열화된 박막트랜지스터의 I-V 커브(PBTIS)는 문턱전압(V_{th})이 포지티브 방향으로 쉬프트한 형태가 된다. 이에 탑-게이트 즉, 제2 게이트 전극에 조절된 전원전압(V_{DD})을 더 인가하여 열화된 박막트랜지스터의 I-V 커브(PBTIS)를 다시 네가티브 방향으로 쉬프트 시키게 된다. 즉, 제2 게이트 전극에 조절된 전원전압(V_{DD})을 더 인가함으로써, 백 채널에 의한 게이트-소스간 전압(V_{gs})이 더 포함되어 제1 게이트 전극에 종래와 동일한 게이트 출력전압이 인가되어도 문턱전압(V_{th})의 쉬프트 전과 같은 Ids 특성을 갖게 된다.

- [0063] 다시 도 4를 참조하면, 문턱전압 보상부(160)는, 소스가 접지되고, 드레인이 전원공급부(150)의 분압단(155)을 구성하는 제1 저항(R1) 및 제2 저항(R2) 사이에 연결되고, 게이트 전극에 인가되는 더미신호(CS)에 대응하여 쉬프트된 문턱전압(V_{th})에 의한 출력신호를 전원생성단(152)의 피드백단자에 인가하는 더미 트랜지스터(DT)를 포함한다. 더미 트랜지스터(DT)는 먹스부(140)를 구성하는 제2 트랜지스터(MT1 ~ MT3)와 동일한 소자특성을 갖는 것으로, 더미 트랜지스터의 문턱전압 쉬프트(threshold shift) 정도는 제2 트랜지스터(MT1 ~ MT3)에 대응된다. 따라서, 본 발명의 제1 실시예에 따른 액정표시장치는 더미 트랜지스터(DT)를 통해 먹스부(140)의 소자특성 변화를 감지하는 것을 특징으로 한다.
- [0064] 또한, 전술한 더미신호(CS)로는 고정된 전압레벨을 갖는 DC 전압으로서 게이트 배선(미도시)에 인가되는 하이레벨의 게이트 출력신호(VGH)가 이용될 수 있다. 이러한 더미신호(CS)의 지속적인 인가에 따라 더미 트랜지스터(DT)의 문턱전압(V_{th})은 포지티브 쉬프트되고, 따라서 더미 트랜지스터(DT)에 의해 전원생성단(152)에 인가되는 출력신호는 더미 트랜지스터(DT)의 문턱전압 쉬프트(threshold shift) 정도가 반영된 신호이다.
- [0065] 이에 따라, 전원생성단(152)은 상기 출력신호를 피드백 받아, 전원전압(V_{DD})레벨을 조절하여 제2 트랜지스터(MT1 ~ MT3) 및 더미 트랜지스터(DT)에 인가하여 쉬프트된 문턱전압(V_{th})을 보상하게 된다.
- [0066] 전술한 본 발명의 제1 실시예에 따른 액정표시장치는 액정패널상에 형성된 먹스부의 문턱전압 쉬프트(threshold shift)현상을 보상하는 구조이며, 이하 도면을 참조하여 본 발명의 제2 실시예에 따른 액정표시장치의 게이트 구동부의 문턱전압 쉬프트(threshold shift) 현상을 보상하는 구조를 설명한다.
- [0067] 도 6은 본 발명의 제2 실시예에 따른 액정표시장치의 전체 구조를 나타낸 도면이다.
- [0068] 도시된 바와 같이, 본 발명의 액정표시장치는 화상을 표시하는 표시영역(A/A) 및 그 외곽에 위치하는 비표시영역(N/A)으로 구분되는 액정패널(100)과, 외부시스템으로부터 인가된 영상신호 및 제어신호를 각 구동회로에 공급하는 타이밍 제어부(210)와, 액정패널(200)의 일측에 게이트 인 패널(GATE-IN-PANEL, GIP)방식으로 실장되어 게이트배선(GL1 ~ GLn)으로 게이트 구동전압을 인가하는 게이트 구동부(220)와, 각 화소에 데이터전압을 인가하는 데이터 구동부(230)와, 액정표시장치의 구동에 필요한 각종 구동전압을 생성 및 공급하는 전원공급부(250)와, 액정패널(200)의 비표시영역(N/A)의 일측에 형성되어 박막트랜지스터들의 문턱전압 쉬프트(threshold shift)정도를 감지하고, 감지결과에 따라 구동전압 중 하나를 조절하여 문턱전압(V_{th})이 쉬프트된 박막트랜지스터들에 인가함으로써 문턱전압(V_{th})을 보상하는 문턱전압 보상부(260)을 포함한다.
- [0069] 액정패널(200)은 글라스 또는 플라스틱을 이용한 기판 상에 다수의 게이트배선(GL1 ~ GLn)과 다수의 데이터배선(DL1 ~ DLm)이 매트릭스 형태로 교차되고, 교차지점에 다수의 화소를 정의한다. 액정패널(200)의 표시영역 상에는 R,G,B 삼원색에 각각 대응하는 복수의 화소가 매트릭스 형태로 형성되며, 각 화소는 적어도 하나의 제1 박막트랜지스터(T)와 액정캐패시터(LC)가 구성되어 화상을 표시하게 된다.
- [0070] 전술한 제1 박막트랜지스터(T)의 액티브층을 이루는 물질로는 옥사이드 실리콘(oxide silicon)인 것이 바람직하다. 또한, 표시영역(A/A)을 제외한 비표시영역(N/A)상의 제2 박막트랜지스터(미도시)의 액티브층을 이루는 물질로도 옥사이드 실리콘(oxide silicon)이 이용된다.
- [0071] 타이밍 제어부(210)는 외부시스템으로부터 전송되는 디지털 형태의 영상신호(RGB)와, 도시하지는 않았지만 수평 동기신호(Hsync), 수직동기신호(Vsync), 데이터 인에이블 신호(DE)등의 타이밍 신호를 인가받아, 게이트 구동부(220), 데이터 구동부(230)의 제어신호(GCS, DCS)들을 생성한다. 또한, 타이밍 제어부(110)는 통상의 인터페이스 방식을 통해 외부로부터 영상신호(RGB)를 입력받게 되며, 입력된 영상신호(RGB)는 데이터 구동부(130)가 처리가능한 형태로 정렬하여 공급하게 된다.
- [0072] 게이트 구동부(220)는 액정패널(200)의 일측 비표시영역(N/A)내에 복수의 제2 박막트랜지스터로 구성되는 복수의 스테이지를 포함하는 쉬프트 레지스터이며, 타이밍 제어부(210)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 액정패널(200)에 형성된 게이트배선(GL1 ~ GLn)을 통해 수평기간(1H)마다 하이레벨의 게이트 구동전압(VGH)이 순차적으로 출력되도록 한다. 이에 따라, 해당 게이트배선(GL1 ~ GLn)과 연결된 제1 박막트랜지스터(T)는 턴-온(turn-on)하며, 동시에 데이터 구동부(230)는 공급되는 아날로그 파형의 데이터전압을 데이터배선(DL1 ~ DLm)을 통해 제1 박막트랜지스터(T)에 접속된 화소들로 인가하게 된다.
- [0073] 여기서, 게이트 구동부(220)를 구성하는 제2 박막트랜지스터들 중 일부는 액티브층의 상하층 모두에 게이트 전극이 형성되는 더블 게이트 구조이며, 하부의 버텨 게이트 전극에는 쉬프트 레지스터를 구동하는 각종 신호들이 인가되고, 상부의 탑 게이트 전극에는 전원공급부(250)로부터 조절된 전원전압(V_{DD})이 인가된다. 조절된 전원전

압(V_{DD})은 문턱전압 보상신호로서 후술하는 문턱전압 보상부(260)가 감지한 제2 박막트랜지스터의 문턱전압 쉬프트(threshold shift)정도에 따라 전원전압(V_{DD})의 전압레벨이 조절된 신호이다.

[0074] 이는 쉬프트 레지스터를 구성하는 제2 박막트랜지스터 중, 일부에는 짧은 기간동안 높은 하이레벨 전압이 지속적으로 인가되어 스트레스에 의한 문턱전압 쉬프트(threshold shift)가 발생되기 쉬우며, 따라서 문턱전압 보상부에 의해 감지된 문턱전압 쉬프트(threshold shift)정도를 감안하여 턴 게이트 전극에 쉬프트된 문턱전압(V_{th})이상의 전압을 더 인가하여 백 채널(back channel)을 형성하여 전류를 보상하는 것으로, 열화에 의해 전류특성이 저하된 제2 박막트랜지스터의 게이트-소스간 전압(V_{gs})를 더 높여 줌으로서 문턱전압(V_{th})을 보상하는 것이다.

[0075] 한편, 데이터 구동부(230)는 타이밍 제어부(210)로부터 입력되는 데이터 제어신호(DCS)에 대응하여 입력되는 정렬된 디지털형태의 영상신호(RGB)를 기준전압에 따라 아날로그 형태의 데이터전압으로 변환한다.

[0076] 전원공급부(250)는 액정표시장치의 구동을 위한 각종 구동전압을 생성 및 공급한다. 이를 위해 전원공급부(250)는 소정의 전압생성단(미도시) 및 분압단(255)을 포함한다. 전원공급부(250)가 생성하는 구동전압으로는 전원전압(V_{DD}), 접지전압(V_{SS}), 게이트 하이전압(VGH), 게이트 로우전압(VGL), 공통전압(V_{com}) 및 기준전압(V_{REF}) 등이 있다.

[0077] 특히, 전술한 구동전압 중, 전원전압(VDD)은 피드백 구조로 생성 및 공급되며, 이를 위해 전원공급부(250)는 하나 이상의 저항소자로 구성된 분압단(255)을 이용하여 출력된 전원전압(VDD)을 분압하고 피드백 받아, 전압레벨을 안정적으로 조절하여 액정패널(200) 및 각 구동부에 공급하게 된다.

[0078] 여기서, 분압단(255)은 후술하는 문턱전압 보상부(260)와 연결되어 있으며, 그로부터 제2 트랜지스터의 쉬프트된 문턱전압(V_{th})에 따른 출력신호를 인가받아 전원생성단으로 피드백되는 전원전압(V_{DD})에 반영함으로써, 결국 전원공급부(250)으로부터 출력되는 전원전압(V_{DD})은 제2 박막트랜지스터의 문턱전압 쉬프트(threshold shift)정도에 의해 전압레벨이 조절된 전원전압(V_{DD})이 된다. 전원공급부(250)는 조절된 전원전압(V_{DD})을 게이트 구동부(250)의 제2 박막트랜지스터의 턴 게이트에 인가하여 특성변화에 따른 출력을 보상하게 된다.

[0079] 문턱전압 보상부(260)는 액정패널(200)의 비표시영역(N/A)내에 형성되며, 제2 박막트랜지스터의 문턱전압 쉬프트(threshold shift)정도를 감지하고, 그 감지결과를 전원공급부(250)에 인가한다. 이러한 문턱전압 보상부(260)는 제2 박막트랜지스터들과 동일한 구조의 더미 박막트랜지스터로 이루어지며 비표시영역(N/A)에 위치하여 그 소자특성이 서로 제2 박막트랜지스터들과 동일하다. 따라서, 더미 박막트랜지스터에 소정의 스트레스전압, 즉 더미신호(CS)를 가하여 문턱전압(V_{th})을 쉬프트시켜 그 출력신호로서 제2 박막트랜지스터의 문턱전압 쉬프트(threshold shift)정도를 감지하게 된다. 출력신호는 전원공급부(250)에 인가되어 제2 박막트랜지스터들의 문턱전압 보상신호를 생성하는데 이용된다.

[0080] 이러한 구조에 따라, 본 발명의 액정표시장치는 문턱전압 보상부에 의해 게이트 구동부의 쉬프트 레지스터를 구성하는 제2 박막트랜지스터의 문턱전압 쉬프트(threshold shift)에 의한 오작동 문제를 최소화 할 수 있다.

[0081] 이하, 도면을 참조하여 본 발명의 제2 실시예에 따른 문턱전압 보상부의 구조 및 이의 문턱전압 보상방법을 설명한다.

[0082] 도 7은 본 발명의 제2 실시예에 따른 문턱전압 보상부 및 이를 포함하는 액정표시장치의 일부를 나타낸 도면이다.

[0083] 도시된 바와 같이, 본 발명의 액정표시장치는 액정패널(200)과, 타이밍 제어부(210)와, 게이트 구동부(220)와 전원공급부(250)와, 액정패널(200)의 비표시영역의 일측에 형성되어 액정패널(200)의 비표시영역(N/A)상의 박막트랜지스터의 문턱전압 쉬프트(threshold shift)정도를 감지하고, 감지결과에 따라 상기 구동전압 중 하나를 조절하여 제2 박막트랜지스터에 인가함으로써 쉬프트된 문턱전압(V_{th})을 보상하는 문턱전압 보상부(260)를 포함한다.

[0084] 전원공급부(250)는 액정패널(200)의 일측에 배치되는 것으로, 복수의 구동전압을 생성하는 전원생성단(252) 및 구동전압 중, 전원전압(V_{DD})을 분압하여 전원생성단(252)에 피드백하는 피드백단(255)을 포함하며, 별도의 인쇄회로기판(PCB)에 실장되어 액정패널(200)과 연결된다. 피드백단(255)은 전원생성단(252)의 전원전압(V_{DD}) 출력단자와 피드백단자 사이에 직렬연결된 제1 저항(R_1)과, 일 전극이 제1 저항(R_1)과 연결되고 타 전극이 접지된 제2

저항(R2)으로 이루어진다.

- [0085] 또한, 액정패널(100)의 표시영역(A/A) 상에는 제1 트랜지스터(미도시)와 연결된 게이트 배선(GLn)이 형성되고, 게이트 배선(GLn)은 끝단이 비표시영역(N/A)상에 형성된 게이트 구동부(220)와 연결된다. 게이트 구동부(220)는 복수의 제2 박막트랜지스터(T1 ~ T7)로 구성되는 스테이지가 다수개 연결된 쉬프트 레지스터이다.
- [0086] 여기서, 제3 내지 제5 트랜지스터(T3 ~ T5) 및 제7 트랜지스터(T7)는 소정개로 더 분류될 수 있다.
- [0087] 전술한 쉬프트 레지스터의 일 스테이지의 구성을 설명하면, 개시신호(Vst) 또는 전단 출력신호(Vout n-1)를 인가받아 하이레벨전압을 Q노드(Q)에 인가하는 제1 SR 트랜지스터(T1) 다이오드 연결되고 우수 전원전압(V_{DD_o})을 인가받아 Qb_o노드(Qb_o)에 인가하는 제2-1 SR 트랜지스터(T1)과, 다이오드 연결되고 기수 전원전압(V_{DD_e})을 인가받아 Qb_e노드(Qb_e)에 인가하는 제2-2 SR 트랜지스터(T2-2)와, Qb_o노드(Qb_o)의 전압레벨에 따라 Q노드(Q)에 접지전압(V_{SS})을 인가하는 제3-1 SR 트랜지스터(T3-1)와, Qb_e노드(Qb_e)의 전압레벨에 따라 Q노드(Q)에 접지전압(V_{SS})을 인가하는 제3-2 SR 트랜지스터(T3-2)와, 후단 출력신호에 따라 Q노드(Q)에 접지전압(V_{SS})을 인가하는 제4 SR 트랜지스터(T4)와, Q노드(Q)의 전압레벨에 따라, Qb_o노드(Qb_o)에 접지전압(V_{SS})을 인가하는 제5-1 SR 트랜지스터(T5-1)과, Q노드(Q)의 전압레벨에 따라, Qb_e노드(Qb_e)에 접지전압을 인가하는 제5-2 SR 트랜지스터(T5-2)와, Q노드(Q)의 전압레벨에 따라, 클록신호(CLK)를 게이트 배선(GLn)으로 출력하는 제6 SR 트랜지스터(T6)와, Qb_o노드(Qb_o)의 전압레벨에 따라 게이트 배선(GLn)으로 접지전압(V_{SS})을 출력하는 제7-1 SR 트랜지스터(T7)과, Qb_e노드(Qb_e)의 전압레벨에 따라 게이트 배선(GLn)으로 접지전압(V_{SS})을 출력하는 제7-2 SR 트랜지스터(T7-2)를 포함한다.
- [0088] 여기서, 전원전압(V_{DD})이 두 개인 것은 서로 위상이 반전된 두 우수 전원전압(V_{DD_o}) 및 기수 전원전압(V_{DD_e})을 이용하여 Qb_o노드(Qb_o) 및 Qb_e노드(Qb_e)를 교번으로 구동함으로써 두 노드에 연결된 SR 트랜지스터들(T3, T5, T7)의 열화를 최소화하기 위한 것이다. 그러나, 두 노드를 교번으로 동작한다 하더라도 해당 SR 트랜지스터들(T3, T5, T7)의 문턱전압 쉬프트(threshold shift)를 안정적으로 개선하는 데는 한계가 있다. 이에 본 발명의 제2 실시예에서는 해당 SR 트랜지스터들(T3, T5, T7)을 더블 게이트 구조로 형성하고, 문턱전압 보상부에 의해 조절된 전원전압(V_{DD})을 제2 게이트 전극에 인가하여 포지티브 방향으로 쉬프트된 문턱전압(V_{th})을 다시 네가티브 방향으로 쉬프트하는 것을 특징으로 한다.
- [0089] 문턱전압 보상부(260)는, 소스가 접지되고, 드레인이 전원공급부(250)의 분압단(255)을 구성하는 제1 저항(R1) 및 제2 저항(R2) 사이에 연결되고, 게이트 전극에 인가되는 더미신호(CS)에 대응하여 쉬프트된 문턱전압(V_{th})에 의한 출력신호를 전원생성단(252)의 피드백단자에 인가하는 더미 트랜지스터(DT)를 포함한다. 더미 트랜지스터(DT)는 게이트 구동부(220)에 포함된 제2 트랜지스터들(T1 ~ T7)과 동일한 소자특성을 갖는 것으로, 더미 트랜지스터의 문턱전압 쉬프트(threshold shift)정도는 제2 트랜지스터(T1 ~ T3)에 대응된다. 또한, 전술한 더미신호(CS)로는 고정된 전압레벨을 갖는 DC 전압으로서 게이트 배선(미도시)에 인가되는 하이레벨의 게이트 출력신호(VGH)가 이용될 수 있다. 더미신호(CS)를 지속적으로 더미 트랜지스터(DT)에 인가하여 이의 문턱전압(V_{th})은 포지티브 쉬프트되고, 따라서 더미 트랜지스터(DT)에 의해 전원생성단(252)에 인가되는 출력신호는 더미 트랜지스터(DT)의 문턱전압 쉬프트(threshold shift)정도가 반영된다.
- [0090] 따라서, 전원생성단(252)은 상기 출력신호를 피드백 받아, 전원전압(V_{DD})레벨을 조절하여 제2 트랜지스터(T1 ~ T7) 및 더미 트랜지스터(DT)에 인가하여 쉬프트된 문턱전압(V_{th})을 보상하게 된다.
- [0091] 여기서, 분압단(255)은 후술하는 문턱전압 보상부(260)와 연결되어 있으며, 그로부터 더미 트랜지스터(DT)의 쉬프트된 문턱전압(V_{th})에 따른 출력신호를 인가받아 전원생성단으로 피드백되는 전원전압(V_{DD})에 반영함으로써, 결국 전원공급부(250)으로부터 출력되는 전원전압(V_{DD})은 제2 박막트랜지스터의 문턱전압 쉬프트(threshold shift)정도에 의해 전압레벨이 조절된 전원전압(V_{DD})이 된다. 전원공급부(250)는 조절된 전원전압(V_{DD})을 제2 박막트랜지스터(T1 ~ T7) 중 탑 게이트를 갖는 제3-1, 제3-2, 제5-1, 제5-2, 제7-1 및 제7-2 트랜지스터 트랜지스터(T3-1, T3-2, T5-1, T5-2, T7-1, T7-2)에 인가하여 특성변화에 따른 출력을 보상하게 된다.
- [0092] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

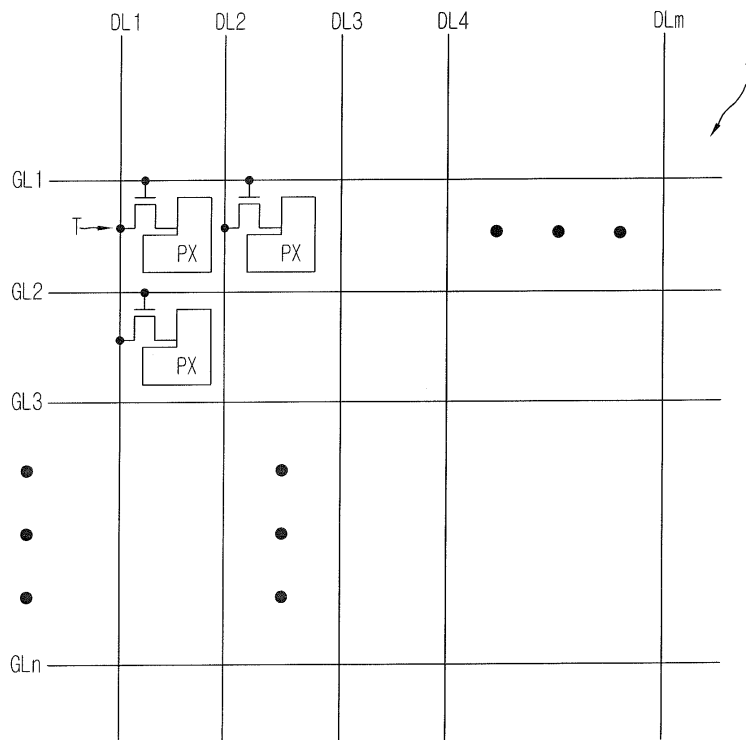
부호의 설명

[0093]

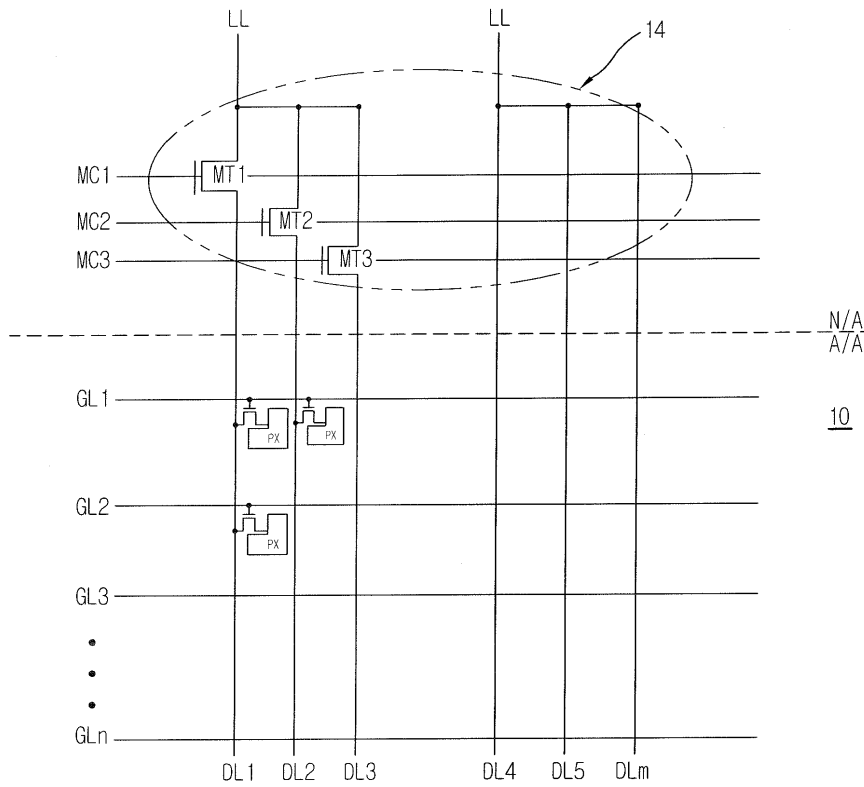
- | | |
|---------------|----------------|
| 100 : 액정패널 | 110 : 타이밍 제어부 |
| 120 : 게이트 구동부 | 130 : 데이터 구동부 |
| 140 : 텍스부 | 150 : 전원공급부 |
| 155 : 분압단 | 160 : 문턱전압 보상부 |

도면

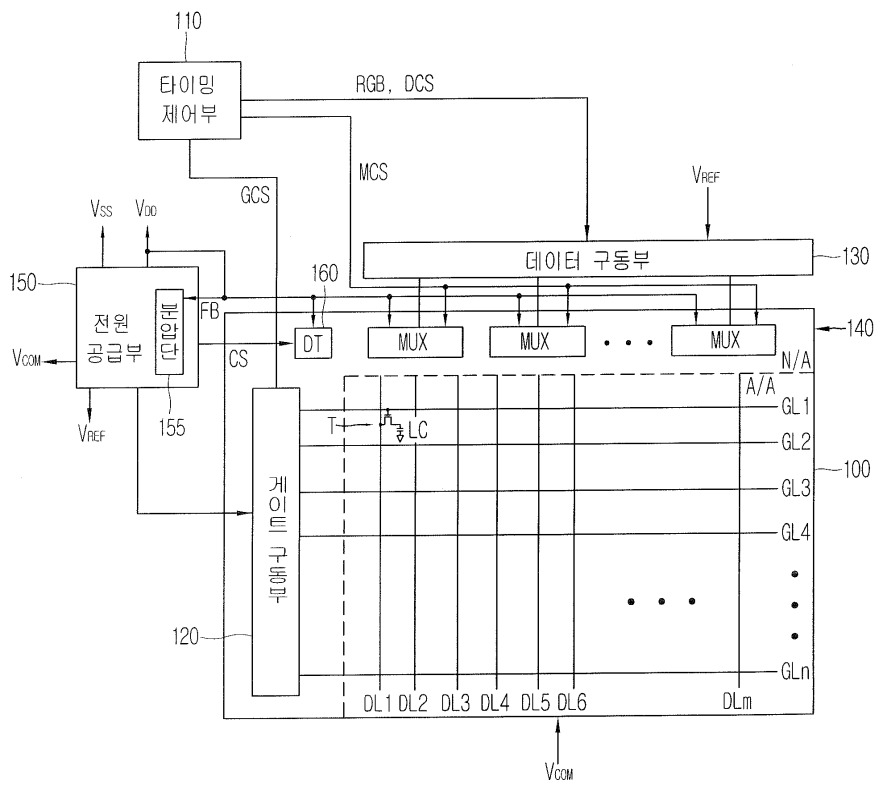
도면1



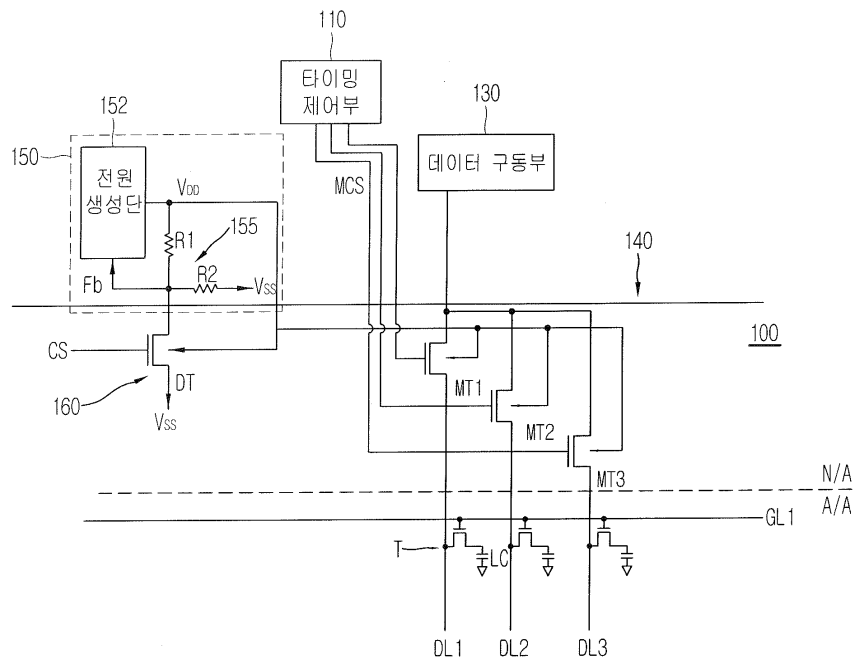
도면2



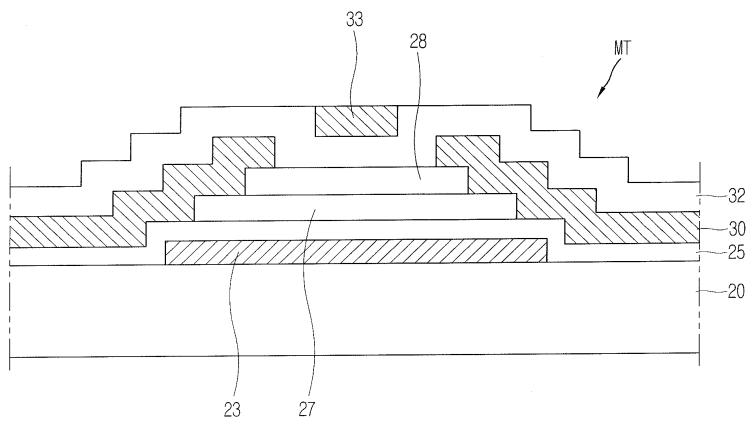
도면3



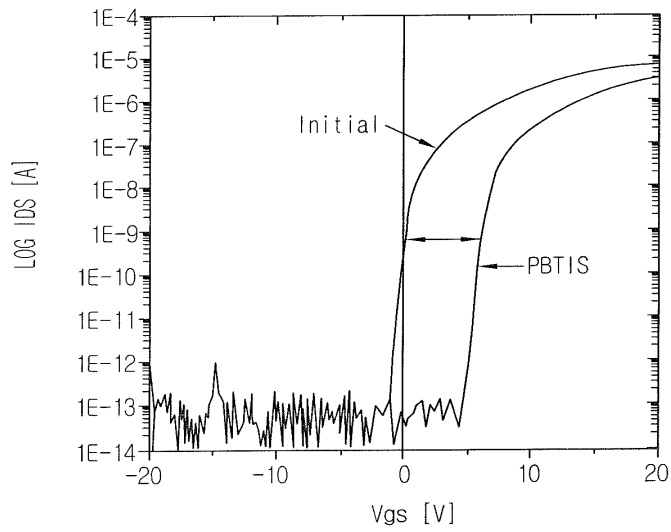
도면4



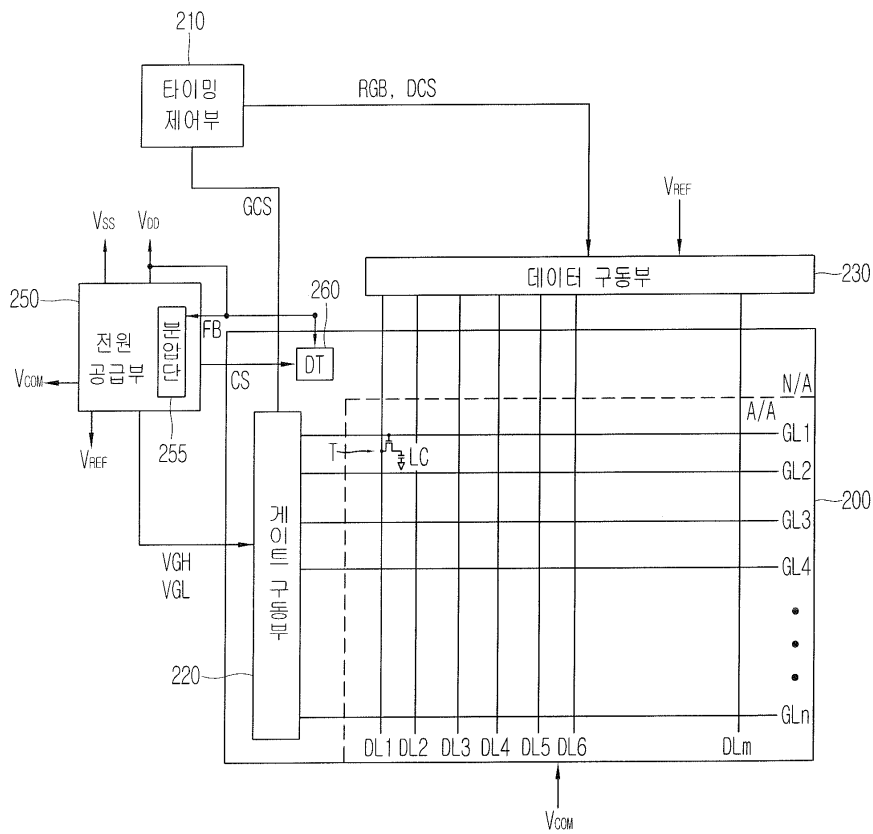
도면5a



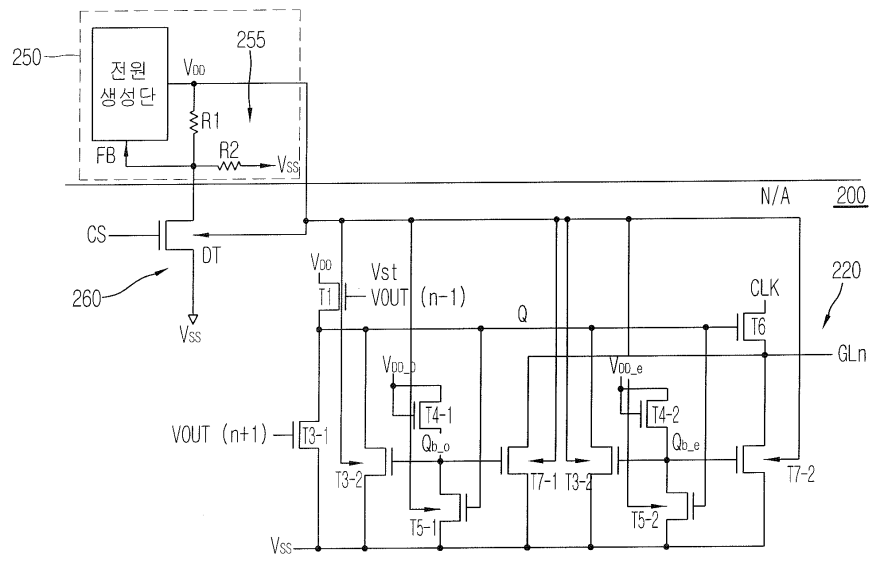
도면5b



도면6



도면7



专利名称(译)	一种液晶显示装置，包括薄膜晶体管补偿电路		
公开(公告)号	KR1020140042455A	公开(公告)日	2014-04-07
申请号	KR1020120109250	申请日	2012-09-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MOON TAE WOONG 문태웅 CHANG YOUN GYOUNG 장윤경 PARK CHONG HUN 박청훈 JUNG IL KI 정일기		
发明人	문태웅 장윤경 박청훈 정일기		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G2310/0297 G09G2300/0413 G09G3/3685 G09G2320/045		
代理人(译)	PARK , JANG WON		
其他公开文献	KR101441958B1		
外部链接	Espacenet		

摘要(译)

公开了一种本发明的液晶显示装置。更具体地，本发明提供了一种液晶显示器，其包括通过在已经实施的驱动器电路（阈值偏移）薄膜晶体管补偿电路，它改善了TFT的特性的液晶显示装置中使用的晶体管的氧化物薄膜阈值电压偏移减小根据涉及到。根据本发明，液晶面板，栅极和数据驱动器，定时控制部，其具有电源部，检测在所述非显示区域的薄膜晶体管程度的阈值电压偏移的实施方式的液晶显示装置，根据该检测结果的电力供应加入以调节所述驱动电压的一个将要提供给并包括阈值电压补偿被施加到薄膜晶体管对以阈值电压的偏移进行补偿。因此，添加的补偿电路，其包括在液晶显示面板的非显示区域中的虚设薄膜晶体管，以感测的直流电压的薄膜晶体管的阈值电压偏移的程度，并且以反映感测的阈值电压在液晶面板上形成的结果（ V_{th} 的得到补偿后，可以改善器件特性退化的问题。

