



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0038823
(43) 공개일자 2014년03월31일

(51) 국제특허분류(Int. Cl.)

G02F 1/1345 (2006.01)

(21) 출원번호 10-2012-0105400

(22) 출원일자 2012년09월21일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

성우용

서울 구로구 경인로 638, 103동 701호 (신도림동, 신도림에스케이뷰)

이정호

서울 마포구 마포대로10길 22, 104동 404호 (공덕동, 마포공덕한화꿈에그린아파트)

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

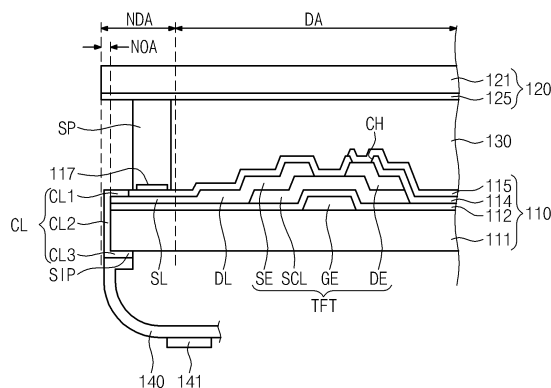
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 패널 및 이의 제조 방법

(57) 요약

표시 패널은 화소를 포함하는 표시 영역, 및 상기 표시 영역의 외부에 배치되는 비표시 영역으로 구분되는 어레이 기판, 상기 어레이 기판에 마주하는 대향 기판, 상기 어레이 기판 및 상기 대향 기판 사이에 배치되는 액정층, 및 상기 비표시 영역에서, 상기 어레이 기판 및 상기 대향 기판 중 어느 하나의 외부면 상에 배치되고, 상기 화소와 전기적으로 연결되어 외부 입력 신호를 상기 화소로 전달하는 신호 입력 패드를 포함한다.

대표도 - 도9



(72) 발명자

차태운

서울 서초구 사평대로 240, 503동 1212호 (반포동,
미도2차아파트)

한상윤

서울 강남구 남부순환로365길 16, 101동 802호 (도
곡동, 대림아파트)

특허청구의 범위

청구항 1

화소를 포함하는 표시 영역, 및 상기 표시 영역의 외부에 배치되는 비표시 영역으로 구분되는 어레이 기판;

상기 어레이 기판에 마주하는 대향 기판; 및

상기 어레이 기판 및 상기 대향 기판 사이에 배치되는 액정층; 및

상기 비표시 영역에서, 상기 어레이 기판 및 상기 대향 기판 중 어느 하나의 외부면 상에 배치되고, 상기 화소와 전기적으로 연결되어 외부 입력 신호를 상기 화소로 전달하는 신호 입력 패드를 포함하는 표시 패널.

청구항 2

제1 항에 있어서,

상기 어레이 기판은

상기 표시 영역 및 상기 비표시 영역에 배치되고, 상기 대향 기판과 마주하는 상면, 상기 상면에 대향하는 하면, 및 상기 상면과 상기 하면을 연결하는 측면을 포함하는 제1 베이스 기판;

상기 표시 영역에서 상기 제1 베이스 기판의 상면 상에 배치되는 박막 트랜지스터;

상기 박막 트랜지스터와 접속되는 화소 전극; 및

상기 박막 트랜지스터에 접속되어 상기 비표시 영역으로 연장되고, 상기 신호 입력 패드와 전기적으로 연결되는 신호 라인을 포함하는 표시 패널.

청구항 3

제2 항에 있어서,

상기 신호 라인 및 상기 신호 입력 패드를 연결하는 연결 라인을 더 포함하는 표시 패널.

청구항 4

제3 항에 있어서,

상기 신호 입력 패드는 상기 제1 베이스 기판의 상기 하면 상에 배치되는 표시 패널.

청구항 5

제4 항에 있어서,

상기 연결 라인은

상기 신호 라인 상에 배치되는 제1 영역;

상기 제1 영역에 연결되고 상기 제1 베이스 기판의 측면에 배치되는 제2 영역; 및

상기 제1 베이스 기판의 하면에 배치되어 상기 제2 영역 및 상기 신호 입력 패드를 연결하는 제3 영역을 포함하는 표시 패널.

청구항 6

제4 항에 있어서,

상기 대향 기판의 면적은 상기 어레이 기판의 면적보다 크거나 같은 표시 패널.

청구항 7

제3 항에 있어서,

상기 대향 기관은

상기 표시 영역 및 상기 비표시 영역에 배치되고, 상기 어레이 기관과 마주하는 하면, 상기 하면에 대향하는 상면, 및 상기 상면과 상기 하면을 연결하는 측면을 포함하는 제2 베이스 기관; 및

상기 제2 베이스 기관의 상기 하면 상에 배치되는 공통 전극을 포함하는 표시 패널.

청구항 8

제7 항에 있어서,

상기 신호 입력 패드는 상기 제2 베이스 기관의 상기 상면 상에 배치되는 표시 패널.

청구항 9

제8 항에 있어서,

상기 비표시 영역에서 상기 표시 영역을 둘러싸는 형태로 배치되고, 상기 어레이 기관 및 상기 대향 기관을 합착하는 봉지 패턴을 더 포함하는 표시 패널.

청구항 10

제9 항에 있어서,

상기 연결 라인은

상기 신호 라인 상에 배치되는 제4 영역;

상기 제4 영역에 연결되고 상기 봉지 패턴의 외부면 상에 배치되는 제5 영역;

상기 제5 영역에 연결되고 상기 제2 베이스 기관의 하면에 배치되는 제6 영역;

상기 제6 영역에 연결되고 상기 제2 베이스 기관의 측면에 배치되는 제7 영역; 및

상기 제2 베이스 기관의 상면에 배치되어 상기 제7 영역 및 상기 신호 입력 패드를 연결하는 제8 영역을 포함하는 표시 패널.

청구항 11

제8 항에 있어서,

상기 대향 기관의 면적은 상기 어레이 기관의 면적보다 작거나 같은 표시 패널.

청구항 12

표시 영역 및 상기 표시 영역의 외부에 배치되는 비표시 영역으로 구분되고, 제1 베이스 기관, 상기 표시 영역에서 상기 제1 베이스 기관 상에 배치된 박막 트랜지스터, 및 상기 박막 트랜지스터와 접속하여 상기 비표시 영역으로 연장된 신호 라인을 포함하는 어레이 기관을 준비하는 단계;

상기 표시 영역 및 상기 비표시 영역에 배치되는 대향 기관을 상기 비표시 영역에 배치된 봉지 패턴을 이용하여 상기 어레이 기관에 합착하는 단계; 및

상기 비표시 영역에서 상기 어레이 기관 및 상기 대향 기관 중 어느 하나의 외부면 상에 배치되고, 상기 신호 라인에 전기적으로 연결되는 신호 입력 패드를 형성하는 단계를 포함하는 표시 패널의 제조 방법.

청구항 13

제12 항에 있어서,

상기 제1 베이스 기관은

상기 대향 기관과 마주하는 상면;

상기 상면에 대향하는 하면; 및

상기 상면과 상기 하면을 연결하는 측면을 포함하며,
상기 신호 입력 패드는 상기 제1 베이스 기관의 상기 하면 상에 배치되는 표시 패널의 제조 방법.

청구항 14

제13 항에 있어서,
상기 신호 라인 및 상기 신호 입력 패드를 연결하는 연결 라인을 더 포함하며, 상기 연결 라인은
상기 신호 라인 상에 배치되는 제1 영역;
상기 제1 영역에 연결되고 상기 제1 베이스 기관의 측면에 배치되는 제2 영역; 및
상기 제1 베이스 기관의 하면에 배치되어 상기 제2 영역 및 상기 신호 입력 패드를 연결하는 제3 영역
을 포함하는 표시 패널의 제조 방법.

청구항 15

제14 항에 있어서,
상기 신호 입력 패드 및 상기 연결 라인은 에어로졸 젯 방법을 이용하여 형성되는 표시 패널의 제조 방법.

청구항 16

제13 항에 있어서,
상기 대향 기관의 면적은 상기 어레이 기관의 면적보다 크거나 같은 표시 패널의 제조 방법.

청구항 17

제12 항에 있어서,
상기 대향 기관은
상기 어레이 기관과 마주하는 하면, 상기 하면에 대향하는 상면, 및 상기 상면과 상기 하면을 연결하는
측면을 포함하는 제2 베이스 기관; 및
상기 제2 베이스 기관의 상기 하면 상에 배치되는 공통 전극을 포함하며,
상기 신호 입력 패드는 상기 제2 베이스 기관의 상기 상면 상에 배치되는 표시 패널의 제조 방법.

청구항 18

제17 항에 있어서,
상기 신호 라인 및 상기 신호 입력 패드를 연결하는 연결 라인을 더 포함하며, 상기 연결 라인은
상기 신호 라인 상에 배치되는 제4 영역;
상기 제4 영역에 연결되고 상기 봉지 패턴의 외부면 상에 배치되는 제5 영역;
상기 제5 영역에 연결되고 상기 제2 베이스 기관의 하면에 배치되는 제6 영역;
상기 제6 영역에 연결되고 상기 제2 베이스 기관의 측면에 배치되는 제7 영역; 및
상기 제2 베이스 기관의 상면에 배치되어 상기 제7 영역 및 상기 신호 입력 패드를 연결하는 제8 영역
을 포함하는 표시 패널의 제조 방법.

청구항 19

제18 항에 있어서,
상기 신호 입력 패드 및 상기 연결 라인은 에어로졸 젯 방법을 이용하여 형성되는 표시 패널의 제조 방법.

청구항 20

제17 항에 있어서,

상기 대향 기관의 면적은 상기 어레이 기관의 면적보다 작거나 같은 표시 패널의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 표시 패널 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 화상을 표시하는 표시 영역 이외의 영역을 최소화할 수 있는 표시 패널 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 표시 장치는 화상을 표시하는 표시 패널, 및 상기 표시 패널에 각종 제어 신호를 제공하는 외부 회로 모듈을 포함하고, 상기 표시 패널과 상기 외부 회로 모듈은 샤시와 같은 수납 용기에 고정된다. 또한, 상기 표시 패널 및 상기 외부 회로 모듈은 테이프 캐리어 패키지(Tape Carrier Package, TCP) 또는 연성 회로 기관(Flexible Printed Circuit Board, FPC)와 같은 신호 배선을 통하여 연결된다.

[0003] 따라서, 상기 표시 패널은 상기 신호 배선과 연결되기 위하여 상기 표시 패널의 일측에 일정 영역을 구비하여야 하며, 상기 수납 용기는 상기 신호 배선을 위한 소정의 공간을 구비하여야 한다. 상기와 같이, 상기 신호 배선을 위한 공간은 표시 장치에서, 상기 표시 패널에서 화상이 표시되는 영역 이외의 영역을 최소화하고자 하는 최근 연구 경향에 제약이 된다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 화상을 표시하는 표시 영역 이외의 영역을 최소화할 수 있는 표시 패널을 제공하는 것이다.

[0005] 또한, 본 발명의 다른 목적은 상기 표시 패널의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 목적을 달성하기 위한 표시 패널은 화소를 포함하는 표시 영역, 및 상기 표시 영역의 외부에 배치되는 비표시 영역으로 구분되는 어레이 기관, 상기 어레이 기관에 마주하는 대향 기관, 상기 어레이 기관 및 상기 대향 기관 사이에 배치되는 액정층, 및 상기 비표시 영역에서, 상기 어레이 기관 및 상기 대향 기관 중 어느 하나의 외부면 상에 배치되고, 상기 화소와 전기적으로 연결되어 외부 입력 신호를 상기 화소로 전달하는 신호 입력 패드를 포함한다.

[0007] 상기 신호 라인 및 상기 신호 입력 패드를 연결하는 연결 라인을 더 포함할 수 있다.

[0008] 상기 어레이 기관은 상기 표시 영역 및 상기 비표시 영역에 배치되고, 상기 대향 기관과 마주하는 상면, 상기 상면에 대향하는 하면, 및 상기 상면과 상기 하면을 연결하는 측면을 포함하는 제1 베이스 기관, 상기 표시 영역에서 상기 제1 베이스 기관의 상면 상에 배치되는 박막 트랜지스터, 상기 박막 트랜지스터와 접속되는 화소 전극, 및 상기 박막 트랜지스터에 접속되어 상기 비표시 영역으로 연장되고, 상기 신호 입력 패드와 전기적으로 연결되는 신호 라인을 포함할 수 있다.

[0009] 상기 신호 입력 패드는 상기 하면 상에 배치될 수 있다.

[0010] 상기 연결 라인은 상기 신호 라인 상에 배치되는 제1 영역, 제1 영역에 연결되고 상기 제1 베이스 기관의 측면에 배치되는 제2 영역, 및 상기 제1 베이스 기관의 하면에 배치되어 상기 제2 영역 및 상기 신호 입력 패드를 연결하는 제3 영역을 포함할 수 있다. 상기 대향 기관의 면적은 상기 어레이 기관의 면적보다 크거나 같을 수 있다.

[0011] 상기 대향 기관은 상기 표시 영역 및 상기 비표시 영역에 배치되고, 상기 어레이 기관과 마주하는 하면, 상기 하면에 대향하는 상면, 및 상기 상면과 상기 하면을 연결하는 측면을 포함하는 제2 베이스 기관, 및 상기 제2 베이스 기관의 상기 하면 상에 배치되는 공통 전극을 포함할 수 있다.

- [0012] 상기 신호 입력 패드는 상기 제2 베이스 기관의 상기 상면 상에 배치될 수 있다.
- [0013] 상기 비표시 영역에서 상기 표시 영역을 둘러싸는 형태로 배치되고, 상기 어레이 기관 및 상기 대향 기관을 합착하는 봉지 패턴을 더 포함할 수 있다.
- [0014] 상기 연결 라인은 상기 신호 라인 상에 배치되는 제4 영역, 상기 제4 영역에 연결되고 상기 봉지 패턴의 외부면 상에 배치되는 제5 영역, 상기 제5 영역에 연결되고 상기 제2 베이스 기관의 하면에 배치되는 제6 영역, 상기 제6 영역에 연결되고 상기 제2 베이스 기관의 측면에 배치되는 제7 영역, 및 상기 제2 베이스 기관의 상면에 배치되어 상기 제7 영역 및 상기 신호 입력 패드를 연결하는 제8 영역을 포함할 수 있다. 상기 대향 기관의 면적은 상기 어레이 기관의 면적보다 작거나 같을 수 있다.
- [0015] 본 발명의 다른 목적을 달성하기 위한 표시 패널의 제조 방법은 표시 영역 및 상기 표시 영역의 외부에 배치되는 비표시 영역으로 구분되는 어레이 기관을 준비하는 단계, 상기 표시 영역 및 상기 비표시 영역에 배치되는 대향 기관을 상기 비표시 영역에 배치된 봉지 패턴을 이용하여 상기 어레이 기관에 합착하는 단계 및 상기 비표시 영역에서 상기 어레이 기관 및 상기 대향 기관 중 어느 하나의 외부면 상에 배치되고, 상기 어레이 기관의 신호 라인에 전기적으로 연결되는 신호 입력 패드를 형성하는 단계를 포함한다. 상기 어레이 기관은 제1 베이스 기관, 상기 표시 영역에서 상기 제1 베이스 기관 상에 배치된 박막 트랜지스터, 및 상기 박막 트랜지스터와 접속하여 상기 비표시 영역으로 연장된 신호 라인을 포함할 수 있다.
- [0016] 상기 신호 라인 및 상기 신호 입력 패드를 연결하는 연결 라인을 더 포함하며, 상기 신호 입력 패드 및 상기 연결 라인은 에어로졸 젯 방법을 이용하여 형성될 수 있다.

발명의 효과

- [0017] 상기와 같은 표시 패널은 화상을 표시하는 표시 영역 이외의 영역을 최소화할 수 있다. 따라서, 상기 표시 패널을 구비하는 표시 장치는 비표시 영역을 위한 공간을 최소화할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 설명하기 위한 분해 사시도이다.
- 도 2는 도 1에 도시된 표시 패널을 설명하기 위한 하방 사시도이다.
- 도 3은 도 2의 A 영역의 확대도이다.
- 도 4는 도 2에 도시된 표시 패널을 설명하기 위한 평면도이다.
- 도 5는 도 4의 B 영역의 확대도이다.
- 도 6은 도 2에 도시된 표시 패널을 설명하기 위한 배면도이다.
- 도 7은 도 6의 C 영역의 확대도이다.
- 도 8은 도 2에 도시된 표시 패널에 연성 회로 기관이 연결된 상태를 설명하기 위한 하방 사시도이다.
- 도 9는 도 8의 일부 단면도이다.
- 도 10 내지 도 13은 도 8 및 도 9에 도시된 표시 패널의 제조 방법을 설명하기 위한 공정 단면도이다.
- 도 14는 본 발명의 다른 실시예에 따른 표시 패널을 설명하기 위한 사시도이다.
- 도 15는 도 14의 D 영역의 확대도이다.
- 도 16은 도 14에 도시된 표시 패널을 설명하기 위한 평면도이다.
- 도 17은 도 16의 E 영역의 확대도이다.
- 도 18은 도 14에 도시된 표시 패널에 연성 회로 기관이 연결된 상태를 설명하기 위한 사시도이다.
- 도 19는 도 18의 일부 단면도이다.
- 도 20 내지 도 22는 도 18 및 도 19에 도시된 표시 패널의 제조 방법을 설명하기 위한 공정 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 첨부된 도면을 참조하여, 본 발명의 바람직한 실시예를 보다 상세히 설명한다.
- [0020] 도 1은 본 발명의 일 실시예에 따른 표시 패널이 적용된 표시 장치를 설명하기 위한 분해 사시도이다.
- [0021] 도 1을 참조하면, 표시 장치는 표시 패널(100), 백라이트 유닛(200), 상부 커버(410) 및 하부 커버(420)를 포함한다.
- [0022] 상기 표시 패널(100)로는 다양한 형태의 표시 패널이 적용될 수 있다. 예를 들면, 상기 표시 패널(100)로 액정 표시 패널(liquid crystal display panel, LCD panel), 전기영동 표시 패널(electrophoretic display panel, EPD panel), 및 일렉트로웨팅 표시 패널(electrowetting display panel, EWD panel)과 같은 표시 패널을 사용하는 것이 가능하다. 본 실시예에서는 상기 표시 패널(100)로 상기 액정 표시 패널을 예로서 설명한다.
- [0023] 상기 표시 패널(100)은 장변 및 단변을 가지는 직사각형의 판상을 가지며, 화상을 표시하는 표시 영역(DA), 및 상기 표시 영역(DA) 주변의 비표시 영역(NDA)을 포함한다. 또한, 상기 표시 패널(100)은 어레이 기관(110), 상기 어레이 기관(110)에 대향되는 대향 기관(120) 및 상기 어레이 기관(110)과 상기 대향 기관(120) 사이에 형성된 액정층(미도시)을 포함한다. 또한, 상기 표시 패널(100)의 양면, 즉, 상기 어레이 기관(110) 및 상기 대향 기관(120) 각각의 외부면에는 편광 필름(미도시)이 부착될 수 있다.
- [0024] 상기 어레이 기관(110)의 상기 표시 영역(DA)에는 매트릭스 형태로 배열된 복수의 화소들(미도시)이 배치될 수 있다. 여기서, 각 화소는 다수의 서브 화소를 포함할 수 있으며, 각 서브 화소는 서로 다른 색상을 가질 수 있다. 예를 들면, 상기 각 서브 화소는 적색, 녹색, 및 청색 중 어느 하나의 색상을 가질 수 있다. 따라서, 상기 각 서브 화소에서 출사되는 광은 상기 적색, 녹색, 및 청색 중 어느 하나의 색상을 가질 수 있다. 또한, 상기 각 화소는 게이트 라인(미도시), 상기 게이트 라인과 절연되게 교차하는 데이터 라인(미도시), 및 화소 전극(미도시)을 구비할 수 있다. 또한, 상기 각 화소에는 상기 게이트 라인 및 상기 데이터 라인에 전기적으로 연결되며, 상기 화소 전극에 대응하여 전기적으로 연결된 박막 트랜지스터(미도시)가 구비될 수 있다. 상기 박막 트랜지스터는 대응하는 화소 전극 측으로 제공되는 구동 신호를 스위칭할 수 있다.
- [0025] 상기 어레이 기관(110)의 상기 비표시 영역(NDA)에는 상기 어레이 기관(110) 및 상기 대향 기관(120)을 합착시키는 봉지 패턴(미도시)이 배치될 수 있다.
- [0026] 상기 대향 기관(120)은 그 일면 상에 상기 백라이트 유닛(200)에서 제공되는 광을 이용하여 소정의 색을 구현하는 컬러 필터(미도시) 및 상기 컬러 필터 상에 형성되어 상기 화소 전극(미도시)과 대향하는 공통 전극(미도시)을 구비할 수 있다. 여기서 상기 컬러 필터는 적색, 녹색 및 청색 중 어느 하나의 색상을 가지며, 증착 또는 코팅과 같은 공정을 통하여 형성될 수 있다. 한편, 본 실시예에서는 상기 대향 기관(120)에 상기 컬러 필터가 형성된 것을 예를 들어 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 상기 컬러 필터는 상기 어레이 기관(110) 상에 형성될 수도 있다.
- [0027] 상기 액정층은 상기 화소 전극 및 상기 공통 전극에 인가되는 전압에 의하여 특정 방향으로 배열됨으로써, 상기 백라이트 유닛(200)으로부터 제공되는 상기 광의 투과도를 조절하여, 상기 표시 패널(100)이 영상을 표시할 수 있도록 한다.
- [0028] 한편, 상기 비표시 영역(NDA)에서, 상기 어레이 기관(110) 및 상기 대향 기관(120) 중 어느 하나의 외부면 상에는 신호 입력 패드(미도시)가 배치될 수 있다. 상기 신호 입력 패드는 드라이버 IC(141)가 실장된 연성 회로 기관(140)과 연결되며, 상기 연성 회로 기관(140)은 외부 회로 모듈(미도시)과 연결될 수 있다. 상기 드라이버 IC(141)는 상기 외부 회로 모듈로부터 각종 제어 신호를 입력받으며, 입력된 각종 제어 신호에 응답하여 상기 표시 패널(100)을 구동하는 구동 신호를 상기 박막 트랜지스터 측으로 출력한다.
- [0029] 상기 백라이트 유닛(200)은 상기 표시 패널(100)에서 영상이 출사되는 방향의 반대 방향에 배치된다. 상기 백라이트 유닛(200)은 도광판(210), 복수의 광원을 포함하는 광원 유닛(220), 광학 부재(230) 및 반사 시트(240)를 포함한다.
- [0030] 상기 도광판(210)은 상기 표시 패널(100)의 하부에 위치하며, 상기 광원 유닛(220)에서 방출되는 상기 광을 가이드하여 상기 표시 패널(100) 방향으로 상기 광을 출사시킨다. 특히, 상기 도광판(210)은 적어도 상기 표시 패널(100)의 표시 영역(DA)과 중첩된다. 여기서, 상기 도광판(210)은 상기 광을 출사하는 출사면, 상기 출사면에 대향하는 하면, 및 상기 출사면과 상기 하면을 연결하는 측면들을 포함한다. 또한, 상기 측면들 중 적어도 어느 하나는 상기 광원 유닛(220)과 대향하여 상기 광원 유닛(220)에서 방출하는 광이 입사되는 입사면일 수 있으며, 상기 입사면에 대향하는 측면은 광을 반사하는 대광면일 수 있다.

- [0031] 상기 광원 유닛(220)은 복수의 광원들(221), 예를 들면 복수의 발광 다이오드(light-emitting diode)가 인쇄 회로 기판(222, printed circuit board, PCB)에 실장된 형태일 수 있다.
- [0032] 여기서, 상기 광원들(221)은 모두 동일한 색상의 광을 방출할 수 있다. 예를 들면, 상기 광원들(221)은 백색 광을 방출할 수 있다.
- [0033] 또한, 상기 광원들(221)은 서로 다른 색상의 광을 방출할 수 있다. 예를 들면, 상기 광원들(221) 중 일부는 적색광을 방출할 수 있으며, 상기 광원들(221) 중 다른 일부는 녹색광을 방출할 수 있으며, 상기 광원들(221) 중 나머지는 청색광을 방출할 수 있다.
- [0034] 상기 광원 유닛(220)은 상기 도광판(210)의 측면들 중 적어도 어느 하나를 마주하여 광을 방출하도록 배치되어, 상기 표시 패널(100)이 영상을 표시하는데 사용되는 광을 상기 도광판(210)을 통하여 제공한다.
- [0035] 상기 광학 부재(230)는 상기 도광판(210) 및 상기 표시 패널(100) 사이에 제공된다. 상기 광학 부재(230)는 상기 광원 유닛(220)에서 제공되어 상기 도광판(210)을 통해 출사되는 광을 제어하는 역할을 수행한다. 또한, 상기 광학 부재(230)는 순차적으로 적층된 확산 시트(236), 프리즘 시트(234) 및 보호 시트(232)를 포함한다.
- [0036] 상기 확산 시트(236)는 상기 도광판(210)에서 출사된 광을 확산하는 역할을 수행한다. 상기 프리즘 시트(234)는 상기 확산 시트(236)에서 확산된 빛을 상부의 표시 패널(100)의 평면에 수직한 방향으로 집광하는 역할을 수행한다. 상기 프리즘 시트(234)를 통과한 빛은 거의 대부분 상기 표시 패널(100)에 수직하게 입사된다. 상기 보호 시트(232)는 상기 프리즘 시트(234) 상에 위치한다. 상기 보호 시트(232)는 상기 프리즘 시트(234)를 외부의 충격으로부터 보호한다.
- [0037] 본 실시예에서는 상기 광학 부재(230)가 상기 확산 시트(236), 상기 프리즘 시트(234), 및 상기 보호 시트(232)가 한 매씩 구비된 것을 예로 들었으나 이에 한정되는 것은 아니다. 상기 광학 부재(230)는 상기 확산 시트(236), 상기 프리즘 시트(234), 및 상기 보호 시트(232) 중 적어도 어느 하나를 복수 매 겹쳐서 사용할 수 있으며, 필요에 따라 어느 하나의 시트를 생략할 수도 있다.
- [0038] 상기 반사 시트(240)는 상기 도광판(210)의 하부에 배치되어, 상기 광원 유닛(220)에서 출사된 광 중 상기 표시 패널(100) 방향으로 제공되지 않고 누설되는 광을 반사시켜 상기 표시 패널(100) 방향으로 광의 경로를 변경시킬 수 있다. 상기 반사 시트(240)는 광을 반사하는 물질을 포함한다. 상기 반사 시트(240)는 상기 하부 커버(420) 상에 구비되어 상기 광원 유닛(220)로부터 발생된 광을 반사시킨다. 그 결과, 상기 반사 시트(240)는 상기 표시 패널(100) 측으로 제공되는 광의 양을 증가시킨다.
- [0039] 한편, 본 실시예에서는 상기 광원 유닛(220)이 상기 도광판(210)의 측면 방향으로 광을 제공하도록 배치된 것을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 상기 광원 유닛(220)은 상기 도광판(210)의 하면 방향으로 광을 제공하도록 배치될 수도 있다. 또한, 상기 백라이트 유닛(200)에서 상기 도광판(210)이 생략되고 상기 광원 유닛(220)이 상기 표시 패널(100)의 하부에 위치하여, 상기 광원 유닛(220)에서 출사된 광이 상기 표시 패널(100)로 직접 광을 제공될 수도 있다.
- [0040] 상기 상부 커버(410)는 상기 표시 패널(100)의 상부에 구비된다. 상기 상부 커버(410)는 상기 표시 패널(100)의 상기 표시 영역(DA)을 노출시키는 표시창(411)을 포함한다. 상기 상부 커버(410)는 상기 하부 커버(420)와 결합하여 상기 표시 패널(100)의 전면 가장자리를 지지한다.
- [0041] 상기 하부 커버(420)는 백라이트 유닛(200)의 하부에 구비된다. 상기 하부 커버(420)는 상기 표시 패널(100) 및 상기 백라이트 유닛(200)을 수용할 수 있는 공간을 포함한다. 또한, 상기 하부 커버(420)는 상기 상부 커버(410)와 결합되어 그 내부 공간에 상기 표시 패널(100) 및 백라이트 유닛(200)을 수납하고 지지한다.
- [0042] 도 2는 도 1에 도시된 표시 패널을 설명하기 위한 하방 사시도이며, 도 3은 도 2의 A 영역의 확대도이며, 도 4는 도 2에 도시된 표시 패널을 설명하기 위한 평면도이며, 도 5는 도 4의 B 영역의 확대도이며, 도 6은 도 2에 도시된 표시 패널을 설명하기 위한 배면도이며, 도 7은 도 6의 C 영역의 확대도이며, 도 8은 도 2에 도시된 표시 패널에 연성 회로 기판이 연결된 상태를 설명하기 위한 하방 사시도이며, 도 9는 도 8의 일부 단면도이다.
- [0043] 도 2 내지 도 9를 참조하면, 표시 패널(100)은 영상을 표시하는 표시 영역(DA), 및 상기 표시 영역(DA)의 외부에 배치되는 비표시 영역(NDA)을 포함한다. 여기서, 상기 비표시 영역은 상기 표시 영역(DA)을 둘러싸는 형태로 배치될 수 있다.
- [0044] 또한, 상기 표시 패널(100)은 어레이 기판(110), 상기 어레이 기판(110)에 마주하는 대향 기판(120), 상기 어레이

이 기관(110)과 상기 대향 기관(120) 사이에 배치되는 액정층(130), 및 상기 비표시 영역(NDA)에서, 상기 어레이 기관(110) 및 상기 대향 기관(120) 중 어느 하나의 외부면 상에 배치된 신호 입력 패드(SIP)를 포함한다. 예를 들면, 상기 신호 입력 패드(SIP)는 상기 어레이 기관(110)의 외부면 상에 배치될 수 있다.

[0045] 상기 어레이 기관(110)은 상기 표시 패널(100)의 형상에 대응하므로, 상기 표시 영역(DA) 및 상기 비표시 영역(NDA)으로 구분될 수 있다. 상기 어레이 기관(110)의 상기 표시 영역(DA)에는 색상을 구현할 수 있는 복수의 화소들이 매트릭스 형태로 배열될 수 있으며, 각 화소에는 박막 트랜지스터(TFT) 및 화소 전극(115)이 배치될 수 있다.

[0046] 상기 어레이 기관(110)을 보다 상세히 설명하면, 상기 어레이 기관(110)은 제1 베이스 기관(111), 상기 표시 영역(DA)에서 상기 제1 베이스 기관(111) 상에 배치되는 상기 박막 트랜지스터(TFT), 및 상기 박막 트랜지스터(TFT)와 접속된 상기 화소 전극(115)을 포함한다.

[0047] 상기 제1 베이스 기관(111)은 장변 및 단변을 구비하는 직사각의 판상으로, 상기 비표시 영역(NDA)의 일부 및 상기 표시 영역(DA)에 배치될 수 있다. 또한, 상기 제1 베이스 기관(111)은 상기 대향 기관(120)과 마주하는 상면, 상기 상면에 대향하는 하면, 및 상기 상면과 하면을 연결하는 측면을 포함할 수 있다.

[0048] 상기 제1 베이스 기관(111)은 투명 절연 물질을 포함하여 광의 투과가 가능하다. 상기 제1 베이스 기관(111)은 리지드 타입(Rigid type) 기관일 수 있으며, 플렉서블 타입(Flexible type)일 수도 있다. 상기 리지드 타입의 기관은 유리 기관, 석영 기관, 유리 세라믹 기관 및 결정질 유리 기관을 포함한다. 상기 플렉서블 타입의 기관은 고분자 유기물을 포함하는 필름 기관 및 플라스틱 기관을 포함한다. 상기 제1 베이스 기관(111)에 채용되는 물질은 제조 공정시 높은 처리 온도에 대해 저항성(또는 내열성)을 갖는 것이 바람직하다.

[0049] 상기 박막 트랜지스터(TFT)는 상기 제1 베이스 기관(111)의 상에 배치되고, 반도체층(SCL), 게이트 전극(GE), 소스 전극(SE) 및 드레인 전극(DE)을 포함할 수 있다. 상기 박막 트랜지스터(TFT)를 보다 상세히 설명하면, 상기 제1 베이스 기관(111) 상에 배치된 상기 게이트 전극(GE), 상기 게이트 전극(GE)을 커버하는 게이트 절연막(112), 상기 게이트 절연막(112) 상에 배치되는 상기 반도체층(SCL), 및 상기 반도체층(SCL)의 양단에 각각 접속하는 소스 전극(SE)과 드레인 전극(DE)을 포함한다. 여기서, 상기 반도체층(SCL)은 상기 게이트 전극(GE)과 평면상에서 중첩하는 채널 영역, 상기 소스 전극(SE)과 접속하는 소스 영역, 및 상기 드레인 전극(DE)과 접속하는 드레인 영역을 포함할 수 있다. 상기 박막 트랜지스터(TFT)의 상기 게이트 전극(GE)은 스캔 신호 또는 게이트 신호를 상기 박막 트랜지스터(TFT)로 전송하는 게이트 라인(GL)과 접속할 수 있다. 상기 박막 트랜지스터(TFT)의 상기 소스 전극(SE)은 데이터 전압을 상기 박막 트랜지스터(TFT)로 전송하는 데이터 라인(DL)과 접속할 수 있다.

[0050] 한편, 상기에서는 박막 트랜지스터(TFT)의 상기 게이트 전극(GE)이 상기 반도체층(SCL) 하부에 위치하는 바텀 게이트 구조의 박막 트랜지스터를 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 상기 박막 트랜지스터(TFT)는 상기 게이트 전극(GE)이 상기 반도체층(SCL) 상부에 위치하는 탑 게이트 구조의 박막 트랜지스터일 수도 있다.

[0051] 상기 박막 트랜지스터(TFT)는 신호 라인(SL)을 통하여 상기 신호 입력 패드(SIP)와 전기적으로 연결된다. 상기 신호 라인(SL)은 상기 게이트 라인(GL) 및 상기 데이터 라인(DL) 중 어느 하나일 수 있으며, 상기 비표시 영역(NDA)로 연장될 수 있다. 여기서, 상기 신호 입력 패드(SIP)가 상기 게이트 라인(GL)과 연결되는 경우, 상기 신호 입력 패드(SIP)는 게이트 패드일 수 있다. 또한, 상기 신호 입력 패드(SIP)가 데이터 라인(DL)과 연결되는 경우, 상기 신호 입력 패드(SIP)는 데이터 패드일 수 있다.

[0052] 상기 신호 입력 패드(SIP)는 상기 비표시 영역(NDA)에서, 상기 어레이 기관(110) 및 상기 대향 기관(120) 중 어느 하나의 외부면 상에 배치될 수 있다. 예를 들면, 상기 신호 입력 패드(SIP)는 상기 어레이 기관(110)의 외부면, 즉, 상기 제1 베이스 기관(111)의 상기 하면 상에 배치될 수 있다. 또한, 상기 신호 입력 패드(SIP)는 드라이버 IC(141)가 실장된 연성 회로 기관(140)과 접속될 수 있다. 여기서, 상기 드라이버 IC(141)는 외부 회로 모듈로부터 각종 제어 신호를 입력받으며, 입력된 각종 제어 신호에 응답하여 상기 표시 패널(100)을 구동하는 구동 신호를 상기 신호 입력 패드(SIP)를 통하여 상기 박막 트랜지스터(TFT) 측으로 출력한다.

[0053] 상기 신호 입력 패드(SIP)는 상기 제1 베이스 기관(111)의 측면을 따라 형성된 연결 라인(CL)을 통하여 상기 신호 라인(SL)과 전기적으로 연결된다. 이를 보다 상세히 설명하면, 상기 연결 라인(CL)은 상기 신호 라인(SL) 상에 배치되는 제1 영역(CL1), 상기 제1 영역(CL1)에 연결되고, 상기 제1 베이스 기관(111)의 측면에 배치되는 제2 영역(CL2), 및 상기 제1 베이스 기관(111)의 하면에 배치되어 상기 제2 영역(CL2) 및 상기 신호 입력 패드

(SIP)를 연결하는 제3 영역(CL3)을 포함한다.

- [0054] 한편, 상기 박막 트랜지스터(TFT) 상에는 보호막(114)이 배치된다. 상기 보호막(114)의 일부 영역은 개구(open)되어 상기 드레인 전극(DE)의 일부를 노출시키는 콘택 홀(CH)일 수 있다. 또한, 상기 보호막(114)은 경우에 따라 다층 구조를 가질 수 있다. 예를 들면, 상기 보호막(114)은 상기 박막 트랜지스터(TFT) 및 상기 게이트 절연막(112)을 커버하고 무기물로 이루어지는 무기 보호막, 상기 무기 보호막 상에 배치되고 유기물로 이루어지는 유기 보호막을 포함할 수 있다. 여기서, 상기 유기 보호막은 하부의 박막 트랜지스터(TFT)에 의해 발생하는 단차를 제거하여 평탄화된 표면을 가질 수 있다.
- [0055] 상기 보호막(114)의 상부에는 상기 화소 전극(115)이 배치되며, 상기 화소 전극(115)은 상기 콘택 홀(CH)을 통하여 상기 드레인 전극(DE)과 전기적으로 연결된다. 상기 화소 전극(115)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명 도전성 산화물을 포함할 있다.
- [0056] 상기 비표시 영역(NDA)에서, 상기 보호막(114)의 상부에는 공통 전압 패드(117)가 배치될 수 있다. 상기 공통 전압 패드(117)는 도전성을 가지는 봉지 패턴(SP)에 접촉하여 상기 대향 기관(120)의 공통 전극(125)에 공통 전압이 인가될 수 있도록 한다. 상기 공통 전압 패드(117)는 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명 도전성 산화물을 포함할 있다.
- [0057] 상기 봉지 패턴(SP)은 상기 표시 영역(DA)을 감싸도록 배치되어 상기 어레이 기관(110) 및 상기 대향 기관(120)을 함착하며, 상기 액정층(130)이 외부로 누출되는 것을 방지할 수 있다.
- [0058] 상기 봉지 패턴(SP)은 제1 방향, 예를 들면, 상기 어레이 기관(110) 및 상기 대향 기관(120)에 평행한 방향으로 절연성을 가지며, 제2 방향, 예를 들면, 상기 제1 방향에 수직인 방향으로 도전성을 가지는 이방성 도전체일 수 있다. 따라서, 상기 봉지 패턴(SP)은 상기 공통 전압 패드(117)를 통하여 상기 공통 전압을 상기 공통 전극(125)에 전달할 수 있다.
- [0059] 상기 대향 기관(120)은 상기 표시 영역(DA), 및 상기 비표시 영역(NDA)에 배치되고, 상기 대향 기관(120)의 면적은 상기 어레이 기관(110)의 면적과 같거나 클 수 있다. 상기 대향 기관(120)의 면적은 상기 어레이 기관(110)의 면적과 실질적으로 동일한 것이 바람직하다. 만약 상기 대향 기관(120)의 면적이 상기 어레이 기관(110)의 면적보다 큰 경우, 상기 대향 기관(120) 및 상기 어레이 기관(110)이 중첩하지 않는 영역은 비중첩 영역(NOA)일 수 있다.
- [0060] 상기 대향 기관(120)은 제2 베이스 기관(121) 및 상기 제2 베이스 기관(121) 위에 형성된 공통 전극(125)을 포함한다. 상기 제2 베이스 기관(121)의 면적은 상기 제1 베이스 기관(111)의 면적보다 크거나 같을 수 있다. 여기서, 상기 제2 베이스 기관(121)의 면적은 상기 제1 베이스 기관(111)의 면적과 실질적으로 동일한 것이 바람직하다. 또한, 상기 제2 베이스 기관(121)은 상기 제1 베이스 기관(111)과 마찬가지로, 리지드 타입의 기관 또는 플렉서블 타입의 기관일 수 있다. 상기 공통 전극(125)은 상기 화소 전극(115)과 같이, 투명 도전성 산화물을 포함할 수 있다. 상기 공통 전극(125)은 도전성을 갖는 상기 봉지 패턴(SP)를 통하여 전달받은 공통 전압(Vcom)을 상기 각 화소에 전달한다.
- [0061] 상기 액정층(130)은 복수의 액정 분자들을 포함한다. 상기 액정 분자들은 상기 화소 전극(115) 및 상기 공통 전극(125) 사이에 형성되는 전계에 의하여 특정 방향으로 배열되어 광의 투과도를 조절할 수 있다. 따라서, 상기 액정층(130)은 상기 전계에 의하여 상기 백라이트 유닛(200)으로부터 제공되는 상기 광을 투과시켜, 상기 표시 패널(100)이 영상을 표시할 수 있도록 한다.
- [0062] 상술한 바와 같은 표시 패널(100)에서는 상기 신호 입력 패드(SIP)가 상기 어레이 기관(110)의 외부면, 즉 상기 제1 베이스 기관(111)의 하면 상에 배치되고, 상기 제1 베이스 기관(111)의 측면을 따라 형성된 상기 연결 라인(CL)을 통하여 상기 신호 라인(SL)과 전기적으로 연결된다. 따라서, 상기 표시 패널(100)은 상기 비표시 영역(NDA)가 차지하는 영역을 최소화할 수 있다. 따라서, 상기 표시 패널(100)의 상기 비표시 영역(NDA)가 최소화되므로, 상기 표시 패널(100)을 구비하는 표시 장치는 상기 표시 패널(100)을 수용하는 상부 커버 및 하부 커버에서 상기 비표시 영역(NDA)에 대응하는 공간이 축소될 수 있다.
- [0063] 도 10 내지 도 13은 도 8 및 도 9에 도시된 표시 패널의 제조 방법을 설명하기 위한 공정 단면도이다.
- [0064] 도 10을 참조하면, 우선, 어레이 기관(110)을 제조한다. 상기 어레이 기관(110)은 표시 영역(DA), 및 상기 표시 영역(DA)의 외부에 배치되는 비표시 영역(NDA)을 포함한다.
- [0065] 또한, 상기 어레이 기관(110)은 제1 베이스 기관(111), 상기 제1 베이스 기관(111) 상에 배치되는 상기 박막

트랜지스터(TFT), 상기 박막 트랜지스터(TFT)와 접속된 상기 화소 전극(115), 및 상기 박막 트랜지스터(TFT)와 접속하여 상기 비표시 영역(NDA)으로 연장된 신호 라인(SL), 상기 박막 트랜지스터(TFT)와 접속하여 상기 비표시 영역(NDA)으로 연장된 신호 라인(SL), 및 상기 비표시 영역(NDA)에 배치된 공통 전압 패드(117)를 포함한다.

[0066] 상기 어레이 기판(110)을 제조하는 방법을 보다 상세히 설명하면 하기와 같다.

[0067] 우선, 제1 베이스 기판(111)을 준비한다. 여기서, 상기 제1 베이스 기판(111)은 광 투과가 가능하며, 장변 및 단변을 가지는 직사각형의 판상일 수 있다. 상기 제1 베이스 기판(111)은 상면, 상기 상면에 대향하는 하면, 및 상기 상면과 하면을 연결하는 측면을 포함할 수 있다. 또한, 상기 제1 베이스 기판(111)은 상기 표시 영역(DA) 및 상기 비표시 영역(NDA)에 배치될 수 있다.

[0068] 상기 제1 베이스 기판(111)을 준비한 후, 상기 제1 베이스 기판(111)의 상기 상면 상에 상기 박막 트랜지스터(TFT)를 형성한다. 상기 박막 트랜지스터(TFT)는 게이트 전극(GE), 반도체층(SCL), 소스 전극(SE) 및 드레인 전극(DE)을 포함할 수 있다.

[0069] 상기 박막 트랜지스터(TFT)를 제조하는 방법을 보다 상세히 설명하면, 우선, 상기 제1 베이스 기판(111) 상에 게이트 전극(GE)을 형성하고, 상기 게이트 전극(GE)을 커버하는 게이트 절연막(112)을 형성한다. 그런 다음, 상기 게이트 절연막(112) 상에 반도체층(SCL)을 형성하고, 상기 반도체층(SCL)의 소스 영역 및 드레인 영역에 각각 접속하는 소스 전극(SE) 및 드레인 전극(DE)을 형성한다. 상기 소스 영역 및 상기 드레인 영역 사이의 영역은 채널 영역일 수 있다. 또한, 상기 소스/드레인 전극(SE,DE)의 형성과 함께 상기 비표시 영역에 신호 라인(SL)을 형성한다. 상기 신호 라인(SL)은 상기 소스 전극(SE)에 연결되는 데이터 라인이 상기 비표시 영역(NDA)으로 연장되어 형성될 수 있다.

[0070] 상기 박막 트랜지스터(TFT)를 형성한 후, 상기 박막 트랜지스터(TFT)를 커버하는 보호막(114)을 형성한다. 상기 보호막(114)은 무기물, 유기물 또는 유무기 복합물질을 포함할 수 있다.

[0071] 상기 보호막(114)을 형성한 후, 상기 드레인 전극(DE)의 일부를 노출시키도록 상기 보호막(114)의 일부를 패터닝하여 제거한다. 상기 제거된 영역은 콘택 홀(CH)일 수 있다. 여기서, 상기 콘택 홀(CH)의 형성과 동시에 상기 비표시 영역(NDA)의 보호막(114)이 일부 제거되어 상기 박막 트랜지스터(TFT)와 접속하는 상기 신호 라인(SL)이 노출된다.

[0072] 상기 드레인 전극(DE)의 일부를 노출시킨 후, 투명 도전성 산화물을 증착하고 패터닝한다. 상기 패터닝에 의하여 상기 표시 영역(DA)에는 상기 콘택 홀(CH)을 통하여 상기 박막 트랜지스터(TFT)의 상기 드레인 전극(DE)과 접속하는 상기 화소 전극(115)이 형성된다. 또한, 상기 패터닝에 의하여 상기 비표시 영역(NDA)에는 공통 전압 패드(117)가 형성된다.

[0073] 도 11을 참조하면, 상기 어레이 기판(110)을 형성한 후, 상기 어레이 기판(110)의 상기 비표시 영역(NDA)에 봉지 패턴(SP)을 배치한다. 즉, 상기 봉지 패턴(SP)은 상기 표시 영역(DA)을 둘러싸는 형상을 가질 수 있으며, 상기 공통 전압 패드(117)와 중첩된다.

[0074] 상기 봉지 패턴(SP)은 제1 방향, 예를 들면, 상기 어레이 기판(110) 및 상기 대향 기판(120)에 평행한 방향으로 절연성을 가지며, 제2 방향, 예를 들면, 상기 제1 방향에 수직인 방향으로 절연성을 가지는 이방성 도전체일 수 있다.

[0075] 상기 봉지 패턴(SP)을 형성한 후, 상기 표시 영역(DA)에 다수의 액정 분자들을 포함하는 액정층(130)을 배치한다.

[0076] 상기 액정층(130)을 배치한 후, 제2 베이스 기판(121) 및 상기 제2 베이스 기판(121) 상에 배치된 공통 전극(125)을 포함하는 대향 기판(120)을 준비한다.

[0077] 상기 대향 기판(120)은 상기 표시 영역(DA), 및 상기 비표시 영역(NDA)에 배치되고, 상기 대향 기판(120)의 면적은 상기 어레이 기판(110)의 면적과 같거나 클 수 있다. 상기 대향 기판(120)의 면적은 상기 어레이 기판(110)의 면적과 실질적으로 동일한 것이 바람직하다. 만약 상기 대향 기판(120)의 면적이 상기 어레이 기판(110)의 면적보다 큰 경우, 상기 대향 기판(120) 및 상기 어레이 기판(110)이 중첩하지 않는 영역은 비중첩 영역(NOA)일 수 있다.

[0078] 상기 대향 기판(120)은 제2 베이스 기판(121) 및 상기 제2 베이스 기판(121) 위에 형성된 공통 전극(125)을 포함한다. 상기 제2 베이스 기판(121)의 면적은 상기 제1 베이스 기판(111)의 면적보다 크거나 같을 수 있다. 여

기서, 상기 제2 베이스 기판(121)의 면적은 상기 제1 베이스 기판(111)의 면적과 실질적으로 동일한 것이 바람직하다. 또한, 상기 제2 베이스 기판(121)은 상기 제1 베이스 기판(111)과 마찬가지로, 리지드 타입의 기판 또는 플렉서블 타입의 기판일 수 있다. 상기 공통 전극(125)은 상기 화소 전극(115)과 같이, 투명 도전성 산화물을 포함할 수 있다.

[0079] 그런 다음, 상기 대향 기판(120)의 공통 전극(125)이 상기 어레이 기판(110)을 향하도록 배치한다. 여기서, 상기 어레이 기판(110) 및 상기 대향 기판(120)은 상기 봉지 패턴(SP)에 의하여 합착된다. 따라서, 상기 봉지 패턴(SP)은 상기 표시 영역(DA)을 감싸도록 배치되고 상기 어레이 기판(110) 및 상기 대향 기판(120)을 합착하므로, 상기 액정층(130)이 외부로 누출되는 것을 방지할 수 있다.

[0080] 여기서, 상기 봉지 패턴(SP)은 상기 대향 기판(120)의 공통 전극(125)과 접속한다. 따라서, 상기 봉지 패턴(SP)은 상기 공통 전압 패드(117)를 통하여 공통 전압(Vcom)을 인가받고, 상기 공통 전압을 상기 공통 전극(125)으로 전달한다. 상기 공통 전극(125)은 각 화소에 상기 공통 전압을 인가할 수 있다.

[0081] 한편, 본 실시예에서는 상기 봉지 패턴(SP)을 형성한 후, 상기 액정층(130)을 배치하고, 상기 어레이 기판(110) 및 상기 대향 기판(120)을 합착하는 방법을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 상기 봉지 패턴(SP)을 형성하고, 상기 어레이 기판(110) 및 상기 대향 기판(120)을 합착한 후, 상기 액정층(130)을 상기 어레이 기판(110) 및 상기 대향 기판(120) 사이의 공간으로 주입하는 방법을 사용할 수도 있다.

[0082] 도 12를 참조하면, 상기 어레이 기판(110) 및 상기 대향 기판(120)을 합착한 후, 상기 신호 라인(SL)과 전기적으로 연결되는 신호 입력 패드(SIP), 및 상기 신호 라인(SL) 및 상기 신호 입력 패드(SIP)를 연결하는 연결 라인(CL)을 형성한다.

[0083] 상기 신호 입력 패드(SIP)는 상기 어레이 기판(110)의 외부면, 즉, 상기 제1 베이스 기판(111)의 상기 하면에 형성될 수 있다.

[0084] 또한, 상기 연결 라인(CL)은 상기 제1 베이스 기판(111)의 측면을 따라 상기 신호 라인(SL) 및 상기 신호 입력 패드(SIP)를 연결한다. 이를 보다 상세히 설명하면, 상기 연결 라인(CL)은 상기 신호 라인(SL) 상에 배치되는 제1 영역(CL1), 상기 제1 영역(CL1)에 연결되고, 상기 제1 베이스 기판(111)의 측면에 배치되는 제2 영역(CL2), 및 상기 제1 베이스 기판(111)의 하면에 배치되어 상기 제2 영역(CL2) 및 상기 신호 입력 패드(SIP)를 연결하는 제3 영역(CL3)을 포함한다.

[0085] 여기서, 상기 신호 입력 패드(SIP) 및 상기 연결 라인(CL)은 에어로졸 젯 프린팅(Aerosol Jet Printing) 방법을 통하여 동시에 형성될 수 있다.

[0086] 상기 에어로졸 젯 프린팅 방법은 기존의 잉크젯 프린팅 방법과 달리, 잉크를 초음파나 고속으로 분사되는 캐리어 가스에 의해 원자화시켜 고속으로 기판에 분사하여 굴곡이 있는 기판 표면에 금속잉크를 인쇄한 후, 레이저를 이용해 소결하여 전도도가 우수한 배선을 형성하는데 주로 이용되는 방식이다. 또한, 상기 에어로졸 젯 프린팅 방법은 비접촉식 패턴 형성 방법으로, 기존 스크린 프린팅 방법보다 기판의 손상이 적게 인쇄하는 것이 가능하다.

[0087] 도 13을 참조하면, 상기 연결 라인(CL) 및 상기 신호 입력 패드(SIP)를 형성한 후, 상기 신호 입력 패드(SIP)에 드라이버 IC(141)를 구비하는 연성 회로 기판(140)을 부착한다.

[0088] 상기한 바와 같은 공정을 통하여 제조된 상기 표시 패널에서, 상기 신호 입력 패드(SIP)는 상기 어레이 기판(110)의 외부면, 즉 상기 제1 베이스 기판(111)의 하면 상에 배치되고, 상기 제1 베이스 기판(111)의 측면을 따라 형성된 상기 연결 라인(CL)을 통하여 상기 신호 라인(SL)과 전기적으로 연결된다. 따라서, 상기 표시 패널은 상기 비표시 영역(NDA)가 차지하는 영역을 최소화할 수 있다. 따라서, 상기 표시 패널(100)의 상기 비표시 영역(NDA)가 최소화되므로, 상기 표시 패널을 구비하는 표시 장치는 상기 표시 패널을 수용하는 상부 커버 및 하부 커버에서 상기 비표시 영역(NDA)에 대응하는 공간이 축소될 수 있다.

[0089] 이후에는 상기 표시 패널을 백라이트 유닛과 함께 상기 상부 커버 및 상기 하부 커버에 수납하는 공정을 진행하여 표시 장치를 제조할 수 있다.

[0090] 이하, 도 14 내지 도 22를 통하여 본 발명의 다른 실시예를 설명한다. 도 14 내지 도 22에 있어서, 도 1에서 도 13에 도시된 구성 요소와 동일한 구성 요소는 동일한 참조번호를 부여하고, 그에 대한 구체적인 설명은 생략한다. 또한, 도 14 내지 도 22에서는 중복된 설명을 피하기 위하여, 도 1 내지 도 13과 다른 점을 위주로 설명한다.

다.

- [0091] 도 14는 본 발명의 다른 실시예에 따른 표시 패널을 설명하기 위한 사시도이며, 도 15는 도 14의 D 영역의 확대도이며, 도 16은 도 14에 도시된 표시 패널을 설명하기 위한 평면도이며, 도 17은 도 16의 E 영역의 확대도이며, 도 18은 도 14에 도시된 표시 패널에 연성 회로 기판이 연결된 상태를 설명하기 위한 사시도이며, 도 19는 도 18의 일부 단면도이다.
- [0092] 도 14 내지 도 19를 참조하면, 표시 패널(100)은 영상을 표시하는 표시 영역(DA), 및 상기 표시 영역(DA)의 외부에 배치되는 비표시 영역(NDA)을 포함한다.
- [0093] 또한, 상기 표시 패널(100)은 어레이 기판(110), 상기 어레이 기판(110)에 마주하는 대향 기판(120), 및 상기 어레이 기판(110)과 상기 대향 기판(120) 사이에 배치되는 액정층(130), 및 상기 비표시 영역(NDA)에서, 상기 어레이 기판(110) 및 상기 대향 기판(120) 중 어느 하나의 외부면 상에 배치된 신호 입력 패드(SIP)를 포함한다. 예를 들면, 상기 신호 입력 패드(SIP)는 상기 대향 기판(120)의 외부면 상에 배치될 수 있다.
- [0094] 상기 어레이 기판(110)은 상기 표시 패널(100)의 형상에 대응하므로, 상기 표시 영역(DA) 및 상기 비표시 영역(NDA)으로 구분될 수 있다. 또한, 상기 어레이 기판(110)은 제1 베이스 기판(111), 상기 제1 베이스 기판(111)의 상부면 상에 배치되는 상기 박막 트랜지스터(TFT), 및 상기 박막 트랜지스터(TFT)와 접속된 상기 화소 전극(115)을 포함한다.
- [0095] 상기 제1 베이스 기판(111)은 상기 표시 영역(DA) 및 상기 비표시 영역(NDA)에 배치되고, 장변 및 단변을 구비하는 직사각의 판상일 수 있다. 또한, 상기 제1 베이스 기판(111)은 상기 대향 기판(120)과 마주하는 상면, 상기 상면에 대향하는 하면, 및 상기 상면과 하면을 연결하는 측면을 포함할 수 있다.
- [0096] 상기 박막 트랜지스터(TFT)는 상기 제1 베이스 기판(111) 상에 배치되고, 반도체층(SCL), 게이트 전극(GE), 소스 전극(SE) 및 드레인 전극(DE)을 포함할 수 있다. 상기 소스 전극(SE)은 데이터 전압을 상기 박막 트랜지스터(TFT)로 전송하는 데이터 라인(DL)과 접속할 수 있다.
- [0097] 상기 박막 트랜지스터(TFT)는 신호 라인(SL)을 통하여 상기 신호 입력 패드(SIP)와 전기적으로 연결된다. 상기 신호 라인(SL)은 상기 게이트 라인(GL) 및 상기 데이터 라인(DL) 중 어느 하나일 수 있으며, 상기 비표시 영역(NDA)로 연장될 수 있다. 여기서, 상기 신호 입력 패드(SIP)가 상기 게이트 라인(GL)과 연결되는 경우, 상기 신호 입력 패드(SIP)는 게이트 패드일 수 있다. 또한, 상기 신호 입력 패드(SIP)가 데이터 라인(DL)과 연결되는 경우, 상기 신호 입력 패드(SIP)는 데이터 패드일 수 있다.
- [0098] 상기 박막 트랜지스터(TFT) 상에는 보호막(114)이 배치된다. 상기 보호막(114)의 일부 영역은 개구(open)되어 상기 드레인 전극(DE)의 일부를 노출시키는 콘택 홀(CH)일 수 있다.
- [0099] 상기 보호막(114)의 상부에는 상기 화소 전극(115)이 배치되며, 상기 화소 전극(115)은 상기 콘택 홀(CH)을 통하여 상기 드레인 전극(DE)과 전기적으로 연결된다.
- [0100] 상기 대향 기판(120)은 상기 표시 영역(DA), 및 상기 비표시 영역(NDA)에 배치되고, 상기 대향 기판(120)의 면적은 상기 어레이 기판(110)의 면적과 같거나 작을 수 있다. 상기 대향 기판(120)의 면적은 상기 어레이 기판(110)의 면적과 실질적으로 동일한 것이 바람직하다. 만약 상기 대향 기판(120)의 면적이 상기 어레이 기판(110)의 면적보다 작을 경우, 상기 대향 기판(120) 및 상기 어레이 기판(110)이 중첩하지 않는 영역은 비중첩 영역(NOA)일 수 있다.
- [0101] 상기 대향 기판(120)은 제2 베이스 기판(121) 및 상기 제2 베이스 기판(121) 위에 형성된 공통 전극(125)을 포함한다. 상기 제2 베이스 기판(121)의 면적은 상기 제1 베이스 기판(111)의 면적보다 작거나 같을 수 있다. 여기서, 상기 제2 베이스 기판(121)의 면적은 상기 제1 베이스 기판(111)의 면적과 실질적으로 동일한 것이 바람직하다. 또한, 상기 제2 베이스 기판(121)은 상기 어레이 기판(110)과 마주하는 하면, 상기 하면에 대향하는 상면, 및 상기 상면과 상기 하면을 연결하는 측면을 포함할 수 있다.
- [0102] 상기 비표시 영역(NDA)의 상기 어레이 기판(110) 및 상기 대향 기판(120) 사이에는 봉지 패턴(SP)이 배치될 수 있다. 상기 봉지 패턴(SP)은 도전성을 가지며, 공통 전압 패드(117)와 접촉하여 상기 대향 기판(120)의 공통 전극(125)에 공통 전압이 인가될 수 있도록 한다.
- [0103] 상기 신호 입력 패드(SIP)는 비표시 영역(NDA)에서, 상기 대향 기판(120)의 외부면, 즉, 상기 제2 베이스 기판(121)의 상면 상에 배치될 수 있다. 또한, 상기 신호 입력 패드(SIP)는 드라이버 IC(141)가 실장된 연성 회로

기관(140)과 접속될 수 있다.

- [0104] 상기 신호 입력 패드(SIP)는 상기 제2 베이스 기관(121)의 측면을 따라 형성된 연결 라인(CL)을 통하여 상기 신호 라인(SL)과 전기적으로 연결된다. 이를 보다 상세히 설명하면, 상기 연결 라인(CL)은 상기 신호 라인(SL) 상에 배치되는 제4 영역(CL4), 상기 제4 영역(CL4)에 연결되고 봉지 패턴(SP)의 오부면 상에 배치되는 제5 영역(CL5), 상기 제5 영역(CL5)에 연결되고, 상기 제2 베이스 기관(121)의 상기 하면에 배치되는 제6 영역(CL6), 상기 제6 영역(CL6)에 연결되고 상기 제2 베이스 기관(121)의 측면에 배치되는 제7 영역(CL7), 및 상기 제2 베이스 기관(121)의 상면에 배치되어, 상기 제7 영역(CL7) 및 상기 신호 입력 패드(SIP)를 연결하는 제8 영역(CL8)을 포함할 수 있다.
- [0105] 상술한 바와 같은 표시 패널(100)에서는 상기 신호 입력 패드(SIP)가 상기 어레이 기관(110)의 외부면, 즉 상기 제2 베이스 기관(121)의 상기 상면 상에 배치되고, 상기 제2 베이스 기관(121)의 측면을 따라 형성된 상기 연결 라인(CL)을 통하여 상기 신호 라인(SL)과 전기적으로 연결된다. 따라서, 상기 표시 패널(100)은 상기 비표시 영역(NDA)가 차지하는 영역을 최소화할 수 있다. 따라서, 상기 표시 패널(100)의 상기 비표시 영역(NDA)가 최소화되므로, 상기 표시 패널(100)을 구비하는 표시 장치는 상기 표시 패널(100)을 수용하는 상부 커버 및 하부 커버에서 상기 비표시 영역(NDA)에 대응하는 공간이 축소될 수 있다.
- [0106] 도 20 내지 도 22는 도 18 및 도 19에 도시된 표시 패널의 제조 방법을 설명하기 위한 공정 단면도이다.
- [0107] 도 20을 참조하면, 어레이 기관(110) 및 대향 기관(120)을 준비하고, 봉지 패턴(SP)을 이용하여 상기 어레이 기관(110) 및 상기 대향 기관(120)을 합착한다.
- [0108] 상기 어레이 기관(110)은 상기 어레이 기관(110)은 표시 영역(DA), 및 상기 표시 영역(DA)의 외부에 배치되는 비표시 영역(NDA)을 포함한다.
- [0109] 또한, 상기 어레이 기관(110)은 제1 베이스 기관(111), 상기 제1 베이스 기관(111) 상에 배치되는 상기 박막 트랜지스터(TFT), 상기 박막 트랜지스터(TFT)와 접속된 상기 화소 전극(115), 상기 박막 트랜지스터(TFT)와 접속하여 상기 비표시 영역(NDA)으로 연장된 신호 라인(SL), 및 상기 비표시 영역(NDA)에 배치된 공통 전압 패드(117)를 포함한다.
- [0110] 상기 대향 기관(120)은 상기 표시 영역(DA), 및 상기 비표시 영역(NDA)에 배치되고, 상기 대향 기관(120)의 면적은 상기 어레이 기관(110)의 면적과 작거나 같을 수 있다. 상기 대향 기관(120)의 면적은 상기 어레이 기관(110)의 면적과 실질적으로 동일한 것이 바람직하다. 만약 상기 대향 기관(120)의 면적이 상기 어레이 기관(110)의 면적보다 작을 경우, 상기 대향 기관(120) 및 상기 어레이 기관(110)이 중첩하지 않는 영역은 비중첩 영역(NOA)일 수 있다.
- [0111] 상기 대향 기관(120)은 제2 베이스 기관(121) 및 상기 제2 베이스 기관(121) 위에 형성된 공통 전극(125)을 포함한다. 상기 제2 베이스 기관(121)의 면적은 상기 제1 베이스 기관(111)의 면적보다 같거나 작을 수 있다. 여기서, 상기 제2 베이스 기관(121)의 면적은 상기 제1 베이스 기관(111)의 면적과 실질적으로 동일한 것이 바람직하다. 또한, 상기 제2 베이스 기관(121)은 상기 어레이 기관(110)과 마주하는 하면, 상기 하면에 대향하는 상면, 및 상기 상면과 상기 하면을 연결하는 측면을 포함할 수 있다.
- [0112] 도 21을 참조하면, 상기 어레이 기관(110) 및 상기 대향 기관(120)을 합착한 후, 상기 신호 라인(SL)과 전기적으로 연결되는 신호 입력 패드(SIP), 및 상기 신호 라인(SL) 및 상기 신호 입력 패드(SIP)를 연결하는 연결 라인(CL)을 형성한다.
- [0113] 상기 신호 입력 패드(SIP)는 상기 대향 기관(120)의 외부면, 즉, 상기 제2 베이스 기관(121)의 상기 상면에 형성될 수 있다. 또한, 상기 연결 라인(CL)은 상기 신호 라인(SL) 상에 배치되는 제4 영역(CL4), 상기 제4 영역(CL4)에 연결되고 봉지 패턴(SP)의 오부면 상에 배치되는 제5 영역(CL5), 상기 제5 영역(CL5)에 연결되고, 상기 제2 베이스 기관(121)의 상기 하면에 배치되는 제6 영역(CL6), 상기 제6 영역(CL6)에 연결되고 상기 제2 베이스 기관(121)의 측면에 배치되는 제7 영역(CL7), 및 상기 제2 베이스 기관(121)의 상면에 배치되어, 상기 제7 영역(CL7) 및 상기 신호 입력 패드(SIP)를 연결하는 제8 영역(CL8)을 포함할 수 있다.
- [0114] 여기서, 상기 신호 입력 패드(SIP) 및 상기 연결 라인(CL)은 에어로졸 젯 프린팅(Aerosol Jet Printing) 방법을 통하여 동시에 형성될 수 있다.
- [0115] 도 22를 참조하면, 상기 연결 라인(CL) 및 상기 신호 입력 패드(SIP)를 형성한 후, 상기 신호 입력 패드(SIP)에

드라이버 IC(141)를 구비하는 연성 회로 기판(140)을 부착한다.

[0116] 이후에는 상기 표시 패널을 백라이트 유닛과 함께 상기 상부 커버 및 상기 하부 커버에 수납하는 공정을 진행하여 표시 장치를 제조할 수 있다.

[0117] 이상의 상세한 설명은 본 발명을 예시하고 설명하는 것이다. 또한, 기술한 내용은 본 발명의 바람직한 실시 형태를 나타내고 설명하는 것에 불과하며, 기술한 바와 같이 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있으며, 본 명세서에 개시된 발명의 개념의 범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위 내에서 변경 또는 수정이 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한, 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

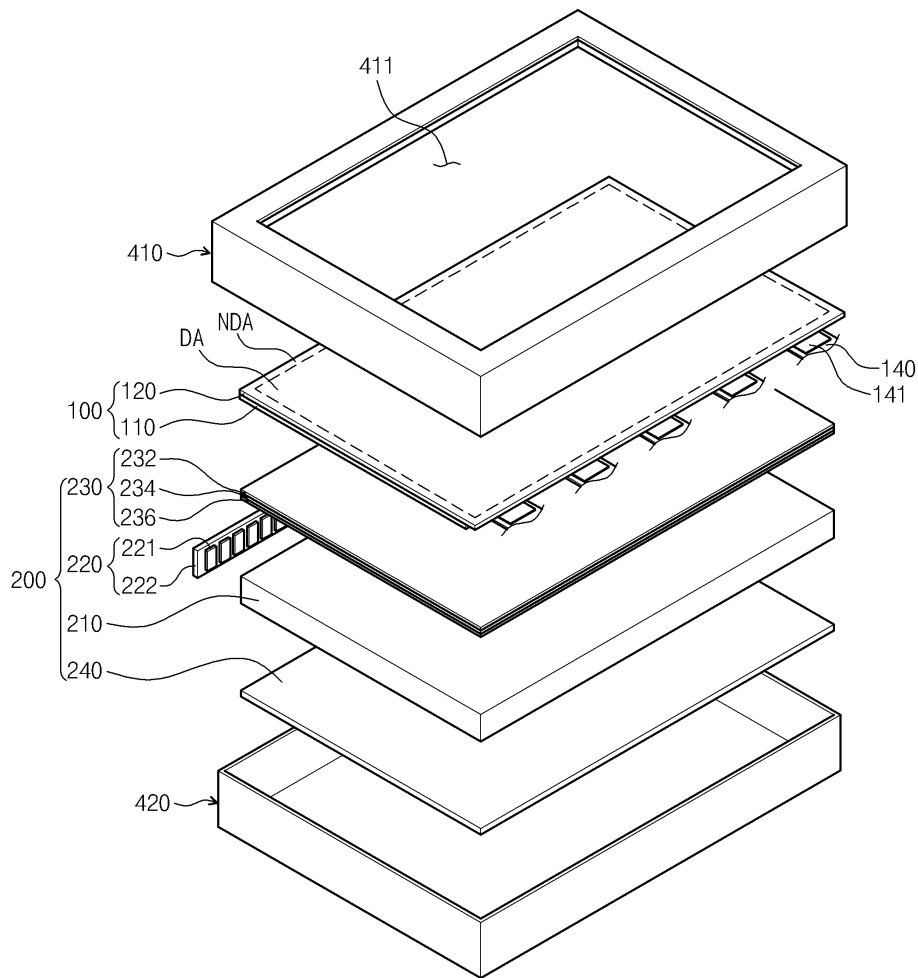
부호의 설명

[0118]

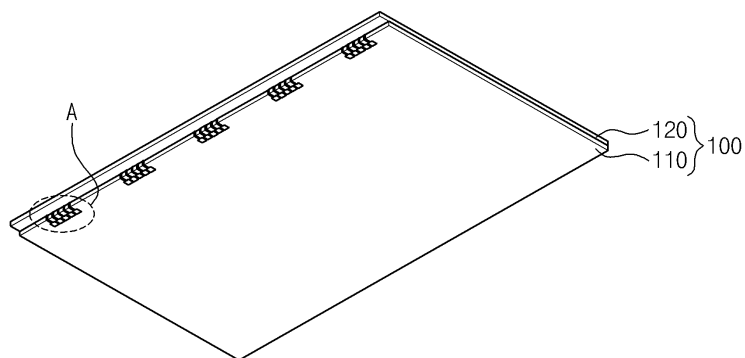
100: 표시 패널	110: 어레이 기판
111: 제1 베이스 기판	112: 게이트 절연막
114: 보호막	115: 화소 전극
117: 공통 전압 패드	120: 대향 기판
121: 제2 베이스 기판	125: 공통 전극
130: 액정층	140: 연성 회로 기판
141: 드라이버 IC	200: 백라이트 유닛
210: 도광판	220: 광원 유닛
221: 광원	222: 인쇄 회로 기판
230: 광학 부재	232: 보호 시트
234: 프리즘 시트	236: 확산 시트
240: 반사 시트	410: 상부 커버
411: 표시창	420: 하부 커버
TFT: 박막 트랜지스터	GE: 게이트 전극
SCL: 반도체층	SE: 소스 전극
DE: 드레인 전극	DL: 데이터 라인
GL: 게이트 라인	CH: 콘택 홀
DA: 표시 영역	NDA: 비표시 영역
SIP: 신호 입력 패드	SP: 봉지 패턴

도면

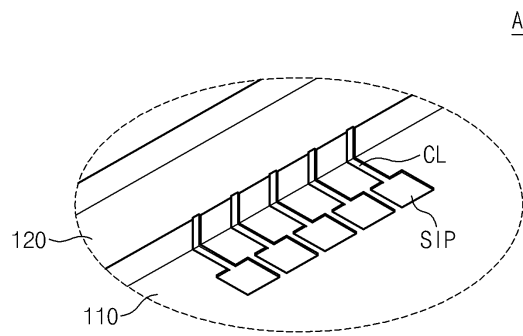
도면1



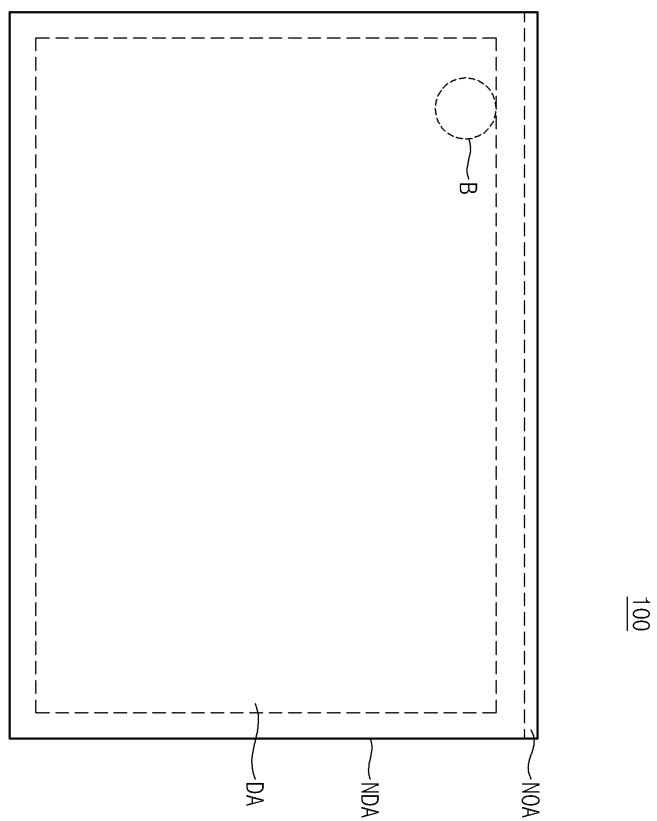
도면2



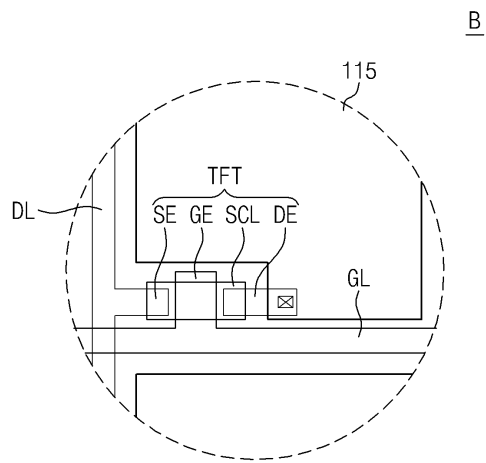
도면3



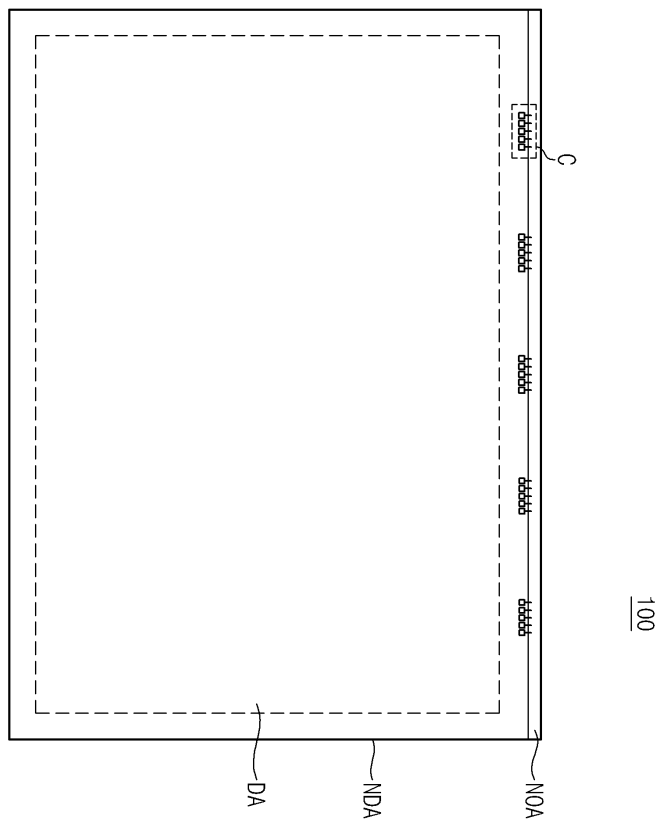
도면4



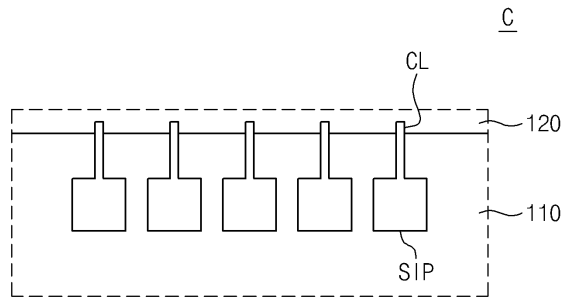
도면5



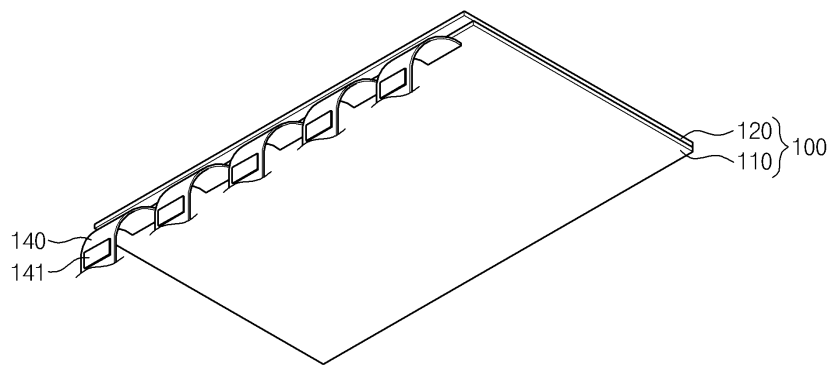
도면6



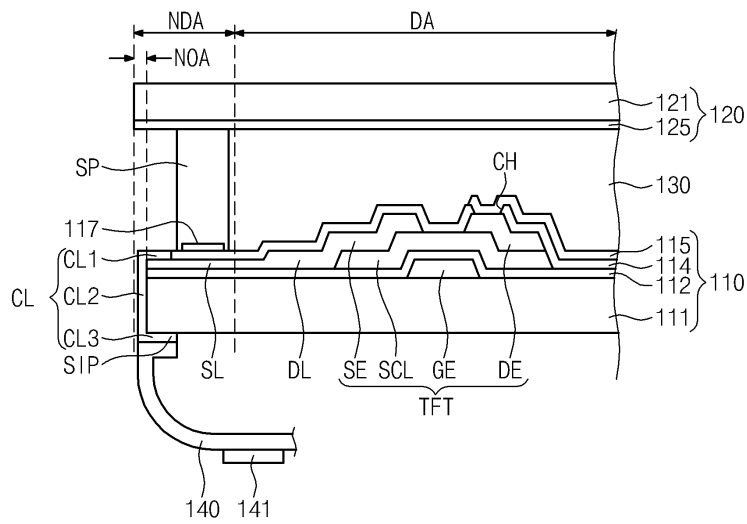
도면7



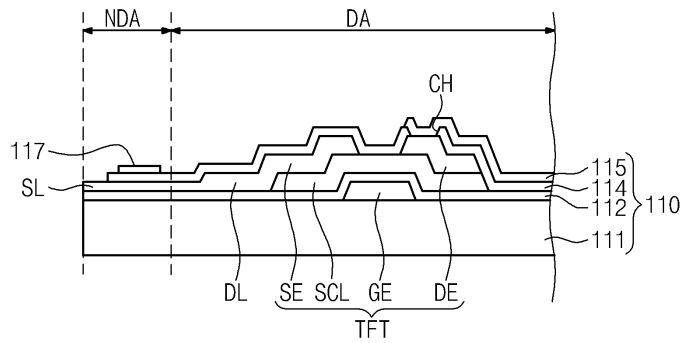
도면8



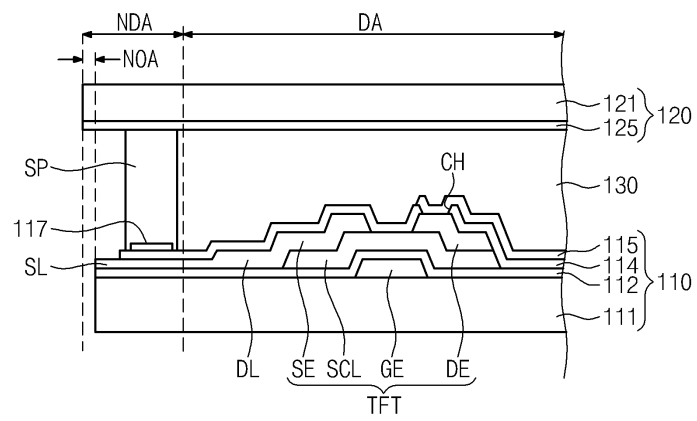
도면9



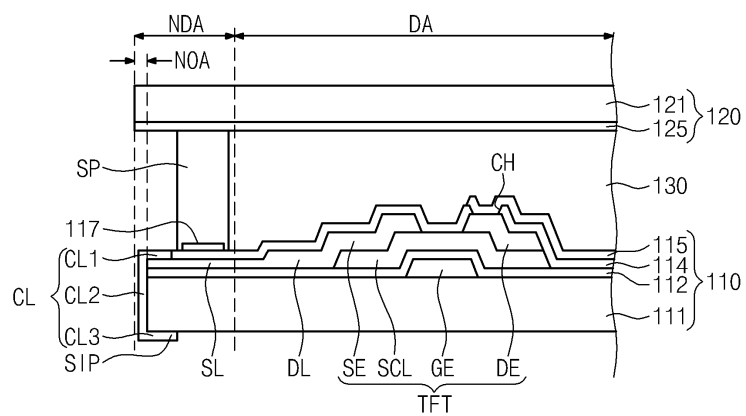
도면10



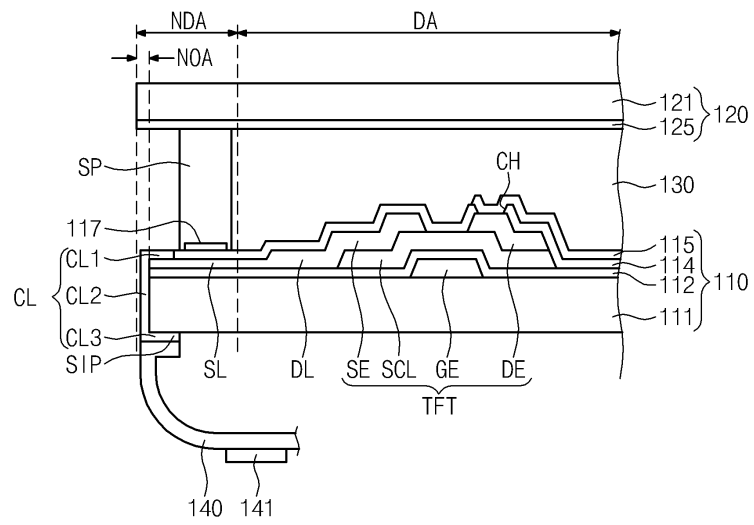
도면11



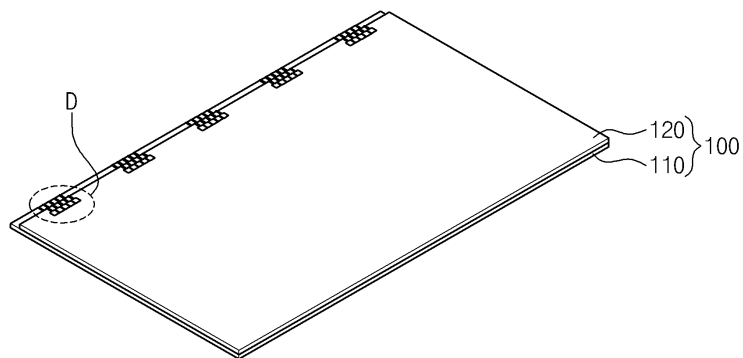
도면12



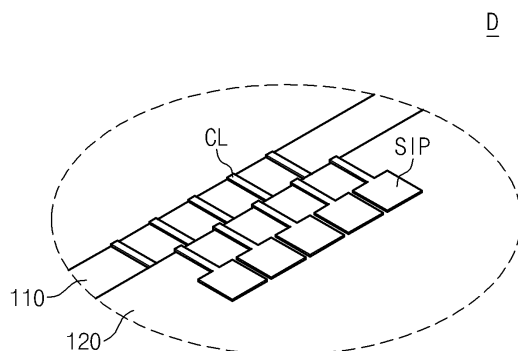
도면13



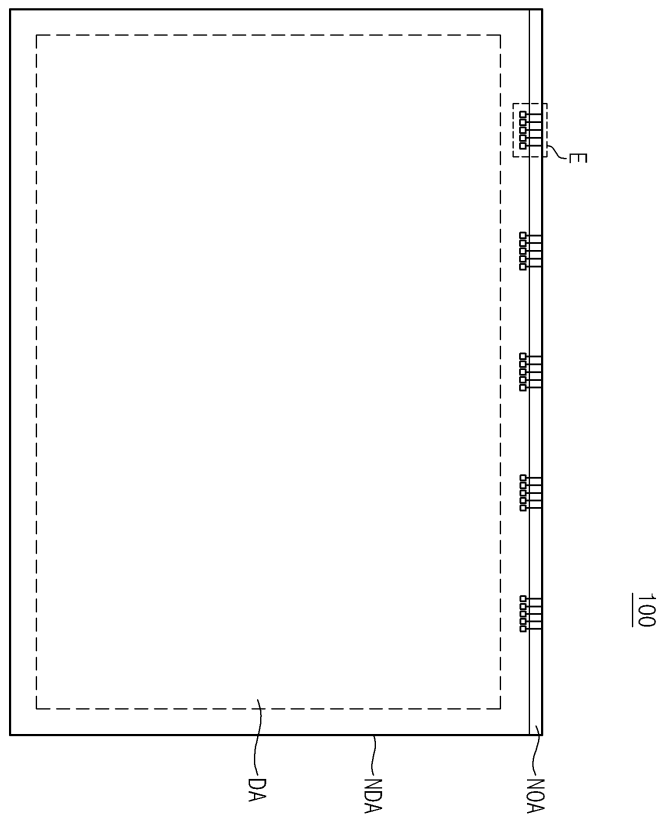
도면14



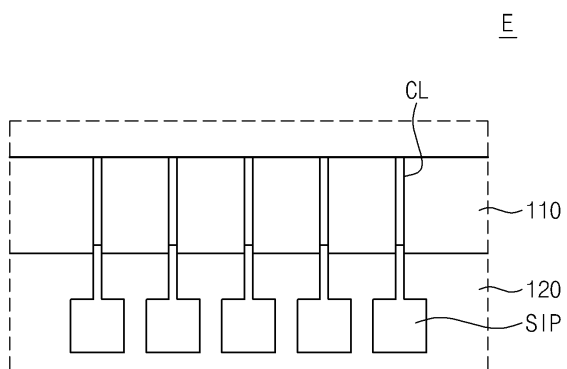
도면15



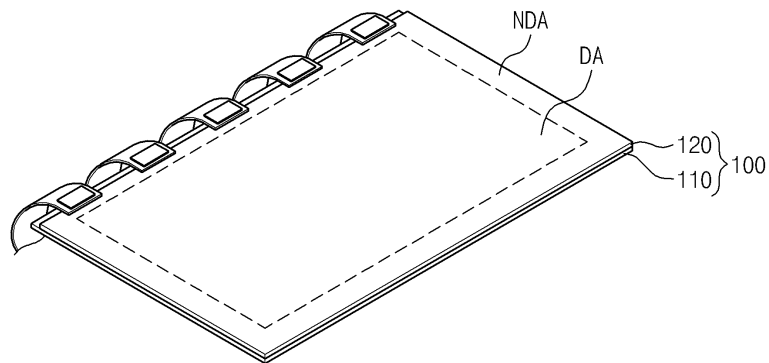
도면16



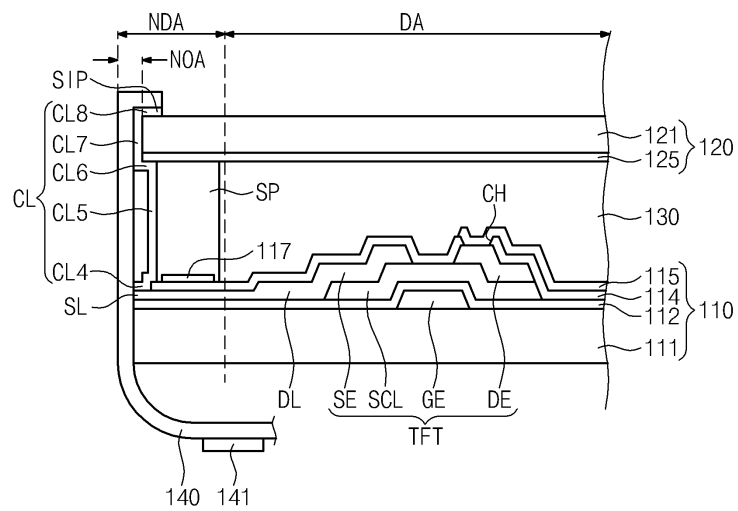
도면17



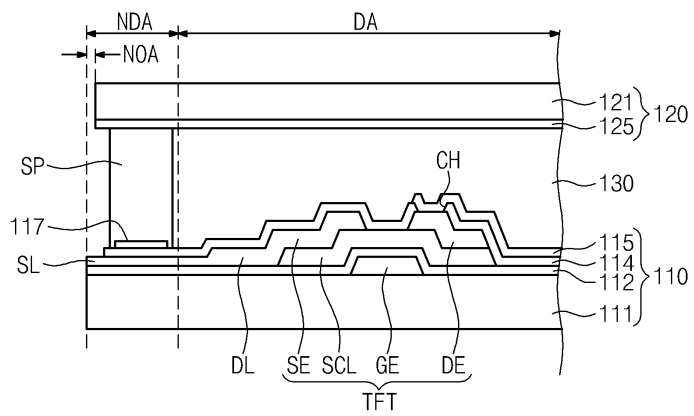
도면18



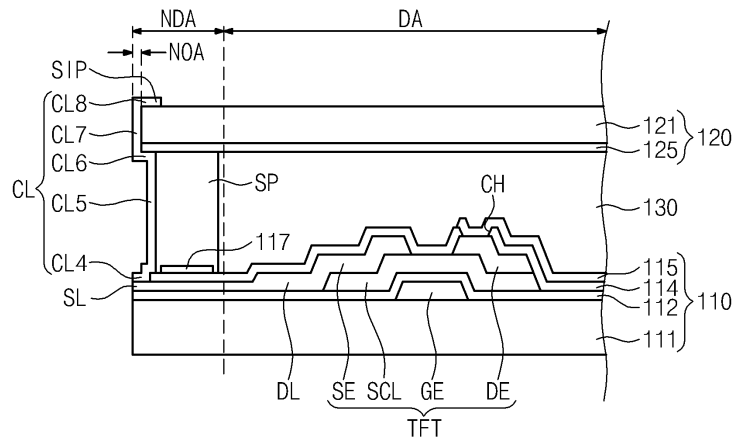
도면19



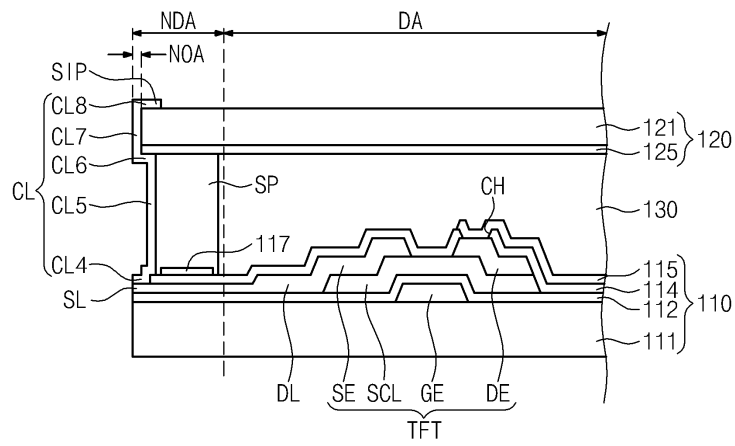
도면20



도면21



도면22



专利名称(译)	显示面板及其制造方法		
公开(公告)号	KR1020140038823A	公开(公告)日	2014-03-31
申请号	KR1020120105400	申请日	2012-09-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SUNG WOO YONG 성우용 LEE JEONGHO 이정호 CHA TAEWOON 차태운 HAN SANG YOUN 한상윤		
发明人	성우용 이정호 차태운 한상윤		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/13458 G02F1/13452		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
外部链接	Espacenet		

摘要(译)

一种显示面板，包括：阵列基板，分为包括像素的显示区域和设置在显示区域外部的非显示区域；面对阵列基板的相对基板；液晶层，设置在阵列基板和相对基板之间；信号输入焊盘，设置在非显示区域中的阵列基板或相对基板的任意一个外表面上，并通过与像素电连接将外部输入信号传输到像素。

