



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0141865
(43) 공개일자 2013년12월27일

(51) 국제특허분류(Int. Cl.)

G02F 1/1345 (2006.01)

(21) 출원번호 10-2012-0064917

(22) 출원일자 2012년06월18일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

정진수

경기 화성시 반송동 시범다은마을월드메르디앙반
도유보라아파트 335동 1904호

김영구

경기 화성시 반송동 시범다은마을우남퍼스트빌아
파트 355동 702호

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

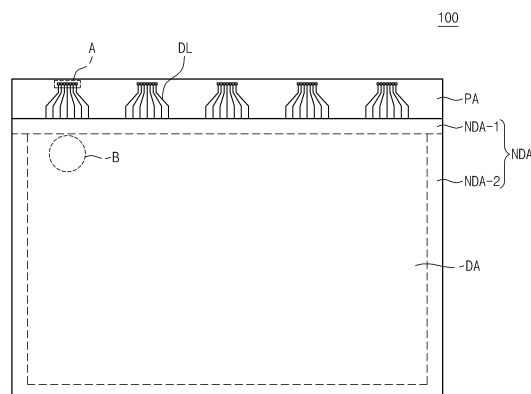
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 패널 및 이의 제조 방법

(57) 요약

표시 패널은 표시 영역, 상기 표시 영역을 감싸는 비표시 영역, 및 상기 비표시 영역의 적어도 일측에서 연장된 패드 영역으로 구분되고, 상기 비표시 영역은 상기 패드 영역에 인접한 제1 비표시 영역 및 상기 제1 비표시 영역 이외의 제2 비표시 영역을 포함하는 어레이 기판, 상기 어레이 기판에 마주하고, 제2 베이스 기판 및 상기 제2 베이스 기판 상에 배치되는 공통 전극을 포함하는 대향 기판, 및 상기 어레이 기판 및 상기 대향 기판 사이에 배치되는 액정층을 포함한다. 상기 어레이 기판은 상기 표시 영역 및 상기 비표시 영역에 배치된 제1 베이스 기판, 상기 패드 영역 및 상기 제1 비표시 영역에 배치되는 고분자 유기물층, 상기 표시 영역에 배치되는 박막 트랜지스터, 상기 박막 트랜지스터와 접속된 화소 전극, 및 상기 박막 트랜지스터와 접속되고, 상기 패드 영역에서 상기 고분자 유기물층 상에 배치된 신호 입력 패드를 포함하며, 상기 제1 비표시 영역의 고분자 유기물층은 상기 제1 베이스 기판 상에 배치될 수 있다.

대표도 - 도2



(72) 발명자

성병훈

경기 화성시 반송동 시범한빛마을한화꿈에그린아파트 233동 204호

전백균

경기도 용인시 수지읍 풍덕천리 1168번지 삼성5차 513동802호

특허청구의 범위

청구항 1

표시 영역, 상기 표시 영역을 감싸는 비표시 영역, 및 상기 비표시 영역의 적어도 일측에서 연장된 패드 영역으로 구분되고, 상기 비표시 영역은 상기 패드 영역에 인접한 제1 비표시 영역 및 상기 제1 비표시 영역 이외의 제2 비표시 영역을 포함하는 어레이 기판;

상기 어레이 기판에 마주하고, 제2 베이스 기판 및 상기 제2 베이스 기판 상에 배치되는 공통 전극을 포함하는 대향 기판; 및

상기 어레이 기판 및 상기 대향 기판 사이에 배치되는 액정층을 포함하며,

상기 어레이 기판은

상기 표시 영역 및 상기 비표시 영역에 배치된 제1 베이스 기판;

상기 패드 영역 및 상기 제1 비표시 영역에 배치되는 고분자 유기물층;

상기 표시 영역에 배치되는 박막 트랜지스터;

상기 박막 트랜지스터와 접속된 화소 전극; 및

상기 박막 트랜지스터와 접속되고, 상기 패드 영역에서 상기 고분자 유기물층 상에 배치된 신호 입력 패드를 포함하며,

상기 제1 비표시 영역의 고분자 유기물층은 상기 제1 베이스 기판 상에 배치되는 표시 패널.

청구항 2

제1 항에 있어서,

상기 고분자 유기물층은 상기 제1 베이스 기판 상의 상기 표시 영역까지 연장되어 배치되는 표시 패널.

청구항 3

제2 항에 있어서,

상기 박막 트랜지스터는 상기 고분자 유기물층 상에 배치되는 표시 패널.

청구항 4

제3 항에 있어서,

상기 어레이 기판은 상기 고분자 유기물층 및 상기 박막 트랜지스터 사이에 배치되는 절연막을 더 포함하는 표시 패널.

청구항 5

제4 항에 있어서,

상기 절연막은 SiNx 및 SiO_2 중 적어도 하나를 포함하는 표시 패널.

청구항 6

제1 항에 있어서,

상기 어레이 기판은 상기 고분자 유기물층 및 상기 제1 베이스 기판을 커버하는 절연막을 더 포함하며,

상기 박막 트랜지스터는 상기 절연막 상에 배치되는 표시 패널.

청구항 7

제1 항에 있어서,

상기 제1 베이스 기판은 상기 패드 영역에 인접한 상기 비표시 영역에 배치된 요홈 형태의 트렌치를 구비하는 표시 패널.

청구항 8

제7 항에 있어서,

상기 고분자 유기물층은 상기 패드 영역에 인접한 상기 비표시 영역에서 상기 트렌치 내부에 배치된 표시 패널.

청구항 9

제8 항에 있어서,

상기 어레이 기판은 상기 고분자 유기물층 및 상기 제1 베이스 기판을 커버하는 절연막을 더 포함하며,

상기 박막 트랜지스터는 상기 절연막 상에 배치되는 표시 패널.

청구항 10

제1 항에 있어서,

상기 고분자 유기물층의 두께는 $3\mu\text{m}$ 내지 $50\mu\text{m}$ 인 표시 패널.

청구항 11

제1 항에 있어서,

상기 고분자 유기물층은 폴리에틸렌테레프탈레이트(polyethyleneterephthalate, PET), 폴리에틸렌나프탈레이트(Polyethylenenaphthalate, PEN), 폴리 카보네이트(Polycarbonate, PC), 폴리에테르이미드(Polyetherimide, PEI), 폴리에테르설폰(Polyethersulfone, PES), 폴리에테르에테르케톤(Polyetheretherketon, PEEK), 및 폴리이미드(Polyimide, PI) 중 적어도 하나를 포함하는 표시 패널.

청구항 12

표시 영역, 상기 표시 영역을 감싸는 비표시 영역, 및 상기 비표시 영역의 적어도 일측에서 연장된 패드 영역으로 구분되고, 상기 비표시 영역은 상기 패드 영역에 인접한 제1 비표시 영역 및 상기 제1 비표시 영역 이외의 제2 비표시 영역을 포함하는 베이스 기판을 준비하는 단계;

상기 패드 영역 및 상기 제1 비표시 영역에서 상기 베이스 기판 상에 고분자 유기물층을 형성하는 단계;

상기 표시 영역에서 상기 베이스 기판 상에 박막 트랜지스터를 형성하고, 이와 동시에 상기 박막 트랜지스터와 접속하는 신호 입력 패드를 상기 패드 영역에 형성하는 단계;

상기 박막 트랜지스터와 접속하는 화소 전극을 형성하여 어레이 기판을 제조하는 단계;

상기 어레이 기판 및 상기 어레이 기판에 마주하는 공통 전극을 포함하는 대향 기판 사이에 액정층을 배치하고, 상기 어레이 기판 및 상기 대향 기판을 합착하는 단계; 및

상기 패드 영역의 상기 베이스 기판을 제거하는 단계를 포함하는 표시 패널의 제조 방법.

청구항 13

제12 항에 있어서,

상기 고분자 유기물층은 상기 표시 영역까지 연장되어 형성되며, 상기 베이스 기판 및 상기 박막 트랜지스터 사이에 배치되는 표시 패널의 제조 방법.

청구항 14

제13 항에 있어서,

상기 고분자 유기물층 및 상기 박막 트랜지스터 사이에 배치되는 절연막을 형성하는 단계를 더 포함하는 표시

패널의 제조 방법.

청구항 15

제14 항에 있어서,

상기 절연막은 SiNx 및 SiO₂ 중 적어도 하나를 포함하는 표시 패널의 제조 방법.

청구항 16

제12 항에 있어서,

상기 고분자 유기물층을 형성하는 단계는

상기 베이스 기판 상에 고분자 유기물을 코팅하는 단계; 및

상기 고분자 유기물을 패터닝하는 단계를 포함하는 표시 패널의 제조 방법.

청구항 17

제16 항에 있어서,

상기 고분자 유기물층 및 상기 제1 베이스 기판을 커버하는 절연막을 형성하는 단계를 더 포함하며, 상기 박막 트랜지스터는 상기 절연막 상에 형성되는 표시 패널의 제조 방법.

청구항 18

제12 항에 있어서,

상기 패드 영역 및 상기 패드 영역에 인접한 상기 비표시 영역에서 상기 베이스 기판의 일부를 제거하여 요홈 형태의 트렌치를 형성하는 단계를 더 포함하는 표시 패널의 제조 방법.

청구항 19

제18 항에 있어서,

상기 고분자 유기물층은 상기 패드 영역에 인접한 상기 비표시 영역에서 상기 트렌치 내부에 배치된 표시 패널의 제조 방법.

청구항 20

제12 항에 있어서,

상기 베이스 기판을 제거하는 단계는 습식 식각 또는 레이저 절단을 통하여 수행되는 표시 패널의 제조 방법.

명 세 서

기술 분야

[0001] 본 발명은 표시 패널 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 외부 회로 모듈과 연결되는 패드 영역을 최소화할 수 있는 표시 패널 및 이의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로 표시 장치는 화상을 표시하는 표시 패널, 및 상기 표시 패널에 각종 제어 신호를 제공하는 외부 회로 모듈을 포함하고, 상기 표시 패널과 상기 외부 회로 모듈은 샤시와 같은 수납 용기에 고정된다. 또한, 상기 표시 패널 및 상기 외부 회로 모듈은 드라이버 IC를 포함하는 테이프 캐리어 패키지(Tape Carrier Package, TCP) 또는 연성 회로 기판(Flexible Printed Circuit Board, FPC)와 같은 신호 배선을 통하여 연결된다.

[0003] 한편, 상기 신호 배선은 일반적으로 상기 표시 패널의 일측에 부착되어 상기 외부 회로 모듈과 연결된다. 따라서, 상기 표시 패널은 상기 신호 배선과 연결되기 위하여 상기 표시 패널의 일측에 일정 공간을 마련하여야 하며, 상기 수납 용기는 상기 신호 배선을 위한 소정의 공간을 확보하여야 한다. 상기와 같이, 상기 신호 배선을 위한 공간은 표시 장치에서, 상기 표시 패널에서 화상이 표시되는 영역 이외의 영역을 최소화하고자 하는 최근

연구 경향에 제약이 된다.

발명의 내용

해결하려는 과제

- [0004] 본 발명의 일 목적은 외부 회로 모듈과 연결되는 패드 영역을 최소화할 수 있는 표시 패널을 제공하는 것이다.
- [0005] 또한, 본 발명의 다른 목적은 상기 표시 패널의 제조 방법을 제공하는 것이다.

과제의 해결 수단

- [0006] 본 발명의 일 목적을 달성하기 위한 표시 패널은 표시 영역, 상기 표시 영역을 감싸는 비표시 영역, 및 상기 비표시 영역의 적어도 일측에서 연장된 패드 영역으로 구분되고, 상기 비표시 영역은 상기 패드 영역에 인접한 제1 비표시 영역 및 상기 제1 비표시 영역 이외의 제2 비표시 영역을 포함하는 어레이 기판, 상기 어레이 기판에 마주하고, 제2 베이스 기판 및 상기 제2 베이스 기판 상에 배치되는 공통 전극을 포함하는 대향 기판, 및 상기 어레이 기판 및 상기 대향 기판 사이에 배치되는 액정층을 포함한다. 상기 어레이 기판은 상기 표시 영역 및 상기 비표시 영역에 배치된 제1 베이스 기판, 상기 패드 영역 및 상기 제1 비표시 영역에 배치되는 고분자 유기물층, 상기 표시 영역에 배치되는 박막 트랜지스터, 상기 박막 트랜지스터와 접속된 화소 전극, 및 상기 박막 트랜지스터와 접속되고, 상기 패드 영역에서 상기 고분자 유기물층 상에 배치된 신호 입력 패드를 포함하며, 상기 제1 비표시 영역의 고분자 유기물층은 상기 제1 베이스 기판 상에 배치될 수 있다.
- [0007] 상기 고분자 유기물층은 상기 제1 베이스 기판 상의 상기 표시 영역까지 연장되어 배치될 수 있다. 상기 박막 트랜지스터는 상기 고분자 유기물층 상에 배치될 수 있다. 상기 고분자 유기물층 및 상기 박막 트랜지스터 사이에 배치되는 절연막을 더 포함할 수 있다.
- [0008] 상기 제1 베이스 기판은 상기 패드 영역에 인접한 상기 비표시 영역에 배치된 요홈 형태의 트렌치를 구비할 수 있다. 상기 고분자 유기물층은 상기 패드 영역에 인접한 상기 비표시 영역에서 상기 트렌치 내부에 배치될 수 있다.
- [0009] 상기 고분자 유기물층은 폴리에틸렌테레프탈레이트(polyethyleneterephthalate, PET), 폴리에틸렌나프탈레이트(Polyethylenenaphthalate, PEN), 폴리 카보네이트(Polycarbonate, PC), 폴리에테르이미드(Polyetherimide, PEI), 폴리에테르설폰(Polyethersulfone, PES), 폴리에테르에테르케톤(Polyetheretherketon, PEEK), 및 폴리이미드(Polyimide, PI) 중 적어도 하나를 포함할 수 있다.
- [0010] 본 발명의 다른 목적을 달성하기 위한 표시 패널의 제조 방법은 표시 영역, 상기 표시 영역을 감싸는 비표시 영역, 및 상기 비표시 영역의 적어도 일측에서 연장된 패드 영역으로 구분되고, 상기 비표시 영역은 상기 패드 영역에 인접한 제1 비표시 영역 및 상기 제1 비표시 영역 이외의 제2 비표시 영역을 포함하는 베이스 기판을 준비하는 단계, 상기 패드 영역 및 상기 제1 비표시 영역에서 상기 베이스 기판 상에 고분자 유기물층을 형성하는 단계, 상기 표시 영역에서 상기 베이스 기판 상에 박막 트랜지스터를 형성하고, 이와 동시에 상기 박막 트랜지스터와 접속하는 신호 입력 패드를 상기 패드 영역에 형성하는 단계, 상기 박막 트랜지스터와 접속하는 화소 전극을 형성하여 어레이 기판을 제조하는 단계, 상기 어레이 기판 및 상기 어레이 기판에 마주하는 공통 전극을 포함하는 대향 기판 사이에 액정층을 배치하고, 상기 어레이 기판 및 상기 대향 기판을 합착하는 단계, 및 상기 베이스 기판의 상기 패드 영역에 대응하는 영역을 제거하는 단계를 포함한다.

발명의 효과

- [0011] 상기와 같은 표시 패널은 외부 회로 모듈과 연결되는 패드 영역 전체를 절곡할 수 있다. 따라서, 상기 표시 패널을 구비하는 표시 장치는 상기 패드 영역을 위한 공간을 최소화할 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 설명하기 위한 분해 사시도이다.
- 도 2는 표시 패널에 연성 회로 기판이 부착되기 전의 상태를 설명하기 위한 평면도이다.
- 도 3은 도 2의 A 영역의 확대도이다.
- 도 4는 도 2의 B 영역의 확대도이다.

도 5는 표시 패널에 연성 회로 기판이 부착된 상태를 설명하기 위한 평면도이다.

도 6은 도 5의 I-I' 라인에 따른 단면도이다.

도 7은 도 6의 표시 패널에서 패드 영역이 절곡된 형상을 설명하기 위한 단면도이다.

도 8 내지 도 12는 도 6 및 도 7에 도시된 표시 장치의 제조 방법을 설명하기 위한 공정 단면도이다.

도 13은 본 발명의 다른 실시예에 따른 표시 장치에 적용 가능한 표시 패널을 설명하기 위한 단면도이다.

도 14는 도 13의 표시 패널에서 패드 영역이 절곡된 형상을 설명하기 위한 단면도이다.

도 15 내지 도 17는 도 13 및 도 14에 도시된 표시 패널의 제조 방법을 설명하기 위한 공정 단면도이다.

도 18은 본 발명의 또 다른 실시예에 따른 표시 장치에 적용 가능한 표시 패널을 설명하기 위한 단면도이다.

도 19는 도 18의 표시 패널에서 패드 영역이 절곡된 형상을 설명하기 위한 단면도이다.

도 20 내지 도 23은 도 18 및 도 19에 도시된 표시 패널의 제조 방법을 설명하기 위한 공정 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 첨부된 도면을 참조하여, 본 발명의 바람직한 실시예를 보다 상세히 설명한다.
- [0014] 도 1은 본 발명의 일 실시예에 따른 표시 패널이 적용된 표시 장치를 설명하기 위한 분해 사시도이다.
- [0015] 도 1을 참조하면, 표시 장치는 표시 패널(100), 백라이트 유닛(200), 상부 커버(410) 및 하부 커버(420)를 포함한다.
- [0016] 상기 표시 패널(100)로는 다양한 형태의 표시 패널이 적용될 수 있다. 예를 들면, 상기 표시 패널(100)로 액정 표시 패널(liquid crystal display panel, LCD panel), 전기영동 표시 패널(electrophoretic display panel, EPD panel), 및 일렉트로젠틱 표시 패널(electrowetting display panel, EWD panel)과 같은 표시 패널을 사용하는 것이 가능하다. 본 실시예에서는 상기 표시 패널(100)로 상기 액정 표시 패널을 예로서 설명한다.
- [0017] 상기 표시 패널(100)은 장변 및 단변을 가지는 직사각형의 판상을 가지며, 화상을 표시하는 표시 영역(DA), 상기 표시 영역(DA) 주변의 비표시 영역(NDA), 및 상기 비표시 영역(NDA)의 적어도 일측에서 연장된 패드 영역(PA)을 포함한다. 또한, 상기 표시 패널(100)은 어레이 기판(110), 상기 어레이 기판(110)에 대향되는 대향 기판(120) 및 상기 어레이 기판(110)과 상기 대향 기판(120) 사이에 형성된 액정층(미도시)을 포함한다. 또한, 상기 표시 패널(100)의 양면, 즉, 상기 어레이 기판(110) 및 상기 대향 기판(120) 각각의 외부면에는 편광 필름(미도시)이 부착될 수 있다.
- [0018] 상기 어레이 기판(110)의 상기 표시 영역(DA)에는 매트릭스 형태로 배열된 복수의 화소들(미도시)이 배치될 수 있다. 여기서, 각 화소는 다수의 서브 화소를 포함할 수 있으며, 각 서브 화소는 서로 다른 색상을 가질 수 있다. 예를 들면, 상기 각 서브 화소는 적색, 녹색, 청색, 황색 및 백색 중 어느 하나의 색상을 가질 수 있다. 따라서, 상기 각 서브 화소에서 출사되는 광은 상기 적색, 녹색, 청색, 황색 및 백색 중 어느 하나의 색상을 가질 수 있다. 또한, 상기 각 화소는 게이트 라인(미도시), 상기 게이트 라인과 절연되게 교차하는 데이터 라인(미도시), 및 화소 전극(미도시)을 구비할 수 있다. 또한, 상기 각 화소에는 상기 게이트 라인 및 상기 데이터 라인에 전기적으로 연결되며, 상기 화소 전극에 대응하여 전기적으로 연결된 박막 트랜지스터(미도시)가 구비될 수 있다. 상기 박막 트랜지스터는 대응하는 화소 전극 측으로 제공되는 구동 신호를 스위칭할 수 있다.
- [0019] 상기 어레이 기판(110)의 상기 비표시 영역(NDA)에는 상기 어레이 기판(110) 및 상기 대향 기판(120)을 합착시키는 봉지 패턴(미도시)이 배치될 수 있다.
- [0020] 상기 어레이 기판(110)의 상기 패드 영역(PA)에는 드라이버 IC(141)가 실장된 연성 회로 기판(140)이 연결되며, 상기 연성 회로 기판(140)은 외부 회로 모듈(미도시)과 연결될 수 있다. 상기 드라이버 IC(141)는 상기 외부 회로 모듈로부터 각종 제어 신호를 입력받으며, 입력된 각종 제어 신호에 응답하여 상기 표시 패널(100)을 구동하는 구동 신호를 상기 박막 트랜지스터 측으로 출력한다.
- [0021] 상기 대향 기판(120)은 그 일면 상에 상기 백라이트 유닛(200)에서 제공되는 광을 이용하여 소정의 색을 구현하는 컬러 필터(미도시) 및 상기 컬러 필터 상에 형성되어 상기 화소 전극(미도시)과 대향하는 공통 전극(미도시)을 구비할 수 있다. 여기서 상기 컬러 필터는 적색, 녹색, 청색, 황색 및 백색 중 어느 하나의 색상을 가지

며, 증착 또는 코팅과 같은 공정을 통하여 형성될 수 있다. 한편, 본 실시예에서는 상기 대향 기관(120)에 상기 컬러 필터가 형성된 것을 예를 들어 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 상기 컬러 필터는 상기 어레이 기관(110) 상에 형성될 수도 있다.

- [0022] 상기 액정층은 상기 화소 전극 및 상기 공통 전극에 인가되는 전압에 의하여 특정 방향으로 배열됨으로써, 상기 백라이트 유닛(200)으로부터 제공되는 상기 광의 투과도를 조절하여, 상기 표시 패널(100)이 영상을 표시할 수 있도록 한다.
- [0023] 상기 백라이트 유닛(200)은 상기 표시 패널(100)에서 영상이 출사되는 방향의 반대 방향에 배치된다. 상기 백라이트 유닛(200)은 도광판(210), 복수의 광원을 포함하는 광원 유닛(220), 광학 부재(230) 및 반사 시트(240)를 포함한다.
- [0024] 상기 도광판(210)은 상기 표시 패널(100)의 하부에 위치하며, 상기 광원 유닛(220)에서 방출되는 상기 광을 가이드하여 상기 표시 패널(100) 방향으로 상기 광을 출사시킨다. 특히, 상기 도광판(210)은 적어도 상기 표시 패널(100)의 표시 영역(DA)과 중첩된다. 여기서, 상기 도광판(210)은 상기 광을 출사하는 출사면, 상기 출사면에 대향하는 하면, 및 상기 출사면과 상기 하면을 연결하는 측면들을 포함한다. 또한, 상기 측면들 중 적어도 어느 하나는 상기 광원 유닛(220)과 대향하여 상기 광원 유닛(220)에서 방출하는 광이 입사되는 입사면일 수 있으며, 상기 입사면에 대향하는 측면은 광을 반사하는 대광면일 수 있다.
- [0025] 상기 광원 유닛(220)은 복수의 광원들(221), 예를 들면 복수의 발광 다이오드(light-emitting diode)가 인쇄 회로 기관(222, printed circuit board, PCB)에 실장된 형태일 수 있다. 여기서, 상기 광원들(221)은 서로 다른 색상의 광을 방출할 수 있다. 예를 들면, 상기 광원들(221) 중 일부는 적색광을 방출할 수 있으며, 상기 광원들(221) 중 다른 일부는 녹색광을 방출할 수 있으며, 상기 광원들(221) 중 나머지는 청색광을 방출할 수 있다.
- [0026] 또한, 상기 광원 유닛(220)은 상기 도광판(210)의 측면들 중 적어도 어느 하나를 마주하여 광을 방출하도록 배치되어, 상기 표시 패널(100)이 영상을 표시하는데 사용되는 광을 상기 도광판(210)을 통하여 제공한다.
- [0027] 상기 광학 부재(230)는 상기 도광판(210) 및 상기 표시 패널(100) 사이에 제공된다. 상기 광학 부재(230)는 상기 광원 유닛(220)에서 제공되어 상기 도광판(210)을 통해 출사되는 광을 제어하는 역할을 수행한다. 또한, 상기 광학 부재(230)는 순차적으로 적층된 확산 시트(236), 프리즘 시트(234) 및 보호 시트(232)를 포함한다.
- [0028] 상기 확산 시트(236)는 상기 도광판(210)에서 출사된 광을 확산하는 역할을 수행한다. 상기 프리즘 시트(234)는 상기 확산 시트(236)에서 확산된 빛을 상부의 표시 패널(100)의 평면에 수직한 방향으로 집광하는 역할을 수행한다. 상기 프리즘 시트(234)를 통과한 빛은 거의 대부분 상기 표시 패널(100)에 수직하게 입사된다. 상기 보호 시트(232)는 상기 프리즘 시트(234) 상에 위치한다. 상기 보호 시트(232)는 상기 프리즘 시트(234)를 외부의 충격으로부터 보호한다.
- [0029] 본 실시예에서는 상기 광학 부재(230)가 상기 확산 시트(236), 상기 프리즘 시트(234), 및 상기 보호 시트(232)가 한 매씩 구비된 것을 예로 들었으나 이에 한정되는 것은 아니다. 상기 광학 부재(230)는 상기 확산 시트(236), 상기 프리즘 시트(234), 및 상기 보호 시트(232) 중 적어도 어느 하나를 복수 매 겹쳐서 사용할 수 있으며, 필요에 따라 어느 하나의 시트를 생략할 수도 있다.
- [0030] 상기 반사 시트(240)는 상기 도광판(210)의 하부에 배치되어, 상기 광원 유닛(220)에서 출사된 광 중 상기 표시 패널(100) 방향으로 제공되지 않고 누설되는 광을 반사시켜 상기 표시 패널(100) 방향으로 광의 경로를 변경시킬 수 있다. 상기 반사 시트(240)는 광을 반사하는 물질을 포함한다. 상기 반사 시트(240)는 상기 하부 커버(420) 상에 구비되어 상기 광원 유닛(220)로부터 발생된 광을 반사시킨다. 그 결과, 상기 반사 시트(240)는 상기 표시 패널(100) 측으로 제공되는 광의 양을 증가시킨다.
- [0031] 한편, 본 실시예에서는 상기 광원 유닛(220)이 상기 도광판(210)의 측면 방향으로 광을 제공하도록 배치된 것을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 상기 광원 유닛(220)은 상기 도광판(210)의 하면 방향으로 광을 제공하도록 배치될 수도 있다. 또한, 상기 백라이트 유닛(200)에서 상기 도광판(210)이 생략되고 상기 광원 유닛(220)이 상기 표시 패널(100)의 하부에 위치하여, 상기 광원 유닛(220)에서 출사된 광이 상기 표시 패널(100)로 직접 광을 제공될 수도 있다.
- [0032] 상기 상부 커버(410)는 상기 표시 패널(100)의 상부에 구비된다. 상기 상부 커버(410)는 상기 표시 패널(100)의 상기 표시 영역(DA)을 노출시키는 표시창(411)을 포함한다. 상기 상부 커버(410)는 상기 하부 커버(420)와 결합하여 상기 표시 패널(100)의 전면 가장자리를 지지한다.

- [0033] 상기 하부 커버(420)는 백라이트 유닛(200)의 하부에 구비된다. 상기 하부 커버(420)는 상기 표시 패널(100) 및 상기 백라이트 유닛(200)을 수용할 수 있는 공간을 포함한다. 또한, 상기 하부 커버(420)는 상기 상부 커버(410)와 결합되어 그 내부 공간에 상기 표시 패널(100) 및 백라이트 유닛(200)을 수납하고 지지한다.
- [0034] 도 2는 도 1에 도시된 표시 패널에 연성 회로 기판이 부착되기 전의 상태를 설명하기 위한 평면도이며, 도 3은 도 2의 A 영역의 확대도이며, 도 4는 도 2의 B 영역의 확대도이며, 도 5는 표시 패널에 연성 회로 기판이 부착된 상태를 설명하기 위한 평면도이며, 도 6은 도 5의 I-I' 라인에 따른 단면도이며, 도 7은 도 6의 표시 패널에서 패드 영역이 절곡된 형상을 설명하기 위한 단면도이다.
- [0035] 도 2 내지 도 7을 참조하면, 표시 패널(100)은 영상을 표시하는 표시 영역(DA), 상기 표시 영역(DA)을 감싸는 비표시 영역(NDA), 및 상기 비표시 영역(NDA)의 적어도 일측에서 연장된 패드 영역(PA)을 포함한다. 여기서, 상기 비표시 영역(NDA)는 상기 패드 영역(PA)에 인접한 제1 비표시 영역(NDA-1), 및 상기 제1 비표시 영역(NDA-1) 이외의 제2 비표시 영역(NDA-2)으로 구분될 수 있다.
- [0036] 또한, 상기 표시 패널(100)은 어레이 기판(110), 상기 어레이 기판(110)에 마주하는 대향 기판(120), 및 상기 어레이 기판(110)과 상기 대향 기판(120) 사이에 배치되는 액정층(130)을 포함한다.
- [0037] 상기 어레이 기판(110)은 상기 표시 패널(100)의 형상에 대응하므로, 상기 표시 영역(DA), 상기 비표시 영역(NDA), 및 상기 패드 영역(PA)을 포함할 수 있다.
- [0038] 상기 어레이 기판(110)의 상기 표시 영역(DA)에는 색상을 구현할 수 있는 복수의 화소들이 매트릭스 형태로 배열될 수 있으며, 각 화소에는 이후에 설명되는 박막 트랜지스터(TFT) 및 화소 전극(115)이 배치될 수 있다.
- [0039] 상기 어레이 기판(110)의 상기 비표시 영역(NDA)에는 봉지 패턴(SP)이 배치될 수 있다. 상기 봉지 패턴(SP)은 상기 표시 영역(DA)을 감싸도록 배치되어 상기 어레이 기판(110) 및 상기 대향 기판(120)을 합착하며, 상기 액정층(130)이 외부로 누출되는 것을 방지할 수 있다.
- [0040] 상기 어레이 기판(110)의 상기 패드 영역(PA)에는 상기 박막 트랜지스터(TFT)와 연결되는 신호 입력 패드(SIP)가 배치될 수 있다.
- [0041] 또한, 상기 어레이 기판(110)은 제1 베이스 기판(111), 상기 제1 베이스 기판(111) 상에 배치되는 고분자 유기물층(112), 상기 고분자 유기물층(112) 상에 배치되는 절연막(113), 상기 절연막(113) 상에 배치되는 상기 박막 트랜지스터(TFT), 상기 박막 트랜지스터(TFT)와 접속된 상기 화소 전극(115)을 포함한다.
- [0042] 상기 제1 베이스 기판(111)은 상기 표시 영역(DA) 및 상기 비표시 영역(NDA)에 배치되고, 장변 및 단변을 구비하는 직사각의 판상일 수 있다. 즉, 상기 제1 베이스 기판(111)은 상기 패드 영역(PA)과 중첩하지 않는다.
- [0043] 상기 제1 베이스 기판(111)은 투명 절연 물질을 포함하여 광의 투과가 가능하다. 또한, 상기 제1 베이스 기판(111)은 리지드 타입(Rigid type) 기판일 수 있으며, 플렉서블 타입(Flexible type)일 수도 있다. 상기 리지드 타입의 기판은 유리 기판, 석영 기판, 유리 세라믹 기판 및 결정질 유리 기판을 포함한다. 상기 플렉서블 타입의 기판은 고분자 유기물을 포함하는 필름 기판 및 플라스틱 기판을 포함한다. 상기 제1 베이스 기판(111)에 채용되는 물질은 제조 공정시 높은 처리 온도에 대해 저항성(또는 내열성)을 갖는 것이 바람직하다.
- [0044] 상기 고분자 유기물층(112)은 상기 제1 베이스 기판(111)의 상기 대향 기판(120) 방향의 면 상에 배치될 수 있다. 또한, 상기 고분자 유기물층(112)은 상기 표시 영역(DA), 상기 비표시 영역(NDA), 및 상기 패드 영역(PA) 모두에 배치될 수 있다. 즉, 상기 패드 영역(PA)에서 상기 고분자 유기물층(112)의 하부에는 상기 제1 베이스 기판(111)이 존재하지 않는다.
- [0045] 또한, 상기 고분자 유기물층(112)은 광 투과가 가능한 고분자 유기물, 예를 들면, 폴리에틸렌테레프탈레이트(polyethyleneterephthalate, PET), 폴리에틸렌나프탈레이트(Polyethylenenaphthalate, PEN), 폴리 카보네이트(Polycarbonate, PC), 폴리에테르이미드(Polyetherimide, PEI), 폴리에테르설폰(Polyethersulfone, PES), 폴리에테르에테르케톤(Polyetheretherketon, PEEK), 및 폴리이미드(Polyimide, PI) 중 적어도 하나를 포함할 수 있다. 또한, 상기 고분자 유기물층(112)은 상기 신호 입력 패드(SIP)를 지지하기 위하여 3 μ m 내지 50 μ m의 두께를 가질 수 있다.
- [0046] 상기 절연막(113)은 상기 고분자 유기물층(112) 상에 배치된다. 또한, 상기 절연막(113)은 광 투과가 가능한 절연물질, 예를 들면, SiNx 및 SiO₂ 중 적어도 하나를 포함할 수 있다. 상기 절연막(113)은 상기 고분자 유기물층(112)에 포함된 물질이 상기 박막 트랜지스터(TFT)로 확산되어 상기 박막 트랜지스터(TFT)의 구동 특성이 저하

되는 것을 방지한다.

- [0047] 상기 박막 트랜지스터(TFT)는 상기 절연막(113) 상에 배치되고, 반도체층(SCL), 게이트 전극(GE), 소스 전극(SE) 및 드레인 전극(DE)을 포함할 수 있다. 상기 박막 트랜지스터(TFT)를 보다 상세히 설명하면, 상기 절연막(113) 상에 배치된 상기 게이트 전극(GE), 상기 게이트 전극(GE)을 커버하는 게이트 절연막(GIL), 상기 게이트 절연막(GIL) 상에 배치되는 상기 반도체층(SCL), 및 상기 반도체층(SCL)의 양단에 각각 접속하는 소스 전극(SE)과 드레인 전극(DE)을 포함한다. 여기서, 상기 반도체층(SCL)은 상기 게이트 전극(GE)과 평면상에서 중첩하는 채널 영역, 상기 소스 전극(SE)과 접속하는 소스 영역, 및 상기 드레인 전극(DE)과 접속하는 드레인 영역을 포함할 수 있다. 상기 박막 트랜지스터(TFT)의 상기 게이트 전극(GE)은 스캔 신호 또는 게이트 신호를 상기 박막 트랜지스터(TFT)로 전송하는 게이트 라인(GL)과 접속할 수 있다. 상기 박막 트랜지스터(TFT)의 상기 소스 전극(SE)은 데이터 전압을 상기 박막 트랜지스터(TFT)로 전송하는 데이터 라인(DL)과 접속할 수 있다.
- [0048] 한편, 상기에서는 박막 트랜지스터(TFT)의 상기 게이트 전극(GE)이 상기 반도체층(SCL) 하부에 위치하는 바텀 게이트 구조의 박막 트랜지스터를 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 상기 박막 트랜지스터(TFT)는 상기 게이트 전극(GE)이 상기 반도체층(SCL) 상부에 위치하는 탑 게이트 구조의 박막 트랜지스터일 수도 있다.
- [0049] 상기 박막 트랜지스터(TFT) 상에는 보호막(114)이 배치된다. 상기 보호막(114)의 일부 영역은 개구(open)되어 상기 드레인 전극(DE)의 일부를 노출시키는 콘택 홀(CH)일 수 있다. 또한, 상기 보호막(114)은 경우에 따라 다층 구조를 가질 수 있다. 예를 들면, 상기 보호막(114)은 상기 박막 트랜지스터(TFT) 및 상기 게이트 절연막(GIL)을 커버하고 무기물로 이루어지는 무기 보호막, 상기 무기 보호막 상에 배치되고 유기물로 이루어지는 유기 보호막을 포함할 수 있다. 여기서, 상기 유기 보호막은 하부의 박막 트랜지스터(TFT)에 의해 발생하는 단차를 제거하여 표면이 평탄화될 수 있다.
- [0050] 상기 보호막(114)의 상부에는 상기 화소 전극(115)이 배치되며, 상기 화소 전극(115)은 상기 콘택 홀(CH)을 통하여 상기 드레인 전극(DE)과 전기적으로 연결된다. 상기 화소 전극(115)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명 도전성 산화물을 포함할 있다.
- [0051] 상기 게이트 라인(GL) 및 상기 데이터 라인(DL) 중 적어도 하나, 예를 들면, 상기 데이터 라인(DL)은 상기 패드 영역(PA)까지 연장되어 상기 표시 패널(100)을 제어하는 외부 신호가 입력되는 신호 입력 패드(SIP)와 연결될 수 있다. 즉, 상기 신호 입력 패드(SIP)는 상기 패드 영역(PA)의 상기 절연막(113) 상에 배치될 수 있다.
- [0052] 상기 신호 입력 패드(SIP)에는 드라이버 IC(141)가 실장된 연성 회로 기판(140)이 연결될 수 있다. 상기 드라이버 IC(141)는 외부 회로 모듈로부터 각종 제어 신호를 입력받으며, 입력된 각종 제어 신호에 응답하여 상기 표시 패널(100)을 구동하는 구동 신호를 상기 신호 입력 패드(SIP)를 통하여 상기 박막 트랜지스터(TFT) 측으로 출력한다.
- [0053] 상기 대향 기판(120)은 상기 표시 영역(DA), 및 상기 비표시 영역(NDA)에 배치된다. 또한, 상기 대향 기판(120)은 제2 베이스 기판(121) 및 상기 제2 베이스 기판(121) 위에 형성된 공통 전극(125)을 포함한다. 상기 제2 베이스 기판(121)은 상기 제1 베이스 기판(111)과 마찬가지로, 리지드 타입의 기판 또는 플렉서블 타입의 기판일 수 있다. 상기 공통 전극(125)은 상기 화소 전극(115)과 같이, 투명 도전성 산화물을 포함할 수 있다. 또한, 상기 공통 전극(125)은 외부에서 제공되는 공통 전압(Vcom)을 상기 각 화소에 전달한다.
- [0054] 상기 액정층(130)은 복수의 액정 분자들을 포함한다. 상기 액정 분자들은 상기 화소 전극(115) 및 상기 공통 전극(125) 사이에 형성되는 전계에 의하여 특정 방향으로 배열되어 광의 투과도를 조절할 수 있다. 따라서, 상기 액정층(130)은 상기 전계에 의하여 상기 백라이트 유닛(200)으로부터 제공되는 상기 광을 투과시켜, 상기 표시 패널(100)이 영상을 표시할 수 있도록 한다.
- [0055] 상기한 바와 같이, 상기 표시 패널(100)의 패드 영역(PA)에는 상기 제1 베이스 기판(111) 및 상기 제2 베이스 기판(121)이 존재하지 않으며, 상기 패드 영역(PA)에는 상기 고분자 유기물층(112), 상기 절연막(113), 상기 신호 입력 패드(SIP) 및 상기 연성 회로 기판(140)만이 배치된다. 즉, 상기 표시 패널(100)은 상기 패드 영역(PA)에서 상기 고분자 유기물층(112) 상에 신호 입력 패드(SIP)가 배치되어 필름 형태의 연성 회로 기판과 유사한 형태를 가진다. 따라서, 상기 패드 영역(PA)이 백라이트 유닛 방향으로 절곡될 수 있으며, 상기 표시 패널(100)에서 상기 패드 영역(PA)의 폭이 최소화될 수 있다.
- [0056] 또한, 상기 표시 패널(100)을 포함하는 표시 장치는 상기 표시 패널(100)을 수용하는 상부 커버 및 하부 커버에

서 상기 패드 영역(PA)에 대응하는 공간이 축소될 수 있다.

- [0057] 도 8 내지 도 12는 도 6 및 도 7에 도시된 표시 패널의 제조 방법을 설명하기 위한 공정 단면도이다.
- [0058] 우선, 도 8을 참조하면, 어레이 기판(110)을 제조한다. 상기 어레이 기판(110)은 표시 영역(DA), 상기 표시 영역(DA)을 감싸는 비표시 영역(NDA), 및 상기 비표시 영역(NDA)의 적어도 일측에서 연장된 패드 영역(PA)을 포함한다. 여기서, 상기 비표시 영역(NDA)는 상기 패드 영역(PA)에 인접한 제1 비표시 영역(NDA-1), 및 상기 제1 비표시 영역(NDA-1) 이외의 제2 비표시 영역(NDA-2)으로 구분될 수 있다.
- [0059] 또한, 상기 어레이 기판(110)은 제1 베이스 기판(111), 상기 제1 베이스 기판(111) 상에 배치되는 고분자 유기물층(112), 상기 고분자 유기물층(112) 상에 배치되는 절연막(113), 상기 절연막(113) 상에 배치되는 박막 트랜지스터(TFT), 상기 박막 트랜지스터(TFT)와 접속된 상기 화소 전극(115)을 포함한다.
- [0060] 상기 어레이 기판(110)을 제조하는 방법을 보다 상세히 설명하면 하기와 같다.
- [0061] 우선, 상기 제1 베이스 기판(111)을 준비한다. 여기서, 상기 제1 베이스 기판(111)은 광 투과가 가능하며, 장변 및 단변을 가지는 직사각형의 판상일 수 있다. 또한, 상기 제1 베이스 기판(111)은 상기 표시 영역(DA), 상기 비표시 영역(NDA) 및 상기 패드 영역(PA)으로 구분될 수 있다.
- [0062] 그런 다음, 상기 제1 베이스 기판(111)의 전면에 걸쳐 $3\mu\text{m}$ 내지 $50\mu\text{m}$ 의 두께를 가지는 상기 고분자 유기물층(112)을 형성한다. 상기 고분자 유기물층(112)은 슬릿 코팅, 스핀 코팅, 롤 코팅, 또는 잉크젯 코팅과 같은 방법을 이용하여 형성될 수 있다. 즉, 상기 고분자 유기물층(112)은 상기 제1 베이스 기판(111)과 같이, 상기 표시 영역(DA), 상기 비표시 영역(NDA) 및 상기 패드 영역(PA)으로 구분될 수 있다.
- [0063] 상기 고분자 유기물층(112)은 광 투과가 가능한 고분자 유기물, 예를 들면, 폴리에틸렌테레프탈레이트(polyethyleneterephthalate, PET), 폴리에틸렌나프탈레이트(Polyethylenenaphthalate, PEN), 폴리 카보네이트(Polycarbonate, PC), 폴리에테르이미드(Polyetherimide, PEI), 폴리에테르설폰(Polyethersulfone, PES), 폴리에테르에테르케톤(Polyetheretherketon, PEEK), 및 폴리이미드(Polyimide, PI) 중 적어도 하나를 포함할 수 있다.
- [0064] 상기 고분자 유기물층(112)을 형성한 후, 상기 고분자 유기물층(112) 상에 절연막(113)을 형성한다. 상기 절연막(113)은 광 투과가 가능한 절연물질, 예를 들면, SiNx 및 SiO_2 중 적어도 하나를 포함할 수 있다. 또한, 상기 절연막(113)은 물리적 기상 증착(Physical Vapor Deposition, PVD) 또는 화학적 기상 증착(Chemical Vapor Deposition, CVD)를 통하여 형성될 수 있다.
- [0065] 상기 절연막(113)은 금속 물질과의 접착력이 우수하다. 따라서, 상기 절연막(113)은 상기 박막 트랜지스터(TFT)의 금속 물질이 상기 고분자 유기물층(112)에 직접 증착되는 경우 발생할 수 있는 금속층의 박리 현상을 방지할 수 있다.
- [0066] 또한, 상기 절연막(113)은 상기 고분자 유기물층(112)에 포함되는 물질이 상기 박막 트랜지스터(TFT)로 확산되는 것을 방지할 수 있다. 따라서, 상기 절연막(113)은 상기 박막 트랜지스터(TFT) 구동 특성이 저하되는 것을 방지할 수 있다.
- [0067] 상기 절연막(113)을 형성한 후, 상기 절연막(113) 상에 상기 박막 트랜지스터(TFT)를 형성한다. 상기 박막 트랜지스터(TFT)는 게이트 전극(GE), 반도체층(SCL), 소스 전극(SE) 및 드레인 전극(DE)을 포함할 수 있다.
- [0068] 상기 박막 트랜지스터(TFT)를 제조하는 방법을 보다 상세히 설명하면, 우선, 상기 절연막(113) 상에 게이트 전극(GE)을 형성하고, 상기 게이트 전극(GE)을 커버하는 게이트 절연막(GIL)을 형성한다. 그런 다음, 상기 게이트 절연막(GIL) 상에 반도체층(SCL)을 형성하고, 상기 반도체층(SCL)의 소스 영역 및 드레인 영역에 각각 접속하는 소스 전극(SE) 및 드레인 전극(DE)을 형성한다. 상기 소스 영역 및 상기 드레인 영역 사이의 영역은 채널 영역일 수 있다.
- [0069] 또한, 상기 소스 전극(SE) 및 상기 드레인 전극(DE)이 형성됨과 동시에 상기 소스 전극(SE)과 전기적으로 연결되는 데이터 라인(DL), 및 상기 데이터 라인(DL)과 전기적으로 연결되고, 상기 패드 영역(PA)의 상기 절연막(113) 상에 배치되는 신호 입력 패드(SIP)가 형성될 수 있다.
- [0070] 상기 박막 트랜지스터(TFT)를 형성한 후, 상기 박막 트랜지스터(TFT)를 커버하는 보호막(114)을 형성한다. 상기 보호막(114)은 무기물, 유기물 또는 유무기 복합물질을 포함할 수 있다.

- [0071] 상기 보호막(114)을 형성한 후, 상기 드레인 전극(DE)의 일부를 노출시키도록 상기 보호막(114)의 일부 영역을 제거한다. 상기 제거된 영역은 콘택 홀(CH)일 수 있다.
- [0072] 상기 드레인 전극(DE)의 일부를 노출시킨 후, 상기 콘택 홀(CH)을 통하여 상기 박막 트랜지스터(TFT)의 상기 드레인 전극(DE)과 접속하는 상기 화소 전극(115)을 형성한다.
- [0073] 도 9를 참조하면, 상기 어레이 기판(110)을 형성한 후, 상기 어레이 기판(110)의 상기 비표시 영역(NDA)에 봉지 패턴(SP)을 배치한다. 즉, 상기 봉지 패턴(SP)은 상기 표시 영역(DA)을 감싸는 형상을 가질 수 있다.
- [0074] 한편, 상기 비표시 영역(NDA)의 상기 어레이 기판(110) 및 상기 대향 기판(120) 사이에는 봉지 패턴(SP)이 배치될 수 있다. 상기 봉지 패턴(SP)은 상기 표시 영역(DA)을 감싸도록 배치되어 상기 어레이 기판(110) 및 상기 대향 기판(120)을 합착하며, 상기 액정층(130)이 외부로 누출되는 것을 방지할 수 있다.
- [0075] 상기 봉지 패턴(SP)은 도전성을 가질 수 있으며, 상기 봉지 패턴(SP)은 상기 공통 전극(125)과 접속하여 상기 공통 전극(125)이 각 화소에 공통 전압(Vcom)을 인가할 수 있도록 한다. 예를 들면, 상기 봉지 패턴(SP)은 에폭시(epoxy)계 수지, 페놀(phenol)계 수지 및 아크릴(acryl)계 수지 중 적어도 하나를 함유하는 고분자 수지, 금, 은, 구리 및 알루미늄 중 적어도 하나를 함유하는 도전성 입자, 및 유기 바인더의 혼합물을 포함할 수 있다. 또한, 상기 봉지 패턴(SP)은 열 또는 광에 의하여 경화가 가능하다.
- [0076] 상기 봉지 패턴(SP)을 형성한 후, 상기 표시 영역(DA)에 다수의 액정 분자들을 포함하는 액정층(130)을 배치한다.
- [0077] 상기 액정층(130)을 배치한 후, 제2 베이스 기판(121) 및 상기 제2 베이스 기판(121) 상에 배치된 공통 전극(125)을 포함하는 대향 기판(120)을 준비한다. 여기서, 상기 대향 기판(120)은 상기 표시 영역(DA) 및 상기 비표시 영역(NDA)로 구분될 수 있다.
- [0078] 그런 다음, 상기 대향 기판(120)의 공통 전극(125)이 상기 어레이 기판(110)을 향하도록 배치한다. 여기서, 상기 어레이 기판(110) 및 상기 대향 기판(120)은 상기 봉지 패턴(SP)에 의하여 합착된다.
- [0079] 한편, 본 실시예에서는 상기 봉지 패턴(SP)을 형성한 후, 상기 액정층(130)을 배치하고, 상기 어레이 기판(110) 및 상기 대향 기판(120)을 합착하는 방법을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 상기 봉지 패턴(SP)을 형성하고, 상기 어레이 기판(110) 및 상기 대향 기판(120)을 합착한 후, 상기 액정층(130)을 상기 어레이 기판(110) 및 상기 대향 기판(120) 사이의 공간으로 주입하는 방법을 사용할 수도 있다.
- [0080] 상기 어레이 기판(110) 및 상기 대향 기판(120)을 합착한 후, 상기 봉지 패턴(SP)에 열 또는 광을 공급하여 상기 봉지 패턴(SP)을 경화하여 초기 표시 패널(100P)을 제조한다.
- [0081] 상기 봉지 패턴(SP)을 경화한 후, 상기 패드 영역(PA)의 상기 제1 베이스 기판(111)을 제거한다. 상기 제1 베이스 기판(111)의 제거는 레이저 커팅 또는 습식 식각 등의 방법을 사용할 수 있다. 본 실시예에서는 상기 패드 영역(PA)의 상기 제1 베이스 기판(111)을 제거하기 위하여 식각 방법을 이용하는 경우를 예로서 설명한다.
- [0082] 도 10을 참조하면, 우선, 상기 초기 표시 패널(100P)의 일단에 보호 필름(150)을 부착한다. 예를 들면, 상기 보호 필름(150)은 상기 어레이 기판(110)의 패드 영역(PA) 및 상기 대향 기판(120)의 비표시 영역(NDA)에 부착될 수 있다.
- [0083] 상기 보호 필름(150)을 부착한 후, 상기 봉지 패턴(SP)에 의하여 합착된 상기 초기 표시 패널(100P)을 식각 용액(etchant)이 담겨 있는 식각 배스(EB)(bath)에 투입한다. 여기서, 상기 초기 표시 패널(100P)은 상기 보호 필름(150)이 지면 방향을 향하도록 하여 상기 식각 배스(EB)에 투입된다. 또한, 상기 식각 배스(EB)에 투입되는 상기 초기 표시 패널(100P)의 깊이는 상기 패드 영역(PA)의 폭 이상, 상기 패드 영역(PA) 및 상기 비표시 영역(NDA)의 폭의 합 이하일 수 있다.
- [0084] 상기 초기 표시 패널(100P)이 상기 식각 배스(EB)에 투입되면, 상기 패드 영역(PA)의 상기 제1 베이스 기판(111)이 상기 식각 용액에 의하여 제거된다. 따라서, 상기 표시 패널(100)의 상기 패드 영역(PA)에는 도 11에 도시된 바와 같이, 상기 고분자 유기물층(112), 상기 절연막(113) 및 상기 신호 입력 패드(SIP)만이 잔류한다.
- [0085] 도 12를 참조하면, 상기 제1 베이스 기판(111)을 제거한 후, 상기 보호 필름(150)을 제거하고, 상기 패드 영역(PA)의 상기 신호 입력 패드(SIP)에 외부 회로 모듈과 연결되는 연성 회로 기판(140)을 부착하여, 상기 신호 입력 패드(SIP) 및 드라이버 IC(141)를 전기적으로 연결하여 표시 패널(100)을 제조한다.

- [0086] 상기 신호 입력 패드(SIP)에 상기 연성 회로 기판(140)을 연결한 후, 상기 패드 영역(PA)을 백라이트 유닛 방향으로 절곡한다.
- [0087] 이후에는 상기 표시 패널(100)을 상기 백라이트 유닛과 함께 상부 커버 및 하부 커버에 수납하는 공정을 진행하여 표시 장치를 제조할 수 있다.
- [0088] 상기한 바와 같은 공정을 통하여 제조된 상기 표시 패널(100)은 상기 패드 영역(PA)이 백라이트 유닛을 향하여 절곡될 수 있다. 따라서, 상기 표시 패널(100)을 구비하는 표시 장치는 상기 패드 영역(PA)을 위한 공간이 최소화될 수 있다.
- [0089] 이하, 도 13 내지 도 23을 통하여 본 발명의 다른 실시예들을 설명한다. 도 13 내지 도 23에 있어서, 도 1에서 도 12에 도시된 구성 요소와 동일한 구성 요소는 동일한 참조번호를 부여하고, 그에 대한 구체적인 설명은 생략한다. 또한, 도 13 내지 도 23에서는 중복된 설명을 피하기 위하여, 도 1 내지 도 12와 다른 점을 위주로 설명한다.
- [0090] 도 13은 본 발명의 다른 실시예에 따른 표시 패널을 설명하기 위한 단면도이며, 도 14는 도 13의 표시 패널에서 패드 영역이 절곡된 형상을 설명하기 위한 단면도이다.
- [0091] 도 13 및 도 14를 참조하면, 표시 패널(100)은 영상을 표시하는 표시 영역(DA), 상기 표시 영역(DA)을 감싸는 비표시 영역(NDA), 및 상기 비표시 영역(NDA)의 적어도 일측에서 연장된 패드 영역(PA)을 포함한다. 여기서, 상기 비표시 영역(NDA)는 상기 패드 영역(PA)에 인접한 제1 비표시 영역(NDA-1), 및 상기 제1 비표시 영역(NDA-1) 이외의 제2 비표시 영역(NDA-2)으로 구분될 수 있다.
- [0092] 또한, 상기 표시 패널(100)은 어레이 기판(110), 상기 어레이 기판(110)에 마주하는 대향 기판(120), 및 상기 어레이 기판(110)과 상기 대향 기판(120) 사이에 배치되는 액정층(130)을 포함한다.
- [0093] 상기 어레이 기판(110)은 상기 표시 패널(100)의 형상에 대응하므로, 상기 표시 영역(DA), 상기 비표시 영역(NDA), 및 상기 패드 영역(PA)을 포함할 수 있다. 또한, 상기 어레이 기판(110)은 제1 베이스 기판(111), 상기 제1 베이스 기판(111)의 일부 상에 배치되는 고분자 유기물층(112'), 상기 고분자 유기물층(112') 및 상기 제1 베이스 기판(111) 상에 배치되는 절연막(113), 상기 절연막(113) 상에 배치되는 상기 박막 트랜지스터(TFT), 상기 박막 트랜지스터(TFT)와 접속된 상기 화소 전극(115)을 포함한다.
- [0094] 상기 고분자 유기물층(112')은 상기 패드 영역(PA) 및 상기 제1 비표시 영역(NDA-1)에 배치될 수 있다. 즉, 상기 패드 영역(PA)에서 상기 고분자 유기물층(112')의 하부에는 상기 제1 베이스 기판(111)이 존재하지 않는다. 또한, 상기 고분자 유기물층(112')은 상기 표시 영역(DA)과 중첩하지 않는다. 한편, 상기 고분자 유기물층(112')은 상기 표시 영역(DA)과 중첩하지 않으므로, 색상을 가지는 물질을 포함할 수 있다. 따라서, 상기 고분자 유기물층(112')은 상기 표시 영역(DA)으로 공급되는 외부 광이 상기 표시 영역(DA) 이외의 영역으로 누설되는 것을 방지할 수 있다.
- [0095] 상기 절연막(113)은 상기 고분자 유기물층(112') 및 상기 제1 베이스 기판(111)을 커버한다. 즉, 상기 절연막(113)은 상기 패드 영역(PA), 상기 비표시 영역(NDA) 및 상기 패드 영역(PA)을 커버한다.
- [0096] 상기 박막 트랜지스터(TFT)는 상기 절연막(113) 상에 배치되고, 반도체층(SCL), 게이트 전극(GE), 소스 전극(SE) 및 드레인 전극(DE)을 포함할 수 있다. 상기 소스 전극(SE)은 데이터 전압을 상기 박막 트랜지스터(TFT)로 전송하는 데이터 라인(DL)과 접속할 수 있다.
- [0097] 상기 박막 트랜지스터(TFT) 상에는 보호막(114)이 배치된다. 상기 보호막(114)의 일부 영역은 개구(open)되어 상기 드레인 전극(DE)의 일부를 노출시키는 콘택 홀(CH)일 수 있다.
- [0098] 상기 보호막(114)의 상부에는 상기 화소 전극(115)이 배치되며, 상기 화소 전극(115)은 상기 콘택 홀(CH)을 통하여 상기 드레인 전극(DE)과 전기적으로 연결된다.
- [0099] 상기 비표시 영역(NDA)의 상기 어레이 기판(110) 및 상기 대향 기판(120) 사이에는 봉지 패턴(SP)이 배치될 수 있다.
- [0100] 한편, 상기 소스 전극(SE)은 데이터 라인과 연결되며, 상기 데이터 라인(DL)은 상기 패드 영역(PA)까지 연장되어 신호 입력 패드(SIP)와 연결될 수 있다. 즉, 상기 신호 입력 패드(SIP)는 상기 패드 영역(PA)의 상기 절연막(113) 상에 배치될 수 있다. 상기 신호 입력 패드(SIP)는 외부 회로 모듈과 접속하는 드라이버 IC(141)와 실장

된 연성 회로 기판(140)이 연결될 수 있다.

- [0101] 도 15 내지 17는 도 13 및 도 14에 도시된 표시 패널의 제조 방법을 설명하기 위한 공정 단면도이다.
- [0102] 우선, 도 15를 참조하면, 어레이 기판(110)을 제조한다. 상기 어레이 기판(110)은 표시 패널의 표시 영역(DA), 비표시 영역(NDA), 및 패드 영역(PA)을 포함한다. 여기서, 상기 비표시 영역(NDA)는 상기 패드 영역(PA)에 인접한 제1 비표시 영역(NDA-1), 및 상기 제1 비표시 영역(NDA-1) 이외의 제2 비표시 영역(NDA-2)으로 구분될 수 있다.
- [0103] 또한, 상기 어레이 기판(110)은 제1 베이스 기판(111), 상기 제1 베이스 기판(111) 상의 일부에 배치되는 고분자 유기물층(112'), 상기 고분자 유기물층(112') 상에 배치되는 절연막(113), 상기 절연막(113) 상에 배치되는 상기 박막 트랜지스터(TFT), 상기 박막 트랜지스터(TFT)와 접속된 상기 화소 전극(115)을 포함한다.
- [0104] 상기 고분자 유기물층(112')은 상기 제1 베이스 기판(111)의 상기 패드 영역(PA) 및 상기 제1 비표시 영역(NDA-1)에만 배치될 수 있다.
- [0105] 상기 어레이 기판(110)을 제조하는 방법을 보다 상세히 설명하면 하기와 같다.
- [0106] 우선, 상기 제1 베이스 기판(111)을 준비한다. 여기서, 상기 제1 베이스 기판(111)은 광 투과가 가능하며, 장변 및 단변을 가지는 직사각형의 판상일 수 있다.
- [0107] 그런 다음, 상기 제1 베이스 기판(111) 전면에 걸쳐 고분자 유기물을 코팅한다. 상기 고분자 유기물을 코팅한 후, 상기 고분자 유기물을 패터닝한다. 예를 들면, 상기 패드 영역(PA) 및 상기 제1 비표시 영역(NDA-1)을 제외한 영역에서 상기 고분자 유기물을 제거한다. 따라서, 상기 고분자 유기물층(112')은 상기 제1 베이스 기판(111) 상의 상기 패드 영역(PA) 및 상기 제1 비표시 영역(NDA-1)에만 배치될 수 있다. 또한, 상기 고분자 유기물을 패터닝하는 방법은 식각 방법 또는 레이저 제거 방법을 이용할 수 있다.
- [0108] 또한, 상기 고분자 유기물층(112')은 롤 코팅, 잉크젯 코팅, 또는 스크린을 이용한 코팅 방법을 이용하여 상기 패드 영역(PA) 및 상기 제1 비표시 영역(NDA-1)에만 형성될 수도 있다.
- [0109] 상기 고분자 유기물층(112')을 형성한 후, 상기 고분자 유기물층(112') 및 상기 제1 베이스 기판(111) 상에 SiNx 및 SiO₂ 중 적어도 하나를 포함하는 절연막(113)을 형성한다.
- [0110] 상기 절연막(113)을 형성한 후, 상기 절연막(113) 상에 박막 트랜지스터(TFT)를 형성한다. 상기 박막 트랜지스터(TFT)는 게이트 전극(GE), 반도체층(SCL), 소스 전극(SE) 및 드레인 전극(DE)을 포함할 수 있다.
- [0111] 상기 게이트 전극(GE) 및 상기 반도체층(SCL) 사이에는 게이트 절연막(GIL)이 배치될 수 있다. 상기 게이트 절연막(GIL)은 상기 게이트 전극(GE)과 상기 반도체층(SCL), 상기 소스 전극(SE) 및 상기 드레인 전극(DE)이 절연되도록 한다.
- [0112] 상기 소스 전극(SE) 및 상기 드레인 전극(DE)이 형성됨과 동시에 상기 소스 전극(SE)과 전기적으로 연결되는 데이터 라인(DL), 및 상기 데이터 라인(DL)과 전기적으로 연결되고, 상기 패드 영역(PA)의 상기 절연막(113) 상에 배치되는 신호 입력 패드(SIP)가 형성될 수 있다.
- [0113] 상기 박막 트랜지스터(TFT)를 형성한 후, 상기 박막 트랜지스터(TFT)를 커버하는 보호막(114)을 형성한다.
- [0114] 상기 보호막(114)을 형성한 후, 상기 보호막(114)의 일부 영역이 제거되어 상기 드레인 전극(DE)을 노출시키는 콘택 홀(CH)을 형성한다.
- [0115] 상기 콘택 홀(CH)을 형성한 후, 상기 콘택 홀(CH)을 통하여 상기 박막 트랜지스터(TFT)의 상기 드레인 전극(DE)과 접속하는 상기 화소 전극(115)을 형성한다.
- [0116] 도 16을 참조하면, 상기 어레이 기판(110)을 형성한 후, 상기 어레이 기판(110)의 상기 비표시 영역(NDA)에 봉지 패턴(SP)을 배치한다. 상기 봉지 패턴(SP)은 도전성을 가질 수 있으며, 열 또는 광에 의하여 경화될 수 있다.
- [0117] 상기 봉지 패턴(SP)을 형성한 후, 상기 표시 영역(DA)에 액정층(130)을 배치한다.
- [0118] 상기 액정층(130)을 배치한 후, 제2 베이스 기판(121) 및 상기 제2 베이스 기판(121)에 배치된 공통 전극(125)을 포함하는 대향 기판(120)을 준비하고, 상기 대향 기판(120)의 상기 공통 전극(125)이 상기 어레이 기판(110)을 향하도록 배치한다. 여기서, 상기 어레이 기판(110) 및 상기 대향 기판(120)은 상기 봉지 패턴(SP)에 의하

여 합착될 수 있다.

- [0119] 상기 어레이 기관(110) 및 상기 대향 기관(120)을 합착한 후, 상기 봉지 패턴(SP)에 열 또는 광을 공급하여 상기 봉지 패턴(SP)을 경화시킨다.
- [0120] 도 17을 참조하면, 상기 봉지 패턴(SP)을 경화한 후, 상기 패드 영역(PA)의 상기 제1 베이스 기관(111)을 제거한다. 상기 제1 베이스 기관(111)을 제거하는 방법에는 레이저 커팅 또는 식각 등의 방법이 사용될 수 있다.
- [0121] 상기 제1 베이스 기관(111)의 영역을 제거한 후, 상기 패드 영역(PA)에 연성 회로 기관(140)을 부착하여, 상기 신호 입력 패드(SIP) 및 드라이버 IC(141)를 전기적으로 연결한다.
- [0122] 상기 신호 입력 패드(SIP)에 상기 연성 회로 기관(140)을 연결한 후, 상기 패드 영역(PA)을 절곡한다.
- [0123] 이후에는 상기 표시 패널(100)을 백라이트 유닛과 함께 상부 커버 및 하부 커버에 수납하는 공정을 진행하여 표시 장치를 제조할 수 있다.
- [0124] 도 18은 본 발명의 또 다른 실시예에 따른 표시 패널을 설명하기 위한 단면도이며, 도 19는 도 18의 표시 패널에서 패드 영역이 절곡된 형상을 설명하기 위한 단면도이다.
- [0125] 도 18 및 도 19를 참조하면, 표시 패널(100)은 영상을 표시하는 표시 영역(DA), 상기 표시 영역(DA)을 감싸는 비표시 영역(NDA), 및 상기 비표시 영역(NDA)의 적어도 일측에서 연장된 패드 영역(PA)을 포함한다. 여기서, 상기 비표시 영역(NDA)은 상기 패드 영역(PA)에 인접한 제1 비표시 영역(NDA-1), 및 상기 제1 비표시 영역(NDA-1) 이외의 제2 비표시 영역(NDA-2)으로 구분될 수 있다.
- [0126] 또한, 상기 표시 패널(100)은 어레이 기관(110), 상기 어레이 기관(110)에 마주하는 대향 기관(120), 및 상기 어레이 기관(110)과 상기 대향 기관(120) 사이에 배치되는 액정층(130)을 포함한다.
- [0127] 상기 어레이 기관(110)은 상기 표시 패널(100)의 형상에 대응하므로, 상기 표시 영역(DA), 상기 비표시 영역(NDA), 및 상기 패드 영역(PA)을 포함할 수 있다. 또한, 상기 어레이 기관(110)은 제1 베이스 기관(111), 상기 제1 베이스 기관(111)의 일부 상에 배치되는 고분자 유기물층(112"), 상기 고분자 유기물층(112") 및 상기 제1 베이스 기관(111) 상에 배치되는 절연막(113), 상기 절연막(113) 상에 배치되는 상기 박막 트랜지스터(TFT), 상기 박막 트랜지스터(TFT)와 접속된 상기 화소 전극(115)을 포함한다.
- [0128] 상기 제1 베이스 기관(111)은 상기 표시 영역(DA) 및 상기 비표시 영역(NDA)에 배치되고, 장변 및 단변을 구비하는 직사각의 판상일 수 있다. 또한, 상기 제1 베이스 기관(111)은 상기 비표시 영역(NDA)의 일부, 예를 들면, 상기 패드 영역(PA)에 인접한 상기 비표시 영역(NDA)이 제거되어 형성된 트렌치(T)를 구비할 수 있다. 즉, 상기 트렌치(T)는 요홈 형태를 가질 수 있다.
- [0129] 상기 고분자 유기물층(112")은 상기 패드 영역(PA) 및 상기 제1 비표시 영역(NDA-1)에 배치될 수 있다. 또한, 상기 제1 비표시 영역(NDA-1)의 상기 고분자 유기물층(112")은 상기 트렌치(T) 내부에 배치될 수 있다. 상기 패드 영역(PA)에서 상기 고분자 유기물층(112")의 하부에는 상기 제1 베이스 기관(111)이 존재하지 않는다. 또한, 상기 고분자 유기물층(112")은 상기 표시 영역(DA)과 중첩하지 않는다.
- [0130] 상기 절연막(113)은 상기 고분자 유기물층(112") 및 상기 제1 베이스 기관(111)을 커버한다.
- [0131] 상기 박막 트랜지스터(TFT)는 상기 절연막(113) 상에 배치되고, 반도체층(SCL), 게이트 전극(GE), 소스 전극(SE) 및 드레인 전극(DE)을 포함할 수 있다. 상기 소스 전극(SE)은 데이터 전압을 상기 박막 트랜지스터(TFT)로 전송하는 데이터 라인(DL)과 접속할 수 있다.
- [0132] 상기 박막 트랜지스터(TFT) 상에는 보호막(114)이 배치된다. 상기 보호막(114)의 일부 영역은 개구(open)되어 상기 드레인 전극(DE)의 일부를 노출시키는 콘택 홀(CH)일 수 있다.
- [0133] 상기 보호막(114)의 상부에는 상기 화소 전극(115)이 배치되며, 상기 화소 전극(115)은 상기 콘택 홀(CH)을 통하여 상기 드레인 전극(DE)과 전기적으로 연결된다.
- [0134] 상기 비표시 영역(NDA)의 상기 어레이 기관(110) 및 상기 대향 기관(120) 사이에는 봉지 패턴(SP)이 배치될 수 있다.
- [0135] 한편, 상기 소스 전극(SE)은 데이터 라인과 연결되며, 상기 데이터 라인(DL)은 상기 패드 영역(PA)까지 연장되어 신호 입력 패드(SIP)와 연결될 수 있다. 즉, 상기 신호 입력 패드(SIP)는 상기 패드 영역(PA)의 상기 절연막(113) 상에 배치될 수 있다. 상기 신호 입력 패드(SIP)는 외부 회로 모듈과 접속하는 드라이버 IC(141)와 실장

된 연성 회로 기판(140)이 연결될 수 있다.

- [0136] 도 20 내지 도 23은 도 18 및 도 19에 도시된 표시 패널의 제조 방법을 설명하기 위한 공정 단면도이다.
- [0137] 우선, 어레이 기판(110)을 제조한다. 상기 어레이 기판(110)은 표시 패널의 표시 영역(DA), 비표시 영역(NDA), 및 패드 영역(PA)을 포함한다. 여기서, 상기 비표시 영역(NDA)는 상기 패드 영역(PA)에 인접한 제1 비표시 영역(NDA-1), 및 상기 제1 비표시 영역(NDA-1) 이외의 제2 비표시 영역(NDA-2)으로 구분될 수 있다. 또한, 상기 어레이 기판(110)은 제1 베이스 기판(111), 상기 제1 베이스 기판(111) 상의 일부에 배치되는 고분자 유기물층(112"), 상기 고분자 유기물층(112") 상에 배치되는 절연막(113), 상기 절연막(113) 상에 배치되는 상기 박막 트랜지스터(TFT), 상기 박막 트랜지스터(TFT)와 접속된 상기 화소 전극(115)을 포함한다.
- [0138] 상기 고분자 유기물층(112")은 상기 제1 베이스 기판(111)의 상기 패드 영역(PA) 및 상기 제1 비표시 영역(NDA-1)에만 배치될 수 있다.
- [0139] 상기 어레이 기판(110)을 제조하는 방법을 보다 상세히 설명하면 하기와 같다.
- [0140] 도 20을 참조하면, 제1 베이스 기판(111)을 준비한다. 여기서, 상기 제1 베이스 기판(111)은 광 투과가 가능하며, 장변 및 단변을 가지는 직사각형의 판상일 수 있다.
- [0141] 그런 다음, 상기 제1 베이스 기판(111)의 상기 패드 영역(PA) 및 상기 제1 비표시 영역(NDA-1)의 일부 영역을 제거하여 트렌치(T)를 형성한다.
- [0142] 상기 트렌치(T)를 형성한 후, 상기 트렌치(T)에 충전된 형태의 고분자 유기물층(112")을 형성한다. 여기서, 상기 고분자 유기물층(112")은 상기 제1 베이스 기판(111) 상에 고분자 유기물을 도포하고, 상기 트렌치(T)에 대응하는 영역을 제외하고, 상기 고분자 유기물을 제거하여 형성될 수 있다. 따라서, 상기 고분자 유기물층(112")은 상기 트렌치(T) 내부의 상기 패드 영역(PA) 및 상기 제1 비표시 영역(NDA-1)에 배치될 수 있다.
- [0143] 상기 고분자 유기물층(112")을 형성한 후, 상기 고분자 유기물층(112") 및 상기 제1 베이스 기판(111) 상에 SiNx 및 SiO₂ 중 적어도 하나를 포함하는 절연막(113)을 형성한다.
- [0144] 도 21을 참조하면, 상기 절연막(113) 상에 박막 트랜지스터(TFT)를 형성한다. 상기 박막 트랜지스터(TFT)는 게이트 전극(GE), 반도체층(SCL), 소스 전극(SE) 및 드레인 전극(DE)을 포함할 수 있다.
- [0145] 상기 게이트 전극(GE) 및 상기 반도체층(SCL) 사이에는 게이트 절연막(GIL)이 배치될 수 있다. 상기 게이트 절연막(GIL)은 상기 게이트 전극(GE)과 상기 반도체층(SCL), 상기 소스 전극(SE) 및 상기 드레인 전극(DE)이 절연되도록 한다.
- [0146] 상기 소스 전극(SE) 및 상기 드레인 전극(DE)이 형성됨과 동시에 상기 소스 전극(SE)과 전기적으로 연결되는 데이터 라인(DL), 및 상기 데이터 라인(DL)과 전기적으로 연결되고, 상기 패드 영역(PA)의 상기 절연막(113) 상에 배치되는 신호 입력 패드(SIP)가 형성될 수 있다.
- [0147] 상기 박막 트랜지스터(TFT)를 형성한 후, 상기 박막 트랜지스터(TFT)를 커버하는 보호막(114)을 형성한다.
- [0148] 상기 보호막(114)을 형성한 후, 상기 보호막(114)의 일부 영역이 제거되어 상기 드레인 전극(DE)을 노출시키는 콘택 홀(CH)을 형성한다.
- [0149] 상기 콘택 홀(CH)을 형성한 후, 상기 콘택 홀(CH)을 통하여 상기 박막 트랜지스터(TFT)의 상기 드레인 전극(DE)과 접속하는 상기 화소 전극(115)을 형성하여 어레이 기판을 제조한다.
- [0150] 도 22를 참조하면, 상기 어레이 기판(110)을 제조한 후, 상기 어레이 기판(110)의 상기 비표시 영역(NDA)에 봉지 패턴(SP)을 배치한다. 상기 봉지 패턴(SP)은 도전성을 가질 수 있으며, 열 또는 광에 의하여 경화될 수 있다.
- [0151] 상기 봉지 패턴(SP)을 형성한 후, 상기 표시 영역(DA)에 액정층(130)을 배치한다.
- [0152] 상기 액정층(130)을 배치한 후, 제2 베이스 기판(121) 및 상기 제2 베이스 기판(121)에 배치된 공통 전극(125)을 포함하는 대향 기판(120)을 준비하고, 상기 대향 기판(120)의 상기 공통 전극(125)이 상기 어레이 기판(110)을 향하도록 배치한다. 여기서, 상기 어레이 기판(110) 및 상기 대향 기판(120)은 상기 봉지 패턴(SP)에 의하여 합착될 수 있다.
- [0153] 상기 어레이 기판(110) 및 상기 대향 기판(120)을 합착한 후, 상기 봉지 패턴(SP)에 열 또는 광을 공급하여 상

기 봉지 패턴(SP)을 경화시킨다.

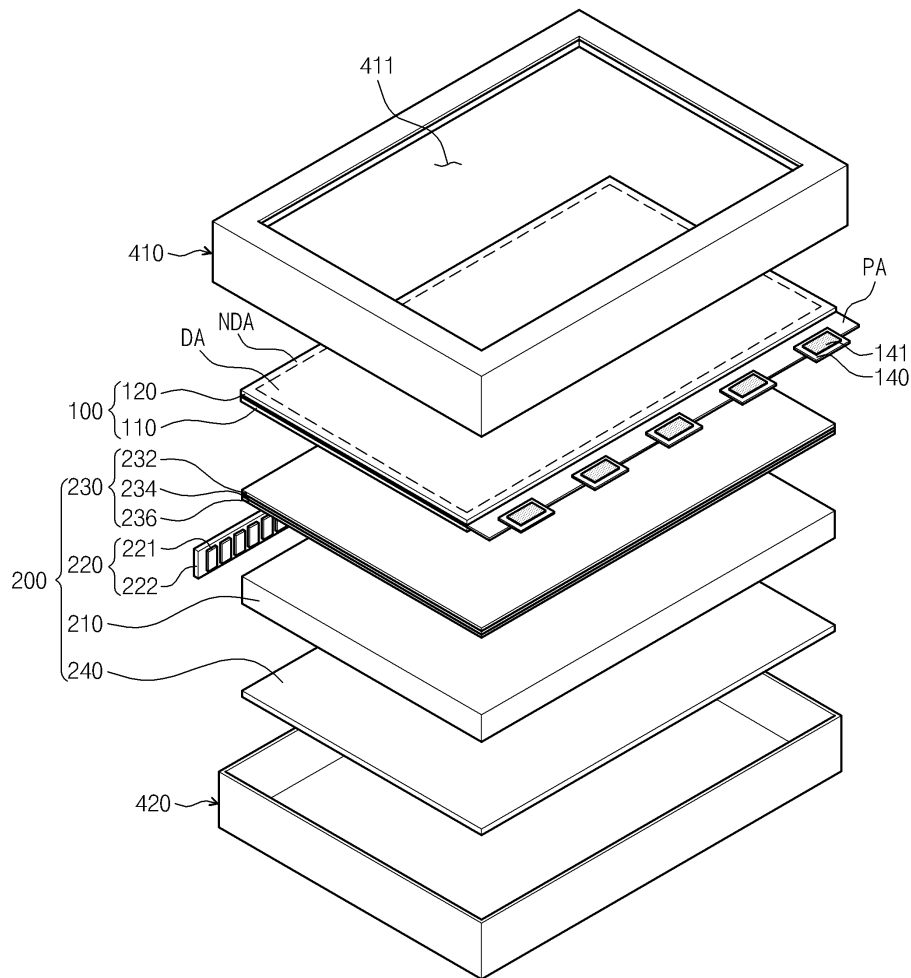
- [0154] 도 23을 참조하면, 상기 봉지 패턴(SP)을 경화한 후, 상기 패드 영역(PA)의 상기 제1 베이스 기판(111)을 영역을 제거한다.
- [0155] 상기 패드 영역(PA)의 상기 제1 베이스 기판(111)을 제거한 후, 상기 패드 영역(PA)에 연성 회로 기판(140)을 부착하여, 상기 신호 입력 패드(SIP) 및 드라이버 IC(141)를 전기적으로 연결한다.
- [0156] 상기 신호 입력 패드(SIP)에 상기 연성 회로 기판(140)을 연결한 후, 상기 패드 영역(PA)을 절곡한다.
- [0157] 이후에는 상기 표시 패널(100)을 백라이트 유닛과 함께 상부 커버 및 하부 커버에 수납하는 공정을 진행하여 표시 장치를 제조할 수 있다.
- [0158] 이상의 상세한 설명은 본 발명을 예시하고 설명하는 것이다. 또한, 기술한 내용은 본 발명의 바람직한 실시 형태를 나타내고 설명하는 것에 불과하며, 기술한 바와 같이 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있으며, 본 명세서에 개시된 발명의 개념의 범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위 내에서 변경 또는 수정이 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한, 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

부호의 설명

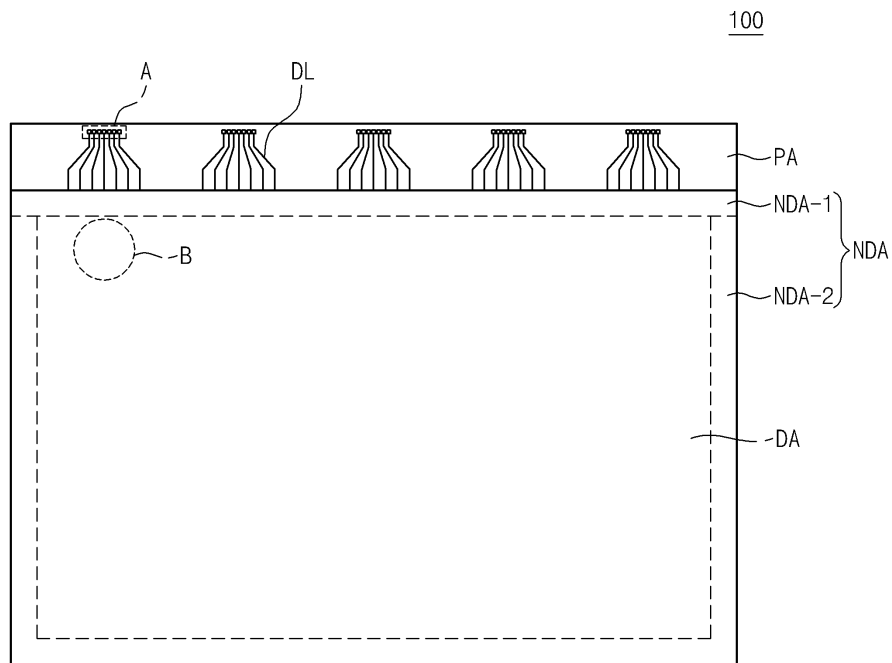
- [0159]
- | | |
|------------------|------------------|
| 표시 패널; 100 | 어레이 기판; 110 |
| 제1 베이스 기판; 111 | 고분자 유기물층; 112 |
| 절연막; 113 | 보호막; 114 |
| 화소 전극; 115 | 박막 트랜지스터; TFT |
| 게이트 전극; GE | 게이트 절연막; GIL |
| 반도체층; SCL | 소스 전극; SE |
| 드레인 전극; DE | 데이터 라인; DL |
| 게이트 라인 GL | 콘택 홀; CH |
| 대향 기판; 120 | 제2 베이스 기판; 121 |
| 공통 전극; 125 | 봉지 패턴; SP |
| 액정층; 130 | 표시 영역; DA |
| 비표시 영역; NDA | 제1 비표시 영역; NDA-1 |
| 제2 비표시 영역; NDA-2 | 패드 영역; PA |
| 신호 입력 패드; SIP | 연성 회로 기판; 140 |
| 드라이버 IC; 141 | 보호 필름; 150 |
| 식각 베스; EB | 트렌치; T |
| 백라이트 유닛; 200 | 도광판; 210 |
| 광원 유닛; 220 | 광원; 221 |
| 인쇄 회로 기판; 222 | 광학 부재; 230 |
| 보호 시트; 232 | 프리즘 시트; 234 |
| 확산 시트; 236 | 반사 시트; 240 |
| 상부 커버; 410 | 표시창; 411 |
| 하부 커버; 420 | |

도면

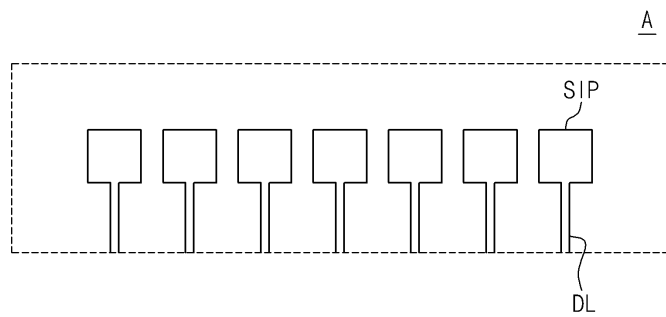
도면1



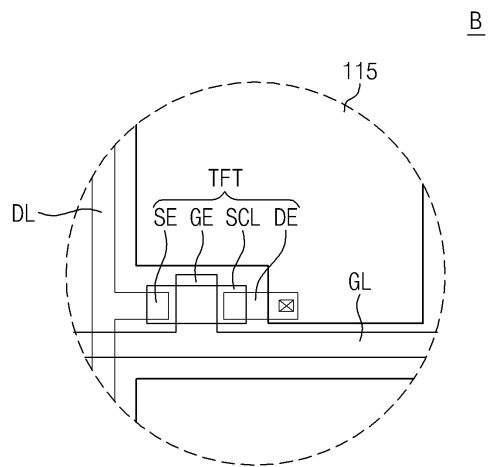
도면2



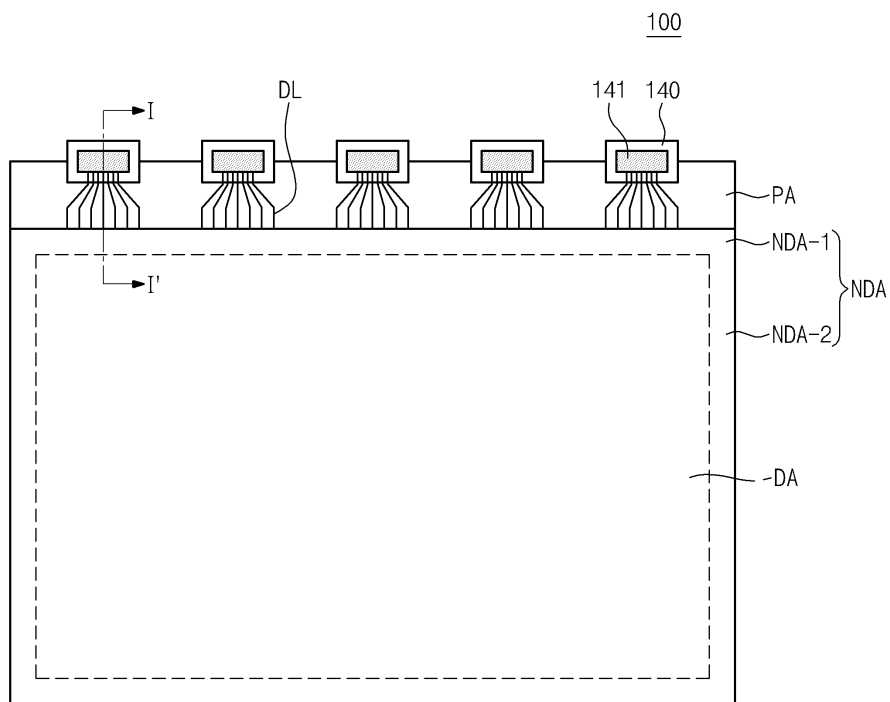
도면3



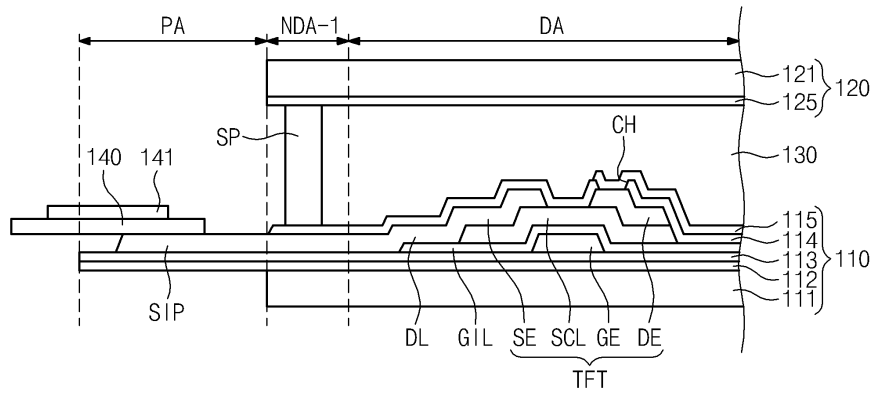
도면4



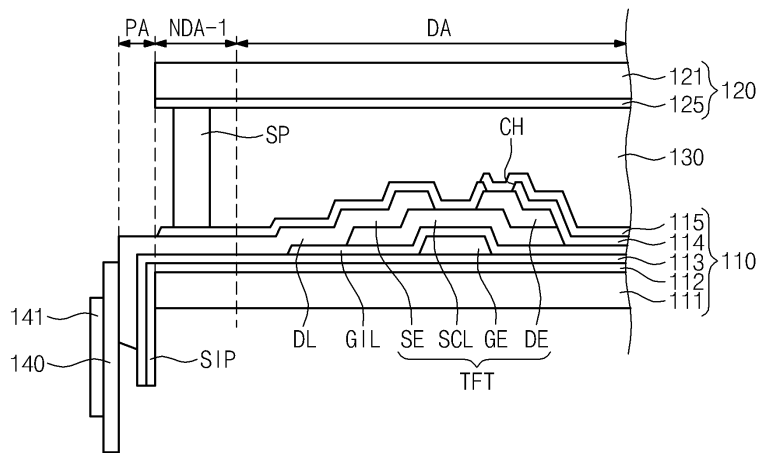
도면5



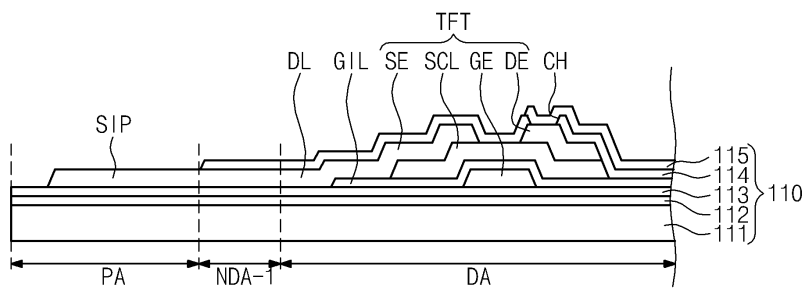
도면6



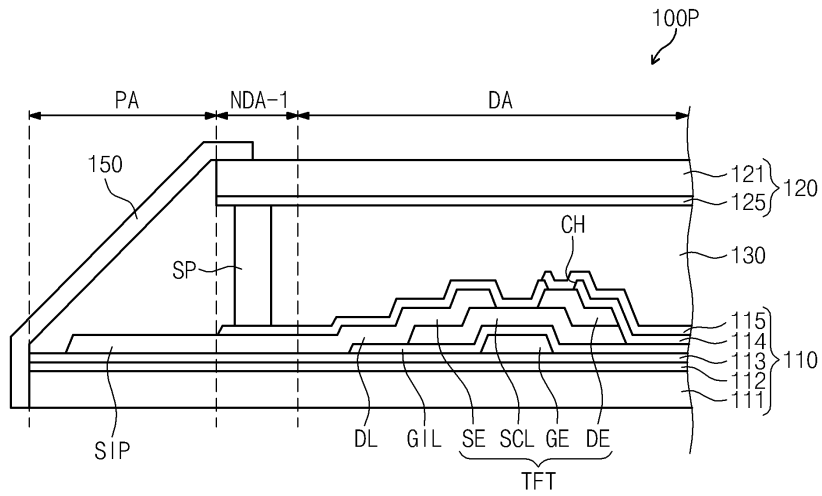
도면7



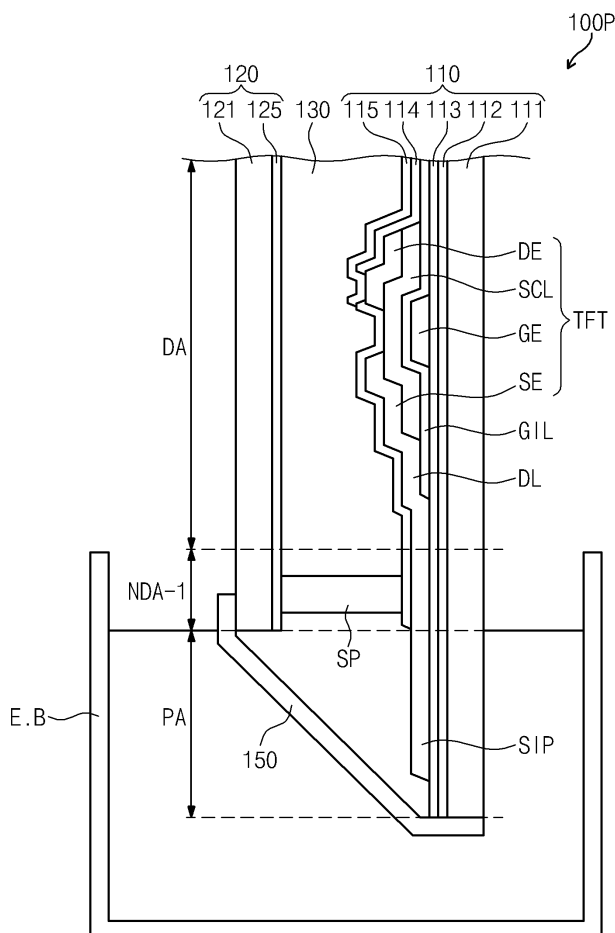
도면8



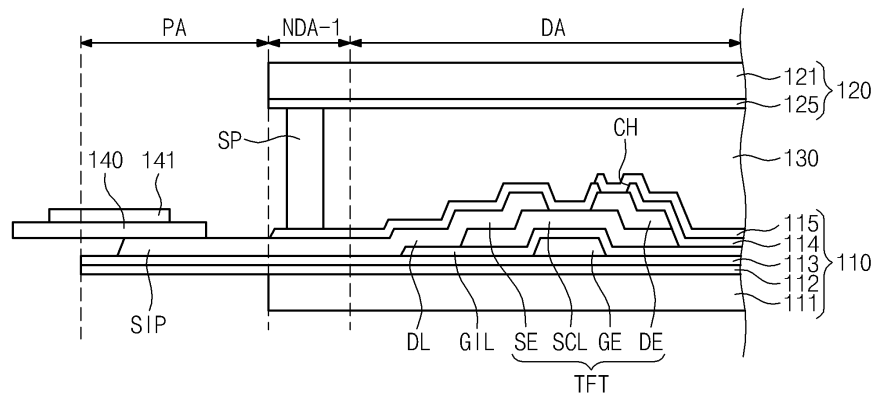
도면9



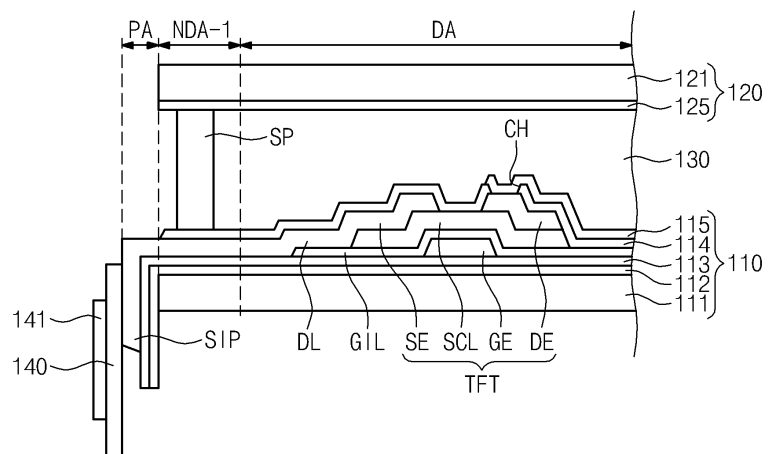
도면10



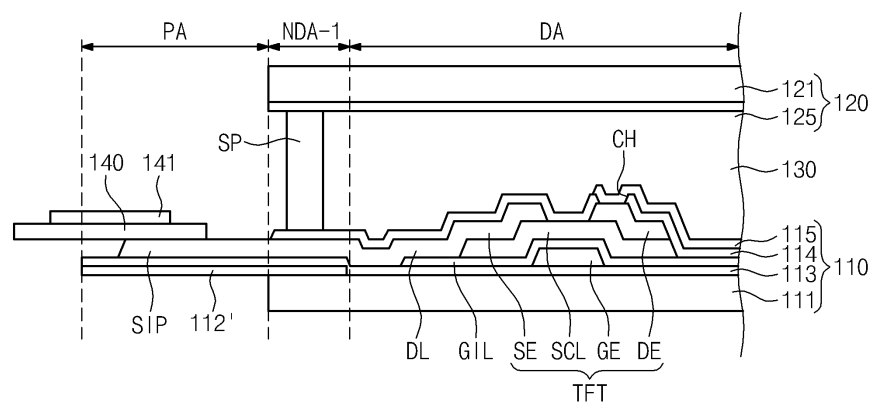
도면11



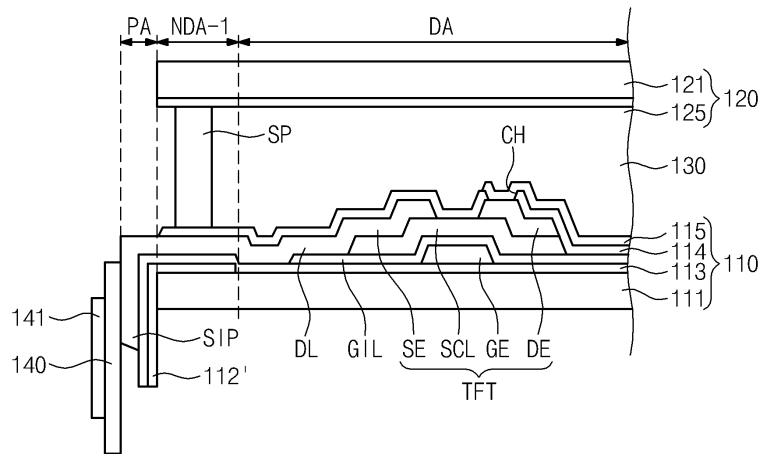
도면12



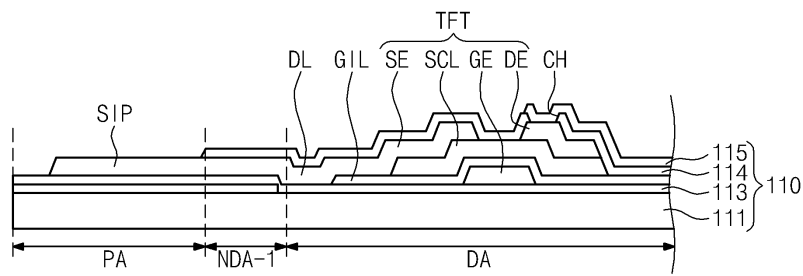
도면13



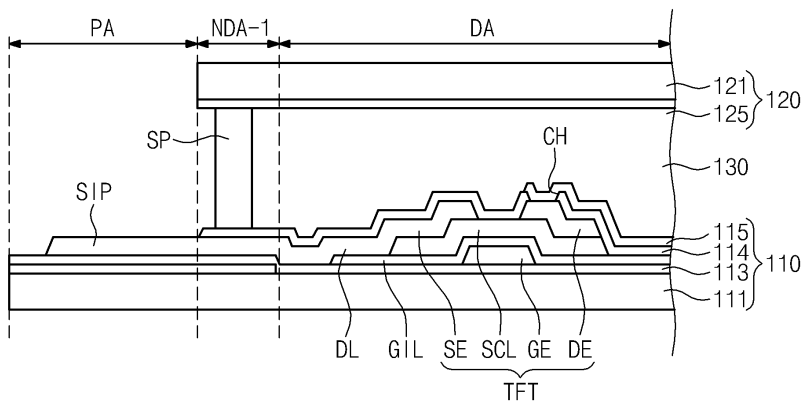
도면14



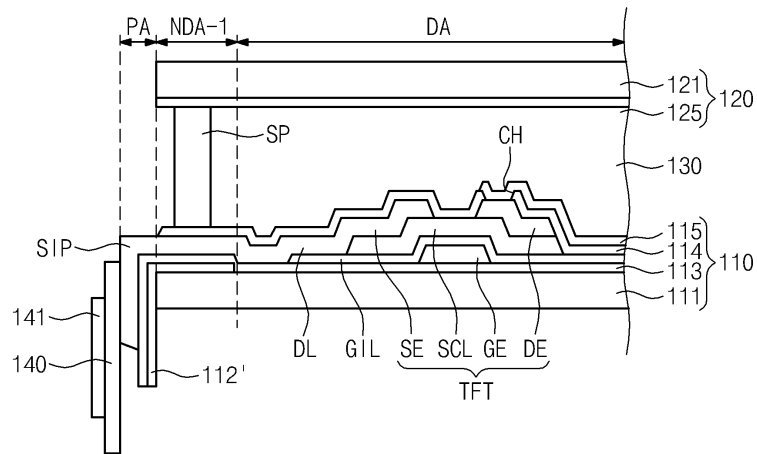
도면15



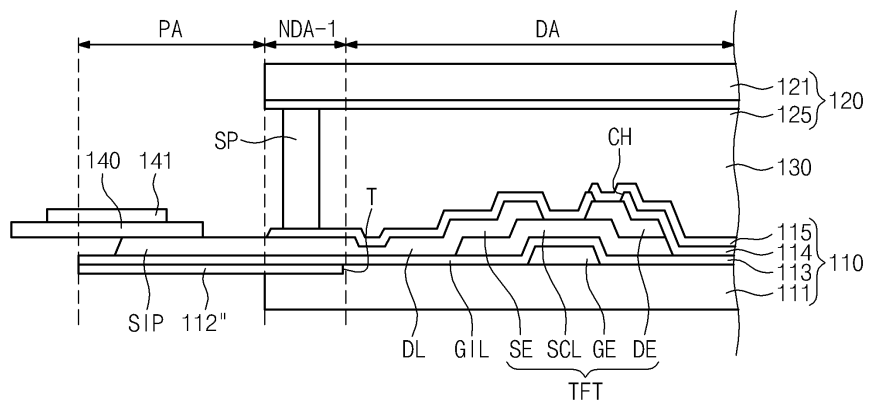
도면16



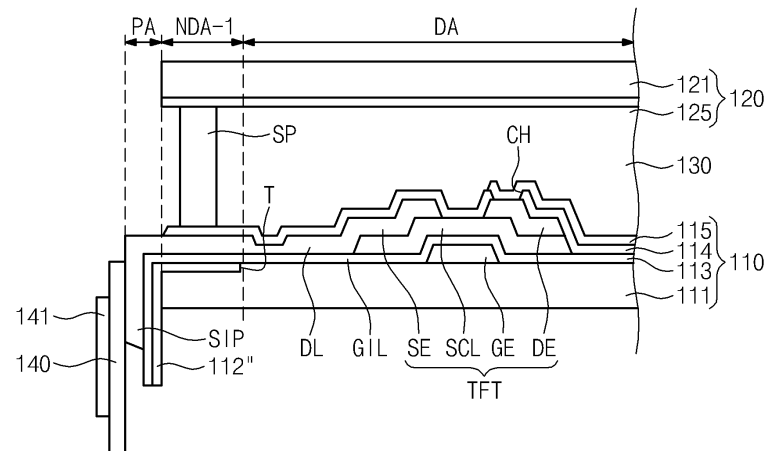
도면17



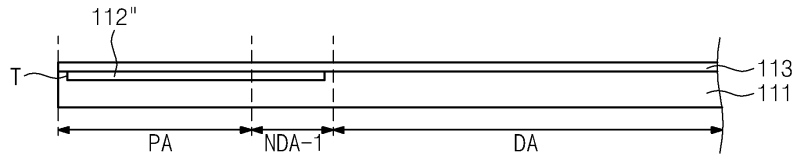
도면18



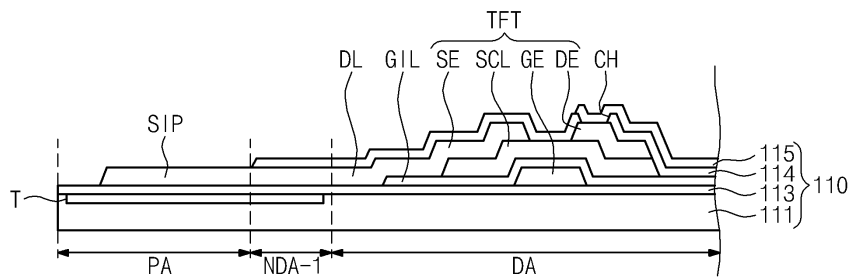
도면19



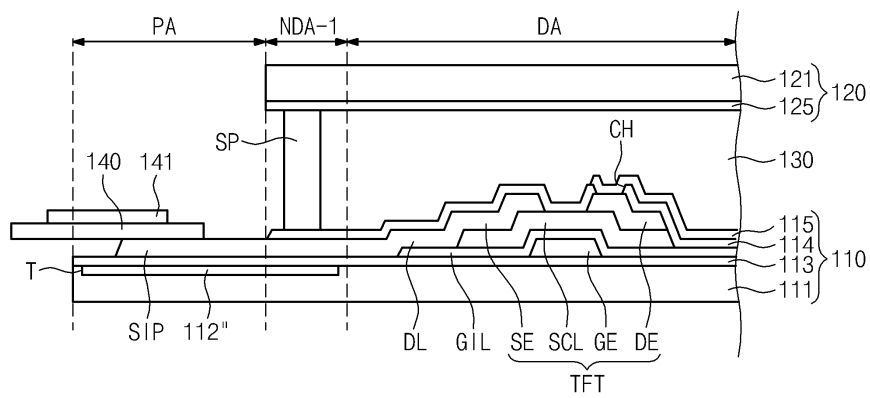
도면20



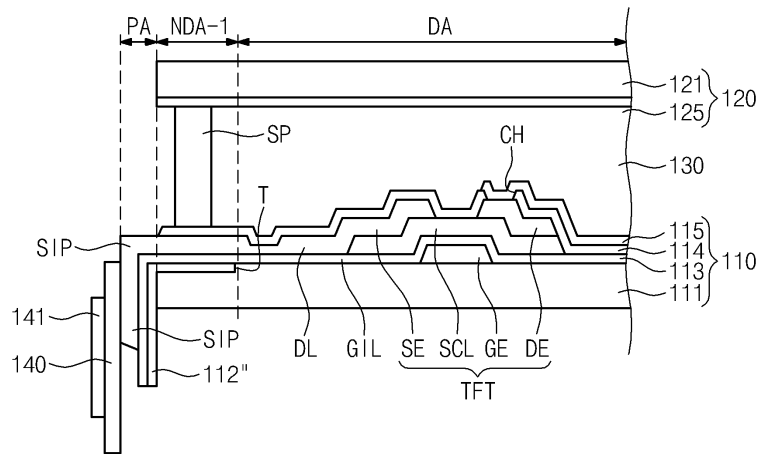
도면21



도면22



도면23



专利名称(译)	显示面板及其制造方法		
公开(公告)号	KR1020130141865A	公开(公告)日	2013-12-27
申请号	KR1020120064917	申请日	2012-06-18
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JUNG JIN SOO 정진수 KIM YOUNG GU 김영구 SUNG BYOUNG HUN 성병훈 JEON BAEKKYUN 전백균		
发明人	정진수 김영구 성병훈 전백균		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/13452 G02F2001/133388 G02F2202/022 G02F1/133345 G02F1/1345		
代理人(译)	SE JUN OH KWON, HYUK SOO 宋, 云何		
其他公开文献	KR102115174B1		
外部链接	Espacenet		

摘要(译)

显示面板包括覆盖显示区域的非显示区域和显示区域，第一非显示区域被分类为在非显示区域的至少一侧延伸的垫区域，并且其中非显示区域显示区域与焊盘区域相邻，并且在包括除第一非显示区域以外的第二非显示区域的阵列面板中的相反方向上的液晶层和阵列面板布置在相对的板中，包括布置在第二基础基板和第二基础基板上的公共电极，阵列面板和相对基板间隙。阵列面板包括信号输入垫，其连接到显示区域和第一基础基板，布置在非显示区域中的高分子量有机材料层，布置在焊盘区域和第一非显示区域中的薄膜晶体管设置在显示区域中，像素电极和薄膜晶体管与薄膜晶体管连接，并且布置在膜状聚合物有机层上的焊盘区域中。并且第一非显示区域的高分子量有机材料层可以布置在第一基础基板上。

