



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0060550
(43) 공개일자 2013년06월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/1368 (2006.01)
(21) 출원번호 10-2011-0126671
(22) 출원일자 2011년11월30일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
박경호
충청남도 천안시 서북구 두정동 1214번지 503호
김보영
충청남도 아산시 탕정면 삼성크리스탈기숙사 609호
(뒷면에 계속)

(74) 대리인
이건주

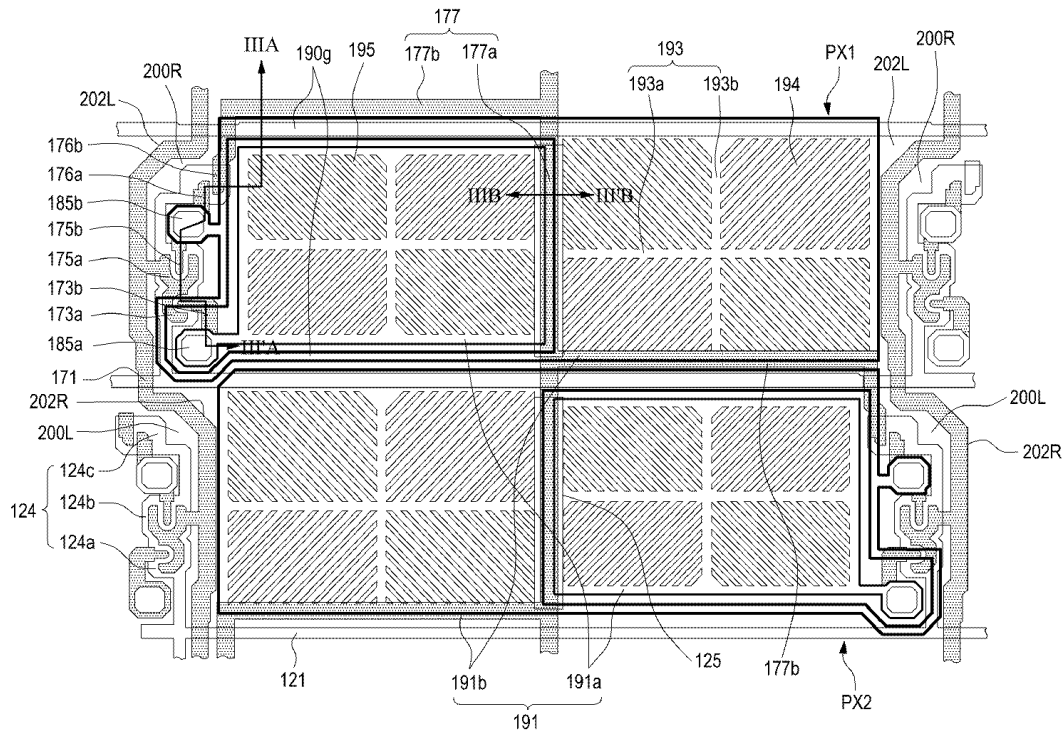
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명의 한 실시예에 따른 액정 표시 장치는 상하로 인접한 한 쌍의 화소들, 상기 한 쌍의 화소들에 전기적으로 연결된 게이트선들과 상기 게이트선들과 교차하는 데이터선들, 그리고 상기 한 쌍의 화소들을 통과하는 세로부와 상기 세로부로부터 서로 엇갈리게 뻗어 나와 있는 가로부들을 포함하는 기준 전압선을 포함하고, 상기 각 화소는 상기 게이트선 및 상기 데이터선에 전기적으로 연결되어 있는 제1 박막 트랜지스터 및 제2 박막 트랜지스터, 그리고 상기 제1 박막 트랜지스터에 연결되어 있는 제1 부화소 전극과 상기 제2 박막 트랜지스터에 연결되어 있는 제2 부화소 전극을 포함하는 화소 전극을 포함하고, 상기 기준 전압선의 가로부는 상기 제2 부화소 전극에 전기적으로 연결되는 것을 특징으로 한다.

대 표 도



(72) 발명자

김재원

충청남도 아산시 탕정면 명암리 삼성전자(주)탕정
사업장 크리스탈타운 가넷동 1205호

나병선

경기도 화성시 반송동 동탄하이페리온 102동 1503
호

박형준

경기도 성남시 분당구 내정로 55, 임광아파트 406
동 1204호 (정자동, 상록마을)

유동현

충청남도 아산시 배방읍 공수7리 아산배방푸르지오
아파트 107동 1005호

이계욱

경기도 화성시 능동 푸른마을모아미래도아파트 94
2동 802호

특허청구의 범위

청구항 1

인접한 한 쌍의 상부 화소와 하부 화소,

상기 한 쌍의 화소들에 전기적으로 연결되고 행 방향으로 신장된 게이트선들과 상기 게이트선들과 교차하는 데이터선들, 그리고,

상기 한 쌍의 화소들을 통과하는 세로부와 상기 세로부로부터 서로 엇갈리게 뻗어 나와 있는 가로부들을 포함하는 기준 전압선을 포함하고,

상기 각 화소는,

상기 게이트선들 중 상기 화소에 대응하는 게이트선 및 상기 데이터선들 중 상기 화소에 대응하는 데이터선에 전기적으로 연결되어 있는 제1 박막 트랜지스터 및 제2 박막 트랜지스터, 그리고,

상기 제1 박막 트랜지스터의 출력단에 연결되어 있는 제1 부화소 전극과 상기 제2 박막 트랜지스터의 출력단에 연결되어 있는 제2 부화소 전극을 포함하는 화소 전극을 포함하고,

상기 기준 전압선의 가로부들은 상기 한 쌍의 화소들의 제2 부화소 전극들에 전기적으로 연결되는 것을 특징으로 하는 액정 표시 장치.

청구항 2

제1항에서,

상기 기준 전압선은 상기 화소의 비투과 영역에 적어도 일부 중첩하여 위치하는 것을 특징으로 하는 액정 표시 장치.

청구항 3

제2항에서,

상기 가로부들 중 상기 하부 화소에 대응하는 가로부는 상기 화소 전극의 가로변을 따라 뻗어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 4

제3항에서,

상기 가로부는 상기 상부 화소의 화소 전극과 일부 중첩하는 것을 특징으로 하는 액정 표시 장치.

청구항 5

제4항에서,

상기 세로부는 상기 제1 부화소 전극과 상기 제2 부화소 전극의 경계 영역과 적어도 일부 중첩하여 위치하는 것을 특징으로 하는 액정 표시 장치.

청구항 6

제4항에서,

상기 제1 부화소 전극은 V자 형상을 가지며, 상기 세로부는 V자의 꼭지점과 중첩하는 것을 특징으로 하는 액정 표시 장치.

청구항 7

제2항에서,

상기 세로부와 중첩하고 상기 게이트선과 동일한 층으로 형성된 광차단막을 포함하는 것을 특징으로 하는 액정

표시 장치.

청구항 8

제2항에서,

상기 제2 박막 트랜지스터의 출력단과 상기 기준 전압선 사이에 전기적으로 연결되고 상기 출력단의 전압을 분배하는 제3 박막 트랜지스터를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 9

제8항에서,

상기 제3 박막 트랜지스터와 상기 기준 전압선 사이에 전기적으로 연결된 전하 분배 축전기를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 10

제9항에서,

상기 세로부는 상기 제1 부화소 전극과 상기 제2 부화소 전극의 경계 영역과 적어도 일부 중첩하여 위치하는 것을 특징으로 하는 액정 표시 장치.

청구항 11

제1항에서,

상기 세로부는 상기 제1 부화소 전극과 상기 제2 부화소 전극의 경계 영역과 적어도 일부 중첩하여 위치하는 것을 특징으로 하는 액정 표시 장치.

청구항 12

제1항에서,

상기 제1 부화소 전극은 상기 제1 부화소 전극을 제1 영역과 제2 영역으로 분할하는 절개부를 포함하고, 상기 세로부는 상기 절개부와 적어도 일부 중첩하는 것을 특징으로 하는 액정 표시 장치.

청구항 13

기판,

상기 기판 위에 형성된 화소,

상기 화소에 전기적으로 연결되고 행방향으로 신장된 게이트선과 상기 게이트선과 교차하는 데이터선을 포함하고,

상기 화소는,

상기 게이트선 및 상기 데이터선에 전기적으로 연결되어 있는 제1 박막 트랜지스터 및 제2 박막 트랜지스터, 그리고,

상기 제1 박막 트랜지스터의 출력단에 연결되어 있는 제1 부화소 전극과 상기 제2 박막 트랜지스터의 출력단에 연결되어 있는 제2 부화소 전극을 포함하는 가로변이 세로변보다 긴 화소 전극을 포함하고,

상기 화소 전극이 형성된 영역을 통과하는 세로부와 상기 세로부로부터 상기 화소 전극의 가로변의 주변을 따라 뻗어 나와 상기 제2 부화소 전극에 전기적으로 연결되는 가로부를 포함하는 기준전압선을 포함하는 것을 특징으로 하는 표시 장치.

청구항 14

제13항에서,

상기 기준 전압선은 상기 화소의 비투과 영역에 적어도 일부 중첩하여 위치하는 것을 특징으로 하는 표시 장치.

청구항 15

제14항에서,

상기 세로부와 중첩하여 상기 게이트선과 동일한 층위에 형성된 광차단막을 포함하는 것을 특징으로 하는 표시 장치.

청구항 16

제14항에서,

상기 세로부는 상기 제1 부화소 전극과 상기 제2 부화소 전극의 경계 영역과 적어도 일부 중첩하여 위치하는 것을 특징으로 하는 표시 장치.

청구항 17

제14항에서,

상기 제1 부화소 전극은 상기 제1 부화소 전극을 제1 영역과 제2 영역으로 분할하는 절개부를 포함하고, 상기 세로부는 상기 절개부와 적어도 일부 중첩하는 것을 특징으로 하는 표시 장치.

청구항 18

제14항에서,

상기 제2 박막 트랜지스터의 출력단과 상기 기준 전압선 사이에 전기적으로 연결되고 상기 출력단의 전압을 분배하는 제3 박막 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

청구항 19

제18항에서,

상기 제3 박막 트랜지스터와 상기 기준 전압선 사이에 전기적으로 연결된 전하 분배 축전기를 포함하는 것을 특징으로 하는 표시 장치.

청구항 20

제1 기판,

상기 제1 기판과 대향하는 제2 기판,

상기 제1 기판과 상기 제2 기판 사이에 액정 분자들을 포함하는 액정층,

상기 제1 기판 상에 형성되고 행 방향으로 신장하는 복수의 게이트선들,

상기 제1 기판 상의 제1 절연층 상에 형성되고 열 방향으로 신장하는 복수의 데이터선들,

상기 복수의 게이트선들 중 인접한 것들 사이와 상기 복수의 데이터선들 중 인접한 것들 사이에 상기 제1 절연층 상의 제2 절연층 상에 배치된 화소 전극들을 포함하고, 상기 화소 전극들의 각각은 제1 영역 전극과 제2 영역 전극을 포함하고,

동일한 행에 있는 상기 화소 전극들에 인접한 상기 데이터선들에 엇갈린 방식으로 상기 화소 전극들을 연결하기 위한 스위칭 요소들을 포함하고, 상기 스위칭 요소들의 각각은 적어도 두 개의 박막 트랜지스터들을 포함하고, 박막 트랜지스터들의 소스들과 게이트들은 각각 박막 트랜지스터들에 대응하는 데이터선과 게이트선에 연결되고, 박막 트랜지스터들의 드레인들은 박막 트랜지스터들에 대응하는 제1 및 제2 영역 전극들과 각각 연결되고,

상기 제2 절연층 상에 형성된 기준 전압선을 포함하고, 상기 기준 전압선은 상기 화소 전극들의 미리 결정된 영역들에서 상기 열 방향으로 신장하는 수직선들과, 상기 화소 전극들 사이의 주변들을 따라 상기 제2 영역 전극들과 연결하는 상기 수직선들에 대해 엇갈린 방식으로 행방향으로 신장하는 수평선들을 포함하고,

상기 화소 전극들에 대향하는 상기 제2 기판 상에 형성된 공통 전극을 포함함을 특징으로 하는 액정 표시 장치.

청구항 21

제20항에서,

상기 제1 및 상기 제2 영역 전극들은 V-형상을 가지며, 상기 미리 결정된 영역은 상기 V-형상의 꼭지점들을 포함함을 특징으로 하는 액정 표시 장치.

청구항 22

제20항에서,

상기 미리 결정된 영역들은 상기 제1 영역 전극들과 상기 제2 영역전극들 사이의 분리된 영역들임을 특징으로 하는 액정 표시 장치

청구항 23

제1 기판,

상기 제1 기판과 대향하는 제2 기판,

상기 제1 기판과 상기 제2 기판 사이에 액정 분자들을 포함하는 액정층,

상기 제1 기판 상에 형성되고 행방향으로 신장하는 복수의 게이트선들,

상기 제1 기판 상의 제1 절연층 상에 형성되고 열방향으로 신장하는 복수의 데이터선들,

상기 복수의 게이트선들 중 인접한 것들 사이와 상기 복수의 데이터선들 중 인접한 것들 사이에 상기 제1 절연층 상에 형성된 제2 절연층 상에 배치된 가로변이 세로변보다 긴 화소 전극들을 포함하고, 상기 화소 전극들의 각각은 제1 영역 전극과 제2 영역 전극을 포함하고,

동일한 행에 있는 상기 화소 전극들을 상기 화소 전극들에 인접한 상기 데이터선들에 연결하기 위한 스위칭 요소들을 포함하고, 상기 스위칭 요소들의 각각은 적어도 두 개의 박막 트랜지스터들을 포함하고, 박막 트랜지스터들의 소스들과 게이트들은 각각 박막 트랜지스터들에 대응한 데이터선 및 게이트선과 연결되고, 박막 트랜지스터들의 드레인들은 박막 트랜지스터들에 대응하는 상기 제1 및 제2 영역 전극들과 각각 접속되고,

상기 제2 절연층 상에 형성된 기준 전압선을 포함하고, 상기 기준 전압선은 상기 화소 전극들의 미리 결정된 영역들에서 상기 열방향으로 신장하는 수직선들과, 상기 화소 전극들 사이의 주변들을 따라 상기 제2 영역 과 연결하는 행방향으로 신장하는 수평선들을 포함하고,

상기 화소 전극들에 대향하는 상기 제2 기판 상에 형성된 공통 전극을 포함함을 특징으로 하는 액정 표시 장치.

청구항 24

기판,

상기 기판 위에 형성된 화소,

상기 화소에 전기적으로 연결되고 행방향으로 신장된 게이트선과 상기 게이트선과 교차하는 데이터선을 포함하고,

상기 화소는,

상기 게이트선 및 상기 데이터선에 전기적으로 연결되어 있는 제1 박막 트랜지스터 및 제2 박막 트랜지스터, 그리고,

상기 제1 박막 트랜지스터의 출력단에 연결되어 있는 제1 부화소 전극과 상기 제2 박막 트랜지스터의 출력단에 연결되어 있는 제2 부화소 전극을 포함하는 화소 전극을 포함하고,

상기 화소 전극이 형성된 영역을 통과하는 세로부와 상기 세로부로부터 제1 방향으로 뻗어 나와 상기 제2 부화소 전극에 전기적으로 연결되는 제1 가로부와 상기 제1 방향과 반대 방향으로 뻗어나와 있는 제2 가로부를 포함하는 기준전압선을 포함하는 것을 특징으로 하는 표시 장치.

명세서

기술분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치들 중 하나로서, 화소 전극들과 공통 전극들과 같은 전기장 생성 전극들이 형성되어 있는 두 장의 표시판과 그 사이에 충전되어 있는 액정층으로 이루어진다.

[0003] 전기장 생성 전극에 전압을 인가하는 것에 의해 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향이 변경되고, 그것에 의해 입사광의 편광을 제어함으로써 영상을 표시한다.

[0004] 액정 표시 장치는 또한 각 화소 전극에 연결되어 있는 스위칭 소자 및 스위칭 소자를 제어하여 화소 전극에 전압을 인가하기 위한 게이트선과 데이터선과 같은 다수의 신호선을 포함한다.

[0005] 이러한 액정 표시 장치 중에서도, 전기장이 인가되지 않은 상태에서 액정 분자들의 장축을 표시판에 대하여 수직하게 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치가 상대적으로 높은 대비비와 넓은 시야각을 갖기 때문에 각광받고 있다.

[0006] 하지만, 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어질 수 있다. 이를 해결하기 위하여 하나의 화소를 상대적으로 높은 전압이 인가되는 하이 부화소와 상대적으로 낮은 전압이 인가되는 로우 부화소로 분할하여 투과율을 조절함에 의해 시인성을 개선할 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 과제는 로우 부화소의 전압 크기를 조절하기 위한 분압 스위칭 소자에 연결되는 기준 전압선을 이용하여 액정 표시 장치의 시인성을 개선할 수 있다. 또한, 기준 전압선의 구조 및 배치를 최적화함에 의해 기준 전압선과 인접한 데이터선 사이의 쇼트 발생을 억제할 수 있다.

과제의 해결 수단

[0008] 본 발명의 실시예에 따른 액정 표시 장치는 인접한 한 쌍의 상부 화소와 하부 화소, 상기 한 쌍의 화소들에 전기적으로 연결되고 행 방향으로 신장된 게이트선들과 상기 게이트선들과 교차하는 데이터선들, 그리고, 상기 한 쌍의 화소들을 통과하는 세로부와 상기 세로부로부터 서로 엇갈리게 뻗어 나와 있는 가로부들을 포함하는 기준 전압선을 포함한다. 상기 각 화소는 상기 게이트선들 중 상기 화소에 대응하는 게이트선 및 상기 데이터선들 중 상기 화소에 대응하는 데이터선에 전기적으로 연결되어 있는 제1 박막 트랜지스터 및 제2 박막 트랜지스터, 그리고 상기 제1 박막 트랜지스터의 출력단에 연결되어 있는 제1 부화소 전극과 상기 제2 박막 트랜지스터의 출력단에 연결되어 있는 제2 부화소 전극을 포함하는 화소 전극을 포함한다. 상기 기준 전압선의 가로부들은 상기 한 쌍의 화소들의 제2 부화소 전극들에 전기적으로 연결된다.

[0009] 본 발명의 실시예에 따른 표시 장치는 기판, 상기 기판 위에 형성된 화소, 상기 화소에 전기적으로 연결되고 행 방향으로 신장된 게이트선과 상기 게이트선과 교차하는 데이터선을 포함한다. 상기 화소는 상기 게이트선 및 상기 데이터선에 전기적으로 연결되어 있는 제1 박막 트랜지스터 및 제2 박막 트랜지스터, 그리고 상기 제1 박막 트랜지스터의 출력단에 연결되어 있는 제1 부화소 전극과 상기 제2 박막 트랜지스터의 출력단에 연결되어 있는 제2 부화소 전극을 포함하는 가로변이 세로변보다 긴 화소 전극을 포함한다. 상기 표시 장치는 상기 화소 전극이 형성된 영역을 통과하는 세로부와 상기 세로부로부터 상기 화소 전극의 가로변의 주변을 따라 제1 방향으로 뻗어 나와 상기 제2 부화소 전극에 전기적으로 연결되는 가로부를 포함하는 기준전압선을 포함한다.

[0010] 본 발명의 실시예에 따른 액정 표시 장치는 제1 기판, 상기 제1 기판과 대향하는 제2 기판, 상기 제1 기판과 상기 제2 기판 사이에 액정 분자들을 포함하는 액정층, 상기 제1 기판 상에 형성되고 행 방향으로 신장하는 복수의 게이트선들, 상기 제1 기판 상의 제1 절연층 상에 형성되고 열 방향으로 신장하는 복수의 데이터선들, 상기 복수의 게이트선들 중 인접한 것들 사이와 상기 복수의 데이터선들 중 인접한 것들 사이에 상기 제1 절연층 상

의 제2 절연층 상에 배치된 화소 전극들을 포함하고, 상기 화소 전극들의 각각은 제1 영역 전극과 제2 영역 전극을 포함하고, 동일한 행에 있는 상기 화소 전극들에 인접한 상기 데이터들에 엇갈린 방식으로 상기 화소 전극들을 연결하기 위한 스위칭 요소들을 포함하고, 상기 스위칭 요소들의 각각은 적어도 두 개의 박막 트랜지스터들을 포함하고, 박막 트랜지스터들의 소스들과 게이트들은 각각 박막 트랜지스터들에 대응하는 데이터선과 게이트선에 연결되고, 박막 트랜지스터들의 드레인들은 박막 트랜지스터들에 대응하는 제1 및 제2 영역 전극들과 각각 연결되고, 상기 제2 절연층 상에 형성된 기준 전압선을 포함하고, 상기 기준 전압선은 상기 화소 전극들의 미리 결정된 영역들에 상기 열 방향으로 신장하는 수직선들과, 상기 화소 전극들 사이의 주변들을 따라 상기 제2 영역 전극들과 연결하는 상기 수직선들에 대해 엇갈린 방식으로 행방향으로 신장하는 수평선들을 포함하고, 상기 화소 전극들에 대향하는 상기 제2 기판 상에 형성된 공통 전극을 포함한다.

[0011] 본 발명의 실시예에 따른 액정 표시 장치는 제1 기판, 상기 제1 기판과 대향하는 제2 기판, 상기 제1 기판과 상기 제2 기판 사이에 액정 분자들을 포함하는 액정층, 상기 제1 기판 상에 형성되고 행방향으로 신장하는 복수의 게이트선들, 상기 제1 기판 상의 제1 절연층 상에 형성되고 열방향으로 신장하는 복수의 데이터선들, 상기 복수의 게이트선들 중 인접한 것들 사이와 상기 복수의 데이터선들 중 인접한 것들 사이에 상기 제1 절연층 상에 형성된 제2 절연층 상에 배치된 가로변이 세로변보다 긴 화소 전극들을 포함하고, 상기 화소 전극들의 각각은 제1 영역 전극과 제2 영역 전극을 포함하고, 동일한 행에 있는 상기 화소 전극들을 상기 화소 전극들에 인접한 상기 데이터선들에 연결하기 위한 스위칭 요소들을 포함하고, 상기 스위칭 요소들의 각각은 적어도 두 개의 박막 트랜지스터들을 포함하고, 박막 트랜지스터들의 소스들과 게이트들은 각각 박막트랜지스터들에 대응한 데이터선 및 게이트선과 연결되고, 박막 트랜지스터들의 드레인들은 박막 트랜지스터들에 대응하는 상기 제1 및 상기 제2 영역 전극들과 각각 접속되고, 상기 제2 절연층 상에 형성된 기준 전압선을 포함하고, 상기 기준 전압선은 상기 화소 전극들의 미리 결정된 영역들에서 상기 열방향으로 신장하는 수직선들과, 상기 화소 전극들 사이의 주변들을 따라 상기 제2 영역 전극들과 연결하는 행방향으로 신장하는 수평선들을 포함하고, 상기 화소 전극들에 대향하는 상기 제2 기판 상에 형성된 공통 전극을 포함한다.

[0012] 본 발명의 실시예에 따른 액정 표시 장치는 기판, 상기 기판 위에 형성된 화소, 상기 화소에 전기적으로 연결되고 행방향으로 신장된 게이트선과 상기 게이트선과 교차하는 데이터선을 포함하고, 상기 화소는 상기 게이트선 및 상기 데이터선에 전기적으로 연결되어 있는 제1 박막 트랜지스터 및 제2 박막 트랜지스터, 그리고 상기 제1 박막 트랜지스터의 출력단에 연결되어 있는 제1 부화소 전극과 상기 제2 박막 트랜지스터의 출력단에 연결되어 있는 제2 부화소 전극을 포함하는 화소 전극을 포함한다. 상기 액정 표시 장치는 상기 화소 전극이 형성된 영역을 통과하는 세로부와 상기 세로부로부터 제1방향으로 뻗어 나와 상기 제2 부화소 전극에 전기적으로 연결되는 제1 가로부와 상기 제1 방향과 반대 방향으로 뻗어 나와 있는 제2 가로부를 포함하는 기준전압선을 포함한다.

발명의 효과

[0013] 이와 같이 본 발명의 한 실시예에 따르면, 로우 부화소의 전압 크기를 조절하기 위한 분압 스위칭 소자에 연결되는 기준 전압선을 적절하게 배치함에 의해 데이터선과 기준 전압선의 쇼트 불량을 개선할 수 있으며, 투과율을 최대화하면서 시인성을 개선할 수 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 하나의 화소에 대한 등가 회로도이다.

도 2는 본 발명의 한 실시예에 따른 도 1에 도시한 액정 표시 장치의 상하 화소에 대한 배치도이다.

도 3은 도 2의 절단선 III-III' 선을 따라 자른 단면도이다.

도 4는 본 발명의 다른 실시예에 따른 도 1에 도시한 액정 표시 장치의 상하 화소에 대한 배치도이다.

도 5는 도 4의 절단선 V-V' 선을 따라 자른 단면도이다.

도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치의 하나의 화소에 대한 등가 회로도이다.

도 7은 도 6에 도시한 액정 표시 장치의 상하 화소에 대한 배치도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 첨부한 도면들을 참조하여 본 발명을 제조하고 사용하는 방법이 상세히 설명된다. 본 발명의 명세서에서, 동일한 참조번호들은 동일한 부품들 또는 구성요소들을 나타낸다는 것을 유의하여야 한다.
- [0016] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 하나의 화소에 대한 등가 회로도이다. 도 1은 설명의 편의를 위해 하나의 화소(PX)와 이와 관련된 게이트 선(GL), 데이터선(DL), 기준 전압선(RL)을 도시하고 있지만, 복수의 화소들이 행들과 열들의 매트릭스형으로 배치되어 있고, 상기 화소들은 행 방향으로 신장하는 복수의 게이트선들과 열 방향으로 신장하는 복수의 데이터선들의 교차점들 근처에 배치될 수 있다.
- [0017] 도 1을 참고하면, 본 발명의 실시예에 따른 액정 표시 장치의 한 화소(PX)는 박막 트랜지스터로 형성될 수 있는 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb), 및 제3 스위칭 소자(Qc)와 액정층들의 유전체층들로 형성될 수 있는 제1 액정 축전기(C1) 및 제2 액정 축전기(C2)를 포함한다.
- [0018] 화소(PX)는 게이트 신호를 전달하는 게이트선(GL) 및 데이터 신호를 전달하는 데이터선(DL), 분압을 위한 기준 전압을 전달하는 기준 전압선(RL)을 포함하는 복수의 신호선들에 연결되어 있다.
- [0019] 화소(PX)는 제1 부화소(PEa)와 제2 부화소(PEb)를 포함한다. 제1 부화소(PEa)는 제1 스위칭 소자(Qa) 및 제1 액정 축전기(C1)를 포함한다. 제2 부화소(PEb)는 제2 스위칭 소자(Qb), 제3 스위칭 소자(Qc)와 제2 액정 축전기(C2)를 포함한다.
- [0020] 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)의 소스들, 즉 입력 단단자들은 데이터선(DL)에 접속되어 있고, 그들의 게이트들, 즉 제어 단단자들은 게이트선(GL)에 접속되어 있고 제3 스위칭 소자(Qc)의 게이트, 즉 제어 단단자는 게이트 라인(GL)과 접속되어 있다.
- [0021] 제2 스위칭 소자(Qb)의 드레인과 제3 스위칭 소자(Qc)의 소스의 접속점(CP)은 제2 액정 축전기(C2)의 제2 부화소 전극(191b)과 연결되고, 제1 스위칭 소자(Qa)의 드레인, 즉 출력 단단자는 제1 액정 축전기(C1)의 제1 부화소 전극(191a)과 연결된다. 제1 및 제2 액정 축전기들의 타단들은 공통 전극과 연결된다.
- [0022] 제3 스위칭 소자(Qc)의 드레인 즉, 출력 단단자는 기준 전압선(RL)에 연결되어 있다.
- [0023] 제2 부화소 전극(191b)은 제3 스위칭 소자(Qc)를 통해 기준 전압선(RL)에 전기적으로 연결되어 있다.
- [0024] 게이트선(GL)에 게이트 온 신호(Von)가 인가되면, 이에 연결된 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb), 그리고 제3 스위칭 소자(Qc)가 턴 온 된다. 그러므로 데이터선(DL)에 인가된 데이터 전압(DV)은 턴 온 된 제1 스위칭 소자(Qa)를 통해 제1 부화소 전극(191a)에 인가된다. 한편, 기준 전압선(RL)에 기준 전압(RV)이 인가된다고 가정하면, 제2 부화소 전극(191b)에 인가되는 전압은 제2 스위칭 소자(Qb)와 직렬 연결되어 있는 제3 스위칭 소자(Qc)를 통해 분압된 전압(DV-RV)이 된다. 따라서, 제2 부화소 전극(191b)에 인가되는 전압은 제1 부화소 전극(191a)에 인가되는 전압보다 더 작게 된다.
- [0025] 결국, 제1 액정 축전기(C1)에 충전된 전압과 제2 액정 축전기(C2)에 충전된 전압은 서로 달라지게 된다. 제1 액정 축전기(C1)에 충전된 전압과 제2 액정 축전기(C2)에 충전된 전압이 서로 다르므로 제1 부화소(PEa)와 제2 부화소(PEb)에서 액정 분자들의 경사 각도들이 서로 다르게 되고, 이에 따라 두 부화소의 휘도가 달라진다. 따라서, 제1 액정 축전기(C1)에 충전되는 전압과 제2 액정 축전기(C2)의 충전되는 전압을 적절히 조절하면 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 되도록 할 수 있고, 이에 따라 측면 시인성을 개선할 수 있다.
- [0026] 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 인접한 상하 화소에 대한 배치도이다. 도 2는 설명과 도시의 편의를 위해 열 방향으로 신장하는 두 개의 인접한 데이터선들(171), 행방향으로 신장하는 세 개의 인접한 게이트선들(121) 및 데이터선들(171)과 게이트선들(121) 사이에 또는 게이트선들(121)과 데이터선들(171)의 교차점들 근처에 배치된 두 개의 화소들(PX1, PX2)을 도시하고 있지만, 복수의 화소들이 복수의 게이트선들 사이와 복수의 데이터선들 사이에 행들과 열들의 매트릭스 형식으로 배열되어 있다는 것을 유의하여야 한다. 도 3a는 도 2의 절단선 IIIA-III A' 선을 따라 자른 단면도이고, 도 3b는 도 2의 절단선 IIIB-IIIB' 선을 따라 자른 단면도이다.
- [0027] 도 2와 도 3을 참조하면, 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 이들 두 표시판(100, 200) 사이에 개재되어 있는 액정층(3) 및 표시판(100, 200) 바깥 면에 부착되어 있는 한 쌍의 편광자(미도시)를 포함한다.

- [0028] 게이트선들, 데이터선들, 화소 전극들을 관련 게이트선들과 데이터선들에 연결하기 위한 하부 표시판(100)에 대하여 설명한다. 투명한 유리 또는 플라스틱 등으로 만들어진 제1 기관(110) 위에 행 방향으로 신장하는 복수의 게이트선들(121)과 열 방향으로 신장하는 복수의 데이터선들(171)이 위치한다. 인접한 게이트선들(121)사이와 인접한 데이터선들(171) 사이에는 화소 전극들(191)이 위치한다. 각 화소 전극(191)은 제1 부화소 전극, 또는 제1 영역 전극(191a)과 제2 부화소 전극 또는 제2 영역 전극(191b)을 포함한다.
- [0029] 제1 부화소 전극(191a)과 제2 부화소 전극(191b)들의 각각은 가로줄기부(193a)와 세로줄기부(193b)를 가지는 십자형 줄기부(193)에 의해 구분된 사분면을 가진다. 각 사분면은 십자형 줄기부(194)에 대해 미리 결정된 각도, 예를 들어 45도의 각도로 기울어진 미세 가지부들(194)을 포함한다. 미세 가지부들(194) 사이에는 미세 슬릿들(195)이 형성되어 있다.
- [0030] 제1 부화소 전극(191a)과 제2 부화소 전극(191b)의 경계 영역에 위치하며 화소들(PX1, PX2)을 통과하는 세로부(177a) 및 세로부(177a)와 제2 부화소 전극들(191b)을 전기적으로 연결하는 가로부들(177b)을 포함하는 기준 전압선(177)이 인접한 데이터선들(171) 사이에 위치한다. 게이트선들(121)과 데이터선들(171)에는 도 1의 스위칭 소자들(Qa, Qb, Qc) 등이 전기적으로 연결되어 있다.
- [0031] 각 게이트선(121)은 제1 게이트 전극(124a), 제2 게이트 전극(124b), 제3 게이트 전극(124c)을 포함하는 게이트 전극(124)을 가진다. 도시되지는 않았으나 게이트선(121)의 끝단에 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 접촉 부분을 포함한다. 게이트 전극(124)은 게이트선(121)으로부터 세로 방향으로 돌출되어 있다.
- [0032] 인접한 게이트선들(121) 사이에 제1 부화소 전극(191a)과 제2 부화소 전극(191b)의 경계 영역에 광차단막(125)이 위치한다. 광차단막(125)은 게이트선들(121)과 동일한 재료와 동일한 층으로 형성될 수 있다.
- [0033] 게이트선들(121) 위에 게이트 절연막(140)이 덮혀진다. 게이트 절연막(140) 위에 반도체층들(154a, 154b, 154c, 154d)이 위치한다. 반도체층들(154a, 154b, 154c, 154d) 위에 데이터선들(171), 제1 드레인 전극들(173b), 제2 드레인 전극들(175b), 제3 소스 전극들(176a) 및 제3 드레인 전극들(176b), 그리고 기준 전압선들(177)이 형성되어 있다. 각 데이터선(171)은 제1 소스 전극(173a) 및 제2 소스 전극(175a)을 포함한다. 이하, 데이터선들(171), 제1 드레인 전극들(173b), 제2 드레인 전극들(175b), 제3 소스 전극들(176a) 및 제3 드레인 전극들(176b), 그리고 기준 전압선(177)을 데이터 도전체(171, 173b, 175b, 176a, 176b, 177)라고 한다.
- [0034] 각 데이터선(171)은 게이트선들(121)을 가로지른다. 각 데이터선(171)은 데이터선(171)의 양 측들, 즉 오른쪽과 왼쪽 측면들에 오목부들(200R, 200L) 또는 볼록부들(202R, 202L)을 교대로 갖는다. 두 개의 인접한 행들 중 한 행에 있는 오목부들(200R)이 오른쪽 방향을 향해 배치되는 경우, 그것들 중 타의 행에 있는 오목부들(200L)은 왼쪽 방향을 향해 배치된다. 그러므로, 데이터선들(171) 중 하나의 오목부들(200R 또는 200L)은 그것에 인접한 데이터선(171)의 볼록부들(202L 또는 202R)을 교대로 갖는다. 두 개의 인접한 행들 중 한 행에 있는 오목부들(200R)이 오른쪽 방향을 향해 배치되는 경우, 그것들 중 타의 행에 있는 오목부들(200L)은 왼쪽 방향을 향해 배치된다. 그러므로, 동일한 행에서 데이터선들(171) 중 하나의 오목부들(200R 또는 200L)은 그것에 인접한 데이터선(171)의 볼록부들(202L, 또는 202R)과 마주보고 있다. 두 개의 인접한 데이터선들(171) 사이에서 오목부들(200R, 200L)은 엇갈린 방식으로 배치된다.
- [0035] 각 오목부(200R 또는 200L) 내에서, 제1 소스 전극들(173a)과 제2 소스 전극들(175a)은 각 데이터선(171)로부터 돌출되어 각각 제1 게이트 전극(124a)과 제2 게이트 전극(124b) 위에 위치한다. 제1 드레인 전극(173b)은 제1 소스 전극(173a)과 이격하여 마주보고 위치한다. 제2 드레인 전극(175b)은 제2 소스 전극(175a)과 이격하여 마주보고 위치한다. 제2 드레인 전극(175b)과 연결되어 제3 소스 전극(176a)이 제3 게이트 전극(124c) 위에 위치한다. 제3 드레인 전극(176b)은 제3 소스 전극(176a)과 이격하여 마주보고 위치한다.
- [0036] 각 데이터선(171)은 그것의 끝단에 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 접촉 부분(미도시)을 포함한다.
- [0037] 제1 게이트 전극(124a), 제1 소스 전극(173a), 및 제1 드레인 전극(173b)은 제1 반도체층(154a)과 함께 도1의 제1 스위칭 소자(Qa)에 해당하는 제1 박막 트랜지스터를 형성한다. 이와 유사하게, 제2 게이트 전극(124b), 제2 소스 전극(175a), 및 제2 드레인 전극(175b)은 제2 반도체층(154b)과 함께 도1의 제2 스위칭 소자(Qb)에 해당하는 제2 박막 트랜지스터를 형성하고, 제3 게이트 전극(124c), 제3 소스 전극(176a), 및 제3 드레인 전극(176b)은 제3 반도체층(154c)과 함께 제3 스위칭 소자(Qc)인 제3 박막 트랜지스터를 형성한다. 따라서, 각 오목부(200R, 또는 200L) 내에 도 1에 나타난 바와 같이 박막 트랜지스터들과 같은 스위칭 소자들(Qa, Qb, Qc)이 형성된다.

- [0038] 데이터선(171)을 따라 위에서부터 제3 박막 트랜지스터, 제2 박막 트랜지스터, 및 제1 박막 트랜지스터가 차례로 배치되어 있다. 제1, 제2 및 제3 박막 트랜지스터들은 스위칭 요소를 이룬다. 데이터선(171)의 오목부들(171)과 제1 부화소 전극들(191a)에 인접하여 위치하는 스위칭 요소들은 상부 화소(PX1)과 하부 화소(PX2)에서 엇갈린 방식으로 배치된다.
- [0039] 기준 전압선들(177)은 제1 부화소 전극들(191a)과 제2 부화소 전극들(191b) 사이와 인접한 화소들(PX1, PX2) 사이의 슬릿들(195)과 미세 가지부들(194)이 형성되지 않은 영역들에 형성될 수 있다. 기준 전압선들(177)은 데이터선들(171)과 동일한 재질 및 동일한 층으로 만들어질 수 있다. 각 기준 전압선(177)의 세로부(177a)는 상하로 인접한 화소들(PX1, PX2)을 열방향으로 통과하며 제1 및 제2 부화소 전극들(191a, 191b) 사이를 따라 수직으로 신장되어 있다. 세로부(177a)는 광차단막(125)과 중첩하여 위치한다. 각 기준 전압선(177)의 가로부들(177b)은 화소 전극(191)의 가로변을 따라 뻗어 있다. 가로부들(177b)은 세로부(177a)로부터 뻗어 나와 오목부들(200R, 200L) 내에 위치하는 제3 드레인 전극들(176b)에 연결되기 때문에 상하 인접한 화소들(PX1, PX2)에서 서로 엇갈린 방식으로 위치한다. 예를 들어, 도 2를 참조하면, 상부 화소(PX1)의 제3 드레인 전극(176b)에 연결된 가로부(177b)는 세로부(177a)로부터 제1 방향, 또는 왼쪽 방향으로 뻗어 있다. 반면, 하부 화소(PX2)의 제3 드레인 전극(176b)에 연결된 가로부(177b)는 세로부(177a)로부터 제2 방향, 또는 오른쪽 방향으로 뻗어 있다. 하부 화소(PX2)에 전기적으로 연결된 가로부(177b)는 상부 화소(PX1)의 화소 전극(191)과 상부 화소(PX1)에 전기적으로 연결된 게이트선(121) 사이에 위치할 수 있다. 이에 의해 화소 전극들(191)과 게이트선들(121) 사이의 신호 간섭을 줄일 수 있다. 하부 화소(PX2)의 가로부(177b)는 상부 화소(PX1)의 화소 전극(191)과 일부 중첩할 수 있다.
- [0040] 데이터 도전체(171, 173c, 175a, 175b, 175c, 177) 및 그 아래에 위치하는 반도체층(154a, 154b, 154c, 154d) 사이에는 도시되지 않는 저항성 접촉 부재가 위치할 수 있다. 데이터 도전체, 반도체층 및 저항성 접촉 부재는 하나의 마스크를 사용하여 동시에 형성될 수 있다. 이 경우, 도 3b를 참조하면, 화소들(PX1, PX2)을 통과하는 기준 전압선(177)의 세로부(177a) 하부에는 제4 반도체층(154d)이 위치할 수 있다. 광차단막(125)이 없을 경우, 제4 반도체층(154d)은 광에 노출될 수 있다. 광에 노출된 제4 반도체층(154d)에는 전류가 흐르게 되고 이는 화소의 전압 충전율에 영향을 미치는 것에 의해 화질 불량을 초래할 수 있다. 이러한 화질 불량을 방지하기 위해 세로부(177a)와 중첩하여 광차단막(125)을 형성함에 의해 반도체층이 광에 노출되는 것을 방지할 수 있다.
- [0041] 데이터 도전체(171, 173c, 175a, 175b, 175c, 177) 및 노출된 반도체층(154a, 154b, 154c, 154d) 위에는 절연층 또는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 표면을 평탄할 수 있다. 보호막(180) 내에는 제1 드레인 전극(173b) 및 제2 드레인 전극(175b)을 드러내는 복수의 접촉 구멍(contact hole)(185a, 185b)이 형성되어 있다.
- [0042] 보호막(180) 위에는 전술한 바와 같은 제1 부화소 전극들(191a)과 제2 부화소 전극들(191b)을 포함하는 화소 전극들(191)이 형성되어 있다. 화소 전극들(191)은 인듐주석산화물(ITO, indium tin oxide) 또는 인듐아연산화물(IZO, indium zinc oxide) 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수도 있다.
- [0043] 각 화소 전극(191)은 게이트선(121)에 평행한 제1 변과 데이터선(171)과 평행한 제2 변을 포함한다. 게이트선(121)과 평행한 제1 변은 데이터선(171)과 평행한 제2 변 길이보다 길며, 대략 3배이다. 화소 전극(191)의 제1 변의 길이가 제2 변의 길이보다 큼에 의해 화소(PX)도 가로변이 세로변보다 긴 구조를 갖는다. 따라서 가로 변이 세로 변보다 작은 경우에 비하여 각 세로줄에 위치하는 화소 전극(191)의 개수가 많고 대신 각 가로줄에 위치하는 화소 전극(191)의 개수가 적다. 따라서 데이터선(171)의 전체 개수가 줄어들기 때문에 데이터 구동부용 집적 회로 칩의 수효를 줄여 재료비를 절감할 수 있다. 비록 게이트선(121)의 수효가 증가하지만 게이트 구동부는 게이트선(121), 데이터선(171), 박막 트랜지스터 등과 함께 액정 표시판 조립체에 집적될 수 있으므로 게이트선(121) 수의 증가가 크게 문제되지 않는다. 또한 게이트 구동부가 집적 회로 칩의 형태로 장착되더라도, 게이트 구동부용 집적 회로 칩의 가격이 상대적으로 싸기 때문에 데이터 구동부용 집적 회로 칩의 개수를 줄이는 것이 더 유리하다.
- [0044] 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 접촉 구멍(185a, 185b)을 통하여 각각 제1 드레인 전극(173b) 및 제2 드레인 전극(175b)과 물리적, 전기적으로 연결되어 있다. 제1 부화소 전극(191a)은 제1 드레인 전극(173b)에 인접해 있다. 반면, 제2 부화소 전극(191b)은 적어도 제1 부화소 전극(191a)의 한 변의 길이 이상 제2 드레인 전극(175b)으로부터 이격되어져 있다. 따라서, 제2 부화소 전극(191b)은 연결부(190g)에 의해 제2

드레인 전극(175b)에 직접 물리적, 전기적으로 연결된다. 연결부(190g)는 게이트 선(121)에 평행하고 기준 전압 선(177)의 가로부(177b)와 평행한 부분과 데이터선(171)에 평행한 부분을 포함한다. 제1 부화소 전극(191a)은 연결부(190g)와 제2 부화소 전극(191b)의 한 변에 의해 둘러 싸여 있다.

[0045] 인접한 상부 화소들(PX1, PX2)에서 제1 및 제2 부화소 전극들(191a, 191b)은 서로 엇갈리게 배치된다. 도 2를 참조하면, 상부 화소(PX1)의 제1 부화소 전극(191a)은 제2 부화소 전극(191b)의 왼편에 위치한다. 반면, 하부 화소(PX2)의 제1 부화소 전극(191a)은 제2 부화소 전극(191b)의 오른 편에 위치한다. 따라서, 상부 화소(PX1)의 제1 부화소 전극(191a)의 하부에는 하부 화소(PX2)의 제2 부화소 전극(191b)이 배치된다.

[0046] 제1 부화소 전극(191a)과 제2 부화소 전극(191b)은 각각 제1 드레인 전극(173b) 및 제2 드레인 전극(175b)으로 부터 데이터 전압을 인가 받는다. 이때, 제2 드레인 전극(175b)에 인가된 데이터 전압 중 일부는 제3 소스 전극(176a)을 통해 분압되어, 제2 부화소 전극(191b)에 인가되는 전압의 크기는 제1 부화소 전극(191a)에 인가되는 전압의 크기보다 작게 된다. 이하, 도 2 및 도 3a를 참조하여, 상부 표시판(200)이 설명된다.

[0047] 투명한 유리 또는 플라스틱 등으로 만들어진 제2 기관(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다.

[0048] 제2 기관(210) 및 차광 부재(220) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(220)로 둘러싸인 영역 내에 대부분 존재하며, 화소 전극(191)을 따라서 가로 방향으로 길게 뻗을 수 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다. 하지만, 적색, 녹색, 및 청색의 삼원색에 제한되지 않고, 청록색(cyan), 자홍색(magenta), 옐로(yellow), 화이트 계열의 색 중 하나를 표시할 수도 있다.

[0049] 차광 부재(220)와 색필터(230) 중 적어도 하나는 제1 기관(110) 위에 형성될 수도 있다.

[0050] 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 절연 물질로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 덮개막(250)은 생략할 수 있다.

[0051] 덮개막(250) 위에는 공통 전극(270)이 형성되어 있다.

[0052] 표시판(100, 200)의 안쪽 면에는 도시되지는 않았으나, 배향막(alignment layer)이 형성되어 있으며 이들은 수직 배향막일 수 있다.

[0053] 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있는데, 두 편광자의 편광축은 직교하며 이중 한 편광축은 게이트선(121)에 대하여 나란한 것이 바람직하다. 반사형 액정 표시 장치의 경우에는 두 개의 편광자 중 하나가 생략될 수 있다.

[0054] 두 표시판(100, 200) 사이에는 액정층(3)이 들어있으며, 액정층(3)은 음의 유전율 이방성을 가지는 액정 분자들(31)을 포함한다. 액정층(3)의 액정 분자(31)들은 전계가 가해지지 않은 상태에서 액정 분자(31)의 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.

[0055] 데이터 전압을 인가 받은 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 공통 전압을 인가 받는 상부 표시판(200)의 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(191a, 191b, 270) 사이의 액정층(3)의 액정 분자들(31)의 방향을 결정한다. 이와 같이 결정된 액정 분자들(31)의 방향에 따라 액정층(3)을 통과하는 빛의 편광이 달라진다. 제1 및 제2 부화소 전극(191a, 191b)과 공통 전극(270)은 도 1의 액정 축전기(C1, C2)를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지한다.

[0056] 이때, 미세 가지부(194)의 변들은 전기장을 왜곡하여 미세 가지부(194)의 변에 수직인 수평 성분을 만들어 내고 액정 분자들(31)의 경사 방향은 수평 성분에 의하여 결정되는 방향으로 정해진다. 따라서 액정 분자(31)들이 처음에는 미세 가지부(194)의 변에 수직인 방향으로 기울어지려 한다. 그러나 이웃하는 미세 가지부들(194)의 변에 의한 전기장의 수평 성분의 방향이 반대이고 미세 가지부들(194) 사이의 간격이 좁기 때문에 서로 반대 방향으로 기울어지려는 액정 분자(31)들이 함께 미세 가지부(194)의 길이 방향에 평행한 방향으로 기울어지게 된다.

[0057] 본 발명의 한 실시예에서 한 화소의 미세 가지부(194)가 뻗어 나가는 길이 방향이 모두 네 방향이므로 액정 분자(31)들이 기울어지는 방향도 총 네 방향이 된다. 이와 같이 액정 분자(31)가 기울어지는 방향을 다양하게 하면 액정 표시 장치의 시야각이 커진다.

- [0058] 그러나, 일정 영역, 예컨대, 연결부(190g) 및 화소 전극(191)의 변 영역에 위치한 액정 분자들(31)은 미세 가지부의 길이 방향에 평행한 방향으로 기울어지지 않는다. 이러한 영역의 액정 분자들(31)은 정해진 방향(미세 가지부의 길이 방향에 평행한 방향)으로 기울어지는 영역에 비해 빛의 투과율이 작아 휘도에 기여하지 못 한다. 이러한 영역을 비투과 영역이라고 한다.
- [0059] 본 발명의 한 실시예에 따르면, 기준 전압선(177)은 비투과 영역에 형성됨에 의해 화소(PX)의 투과율(transmittance)을 최대화할 수 있다. 예를 들어, 기준 전압선(177)의 세로부(177a)는 제1 부화소 전극(191a)과 제2 부화소 전극(191b)의 경계 영역 및 부화소 전극들(191a, 191b)의 변들과 중첩할 수 있다. 가로부(177b)상부 화소(PX1)의 화소 전극(191)과 상부 화소(PX1)에 연결된 게이트선(121) 사이에 위치할 수 있다. 하부 화소(PX2)의 가로부(177b)는 상부 화소(PX1)의 제2 부화소 전극(191b)의 한 변과 일부 중첩할 수 있다. 또한, 세로부(177a)가 데이터선(171)에 인접하지 않고, 화소(PX)를 통과하여 위치함에 의해 데이터선(171)과의 쇼트(short) 불량이 감소될 수 있다.
- [0060] 도 4는 도 1에 도시한 액정 표시 장치의 인접한 상하 화소들에 대한 다른 실시예에 따른 배치도이다. 도 4는 설명과 도시의 편의를 위해 열 방향으로 신장하는 두 개의 인접한 데이터선들(171), 행방향으로 신장하는 세 개의 인접한 게이트선들(121) 및 데이터선들(171)과 게이트선들(121) 사이에 또는 게이트선들(121)과 데이터선들(171)의 교차점들 근처에 배치된 두 개의 화소들(PX1, PX2)을 도시하고 있지만, 복수의 화소들이 복수의 게이트선들 사이와 복수의 데이터선들 사이에 행들과 열들의 매트릭스 형식으로 배열되어 있다는 것을 유의하여야 한다. 도 5는 도 4의 절단선 V-V'선을 따라 자른 단면도이다. 도 4 및 도 5를 참고하면, 본 실시예에 따른 액정 표시 장치는 도 2 및 도 3에 나타난 실시예에 따른 액정 표시 장치의 구조와 유사하며, 동일 부호는 동일 구성요소를 의미한다. 따라서, 동일 구성 요소에 대한 반복적인 설명은 생략한다.
- [0061] 본 실시예에 따른 액정 표시 장치는 도 2 및 도 3에 나타난 실시예에 따른 액정 표시 장치와 화소 전극들(191)의 모양 및 공통 전극(270)이 제4 절개부들(275)을 포함한다는 점에서 차이가 있다.
- [0062] 제1 기관(110) 위에 복수의 게이트선들(121)과 복수의 데이터선들(171)이 위치한다. 게이트선들(121)은 행 방향으로 신장하고, 데이터선들(171)은 열 방향으로 신장한다. 인접한 게이트선들(121)과 인접한 데이터선들(171) 사이에는 화소 전극들(191)이 위치한다. 각 화소 전극(191)은 V자 형상 또는 꼭지점이 잘려나간 V자 형상을 갖는 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)을 포함한다. 기준 전압선들(177)이 인접한 데이터선들(171) 사이에 위치한다. 각 기준 전압선(177)은 화소 전극들(191)의 V자의 꼭지점과 중첩하도록 상부 화소(PX1)와 하부 화소(PX2)를 통과하는 세로부(177a)와 세로부(177a)로부터 뺀어 나와 세로부(177a)와 제2 부화소 전극들(191b)을 전기적으로 연결하는 가로부들(177b)을 포함한다.
- [0063] 각 제1 부화소 전극(191a)은 게이트선(121)에 대하여 비스듬한 방향을 따라 뺀어 있는 제1 영역(189a)과 제2 영역(189b) 및 제1 영역(189a)과 제2 영역(189b)을 연결하는 제1 연결 다리(189c)를 포함한다. 제1 영역(189a)과 제2 영역(189b)을 분할하는 제1 절개부(91a)가 제1 연결 다리(189c)에 수직한 방향으로 형성되어 있다. 마찬가지로, 각 제2 부화소 전극(191b)은 게이트선(121)에 대하여 비스듬한 방향을 따라 뺀어 있는 제3 영역(190a), 제4 영역(190b), 제5 영역(190c), 제6 영역(190d) 및 연결 다리들(connecting bridge, 190e, 190f)을 포함한다. 제3 영역(190a)과 제4 영역(190b)은 제2 연결 다리(190e)에 의해 연결되며 각각은 제2 절개부들(91b)을 포함한다. 제5 영역(190c)은 제3 연결 다리(190f)에 의해 제4 영역(190b)과 연결된다. 제5 영역(190c)과 제6 영역(190d)은 제3 절개부(91c)에 의해 분할된다.
- [0064] 제1 부화소 전극(191a)은 제2 부화소 전극(191b)에 의해 둘러싸여 있다. 제1 부화소 전극(191a)과 제2 부화소 전극(191b)은 이격부(92)에 의해 분리된다.
- [0065] 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 접촉 구멍(185a, 185b)을 통하여 각각 제1 드레인 전극(173b) 및 제2 드레인 전극(175b)과 물리적, 전기적으로 연결되어 있다.
- [0066] 제2 부화소 전극(191b)의 제3 영역(190a)은 제2 드레인 전극(175b)에 인접해 있다. 반면, 제6 영역(190d)은 제2 드레인 전극(175b)에 인접해 있지 않다. 즉, 제6 영역(190d)과 제2 드레인 전극(175b) 사이에는 제1 부화소 전극(191a)이 존재한다. 따라서, 제2 부화소 전극(191b)의 제6 영역(190d)은 제3 연결 다리(190e)와 반대 방향으로 뺀어 연결부(connector, 190g)에 의해 제2 드레인 전극(175b)과 직접 물리적, 전기적으로 연결된다. 연결부(190g)는 게이트선(121)에 평행한 부분과 데이터선(171)에 평행한 부분을 포함하고, 제1 접촉 구멍(185a)의 일부를 감싸면서, 배치된다.
- [0067] 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 각각 제1 드레인 전극(173b) 및 제2 드레인 전극(175b)으로

부터 데이터 전압을 인가 받는다. 이때, 제2 드레인 전극(175b)에 인가된 데이터 전압 중 일부는 제3 소스 전극(176a)을 통해 분압되어, 제2 부화소 전극(191b)에 인가되는 전압의 크기는 제1 부화소 전극(191a)에 인가되는 전압의 크기보다 작게 된다.

[0068] 도 5를 참조하면, 상부 표시판(200)에 형성되어 있는 공통 전극(270)은 제4 절개부들(275)을 포함한다. 제4 절개부들(275)은 화소 전극의 제2 절개부들(91b)과 교대로 배열되어 있다. 제4 절개부들(275)은 제2 절개부(91b)들과 이격부(92) 사이에 위치하며, 제2 절개부(91b)에 평행한 부분과 화소 전극(191)의 한 변에 평행한 부분을 포함한다.

[0069] 데이터 전압을 인가 받은 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 공통 전압을 인가 받는 공통 전극 표시판(200)의 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(191a, 191b, 270) 사이의 액정층(3)의 액정 분자들(31)의 방향을 결정한다.

[0070] 이 때, 화소 전극(191)과 공통 전극(270) 사이에는 절개부들(91a, 91b, 91c, 275)에 의해 프린지 필드(fringe field)가 형성되고, 액정 분자들(3)은 프린지 필드에 수직인 방향으로 기울어지게 된다. 즉, 제1 영역(189a), 제3 영역(190a) 및 제6 영역(190d)에 위치한 액정 분자들(31)은 게이트선(121)에 대해 시계 반대 방향으로 약 135도로 기울어지게 된다. 제2 영역(189b), 제4 영역(190b) 및 제5 영역(190c)에 위치한 액정 분자들(3)은 게이트선(121)에 대해 시계 반대 방향으로 약 45도 방향으로 기울어지게 된다. 그러나, 일정한 영역, 예를 들어, 연결다리들(189c, 190e, 190f), 화소 전극(91)의 변들, 제1 및 제3 절개부(91a, 91c) 영역에 위치한 액정 분자들(31)은 약 45도 또는 약 135도와 같이 정해진 방향으로 기울어지지 않는다. 이러한 영역의 액정 분자들(31)은 정해진 방향으로 기울어지는 영역에 비해 빛의 투과율이 작아 휘도에 기여하지 못 한다. 이러한 영역을 비투과 영역이라고 한다.

[0071] 본 실시예에 따르면, 기준 전압선(177)은 비투과 영역에 형성됨에 의해 화소(PX)의 투과율(transmittance)을 최대화할 수 있다. 예를 들어, 기준 전압선(177)의 세로부(177a)는 제1 및 제2 연결 다리(189c, 190e)와 중첩할 수 있다. 그리고, 세로부(177a)는 제1 영역(189a)과 제2 영역(189b)을 분할하는 제1 절개부(91a) 및 제5 영역(190c)과 제6 영역(190d)을 분할하는 제3 절개부(91c)와 중첩하여 위치할 수 있다. 하부 화소(PX2)에 연결된 가로부(177b)는 상부 화소(PX1)의 화소 전극(191)과 상부 화소(PX1)에 연결된 게이트선(121) 사이에 위치할 수 있다. 가로부(177b)는 제3 연결 다리(190f)와 일부 중첩할 수 있다. 가로부(177b)는 게이트선(121)에 평행하고, 연결부(190g)의 적어도 일부와 마주보고 위치할 수 있다.

[0072] 도 2 및 도 3에 나타난 실시예에 따른 액정 표시 장치의 특징들은 도 4와 도 5에 도시된 실시예에 따른 액정 표시 장치에 적용 가능하다.

[0073] 도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치의 하나의 화소에 대한 등가 회로도이다. 도 6은 설명의 편의를 위해 하나의 화소(PX)와 이와 관련된 게이트 선(GL), 데이터선(DL), 기준 전압선(RL)을 도시하고 있지만, 복수의 화소들이 행들과 열들의 매트릭스형으로 배치되어 있고, 상기 화소들은 행 방향으로 신장하는 복수의 게이트선들과 열 방향으로 신장하는 복수의 데이터선들의 교차점들 근처에 배치될 수 있다. 도 6을 참고하면, 본 발명의 실시예에 따른 액정 표시 장치의 한 화소(PX)는 박막 트랜지스터들과 같은 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb), 제3 스위칭 소자(Qc), 전하 분배 축전기(CS, charge sharing capacitor), 제1 액정 축전기(C1) 및 제2 액정 축전기(C2)를 포함한다.

[0074] 화소(PX)는 게이트 신호를 전달하는 게이트선(GL) 및 데이터 신호를 전달하는 데이터선(DL), 분압을 위한 기준 전압을 전달하는 기준 전압선(RL)을 포함하는 복수의 신호선에 연결되어 있다.

[0075] 화소(PX)는 제1 부화소(PEa)와 제2 부화소(PEb)를 포함한다. 제1 부화소(PEa)는 제1 스위칭 소자(Qa) 및 제1 액정 축전기(C1)를 포함한다. 제2 부화소(PEb)는 제2 스위칭 소자(Qb), 제3 스위칭 소자(Qc), 전하 분배 축전기(CS)와 제2 액정 축전기(C2)를 포함한다.

[0076] 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)의 소스들, 즉 입력 단자들은 데이터선(DL)에 접속되어 있고, 그들의 게이트들, 즉 제어 단자들은 게이트선(GL)에 접속되어 있다. 제3 스위칭 소자(Qc)의 게이트, 즉 제어 단자는 후단 게이트선(GLn+1)에 연결되어 있다. 화소(PX)에 연결된 게이트선(GLn)은 N번째 게이트 신호를 인가받고, 후단 게이트선(GLn+1)은 N번째 다음에 오는 신호인 N+1번째 게이트 신호를 인가 받는다.

[0077] 제2 스위칭 소자(Qb)의 드레인과 제3 스위칭 소자(Qc)의 소스의 접속점(CP)은 제2 액정 축전기(C2)의 제2 부화소 전극(191b)과 연결되고, 제1 스위칭 소자(Qa)의 드레인, 즉 출력 단자는 제1 액정 축전기(C1)의 제1 부화소

전극(191a)과 연결된다. 제1 및 제2 액정 축전기들의 타단들은 공통 전극과 연결된다.

[0078] 제3 스위칭 소자(Qc)의 드레인, 즉 출력 단자는 전하 분배 축전기(CS)의 제1 전극(196a)에 연결된다.

[0079] 전하 분배 축전기(CS)의 제2 전극(196b)은 기준 전압선(RL)에 연결되어 있다. 기준 전압선(RL)은 전하 분배 축전기(CS)와 제3 스위칭 소자(Qc)를 사이에 두고 제2 부화소 전극(191b)에 전기적으로 연결된다.

[0080] 게이트선(GLn)에 게이트 온 신호(Von)가 인가되면, 이에 연결된 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)가 턴 온 된다. 이에 따라 데이터선(DL)에 인가된 데이터 전압은 턴 온 된 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)를 통해 각각 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)에 인가되고, 제1 액정 축전기(C1)와 제2 액정 축전기(C2)를 충전시킨다. 게이트선(GLn)에 게이트 오프 신호(Voff)가 인가되고, 후단 게이트선(GLn+1)에 게이트 온 신호(Von)가 인가되면, 제3 스위칭 소자(Qc)가 턴온되고, 제2 액정 축전기(C2)가 전하 분배 축전기(CS)에 전기적으로 연결된다. 제2 액정 축전기(C2)와 전하 분배 축전기(CS)의 연결에 의해 제2 액정 축전기(C2)와 전하 분배 축전기(CS) 사이에 전하 공유가 발생한다. 따라서, 제1 액정 축전기(C1)에 충전된 전압과 제2 액정 축전기(C2)에 충전된 전압은 서로 달라지게 된다. 제1 액정 축전기(C1)에 충전된 전압과 제2 액정 축전기(C2)에 충전된 전압이 서로 다르므로 제1 부화소(PEa)와 제2 부화소(PEb)에서 액정 분자들이 기울어지는 각도가 다르게 되고, 이에 따라 두 부화소의 휘도가 달라진다. 따라서, 제1 액정 축전기(C1)에 충전되는 전압과 제2 액정 축전기(C2)의 충전되는 전압을 적절히 조절하면 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 되도록 할 수 있고, 이에 따라 측면 시인성을 개선할 수 있다.

[0081] 도 7은 도 6에 나타난 등가 회로를 갖는 인접한 상하 화소에 대한 배치도이다. 도 7은 설명과 도시의 편의를 위해 열 방향으로 신장하는 두 개의 인접한 데이터선들(171), 행방향으로 신장하는 두 개의 인접한 게이트선들(121) 및 데이터선들(171)과 게이트선들(121) 사이에 또는 게이트선들(121)과 데이터선들(171)의 교차점들 근처에 배치된 두 개의 화소들(PX1, PX2)을 도시하고 있지만, 복수의 화소들이 복수의 게이트선들 사이와 복수의 데이터선들 사이에 행들과 열들의 매트릭스 형식으로 배열되어 있다는 것을 유의하여야 한다.

[0082] 도 2 및 도 3에 나타난 실시예에 따른 액정 표시 장치는 도 1의 등가회로에 따른 화소 배치인 반면, 도 7에 나타난 실시예에 따른 액정 표시장치는 도 6의 등가회로에 따른 화소 배치라는 점에서 차이가 있다. 즉, 도 6의 전하 분배 축전기(CS)와 제3 스위칭 소자(Qc)를 턴 온 시키기 위한 후단 게이트 선들(GLn+1)을 포함한다는 점에서 차이가 있다. 따라서, 동일 구성 요소는 동일 부호로 나타내며, 유사한 부분에 대한 설명은 생략한다.

[0083] 제1 게이트 전극(124a), 제1 소스 전극(173a), 및 제1 드레인 전극(173b)은 제1 반도체층(미도시)과 함께 도 6의 제1 박막 트랜지스터를 형성한다. 제2 게이트 전극(124b), 제2 소스 전극(175a), 및 제2 드레인 전극(175b)은 제2 반도체층(미도시)과 함께 제2 박막 트랜지스터를 형성하고, 제3 게이트 전극(124c), 제3 소스 전극(176a), 및 제3 드레인 전극(176b)은 제3 반도체층(미도시)과 함께 제3 박막 트랜지스터를 형성한다.

[0084] 후단 게이트선들(123)은 게이트선들(121)에 평행하게 신장하고, 게이트선들(121)과 후단 게이트선들(123) 사이에는 화소 전극들(191)이 위치한다. 각 후단 게이트선(123)은 제3 게이트 전극(124c)에 연결되어 있다. 각 게이트선(121)에는 N번째 게이트 신호가 인가되고, 각 후단 게이트선(123)에는 N+1번째 게이트 신호가 인가된다. 상부 화소(PX1)의 후단 게이트선(123)에는 하부 화소(PX2)의 게이트선(121)에 인가되는 게이트 신호와 동일한 신호가 동시에 인가된다.

[0085] 광차단막들(125)은 후단 게이트선들(123)과 게이트선들(121) 사이의 제1 부화소 전극들(191a)과 제2 부화소 전극들(191b)의 경계 영역에 위치한다.

[0086] 도 6의 전하 분배 축전기(CS)의 제1 전극(196a)은 제3 접촉 구멍(185c)을 통해 제3 드레인 전극(176b)과 전기적으로 연결된다. 제1 전극(196a)은 화소 전극(191)과 동일한 층 위에 동일한 재질로 만들어질 수 있다. 제1 전극(196a)과 중첩하여 도 6의 전하 분배 축전기(CS)의 제2 전극(196b)이 형성된다.

[0087] 도시되지는 않았으나, 제1 전극(196a)과 제2 전극(196b) 사이에는 도 3에 도시된 바와 같이 게이트 절연막과 보호막이 배치된다. 제1 전극(196a)과 제2 전극(196b)은 게이트 절연막과 보호막을 사이에 두고 전하 분배 축전기(196)를 구성한다. 전하 분배 축전기(196)의 용량(capacity)에 따라 제1 전극(196a)과 제2 전극(196b) 사이에 배치된 보호막은 일부 제거될 수 있다.

[0088] 데이터선(171)을 따라 위에서부터 전하 분배 축전기(CS), 제3 박막 트랜지스터(Qc), 제2 박막 트랜지스터(Qb), 및 제1 박막 트랜지스터(Qa)가 위치한다. 제2 박막 트랜지스터(Qb)와 제1 박막 트랜지스터(Qa)는 거의 나란하게 위치할 수 있다.

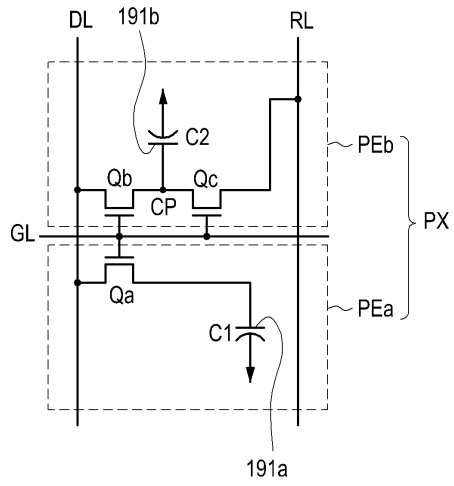
- [0089] 본 실시예에 따른 제1 박막 트랜지스터(Qa), 제2 박막 트랜지스터(Qb), 제3 박막 트랜지스터(Qc) 및 전하 분배 축전기(CS)와 같은 전자 소자들(electron devices)은 인접한 상하 화소들(PX1, PX2)에서 엇갈린 방식으로 배치된다. 즉, 도 7의 상부 화소(PX1)에서는 상기 전자 소자들이 화소의 왼쪽에 배치되어 있는 반면, 하부 화소(PX2)에서는 상기 전자 소자들이 화소의 오른쪽에 배치되어 있다.
- [0090] 기준 전압선들(177)은 전하 분배 축전기(196)와 연결된 가로부들(177b)과 인접한 상하 화소들(PX1, PX2)의 제1 부화소 전극들(191a)과 제2 부화소 전극들(191b)의 경계 영역을 통과하여 신장하는 세로부들(177a)을 포함한다. 가로부들(177b)은 전하 분배 축전기(196)의 제2 전극들(196b)과 전기적, 물리적으로 연결된다. 기준 전압선들(177)은 제2 전극들(196b)과 동일 층으로 동일한 재질로 형성될 수 있다.
- [0091] 가로부들(177b)은 세로부(177a)로부터 뺀어 나와 상하 화소들(PX1, PX2)에서 엇갈린 방식으로 배치된다. 즉, 도 7의 상부 화소(PX1)에서 가로부(177b)는 세로부(177a)로부터 오른쪽 방향으로 뺀어 있는 반면, 하부 화소(PX2)에서 가로부(177b)는 세로부(177a)로부터 왼쪽 방향으로 뺀어 있다.
- [0092] 본 실시예에 따른 액정 표시 장치의 화소 전극(191) 및 상부 표시판(미도시)은 도 2 및 도 3에 나타난 실시예에 따른 액정 표시 장치의 화소 전극(191) 및 상부 표시판(200)과 동일하다. 기준 전압선들(177)은 제1 부화소 전극들(191a)과 제2 부화소 전극들(191b) 사이와 인접한 화소들(PX1, PX2) 사이의 슬릿들(195)과 미세 가지부들(194)이 형성되지 않은 영역들에 형성될 수 있다.
- [0093] 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 각각 제1 드레인 전극(173b) 및 제2 드레인 전극(175b)으로부터 데이터 전압을 인가 받는다. 후단 게이트선(123)을 통해 게이트 전극(124c)에 게이트 신호가 인가되면 제2 부화소 전극(191b)에 인가된 데이터 전압이 제3 소스 전극(176a)을 통해 분압된다. 따라서, 제2 부화소 전극(191b)에 인가되는 전압의 크기는 제1 부화소 전극(191a)에 인가되는 전압의 크기보다 작게 된다.
- [0094] 데이터 전압을 인가 받은 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 도시되지는 않았으나, 공통 전압을 인가 받는 상부 표시판의 공통 전극과 함께 전기장을 생성함으로써 두 전극 사이의 액정층의 액정 분자의 방향을 결정한다.
- [0095] 이때, 미세 가지부(194)의 변들은 전기장을 왜곡하여 미세 가지부(194)의 변에 수직인 수평 성분을 만들어 내고 액정 분자들의 경사 방향은 수평 성분에 의하여 결정되는 방향으로 결정된다. 따라서 액정 분자들이 처음에는 미세 가지부(194)의 변에 수직인 방향으로 기울어지려 한다. 그러나 이웃하는 미세 가지부들(194)의 변에 의한 전기장의 수평 성분의 방향이 반대이고 미세 가지부들(194) 사이의 간격이 좁기 때문에 서로 반대 방향으로 기울어지려는 액정 분자들이 함께 미세 가지부(194)의 길이 방향에 평행한 방향으로 기울어지게 된다. 그러나, 일정한 영역, 예를 들어, 연결부(190g) 및 화소 전극(191)의 모서리 영역에 위치한 액정 분자들은 미세 가지부의 길이 방향에 평행한 방향으로 기울어지지 않는다. 이러한 영역의 액정 분자들은 정해진 방향(미세 가지부의 길이 방향에 평행한 방향)으로 기울어지는 영역에 비해 빛의 투과율이 작아 휘도에 기여하지 못 한다. 이러한 영역을 비투과 영역이라고 한다.
- [0096] 본 실시예에 따르면, 기준 전압선(177)은 비투과 영역에 형성됨에 의해 화소(PX)의 투과율(transmittance)을 최대화할 수 있다. 예를 들어, 기준 전압선(177)의 세로부(177a)는 제1 부화소 전극(191a)과 제2 부화소 전극(191b)의 경계 영역 및 부화소 전극들(191a, 191b)의 변들과 중첩할 수 있다. 그리고, 세로부(177a)는 광차단막(125)에 중첩하여 배치될 수 있다. 하부 화소(PX2)의 가로부(177b)는 상부 화소(PX1)의 화소 전극(191)과 상부 화소(PX1)의 게이트선(121) 사이에 위치할 수 있다. 하부 화소(PX2)의 가로부(177b)는 상부 화소(PX1)의 제2 부화소 전극(191b)의 한 변과 일부 중첩할 수 있다. 가로부(177b)는 게이트선(121) 및 연결부(190g)의 적어도 일부와 평행하다. 또한, 세로부(177a)가 화소(PX)를 통과하여 제1 및 제2 부화소 전극들 사이의 경계 영역에 위치함에 의해 데이터선(171)에 인접하여 위치하는 경우보다 데이터선(171)과 기준전압선(177)의 쇼트(short) 불량률이 감소될 수 있다.
- [0097] 도 2 및 도 3에 나타난 실시예에 따른 액정 표시 장치의 특징들은 도 7에 도시된 실시예에 따른 액정 표시 장치에 적용 가능하다. 또한, 도 7에 나타난 실시예에 따른 액정 표시 장치의 특징들은 도 2 및 도 3에 나타난 실시예에 따른 액정 표시 장치에 적용 가능하다.
- [0098] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

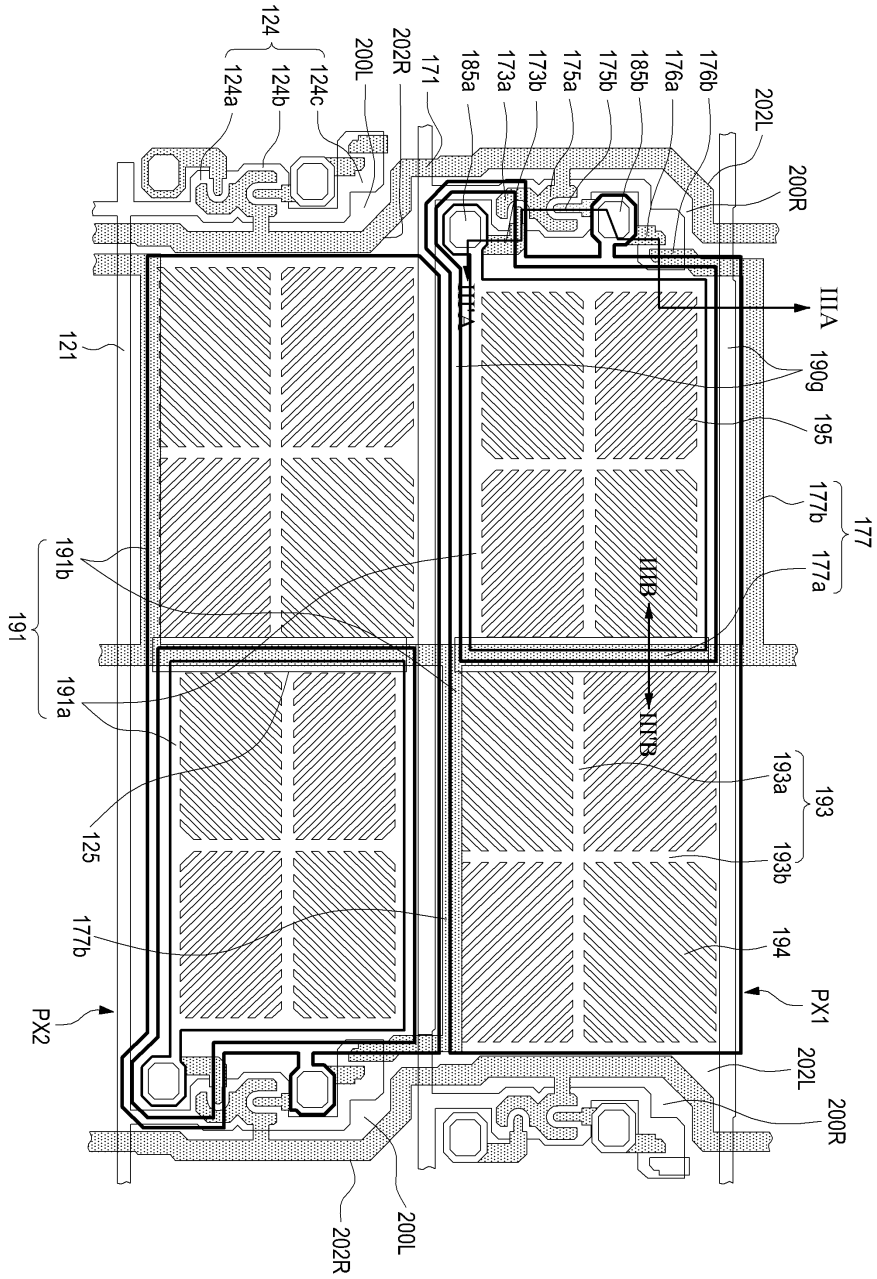
[0099]	121	게이트선	171	데이터선
	180	보호막	177	기준 전압선
	191	화소 전극		

도면

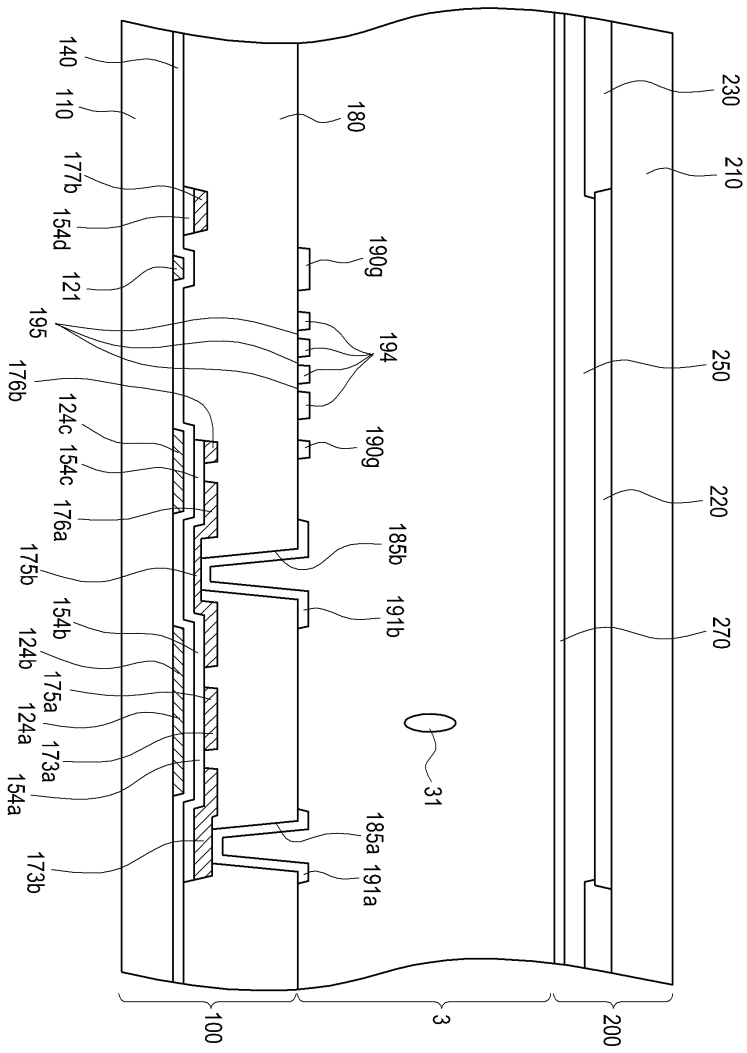
도면1



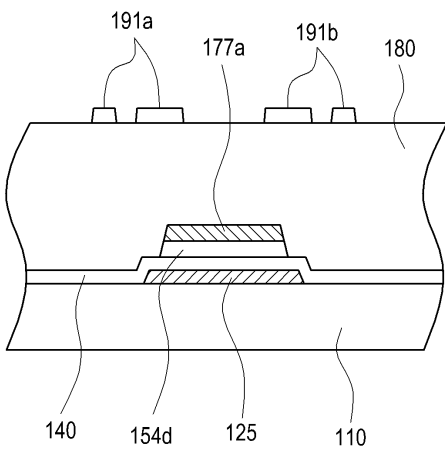
도면2



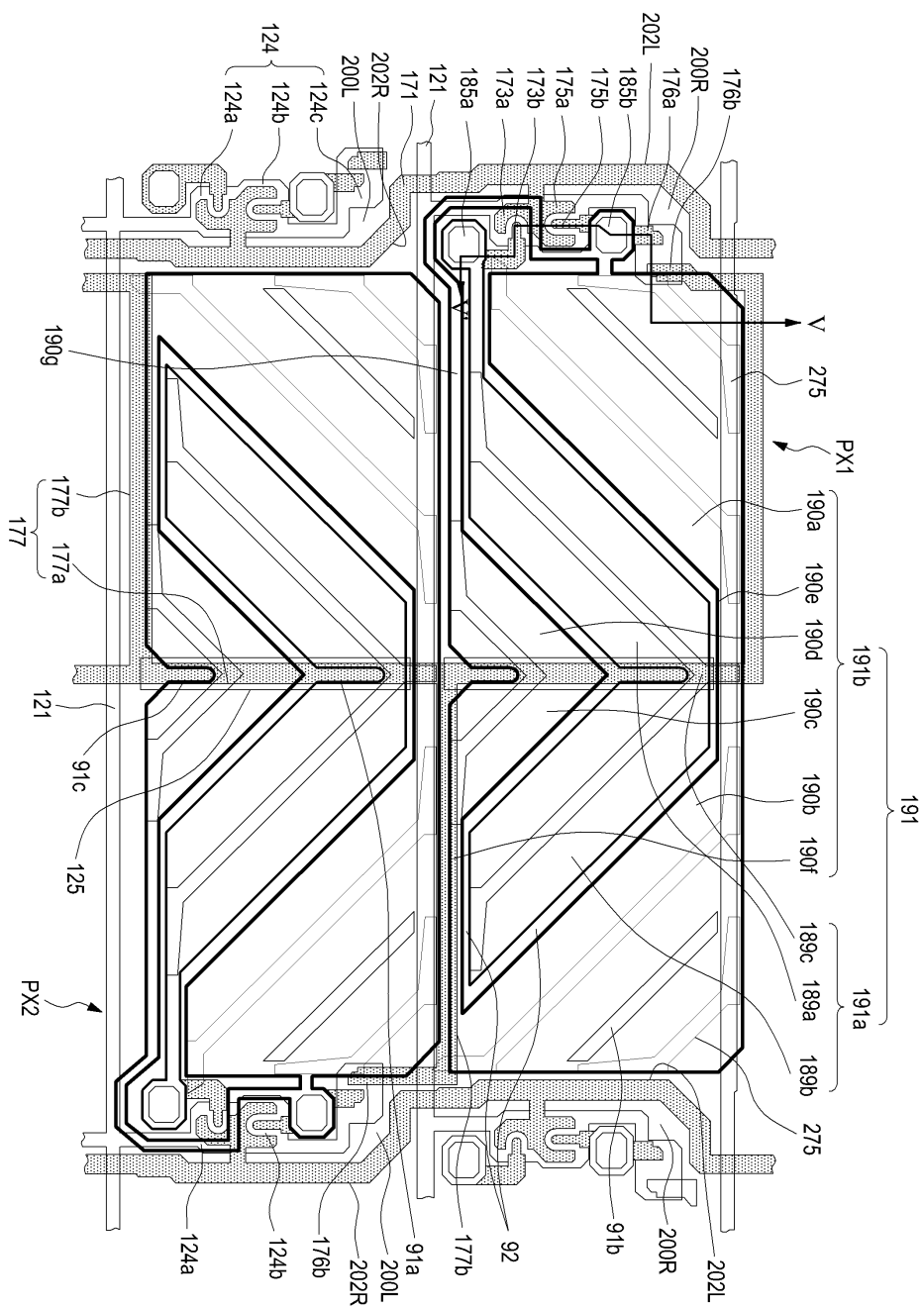
도면3a



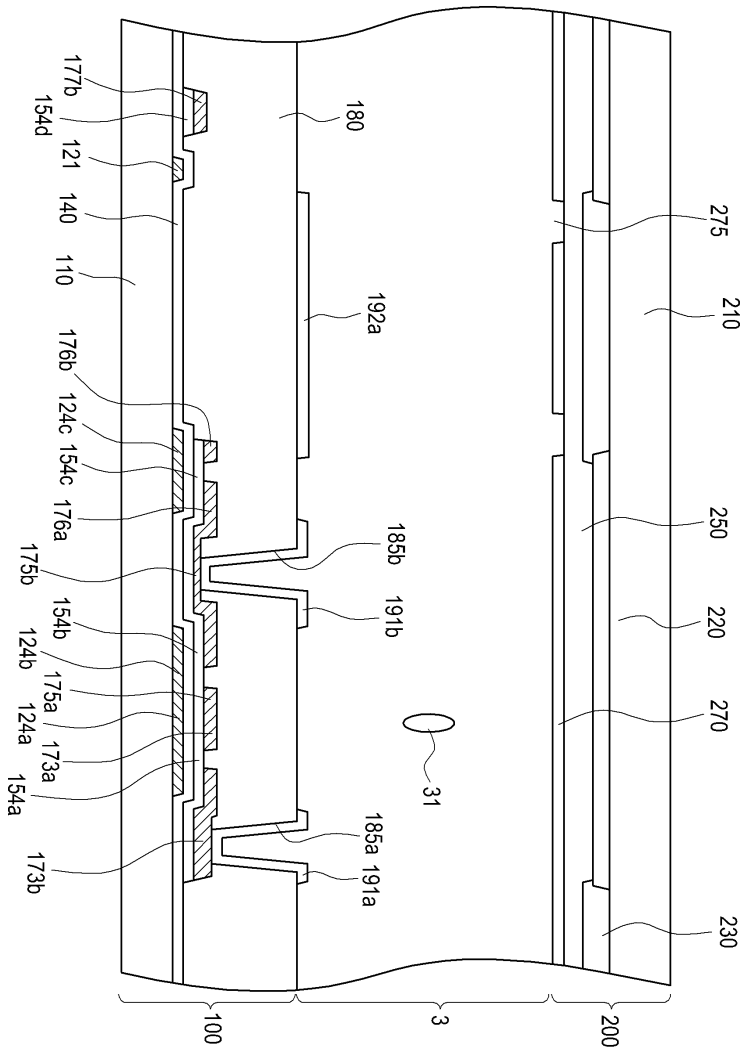
도면3b



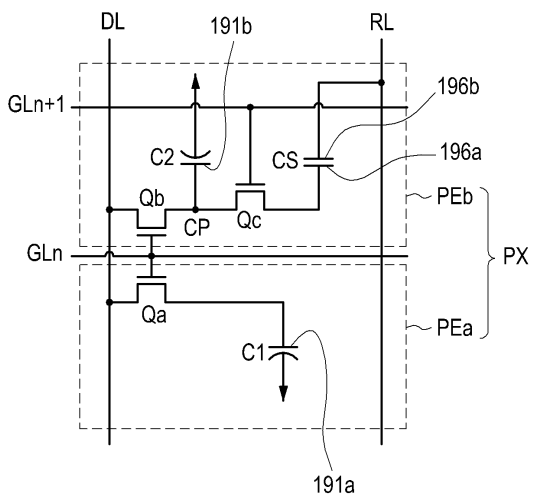
도면4



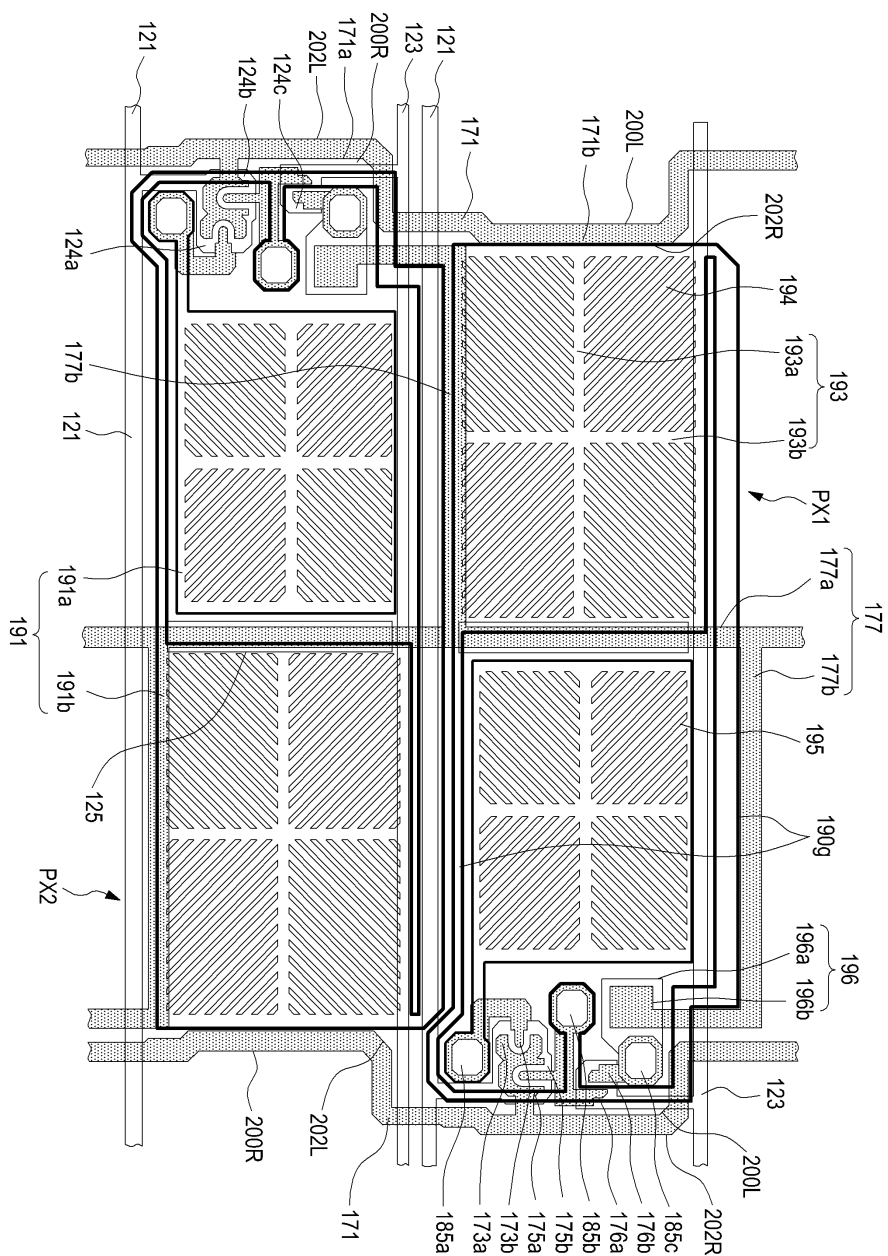
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR1020130060550A	公开(公告)日	2013-06-10
申请号	KR1020110126671	申请日	2011-11-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK KYUNG HO 박경호 KIM BO YEONG 김보영 KIM JAE WON 김재원 NA BYOUNG SUN 나병선 PARK HYUNG JUN 박형준 YOO DONG HYUN 유동현 LEE KYE UK 이계욱		
发明人	박경호 김보영 김재원 나병선 박형준 유동현 이계욱		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/13624 G02F1/134336 G02F1/136209 G02F1/136286 G02F1/1368 G02F2001/134345 G02F2201/123 H01L27/1244 H01L27/1255		
代理人(译)	이건주		
其他公开文献	KR101929363B1		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的液晶显示器包括彼此垂直相邻的一对像素，电连接到该对像素的栅极线，与栅极线交叉的数据线，第一薄膜晶体管和第二薄膜晶体管，其电连接到栅极线和数据线，以及参考电压线，包括穿过第一薄膜晶体管的垂直部分并且像素电极包括连接到第一薄膜晶体管的第一子像素电极和连接到第二薄膜晶体管的第二子像素电极，其中参考电压线的水平部分连接到第二薄膜晶体管并且电连接到子像素电极。专利文献1：JP-A-10-2013-0060550

