



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0010576  
(43) 공개일자 2013년01월29일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01) G02F 1/133 (2006.01)  
(21) 출원번호 10-2011-0071285  
(22) 출원일자 2011년07월19일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
신승환  
서울특별시 관악구 관천로25길 12, 1층 (신림동)  
허승호  
경기도 파주시 교하읍 동패리 1698 동문굿모닝힐  
10단지 1004동 502호  
오대석  
경기도 파주시 후곡로 50, 406동 906호 (금촌동,  
후곡마을)  
(74) 대리인  
특허법인네이트

전체 청구항 수 : 총 16 항

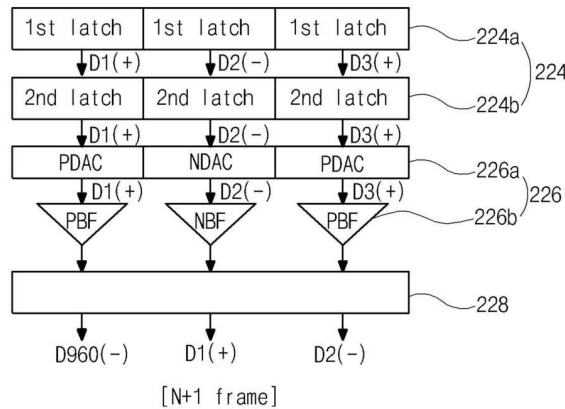
(54) 발명의 명칭 액정표시장치 및 그 구동방법

(57) 요약

본 발명은 액정표시장치 및 그 구동방법에 관한 것이다.

서로 교차하여 다수의 부화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과, 상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 부화소영역 각각에 형성되는 박막트랜지스터를 포함하는 액정표시장치의 구동방법에 있어서, 샘플링 신호에 따라 순차적으로 샘플링하여 래치한 영상 신호를 아날로그 영상 신호로 변환하고, 변환된 상기 아날로그 영상 신호를 스위칭 제어 신호에 따라 N(N은 자연수) 번째 프레임 동안에 그대로 출력하고, N+1 번째 프레임 동안에 쉬프트하여 출력하는 단계를 포함하는 것을 특징으로 한다.

대표도 - 도12b



## 특허청구의 범위

### 청구항 1

쉬프트 레지스터로부터의 샘플링 신호에 따라 영상 신호를 순차적으로 샘플링하여 래치하는 래치부와;

상기 래치부로부터 전달 받은 상기 영상 신호를 아날로그 영상 신호로 변환하여 출력하는 디지털 아날로그 변환부와;

스위칭 제어 신호에 따라 상기 아날로그 영상 신호를  $N$ ( $N$ 은 자연수) 번째 프레임 동안에 그대로 출력하고,  $N+1$  번째 프레임 동안에 쉬프트하여 출력하는 멀티플렉스부

를 포함하는 것을 특징으로 하는 소스 드라이버.

### 청구항 2

제1항에 있어서,

상기 래치부는,

상기 영상 신호를 샘플링하여 래치하는 제 1 래치부와;

SOE 신호에 응답하여 제1 래치부로부터 전달 받은 상기 영상 신호를 동시에 상기 디지털 아날로그 변환부로 공급하는 제 2 래치부

를 포함하는 것을 특징으로 하는 소스 드라이버.

### 청구항 3

제1항에 있어서,

상기 디지털 아날로그 변환부는,

상기 래치부의 정극성 출력 배선을 통해 입력된 정극성의 상기 영상 신호를 정극성 아날로그 영상 신호로 변환하여 출력하는 정극성 디지털 아날로그 변환기와;

상기 래치부의 부극성 출력 배선을 통해 입력된 부극성의 상기 영상 신호를 부극성 아날로그 영상 신호로 변환하여 출력하는 부극성 디지털 아날로그 변환기

를 포함하는 것을 특징으로 하는 소스 드라이버.

### 청구항 4

제3항에 있어서,

상기 디지털 아날로그 변환부는,

상기 정극성 아날로그 영상 신호 또는 부극성 아날로그 영상 신호를 각각 출력하는 다수의 버퍼로 구성되는 버퍼부를 더 포함하는 것을 특징으로 하는 소스 드라이버.

### 청구항 5

영상 신호 및 제어신호를 공급하는 타이밍 제어부와;

게이트 신호를 생성하고, 생성된 상기 게이트 신호를 액정패널로 공급하는 게이트 드라이버와;

상기 타이밍 제어부로부터 전달 받은 상기 영상 신호를 아날로그 영상 신호로 변환하고, 스위칭 제어 신호에 따라 상기 아날로그 영상 신호를  $N(N$ 은 자연수) 번째 프레임 동안에 그대로 출력하고,  $N+1$  번째 프레임 동안에 쉬프트하여 출력하는 소스 드라이버

를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 6

제5항에 있어서,

상기 액정패널은,

서로 교차하여 다수의 부화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과;

상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 부화소영역 각각에 형성되는 박막트랜지스터

를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 7

제6항에 있어서,

상기 박막트랜지스터는,

$M(M$ 은 자연수)번째 게이트 배선과 연결되며  $N(N$ 은 자연수)번째 데이터 배선과 연결되는 제 1 박막트랜지스터와,  $M+1$ 번째 게이트 배선과 연결되며  $N+1$ 번째 데이터 배선과 연결되는 제 1 박막트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 8

제5항에 있어서,

상기 소스 드라이버는,

쉬프트 레지스터로부터의 샘플링 신호에 따라 영상 신호를 순차적으로 샘플링하여 래치하는 래치부와;

상기 래치부로부터 전달 받은 상기 영상 신호를 아날로그 영상 신호로 변환하여 출력하는 디지털 아날로그 변환부와;

스위칭 제어 신호에 따라 상기 아날로그 영상 신호를  $N(N$ 은 자연수) 번째 프레임 동안에 그대로 출력하고,  $N+1$  번째 프레임 동안에 쉬프트하여 출력하는 멀티플렉스부

를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 9

제8항에 있어서,

상기 래치부는,

상기 영상 신호를 샘플링하여 래치하는 제 1 래치부와;

SOE 신호에 응답하여 제1 래치부로부터 전달 받은 상기 영상 신호를 동시에 상기 디지털 아날로그 변환부로 공급하는 제 2 래치부

를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 10

제8항에 있어서,

상기 디지털 아날로그 변환부는,

상기 래치부의 정극성 출력 배선을 통해 입력된 정극성의 상기 영상 신호를 정극성 아날로그 영상 신호로 변환하여 출력하는 정극성 디지털 아날로그 변환기와;

상기 래치부의 부극성 출력 배선을 통해 입력된 부극성의 상기 영상 신호를 부극성 아날로그 영상 신호로 변환하여 출력하는 부극성 디지털 아날로그 변환기

를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 11

제8항에 있어서,

상기 디지털 아날로그 변환부는,

상기 정극성 아날로그 영상 신호 또는 부극성 아날로그 영상 신호를 각각 출력하는 다수의 버퍼로 구성되는 버퍼부를 더 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 12

서로 교차하여 다수의 부화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과, 상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 부화소영역 각각에 형성되는 박막트랜지스터를 포함하는 액정표시장치의 구동방법에 있어서,

상기 다수의 게이트 배선에 게이트 신호를 공급하여 상기 박막트랜지스터를 턴-온 시키는 단계와;

샘플링 신호에 따라 순차적으로 샘플링하여 래치한 영상 신호를 아날로그 영상 신호로 변환하고, 변환된 상기 아날로그 영상 신호를 스위칭 제어 신호에 따라  $N$ ( $N$ 은 자연수) 번째 프레임 동안에 그대로 출력하고,  $N+1$  번째 프레임 동안에 쉬프트하여 출력하는 단계

를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

#### 청구항 13

제12항에 있어서,

임의의 프레임 동안에  $N$ ( $N$ 은 자연수)번째 래치로부터 정극성의 상기 영상 신호가 출력되고,  $N+1$ 번째 래치로부터 부극성의 상기 영상 신호가 출력되는 경우에,

$N$ 번째 데이터 배선으로 정극성의 상기 아날로그 영상 신호가 출력되고,  $N+1$ 번째 데이터 배선으로 부극성의 상기 아날로그 영상 신호가 출력되는 것을 특징으로 하는 액정표시장치 구동방법.

#### 청구항 14

제13항에 있어서,

다음 프레임 동안에 상기  $N$ 번째 래치로부터 정극성의 상기 영상 신호가 출력되고, 상기  $N+1$ 번째 래치로부터 부극성의 상기 영상 신호가 출력되는 경우에,

상기 스위칭 제어 신호에 따라 상기 N번째 데이터 배선으로 부극성의 상기 아날로그 영상 신호가 출력되고, 상기 N+1번째 데이터 배선으로 정극성의 상기 아날로그 영상 신호가 출력되는 것을 특징으로 하는 액정표시장치 구동방법.

**청구항 15**

제12항에 있어서,

임의의 프레임 동안에 N(N은 자연수)번째 래치로부터 부극성의 상기 영상 신호가 출력되고, N+1번째 래치로부터 정극성의 상기 영상 신호가 출력되는 경우에,

N번째 데이터 배선으로 부극성의 상기 아날로그 영상 신호가 출력되고, N+1번째 데이터 배선으로 정극성의 상기 아날로그 영상 신호가 출력되는 것을 특징으로 하는 액정표시장치 구동방법.

**청구항 16**

제15항에 있어서,

다음 프레임 동안에 상기 N번째 래치로부터 부극성의 상기 영상 신호가 출력되고, 상기 N+1번째 래치로부터 정극성의 상기 영상 신호가 출력되는 경우에,

상기 스위칭 제어 신호에 따라 상기 N번째 데이터 배선으로 정극성의 상기 아날로그 영상 신호가 출력되고, 상기 N+1번째 데이터 배선으로 부극성의 상기 아날로그 영상 신호가 출력되는 것을 특징으로 하는 액정표시장치 구동방법.

**명세서**

**기술분야**

[0001] 본 발명은 액정표시장치 및 그 구동방법에 관한 것으로, 보다 상세하게는 동일한 극성의 영상 신호를 입력 받고 스위칭 제어 신호에 따라 출력되는 아날로그 영상 신호를 그대로 출력하거나 쉬프트하여 출력함에 따라 소비전력을 저감하는 액정표시장치 및 그 구동방법에 관한 것이다.

**배경기술**

[0002] 최근 정보화 사회가 발전함에 따라 디스플레이 분야에 대한 요구도 다양한 형태로 증가하고 있으며, 이에 부응하여 박형화, 경량화, 저소비 전력화 등의 특징을 지닌 여러 평판 표시 장치(Flat Panel Display device), 예를 들어, 액정표시장치(Liquid Crystal Display device), 플라즈마표시장치(Plasma Display Panel device), 전기발광표시장치(Electro Luminescent Display device) 등이 연구되고 있다.

[0003] 이 중에서 액정표시장치는 현재 가장 널리 사용되는 평판 표시 장치 중 하나이며, 화소전극과 공통전극 등이 형성되는 두 기판과, 두 기판 사이의 액정층을 포함한다.

[0004] 이러한 액정표시장치는, 전극에 인가된 전압에 의해 생성된 전기장에 따라 액정층의 액정분자들의 배향을 결정하고, 입사광의 편광을 제어하여 영상을 표시한다.

[0005] 그리고, 액정표시장치는 동화상 표시에 유리하고 높은 콘트라스트비(contrast ratio)로 인하여 기존의 음극선관(Cathode Ray Tube)을 대체하면서 이동 단말기의 표시장치(노트북 모니터 등)뿐만 아니라 컴퓨터의 모니터, 텔레비전 등으로 다양하게 이용되고 있다.

[0006] 도1은 일반적인 액정표시장치의 부화소영역의 등가회로를 개략적으로 도시한 도면이다.

[0007] 도1에 도시한 바와 같이, 액정표시장치에는 서로 교차하여 부화소영역(SP)을 정의하는 게이트 배선(GL) 및 데이

터 배선(DL)이 형성된다.

- [0008] 그리고, 각 부화소영역(SP)에는 게이트 배선(GL) 및 데이터 배선(DL)에 연결되는 박막트랜지스터(T), 박막트랜지스터(T)에 연결되는 스토리지 커패시터(Cst) 및 액정셀(Clc)이 형성된다.
- [0009] 박막트랜지스터(T)는 게이트 배선(GL)을 통해 게이트신호에 의해 오/오프가 제어된다.
- [0010] 예를 들어, 게이트 배선(GL)을 통해 게이트 하이 전압(VGH)을 공급 받는 경우에는 박막트랜지스터(T)가 턴-온(Turn-On)되고, 게이트 로우 전압(VGL)을 공급 받는 경우에는 박막트랜지스터(T)가 턴-오프(Turn-Off)된다.
- [0011] 그리고, 박막트랜지스터(T)가 턴-온(Turn-On)되는 시간 동안에 데이터 배선(DL)을 통해 데이터 신호가 액정셀(Clc)에 공급된다.
- [0012] 이때, 액정셀(Clc)은 등가적으로 캐패시터로 표현되며, 액정을 사이에 두고 대면하는 공통 전극(미도시)과 박막트랜지스터(T)에 접속된 화소전극(미도시)으로 구성된다.
- [0013] 이와 같이, 박막트랜지스터(T)를 통해 화소전극에 충전되는 데이터 신호에 따라 액정의 배열 상태가 변하여 광 투과율을 조절함으로써 계조를 구현하게 된다.
- [0014] 그리고, 스토리지 커패시터(Cst)는, 액정셀(Clc)에 충전된 데이터 신호를 다음 프레임까지 유지시키는 역할을 한다.
- [0015] 한편, 각 부화소영역(SP)마다 인가되는 데이터 신호를 동일한 직류전압을 계속 걸어주게 되면, 액정이 계속 동일한 방향을 유지하면서 더 이상 배열을 바꾸지 않는 현상이 발생할 수 있다. 이를 액정 열화현상이라고 한다.
- [0016] 이러한 액정의 열화를 방지하기 위하여 액정표시장치는 데이터 신호(영상 신호)의 극성을 주기적으로 (+), (-)로 바꾸면서 인가하는 반전 구동 방식을 사용한다.
- [0017] 그리고, 반전 구동 방식을 이용하게 되면, 데이터 신호의 변동에 의한 플리커(Flicker) 등을 방지할 수도 있다.
- [0018] 도2는 종래의 수직라인(Column) 반전 방식 액정표시장치의 부화소영역의 데이터 신호의 극성을 도시한 도면이고, 도3은 종래의 도트 반전 방식 액정표시장치의 부화소영역의 데이터 신호의 극성을 도시한 도면이다.
- [0019] 도2에 도시한 바와 같이, 수직라인 반전 방식의 액정표시장치에서는, 홀수 번째 수직라인의 부화소영역에는 동일한 극성의 데이터 신호가 인가되고, 짝수 번째 수직라인의 부화소영역에는 그와 반대되는 극성의 데이터 신호가 인가된다.
- [0020] 예를 들어, 첫번째 수직라인의 부화소영역에는 정극성(+)의 데이터 신호가 인가되고, 두번째 수직라인의 부화소영역에는 부극성(-)의 데이터 신호가 인가될 수 있다.
- [0021] 그리고, 제 n 번째 프레임에서의 각각의 부화소영역에 인가되는 데이터 신호의 극성과 제 n+1 번째 프레임의 각각의 부화소영역에 인가되는 데이터 신호의 극성은 서로 반대가 된다.
- [0022] 도3에 도시한 바와 같이, 도트 반전 방식의 액정표시장치에서는, 임의의 부화소영역에 인접한 부화소영역에는 임의의 부화소영역에 인가되는 데이터 신호의 극성과 반대되는 극성의 데이터 신호가 인가된다.
- [0023] 예를 들어, 임의의 부화소영역에는 정극성(+)의 데이터 신호가 인가되고, 그의 상하좌우에 위치하는 부화소영역에는 부극성(-)의 데이터 신호가 인가될 수 있다.
- [0024] 그리고, 제 n 번째 프레임에서의 각각의 부화소영역에 인가되는 데이터 신호의 극성과 제 n+1 번째 프레임의 각각의 부화소영역에 인가되는 데이터 신호의 극성은 서로 반대가 된다.
- [0025] 상기한 수직라인(Column) 반전 방식이나 도트 반전 방식은 각각 다른 특징을 가지고 있다.
- [0026] 예를 들어, 화질 측면에서는 도트 반전 방식이 수직라인(Column) 반전 방식에 비해 유리한 반면에, 소비전력 측면에서는 한 프레임 동안에 동일한 극성의 데이터 신호가 인가되는 수직라인(Column) 반전 방식이 도트 반전 방식에 비해 유리하다.
- [0027] 최근에는 해상도 증가 및 표시장치의 대형화에 의해 화소영역의 수가 증가하고 있는데, 이러한 화소영역 수의 증가는 소비전력의 증가로 이어지게 된다.
- [0028] 따라서, 화질뿐만 아니라 소비전력 측면에서도 효과적인 구동 방식의 개발이 필요한 실정인데, 종래에는 양자를

모두 만족시키는 반전 구동 방식이 없었다.

## 발명의 내용

### 해결하려는 과제

- [0029] 본 발명은, 상기와 같은 문제점을 해결하기 위한 것으로, 입력되는 영상 신호의 극성은 동일하게 유지하고, 출력되는 아날로그 영상 신호의 극성은 스위칭 제어 신호에 따라 가변함에 따라 소비전력을 저감하는 액정표시장치 및 그 구동방법을 제공하는 것을 목적으로 한다.

### 과제의 해결 수단

- [0030] 상기한 바와 같은 목적을 달성하기 위한 소스 드라이버는, 쉬프트 레지스터로부터의 샘플링 신호에 따라 영상 신호를 순차적으로 샘플링하여 래치하는 래치부와; 상기 래치부로부터 전달 받은 상기 영상 신호를 아날로그 영상 신호로 변환하여 출력하는 디지털 아날로그 변환부와; 스위칭 제어 신호에 따라 상기 아날로그 영상 신호를  $N(N$ 은 자연수) 번째 프레임 동안에 그대로 출력하고,  $N+1$  번째 프레임 동안에 쉬프트하여 출력하는 멀티플렉스부를 포함하는 것을 특징으로 한다.
- [0031] 여기서, 상기 래치부는, 상기 영상 신호를 샘플링하여 래치하는 제 1 래치부와; SOE 신호에 응답하여 제 1 래치부로부터 전달 받은 상기 영상 신호를 동시에 상기 디지털 아날로그 변환부로 공급하는 제 2 래치부를 포함할 수 있다.
- [0032] 그리고, 상기 디지털 아날로그 변환부는, 상기 래치부의 정극성 출력 배선을 통해 입력된 정극성의 상기 영상 신호를 정극성 아날로그 영상 신호로 변환하여 출력하는 정극성 디지털 아날로그 변환기와; 상기 래치부의 부극성 출력 배선을 통해 입력된 부극성의 상기 영상 신호를 부극성 아날로그 영상 신호로 변환하여 출력하는 부극성 디지털 아날로그 변환기를 포함할 수 있다.
- [0033] 또한, 상기 디지털 아날로그 변환부는, 상기 정극성 아날로그 영상 신호 또는 부극성 아날로그 영상 신호를 각각 출력하는 다수의 버퍼로 구성되는 버퍼부를 더 포함하는 것이 바람직하다.
- [0034] 상기한 바와 같은 목적을 달성하기 위한 액정표시장치는, 영상 신호 및 제어신호를 공급하는 타이밍 제어부와; 게이트 신호를 생성하고, 생성된 상기 게이트 신호를 액정패널로 공급하는 게이트 드라이버와; 상기 타이밍 제어부로부터 전달 받은 상기 영상 신호를 아날로그 영상 신호로 변환하고, 스위칭 제어 신호에 따라 상기 아날로그 영상 신호를  $N(N$ 은 자연수) 번째 프레임 동안에 그대로 출력하고,  $N+1$  번째 프레임 동안에 쉬프트하여 출력하는 소스 드라이버를 포함하는 것을 특징으로 한다.
- [0035] 여기서, 상기 액정패널은, 서로 교차하여 다수의 부화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과; 상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 부화소영역 각각에 형성되는 박막트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치.
- [0036] 그리고,  $M(M$ 은 자연수)번째 게이트 배선과 연결되며  $N(N$ 은 자연수)번째 데이터 배선과 연결되는 제 1 박막트랜지스터와,  $M+1$ 번째 게이트 배선과 연결되며  $N+1$ 번째 데이터 배선과 연결되는 제 1 박막트랜지스터를 포함할 수 있다.
- [0037] 한편, 상기 소스 드라이버는, 쉬프트 레지스터로부터의 샘플링 신호에 따라 영상 신호를 순차적으로 샘플링하여 래치하는 래치부와; 상기 래치부로부터 전달 받은 상기 영상 신호를 아날로그 영상 신호로 변환하여 출력하는 디지털 아날로그 변환부와; 스위칭 제어 신호에 따라 상기 아날로그 영상 신호를  $N(N$ 은 자연수) 번째 프레임 동안에 그대로 출력하고,  $N+1$  번째 프레임 동안에 쉬프트하여 출력하는 멀티플렉스부를 포함하는 것이 바람직하다.
- [0038] 여기서, 상기 래치부는, 상기 영상 신호를 샘플링하여 래치하는 제 1 래치부와; SOE 신호에 응답하여 제 1 래치부로부터 전달 받은 상기 영상 신호를 동시에 상기 디지털 아날로그 변환부로 공급하는 제 2 래치부를 포함할 수 있다.

- [0039] 그리고, 상기 디지털 아날로그 변환부는, 상기 래치부의 정극성 출력 배선을 통해 입력된 정극성의 상기 영상 신호를 정극성 아날로그 영상 신호로 변환하여 출력하는 정극성 디지털 아날로그 변환기와; 상기 래치부의 부극성 출력 배선을 통해 입력된 부극성의 상기 영상 신호를 부극성 아날로그 영상 신호로 변환하여 출력하는 부극성 디지털 아날로그 변환기를 포함할 수도 있다.
- [0040] 또한, 상기 디지털 아날로그 변환부는, 상기 정극성 아날로그 영상 신호 또는 부극성 아날로그 영상 신호를 각각 출력하는 다수의 버퍼로 구성되는 버퍼부를 더 포함하는 것이 바람직하다.
- [0041] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 실시예에 따른 액정표시장치 구동방법은, 서로 교차하여 다수의 부화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과, 상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 부화소영역 각각에 형성되는 박막트랜지스터를 포함하는 액정표시장치의 구동방법에 있어서, 상기 다수의 게이트 배선에 게이트 신호를 공급하여 상기 박막트랜지스터를 턴-온 시키는 단계와; 샘플링 신호에 따라 순차적으로 샘플링하여 래치한 영상 신호를 아날로그 영상 신호로 변환하고, 변환된 상기 아날로그 영상 신호를 스위칭 제어 신호에 따라 N(N은 자연수) 번째 프레임 동안에 그대로 출력하고, N+1 번째 프레임 동안에 쉬프트하여 출력하는 단계를 포함하는 것을 특징으로 한다.
- [0042] 본 발명의 실시예에 따른 액정표시장치 구동방법은, 임의의 프레임 동안에 N(N은 자연수)번째 래치로부터 정극성의 상기 영상 신호가 출력되고, N+1번째 래치로부터 부극성의 상기 영상 신호가 출력되는 경우에, N번째 데이터 배선으로 정극성의 상기 아날로그 영상 신호가 출력되고, N+1번째 데이터 배선으로 부극성의 상기 아날로그 영상 신호가 출력될 수 있다.
- [0043] 그리고, 다음 프레임 동안에 상기 N번째 래치로부터 정극성의 상기 영상 신호가 출력되고, 상기 N+1번째 래치로부터 부극성의 상기 영상 신호가 출력되는 경우에, 상기 스위칭 제어 신호에 따라 상기 N번째 데이터 배선으로 부극성의 상기 아날로그 영상 신호가 출력되고, 상기 N+1번째 데이터 배선으로 정극성의 상기 아날로그 영상 신호가 출력되는 것이 바람직하다.
- [0044] 또한, 임의의 프레임 동안에 N(N은 자연수)번째 래치로부터 부극성의 상기 영상 신호가 출력되고, N+1번째 래치로부터 정극성의 상기 영상 신호가 출력되는 경우에, N번째 데이터 배선으로 부극성의 상기 아날로그 영상 신호가 출력되고, N+1번째 데이터 배선으로 정극성의 상기 아날로그 영상 신호가 출력될 수 있다.
- [0045] 그리고, 다음 프레임 동안에 상기 N번째 래치로부터 부극성의 상기 영상 신호가 출력되고, 상기 N+1번째 래치로부터 정극성의 상기 영상 신호가 출력되는 경우에, 상기 스위칭 제어 신호에 따라 상기 N번째 데이터 배선으로 정극성의 상기 아날로그 영상 신호가 출력되고, 상기 N+1번째 데이터 배선으로 부극성의 상기 아날로그 영상 신호가 출력되는 것이 바람직하다.

**발명의 효과**

- [0046] 이상 설명한 바와 같이, 본 발명에 따른 액정표시장치에서는, 소스 드라이버의 입력 영상 신호의 극성은 동일하게 유지하면서, 출력 아날로그 영상 신호의 극성은 스위칭 제어 신호에 따라 가변됨에 따라 소비전력을 저감할 수 있다.

**도면의 간단한 설명**

- [0047] 도1은 일반적인 액정표시장치의 부화소영역의 등가회로를 개략적으로 도시한 도면이다.
- 도2는 종래의 수직라인(Column) 반전 방식 액정표시장치의 부화소영역의 데이터 신호의 극성을 도시한 도면이다.
- 도3은 종래의 도트 반전 방식 액정표시장치의 부화소영역의 데이터 신호의 극성을 도시한 도면이다.
- 도4는 본 발명의 바람직한 실시예에 따른 액정표시장치를 개략적으로 도시한 도면이다.
- 도5는 본 발명의 제 1 실시예에 따른 소스 드라이버를 개략적으로 도시한 도면이다.

도6a 및 도6b는 본 발명의 제 1 실시예에 따른 소스 드라이버의 구동을 설명하기 위해 참조되는 도면이다.

도7은 본 발명에 따른 액정패널을 개략적으로 도시한 도면이다.

도8은 본 발명에 따른 액정패널의 구동을 설명하기 위해 참조되는 도면이다.

도9는 본 발명에 따른 데이터 신호의 극성을 도시한 도면이다.

도10은 본 발명의 제 1 실시예에 따른 액정패널의 구동을 프레임 단위로 설명하기 위해 참조되는 도면이다.

도11는 본 발명의 제 2 실시예에 따른 소스 드라이버를 개략적으로 도시한 도면이다.

도12a 및 도12b는 본 발명의 제 2 실시예에 따른 소스 드라이버의 구동을 설명하기 위해 참조되는 도면이다.

도13은 본 발명의 제 2 실시예에 따른 액정패널의 구동을 프레임 단위로 설명하기 위해 참조되는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0048] 이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.
- [0049] 도4는 본 발명의 바람직한 실시예에 따른 액정표시장치를 개략적으로 도시한 도면이고, 도5는 본 발명의 제 1 실시예에 따른 소스 드라이버를 개략적으로 도시한 도면이다.
- [0050] 도4에 도시한 바와 같이, 본 발명에 따른 액정표시장치(100)는, 액정패널(110)과 소스 드라이버(120), 게이트 드라이버(130)와, 소스 드라이버(120) 및 게이트 드라이버(130) 각각의 구동 타이밍을 제어하기 위한 타이밍 제어부(140) 등을 포함할 수 있다.
- [0051] 액정패널(110)은, 다수의 게이트 배선(GL) 및 다수의 데이터 배선(DL)이 서로 교차하여 정의되는 다수의 부화소 영역(SP)을 포함할 수 있으며, 다수의 부화소영역(SP)에는 게이트 배선(GL) 및 데이터 배선(DL)에 연결되는 박막트랜지스터(T), 박막트랜지스터(T)에 연결되는 스토리지 커패시터(Cst) 및 액정셀(Clc)이 형성된다.
- [0052] 박막트랜지스터(T)는 게이트 배선(GL)을 통해 게이트 신호, 즉 게이트 하이 전압(VGH)을 공급 받는 경우 턴-온(Turn-On)됨에 따라 데이터 배선(DL)을 통해 데이터 신호를 액정셀(Clc)에 공급하며, 게이트 배선(GL)을 통해 게이트 로우 전압(VGL)을 공급 받는 경우 턴-오프(Turn-Off)된다.
- [0053] 액정셀(Clc)은 등가적으로 캐패시터로 표현되며, 액정을 사이에 두고 대면하는 공통 전극(미도시)과 박막트랜지스터(T)에 접속된 화소전극(미도시)으로 구성된다.
- [0054] 이러한 액정셀(Clc)은 박막트랜지스터(T)를 통해 충전되는 데이터 신호에 따라 액정의 배열 상태가 가변하여 광투과율을 조절함으로써 계조를 구현하게 된다.
- [0055] 그리고, 스토리지 캐패시터(Cst)는, 액정셀(Clc)에 충전된 데이터 신호를 다음 프레임까지 유지시키는 역할을 한다.
- [0056] 소스 드라이버(120)는 액정패널(110)로 데이터 신호를 공급하는 적어도 하나의 드라이버 IC(미도시)를 포함할 수 있다.
- [0057] 소스 드라이버(120)는 타이밍 제어부(140)로부터 전달 받은 다수의 데이터 제어 신호 및 영상 신호를 이용하여 데이터 신호를 생성하고, 생성한 데이터 신호를 다수의 데이터 배선(DL)을 통해 액정패널(110)로 공급한다.
- [0058] 도5에 도시한 바와 같이, 본 발명의 제 1 실시예에 따른 소스 드라이버(120)는, 쉬프트 레지스터(122)와 래치부(124)와 디지털 아날로그 변환부(126)와 제 2 멀티플렉스부(128)를 포함한다.
- [0059] 쉬프트 레지스터(122)는 타이밍 제어부(140)로부터 전달 받은 소스 스타트 펄스(SSP), 소스 쉬프트 클럭(SSC) 등과 같은 다수의 데이터 제어신호 등을 이용하여 샘플링 신호를 생성한다.
- [0060] 래치부(124)는 쉬프트 레지스터(122)로부터의 샘플링 신호에 따라 영상 신호를 순차적으로 샘플링하여 래치하며, 제 1 래치부(124a)와 제 1 멀티플렉스부(124c)와 제 2 래치부(124b)로 구성된다.
- [0061] 제 1 래치부(124a)는 영상 신호를 샘플링하여 래치하며, 다수의 영상 신호를 래치하기 위한 다수의 래치로 이루어진다.

- [0062] 예를 들어, 제 K (K는 자연수)번째 래치가 정극성의 영상 신호를 래치하는 경우에, 제 K+1 번째 래치는 부극성의 영상 신호를 래치하여 공급할 수 있고, 반대로 제 K 번째 래치가 부극성의 영상 신호를 래치하는 경우에, 제 K+1 번째 래치는 정극성의 영상 신호를 래치하여 공급할 수 있다.
- [0063] 제 1 멀티플렉스부(124c)는 제 1 래치부(124a)로부터 전달 받은 정극성 또는 부극성의 영상 신호를 각각의 극성에 따라 선택적으로 디지털 아날로그 변환부(126)로 전달하도록 제어할 수 있다.
- [0064] 다시 말해서, 제 1 멀티플렉스부(124c)는 제 1 래치부(124a)로부터 전달 받은 정극성 또는 부극성의 영상 신호를 각각 정극성 디지털 아날로그 변환기(도6a의 PDAC)와 부극성 디지털 아날로그 변환기(도6a의 NDAC)로 입력되도록 제어할 수 있다. 이와 관련해서는 도 6a 및 도6b에서 자세히 살펴보기로 한다.
- [0065] 제 2 래치부(124b)는, 제 1 멀티플렉스부(124c)로부터 전달 받은 다수의 영상 신호(정극성 또는 부극성의 영상 신호)를 동시에 디지털 아날로그 변환부(126)로 공급하는 역할을 한다.
- [0066] 한편, 디지털 아날로그 변환부(Digital to Analog Converter)(126)는, 정극성 디지털 아날로그 변환기(PDAC) 및 부극성 디지털 아날로그 변환기(NDAC)와 버퍼부(미도시)를 포함한다.
- [0067] 정극성 디지털 아날로그 변환기(PDAC)는 래치부(124)의 정극성 출력 배선을 통해 입력된 정극성의 영상 신호를 정극성 아날로그 영상 신호로 변환하여 출력하고, 부극성 디지털 아날로그 변환기(NDAC)는 래치부(124)의 부극성 출력 배선을 통해 입력된 부극성의 영상 신호를 부극성 아날로그 영상 신호로 변환하여 출력한다.
- [0068] 그리고, 버퍼부는, 정극성 아날로그 영상 신호 또는 부극성 아날로그 영상 신호를 각각 출력하는 다수의 버퍼(PBF, NBF)로 구성된다.
- [0069] 예를 들어, 정극성 디지털 아날로그 변환기(PDAC)로부터 전달 받은 정극성 아날로그 영상 신호는 정극성 버퍼(PBF)로 출력되고, 부극성 디지털 아날로그 변환기(NDAC)로부터 전달 받은 부극성 아날로그 영상 신호는 부극성 버퍼(NBF)로 출력될 수 있다.
- [0070] 제 2 멀티플렉스부(128)는 디지털 아날로그 변환기(126)로부터 전달 받은 정극성 또는 부극성의 아날로그 영상 신호를 각각의 극성에 따라 선택적으로 출력하도록 제어할 수 있다. 제 1 멀티플렉스부(124c)와 제 2 멀티플렉스부(128)에 관련해서는 도 6a 및 도6b에서 자세히 살펴보기로 한다.
- [0071] 다시 도 4 를 참조하면, 게이트 드라이버(130)는 GIP(Gate In Panel)방식 등으로 형성될 수 있으며, 타이밍 제어부(140)로부터 전달 받은 다수의 게이트 제어신호를 이용하여 게이트신호를 생성하고, 생성된 게이트신호를 다수의 게이트 배선(GL)을 통해 액정패널(110)로 공급할 수 있다.
- [0072] 다시 말해서, 게이트 드라이버(130)는 게이트 스타트 신호(GSP) 및 게이트 클럭 신호(GCLK) 등에 의해 게이트 신호의 출력 타이밍이 결정되고, 해당 타이밍에 순차적으로 게이트 신호를 다수의 게이트 배선(GL)를 통해 액정패널(110)로 공급할 수 있다.
- [0073] 타이밍 제어부(140)는 그래픽 카드와 같은 시스템으로부터 수직동기신호(VSY), 수평동기신호(HSY), 데이터 인에이블 신호(DE) 등과 같은 다수의 제어신호를 전달 받아 게이트 드라이버(130) 및 소스 드라이버(120)의 동작 타이밍을 제어하기 위한 다수의 게이트 제어신호, 다수의 데이터제어신호를 각각 생성하여 해당 드라이버로 공급할 수 있다.
- [0074] 예를 들어, 타이밍 제어부(140)는, 소스 스타트 펄스(SSP), 소스 쉬프트 클럭(SSC), 소스 출력 인에이블(SOE) 등과 같은 다수의 데이터 제어신호 등을 생성하여 소스 드라이버(120)의 적어도 하나의 드라이버 IC로 공급할 수 있다.
- [0075] 그리고, 타이밍 제어부(140)는 다수의 데이터 제어신호와 함께 영상 신호(RGB)를 소스 드라이버(120)에 공급하여 소스 드라이버(120)가 영상 신호(RGB) 및 다수의 데이터 제어신호를 이용하여 데이터 신호를 생성하고, 생성된 데이터 신호를 액정패널(110)의 다수의 데이터배선(DL)에 공급하도록 제어할 수 있다.
- [0076] 도6a 및 도6b는 본 발명의 제 1 실시예에 따른 소스 드라이버의 구동을 설명하기 위해 참조되는 도면이다.
- [0077] 도6a에 도시한 바와 같이, 제 N 번째 프레임 동안에 제 1 래치부(124a)의 첫 번째 래치로부터 정극성의 영상 신호(D1+)가 출력되는 경우에는 제 1 멀티플렉스부(124c)를 통해 제 2 래치부(124b)의 첫 번째 래치로 정극성의 영상 신호(D1+)가 입력될 수 있다.

- [0078] 그리고, 제 1 래치부(124a)의 두 번째 래치로부터 부극성의 영상 신호(D2-)가 출력되는 경우에는 제 1 멀티플렉스부(124c)를 통해 제 2 래치부(124b)의 두 번째 래치로 부극성의 영상 신호(D2-)가 입력될 수 있다.
- [0079] 제 2 래치부(124b)의 첫 번째 래치의 출력인 정극성의 영상 신호(D1+)은 정극성 디지털 아날로그 변환기(PDAC)로 입력되어 정극성의 아날로그 영상 신호(D1+)로 변환되고, 제 1 래치부(124a)의 두 번째 래치의 출력인 부극성의 영상 신호(D2-)는 부극성 디지털 아날로그 변환기(NDAC)로 입력되어 부극성의 아날로그 영상 신호(D2-)로 변환될 수 있다.
- [0080] 그리고, 정극성의 아날로그 영상 신호(D1+) 및 부극성의 아날로그 영상 신호(D2-)는 출력 버퍼를 통해 제 2 멀티플렉스부(128)로 입력되고, 정극성의 아날로그 영상 신호(D1+)는 첫 번째 데이터 배선(D1)으로 출력되고, 부극성의 아날로그 영상 신호(D2-)는 두 번째 데이터 배선(D2)으로 출력될 수 있다.
- [0081] 반면에, 도6b에 도시한 바와 같이, 제 N+1 번째 프레임 동안에 제 1 래치부(124a)의 첫 번째 래치로부터 부극성의 영상 신호(D1-)가 출력되는 경우에는 제 1 멀티플렉스부(124c)를 통해 제 2 래치부(124b)의 두 번째 래치로 부극성의 영상 신호(D1-)가 입력될 수 있다.
- [0082] 그리고, 제 1 래치부(124a)의 두 번째 래치로부터 정극성의 영상 신호(D2+)가 출력되는 경우에는 제 1 멀티플렉스부(124c)를 통해 제 2 래치부(124b)의 첫 번째 래치로 정극성의 영상 신호(D2+)가 입력될 수 있다.
- [0083] 그리고, 정극성의 아날로그 영상 신호(D2+) 및 부극성의 아날로그 영상 신호(D1-)는 출력 버퍼를 통해 제 2 멀티플렉스부(128)로 입력되고, 멀티플렉스부의 선택에 의해 정극성의 아날로그 영상 신호(D2+)는 두 번째 데이터 배선(D2)으로 출력될 수 있고, 부극성의 아날로그 영상 신호(D1-)는 첫 번째 데이터 배선(D1)으로 출력될 수 있다.
- [0084] 도7은 본 발명에 따른 액정패널을 개략적으로 도시한 도면이고, 도8은 본 발명에 따른 액정패널의 구동을 설명하기 위해 참조되는 도면이고, 도9는 본 발명에 따른 데이터 신호의 극성을 도시한 도면이고, 도10은 본 발명의 제 1 실시예에 따른 액정패널의 구동을 프레임 단위로 설명하기 위해 참조되는 도면이다.
- [0085] 도7에 도시한 바와 같이, 본 발명에 따른 액정패널은, 다수의 부화소영역(SP)을 포함한다.
- [0086] 다수의 부화소영역(SP)은, 예를 들어, 적, 녹, 청 부화소영역(SP)일 수 있으며, 가로방향(수평방향)으로 순차적으로 배치될 수 있다.
- [0087] 그리고, 다수의 부화소영역(SP)에는 다수의 게이트 배선 및 다수의 데이터 배선에 연결되는 박막트랜지스터 등이 형성될 수 있다.
- [0088] 이러한 박막트랜지스터는 게이트 배선을 통해 전달 받은 게이트 신호에 의해 턴-온(Turn-On)되고, 턴-온(Turn-On) 시간 동안에 데이터 배선(DL)을 통해 데이터 신호를 액정셀에 공급할 수 있다.
- [0089] 본 발명에 따른 액정패널에서의 박막트랜지스터는, 제 1 박막트랜지스터와 제 2 박막트랜지스터로 구분될 수 있다.
- [0090] 여기서, 제 1 박막 트랜지스터를 포함하는 부화소영역(SP)은 좌측의 데이터 배선(홀수 번째 데이터배선)을 통해 데이터 신호를 인가 받을 수 있고, 제 2 박막트랜지스터를 포함하는 부화소영역(SP)은 우측의 데이터 배선(짝수 번째 데이터배선)을 통해 데이터 신호를 인가 받을 수 있다.
- [0091] 그리고, 동일한 게이트 배선과 연결되는 박막트랜지스터는 동일하게 제 1 박막트랜지스터이거나 제 2 박막트랜지스터일 수 있다.
- [0092] 예를 들어, 첫 번째 게이트 배선(G1)과 연결되는 제 2 박막트랜지스터는, 우측의 데이터 배선(D2, D4, D6)을 통해 데이터 신호를 인가 받을 수 있다.
- [0093] 그리고, 두 번째 게이트 배선(G2)과 연결되는 제 1 박막트랜지스터는, 좌측의 데이터 배선(D1, D3, D5)을 통해 데이터 신호를 인가 받을 수 있다.
- [0094] 반면에, 첫 번째 게이트 배선(G1)과 제 1 박막트랜지스터는, 좌측의 데이터 배선(D1, D3, D5)을 통해 데이터 신호를 인가 받을 수 있다.
- [0095] 그리고, 두 번째 게이트 배선(G2)과 연결되는 제 2 박막트랜지스터는, 우측의 데이터 배선(D2, D4, D6)을 통해

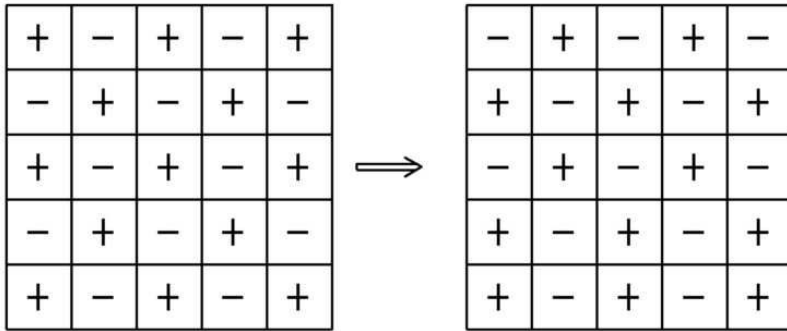
데이터 신호를 인가 받을 수 있다.

- [0096] 도8에 도시한 바와 같이, 본 발명에 따른 액정패널에서의 영상 신호의 파형은 종래의 수직라인(Column) 반전 방식과 동일하다.
- [0097] 하지만, 액정패널의 박막트랜지스터를 제 1 및 제 2 박막트랜지스터를 이용하여 표시되는 데이터 신호의 극성은 도9에 도시한 바와 같이, 도트 반전 방식과 동일하다.
- [0098] 이러한 반전 구동 방식을 Z-반전 방식이라 하며, 화질 측면에서의 도트 반전 방식의 특성을 유지하되, 소비전력 측면에서는 한 프레임 동안에 동일한 극성의 데이터 신호가 인가되도록 하여 수직라인(Column) 반전 방식 특성으로 구동하여 양 방식의 장점을 결합한 방식이라 할 수 있다.
- [0099] 하지만, 본 발명에 따른 액정패널의 구동에서도 다른 반전 구동 방식에서와 같이 프레임 별로 극성을 반전하여 인가된다.
- [0100] 도10에 도시한 바와 같이, 제 N 번째 프레임 동안에 제 1 및 제 3 데이터 배선(D1, D3)을 통해 인가되는 데이터 신호의 극성은 (+)이고, 제 N+1 번째 프레임 동안에 제 1 및 제 3 데이터 배선(D1, D3)을 통해 인가되는 데이터 신호의 극성은 반전되어 (-)이다.
- [0101] 마찬가지로, 제 N 번째 프레임 동안에 제 2 및 제 4 데이터 배선(D2, D4)을 통해 인가되는 데이터 신호의 극성은 (-)이고, 제 N+1 번째 프레임 동안에 제 2 및 제 4 데이터 배선(D2, D4)을 통해 인가되는 데이터 신호의 극성은 반전되어 (+)이다.
- [0102] 따라서, Z-반전 방식을 사용하는 경우에는 종래의 수직라인(Column) 반전 방식과 유사한 정도의 소비전력을 유지할 수 있으나, 여전히 프레임 단위로 데이터 신호의 극성을 반전하는데 소비되는 소비전력 문제가 존재한다.
- [0103] 도11은 본 발명의 제 2 실시예에 따른 소스 드라이버를 개략적으로 도시한 도면이고, 도12a 및 도12b는 본 발명의 제 2 실시예에 따른 소스 드라이버의 구동을 설명하기 위해 참조되는 도면이다.
- [0104] 도11에 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 소스 드라이버(220)는, 쉬프트 레지스터(222)와 래치부(224)와 디지털 아날로그 변환부(226)와 멀티플렉스부(228)를 포함한다.
- [0105] 쉬프트 레지스터(222)는 타이밍 제어부(도4의 140)로부터 전달 받은 소스 스타트 펄스(SSP), 소스 쉬프트 클럭(SSC) 등과 같은 다수의 데이터 제어신호 등을 이용하여 샘플링 신호를 생성한다.
- [0106] 래치부(224)는 쉬프트 레지스터(222)로부터의 샘플링 신호에 따라 영상 신호를 순차적으로 샘플링하여 래치하며, 제 1 래치부(224a)와 제 2 래치부(224b)로 구성된다.
- [0107] 제 1 래치부(224a)는 영상 신호를 샘플링하여 래치하며, 다수의 영상 신호를 래치하기 위한 다수의 래치로 이루어진다.
- [0108] 예를 들어, 제 K (K는 자연수)번째 래치가 정극성의 영상 신호를 래치하는 경우에, 제 K+1 번째 래치는 부극성의 영상 신호를 래치하여 공급할 수 있고, 반대로 제 K 번째 래치가 부극성의 영상 신호를 래치하는 경우에, 제 K+1 번째 래치는 정극성의 영상 신호를 래치하여 공급할 수 있다.
- [0109] 제 2 래치부(224b)는, 제 1 래치부(224a)로부터 전달 받은 다수의 영상 신호(정극성 또는 부극성의 영상 신호)를 동시에 디지털 아날로그 변환부(226)로 공급하는 역할을 한다.
- [0110] 한편, 디지털 아날로그 변환부(Digital to Analog Converter)(226)는, 정극성 디지털 아날로그 변환기(도12a의 PDAC)와 부극성 디지털 아날로그 변환기(도12a의 NDAC)와 버퍼부(도12a의 226b)를 포함한다.
- [0111] 정극성 디지털 아날로그 변환기(PDAC)는 래치부(224)의 정극성 출력 배선을 통해 입력된 정극성의 영상 신호를 정극성 아날로그 영상 신호로 변환하여 출력하고, 부극성 디지털 아날로그 변환기(NDAC)는 래치부(224)의 부극성 출력 배선을 통해 입력된 부극성의 상기 영상 신호를 부극성 아날로그 영상 신호로 변환하여 출력한다.
- [0112] 그리고, 버퍼부는, 정극성 아날로그 영상 신호 또는 부극성 아날로그 영상 신호를 각각 출력하는 다수의 버퍼(PBF, NBF)로 구성된다.

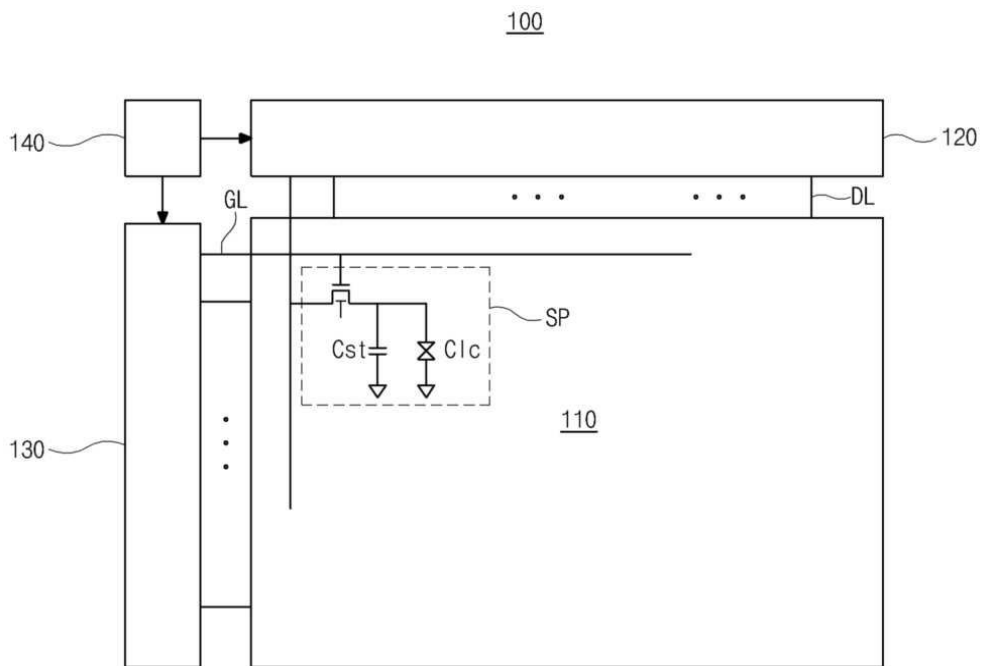
- [0113] 예를 들어, 정극성 디지털 아날로그 변환기(PDAC)로부터 전달 받은 정극성 아날로그 영상 신호는 정극성 버퍼(PBF)로 출력되고, 부극성 디지털 아날로그 변환기(NDAC)로부터 전달 받은 부극성 아날로그 영상 신호는 부극성 버퍼(NBF)로 출력될 수 있다.
- [0114] 멀티플렉스부(228)는 디지털 아날로그 변환기(226)로부터 전달 받은 정극성 또는 부극성의 아날로그 영상 신호를 스위칭 제어 신호에 따라 선택적으로 출력하도록 제어할 수 있다.
- [0115] 여기서, 스위칭 제어 신호는 디지털 아날로그 변환기(226)의 출력을 입력되는 순서대로 그대로 출력하거나 쉬프트하여 출력하도록 제어하는 신호를 말한다.
- [0116] 예를 들어, 스위칭 제어 신호는 프레임 단위로 디지털 아날로그 변환기(226)의 출력을 입력되는 순서대로 그대로 출력하거나 쉬프트하여 출력하도록 제어할 수 있다.
- [0117] 도12a에 도시한 바와 같이, 제 N 번째 프레임 동안에 제 1 래치부(224a)의 첫 번째 래치로부터 정극성의 영상 신호(D1+)가 출력되며, 제 2 래치부(224b)의 첫 번째 래치로도 정극성의 영상 신호(D1+)가 입력될 수 있다.
- [0118] 그리고, 제 1 래치부(224a)의 두 번째 래치로부터 부극성의 영상 신호(D2-)가 출력되는 경우에는 제 2 래치부(224b)의 두 번째 래치로도 부극성의 영상 신호(D2-)가 입력될 수 있다.
- [0119] 제 2 래치부(224b)의 첫 번째 래치의 출력인 정극성의 영상 신호(D1+)은 정극성 디지털 아날로그 변환기(PDAC)로 입력되어 정극성의 아날로그 영상 신호(D1+)로 변환되고, 제 1 래치부(224a)의 두 번째 래치의 출력인 부극성의 영상 신호(D2-)는 부극성 디지털 아날로그 변환기(NDAC)로 입력되어 부극성의 아날로그 영상 신호(D2-)로 변환될 수 있다.
- [0120] 그리고, 정극성의 아날로그 영상 신호(D1+) 및 부극성의 아날로그 영상 신호(D2-)는 출력 버퍼를 통해 멀티플렉스부(228)로 입력되고, 정극성의 아날로그 영상 신호(D1+)는 첫 번째 데이터 배선(D1)으로 출력되고, 부극성의 아날로그 영상 신호(D2-)는 두 번째 데이터 배선(D2)으로 출력될 수 있다.
- [0121] 반면에, 도12b에 도시한 바와 같이, 제 N+1 번째 프레임 동안에도 제 N 번째 프레임 동안과 마찬가지로, 제 1 래치부(224a)의 첫 번째 래치로부터 정극성의 영상 신호(D1+)가 출력되며, 제 2 래치부(224b)의 첫 번째 래치로도 정극성의 영상 신호(D1+)가 입력될 수 있다.
- [0122] 그리고, 제 1 래치부(224a)의 두 번째 래치로부터 부극성의 영상 신호(D2-)가 출력되는 경우에는 제 2 래치부(224b)의 두 번째 래치로도 부극성의 영상 신호(D2-)가 입력될 수 있다.
- [0123] 그리고, 정극성의 아날로그 영상 신호(D1+) 및 부극성의 아날로그 영상 신호(D2-)는 출력 버퍼를 통해 멀티플렉스부(228)로 입력되고, 스위칭 제어 신호에 따라 정극성의 아날로그 영상 신호(D1+)는 두 번째 데이터 배선(D2)으로 출력될 수 있고, 부극성의 아날로그 영상 신호(D2-)는 세 번째 데이터 배선(D3)으로 출력될 수 있다.
- [0124] 여기서, 스위칭 제어 신호는 디지털 아날로그 변환기(226)의 출력을 입력되는 순서대로 그대로 출력하거나 쉬프트하여 출력하도록 제어하는 신호를 말한다.
- [0125] 예를 들어, 제 N 번째 프레임 동안에 정극성의 아날로그 영상 신호(D1+)는 첫 번째 데이터 배선(D1)으로 출력된 경우에는 스위칭 제어 신호에 의해 제 N+1 번째 프레임 동안에는 정극성의 아날로그 영상 신호(D1+)가 두 번째 데이터 배선(D2)으로 출력될 수 있다.
- [0126] 이때, 첫 번째 데이터 배선(D1)으로는, 예를 들어, 부극성의 아날로그 영상 신호(D960-)가 출력될 수 있다.
- [0127] 여기서, D960은 960 번째 데이터 배선으로 마지막 데이터 배선을 의미하는데, 데이터 배선의 숫자는 액정패널의 크기 등에 따라 달라질 수 있다.
- [0128] 도13은 본 발명의 제 2 실시예에 따른 액정패널의 구동을 프레임 단위로 설명하기 위해 참조되는 도면이다.
- [0129] 도13에 도시한 바와 같이, 제 N 번째 프레임 동안에 제 1 및 제 3 데이터 배선(D1, D3)을 통해 인가되는 데이터 신호의 극성은 (+)이고, 제 N+1 번째 프레임 동안에도 제 1 및 제 3 데이터 배선(D1, D3)을 통해 인가되는 데이터 신호의 극성은 반전됨이 없이 (+)이다.
- [0130] 마찬가지로, 제 N 번째 프레임 동안에 제 2 및 제 4 데이터 배선(D2, D4)을 통해 인가되는 데이터 신호의 극성은 (-)이고, 제 N+1 번째 프레임 동안에 제 2 및 제 4 데이터 배선(D2, D4)을 통해 인가되는 데이터 신호의 극



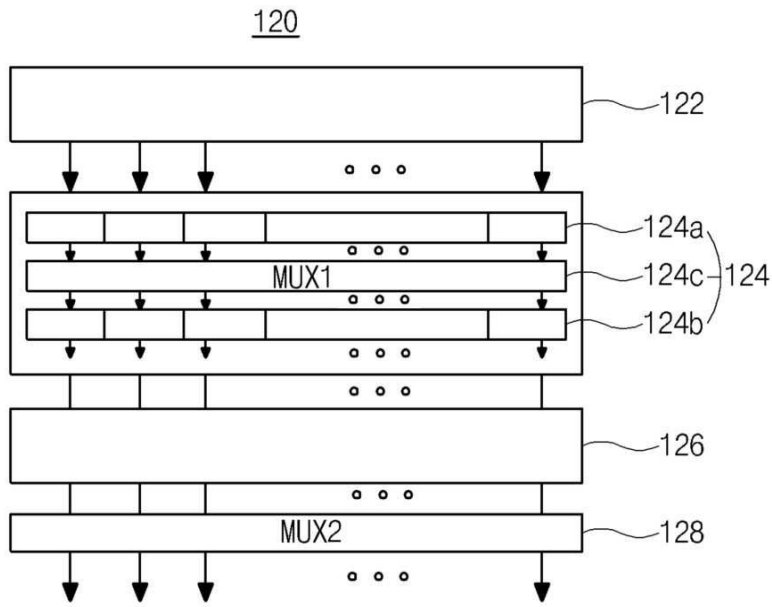
도면3



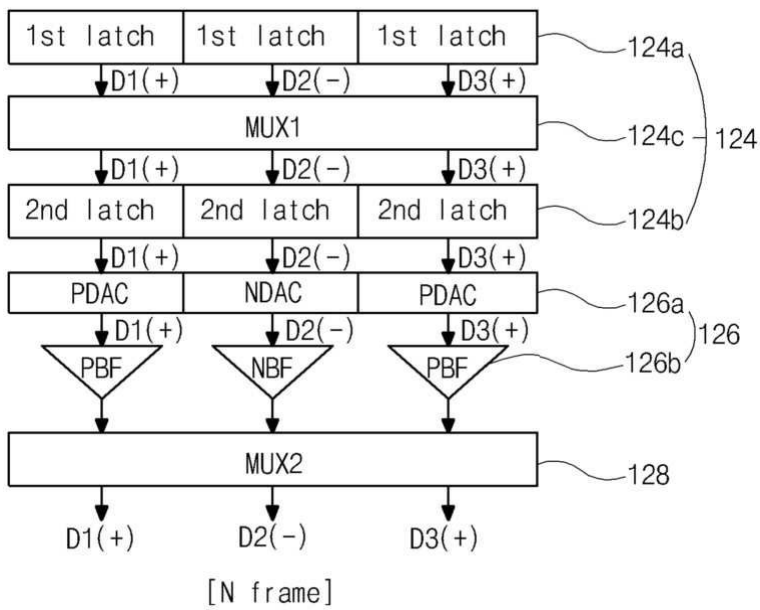
도면4



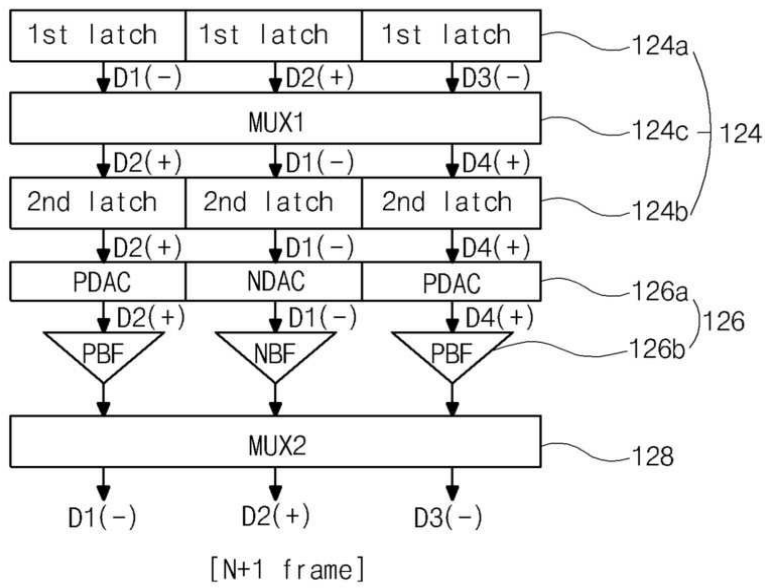
도면5



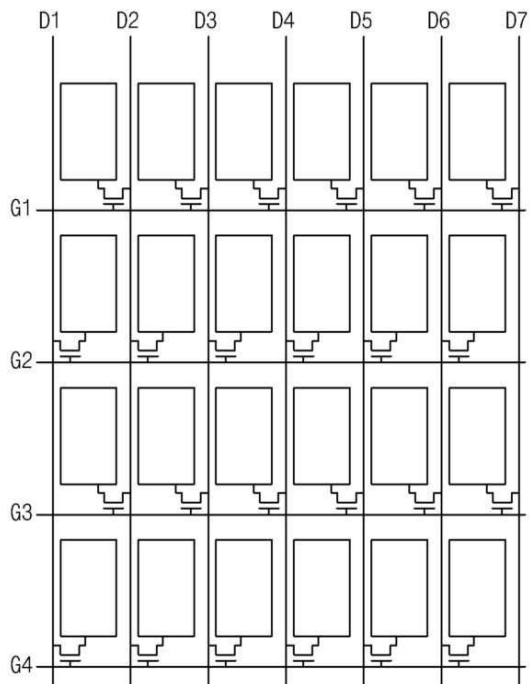
도면6a



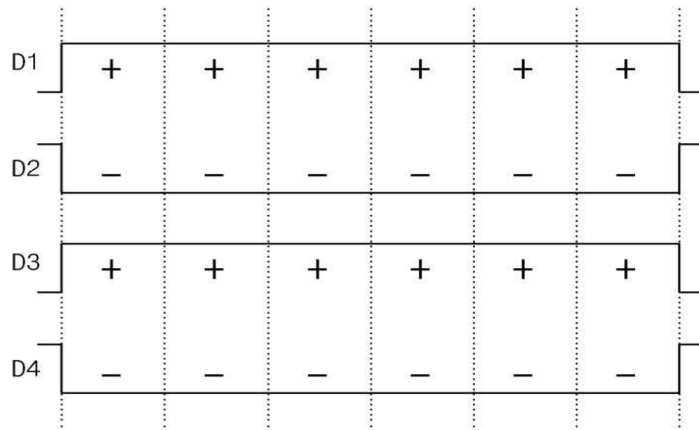
도면6b



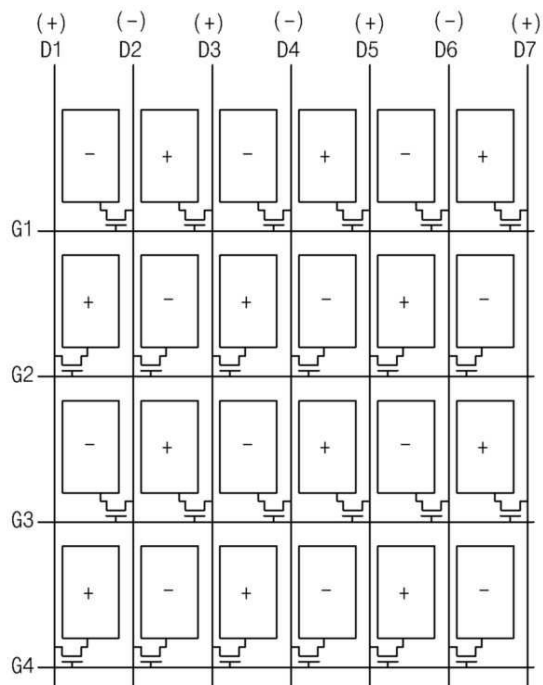
도면7



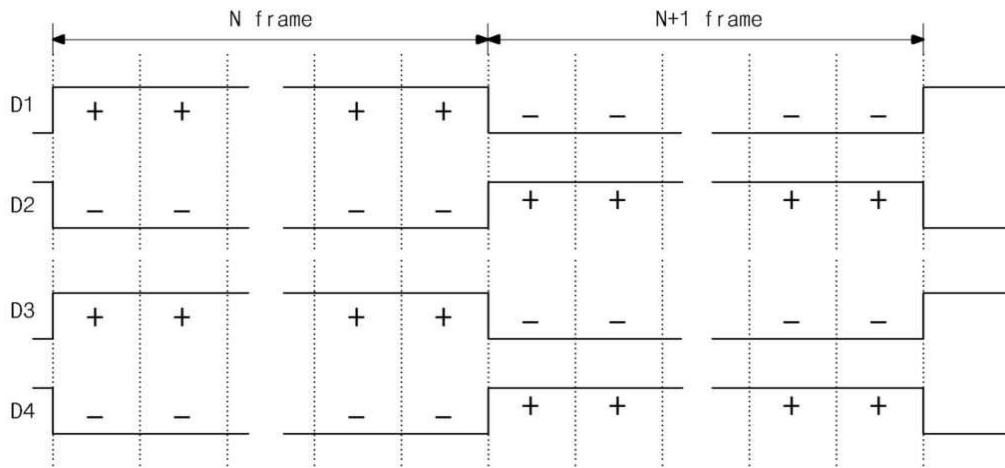
도면8



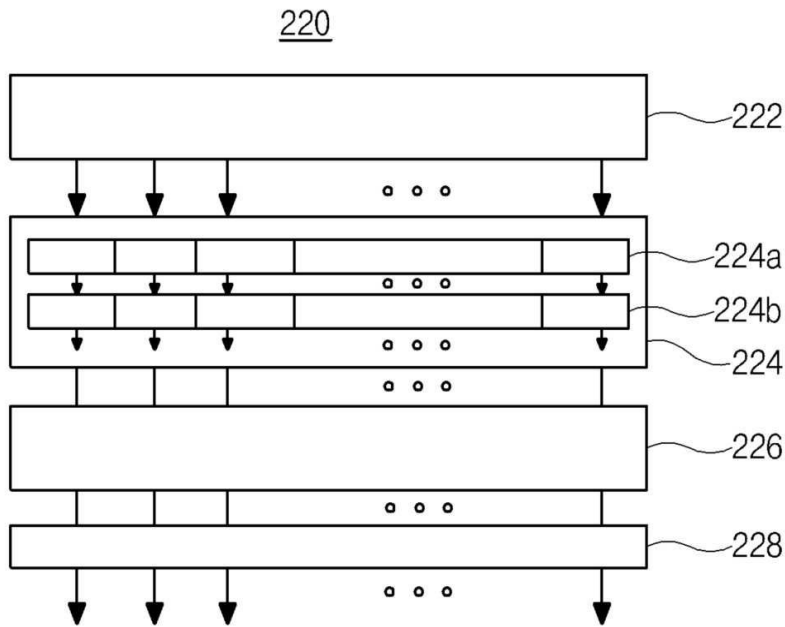
도면9



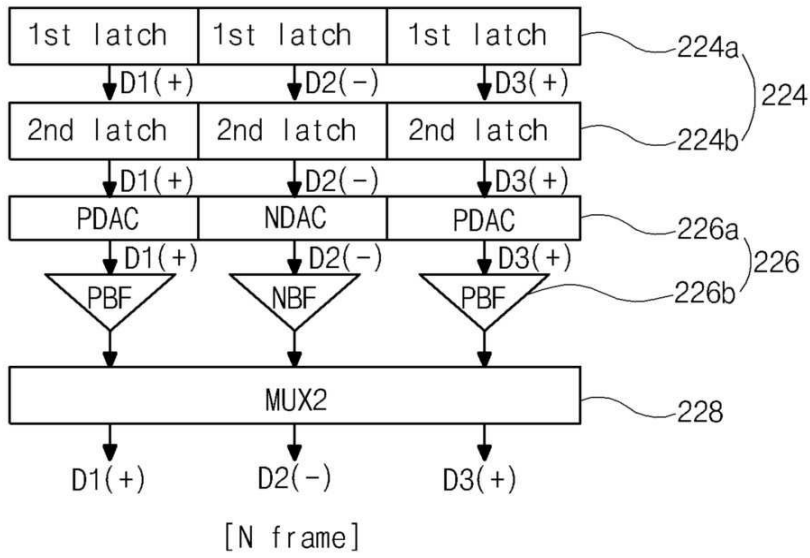
도면10



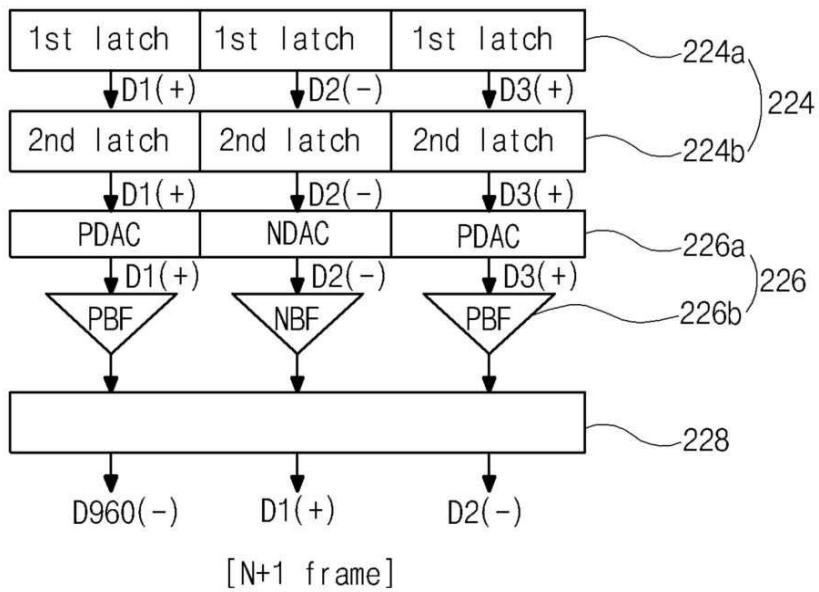
도면11



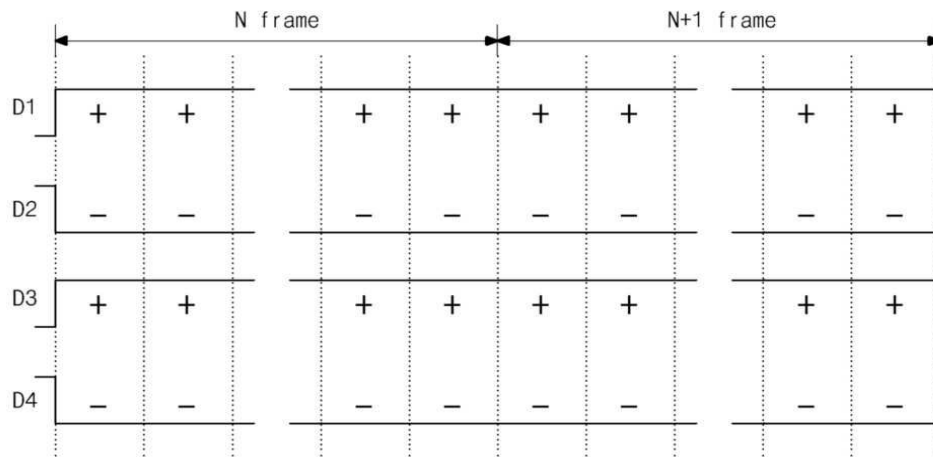
도면12a



도면12b



도면13



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">KR1020130010576A</a>	公开(公告)日	2013-01-29
申请号	KR1020110071285	申请日	2011-07-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN SEUNG HWAN 신승환 HEO SEUNG HO 허승호 OH DAE SEOK 오대석		
发明人	신승환 허승호 오대석		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3688 G09G3/3614 G09G2300/0828 G09G2310/0297 G09G2330/00		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

液晶显示器及其驱动方法本发明涉及液晶显示器及其驱动方法。多条栅极线和多条数据线彼此交叉并限定多个子像素区域，以及薄膜晶体管，连接到多条栅极线和多条数据线并形成在多个子栅极线中的每一个中一种驱动液晶显示装置的方法，包括：将根据采样信号采样和锁存的视频信号顺序转换为模拟视频信号并以N(N为自然数)输出转换后的模拟视频信号的步骤并且在第(N+1)帧中移位并输出相同的内容。

