



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0137179
(43) 공개일자 2012년12월20일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2011-0056540

(22) 출원일자 2011년06월10일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

홍영은

서울특별시 동작구 여의대방로 22, 3동 505호 (신대방동, 우성아파트)

장진희

대구광역시 수성구 달구벌대로 3110, 101동 1309호 (시지동, 아이프라이프 시지)

(74) 대리인

서교준

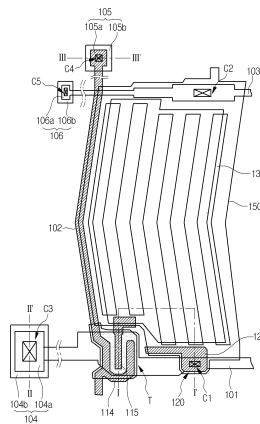
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 액정표시장치용 어레이 기판 및 이의 제조 방법

(57) 요약

본 발명은 다수의 화소 영역을 갖는 기판; 상기 기판의 각 화소 영역에 배치된 박막트랜지스터; 상기 기판의 각 화소 영역에 배치되며, 상기 박막트랜지스터와 전기적으로 연결된 화소전극; 상기 박막트랜지스터 및 상기 화소전극을 포함한 기판 상에 배치된 보호막; 상기 보호막 상에 배치되며 상기 화소전극과 액정을 구동하기 위한 전계를 형성하는 공통전극; 및 상기 공통전극과 병렬로 연결되어 상기 공통전극의 저항을 낮추는 리턴단시 패턴부;를 포함하는 액정표시장치용 어레이 기판 및 이의 제조 방법을 개시한다.

대표도 - 도1



특허청구의 범위

청구항 1

다수의 화소 영역을 갖는 기관;
 상기 기관의 각 화소 영역에 배치된 박막트랜지스터;
 상기 기관의 각 화소 영역에 배치되며, 상기 박막트랜지스터와 전기적으로 연결된 화소전극;
 상기 박막트랜지스터 및 상기 화소전극을 포함한 기관 상에 배치된 보호막;
 상기 보호막 상에 배치되며 상기 화소전극과 액정을 구동하기 위한 전계를 형성하는 공통전극; 및
 상기 공통전극과 병렬로 연결되어 상기 공통전극의 저항을 낮추는 리턴던시 패턴부;
 를 포함하는 액정표시장치용 어레이 기관.

청구항 2

제 1 항에 있어서,
 상기 리턴던시 패턴부는,
 상기 기관 상에 배치된 리턴던시 게이트 패턴;
 상기 게이트 패턴을 포함한 상기 기관 상에 배치된 게이트 절연막;
 상기 게이트 패턴상의 상기 게이트 절연막 상에 배치된 리턴던시 반도체 패턴; 및
 상기 리턴던시 반도체 패턴 상에 배치된 리턴던시 금속 패턴;
 을 포함하는 액정표시장치용 어레이 기관.

청구항 3

제 2 항에 있어서,
 상기 리턴던시 금속 패턴은 상기 박막트랜지스터의 소스 및 드레인 전극과 동일한 재질로 형성된 액정표시장치용 어레이 기관.

청구항 4

제 2 항에 있어서,
 상기 리턴던시 반도체 패턴은 상기 박막트랜지스터의 반도체 패턴과 동일한 재질로 형성된 액정표시장치용 어레이 기관.

청구항 5

제 2 항에 있어서,
 상기 게이트 패턴은 상기 화소 영역을 정의하는 게이트 배선과 데이터 배선 중 상기 게이트 배선과 연결된 액정표시장치용 어레이 기관.

청구항 6

제 2 항에 있어서,

상기 게이트 패턴은 상기 게이트 배선과 일체로 형성된 액정표시장치용 어레이 기판.

청구항 7

제 1 항에 있어서,

상기 공통전극의 일부가 연장되어 상기 리턴던시 패턴부와 전기적으로 연결되는 액정표시장치용 어레이 기판.

청구항 8

다수의 화소 영역을 갖는 기판을 제공하는 단계;

상기 기판의 각 화소 영역에 배치된 화소 전극, 상기 화소전극과 전기적으로 연결된 박막트랜지스터와 상기 박막트랜지스터와 이격된 리턴던시 패턴부를 형성하는 단계;

상기 화소전극, 상기 박막트랜지스터 및 상기 리턴던시 패턴부를 포함한 기판 상에 배치된 보호막을 형성하는 단계; 및

상기 보호막 상에 배치되며 상기 리턴던시 패턴부와 병렬로 연결되고 상기 화소전극과 액정을 구동하기 위한 전계를 형성하는 공통전극을 형성하는 단계;

를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 박막트랜지스터 및 상기 리턴던시 패턴부를 형성하는 단계는

상기 기판 상에 서로 이격된 게이트 전극과 게이트 패턴을 형성하는 단계;

상기 게이트 전극 및 게이트 패턴을 포함한 상기 기판 상에 게이트 절연막을 형성하는 단계;

상기 게이트 전극 및 상기 게이트 패턴 상에 각각 반도체 패턴 및 리턴던시 반도체 패턴을 형성하는 단계; 및

상기 반도체 패턴 및 상기 리턴던시 패턴 상에 각각 소스/드레인 전극 및 리턴던시 금속 패턴을 형성하는 단계;

를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 게이트 패턴은 상기 화소 영역을 정의하는 게이트 배선과 데이터 배선 중 상기 게이트 라인과 전기적으로 연결된 액정표시장치용 어레이 기판의 제조 방법.

청구항 11

제 9 항에 있어서,

상기 게이트 패턴과 상기 게이트 배선은 일체로 형성된 액정표시장치용 어레이 기판의 제조 방법.

청구항 12

제 9 항에 있어서,

상기 리턴던시 패턴부와 상기 공통전극은 상기 공통전극의 연장부에 의해 서로 전기적으로 연결하는 액정표시장치용 어레이 기판의 제조 방법.

명세서**기술 분야**

[0001] 본 발명은 액정표시장치에 관한 것으로, 단일 화소 영역 내에서 공통전극의 저항을 감소시킬 수 있는 액정표시장치용 어레이 기판 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 액정표시장치는 저소비 전력으로 구동될 뿐만 아니라 박형화의 가능성으로 최근 디스플레이 산업분야에서 널리 이용되고 있다.

[0003] 액정표시장치는 액정을 사이에 두고 서로 대응된 컬러필터 기판과 박막트랜지스터 기판을 포함한다. 여기서, 컬러필터 기판과 박막트랜지스터 기판에 각각 배치된 전극에 전압이 인가될 경우, 인가된 전압 차에 의해 형성된 상하의 수직적 전기장이 액정 분자의 방향을 제어한다. 이때, 액정 분자의 방향에 따라, 액정을 투과하는 광의 투과율이 조절되어 액정표시장치는 영상을 표시하게 된다.

[0004] 이와 같이, 액정표시장치가 상하의 수직적 전기장에 의해 액정을 구동하는 방식을 채택할 경우, 시야각 특성이 저하되는 문제점이 있었다. 이를 해결하기 위해, 수평적 전기장을 이용하는 횡전계(In-Plane Switching ; IPS)에 의한 액정 구동 방법 또는 프린지 필드에 의한 액정 구동 방법이 제안되고 있다.

[0005] 여기서, 횡전계 또는 프린지 필드를 이용한 액정표시장치는 화소영역에 화소전극과 공통전극을 구비한다. 여기서, 각 화소 영역에 배치된 공통전극은 공통배선에 의해 서로 전기적으로 연결되어 있다. 이때, 공통전극은 다른 도전 재질에 비해 높은 전기 저항을 갖는 ITO로 형성될 수 있어, 공통전극의 저항은 증가될 수 있다. 여기서, 공통전극의 저항 성분에 의해 액정패널의 일 지점으로 최초로 입력된 공통전압은 다른 지점으로 전달됨에 따라 감소될 수 있다. 이와 같은 공통 전압의 감소는 소비 전력을 증가시킬 뿐만 아니라 영상을 표시할 때 전체적으로 화면 전체가 녹색에 가깝게 나타내는 그리니쉬(greenish) 현상과 셋 다운 크로스 토크 현상을 초래하여, 화질을 저하시킬 수 있다.

발명의 내용**해결하려는 과제**

[0006] 따라서, 본 발명은 액정표시장치에서 발생될 수 있는 문제점을 해결하기 위하여 창안된 것으로서, 구체적으로 단일 화소 영역 내에서 공통전극의 저항을 감소시킬 수 있는 액정표시장치용 어레이 기판 및 이의 제조 방법을 제공함에 그 목적이 있다.

과제의 해결 수단

[0007] 본 발명에 따른 해결 수단의 액정표시장치용 어레이 기판을 제공한다. 상기 액정표시장치용 어레이 기판은 다수의 화소 영역을 갖는 기판; 상기 기판의 각 화소 영역에 배치된 박막트랜지스터; 상기 기판의 각 화소 영역에 배치되며, 상기 박막트랜지스터와 전기적으로 연결된 화소전극; 상기 박막트랜지스터 및 상기 화소전극을 포함한 기판 상에 배치된 보호막; 상기 보호막 상에 배치되며 상기 화소전극과 액정을 구동하기 위한 전계를 형성하는 공통전극; 및 상기 공통전극과 병렬로 연결되어 상기 공통전극의 저항을 낮추는 리턴던시 패턴부;를 포함할 수 있다.

- [0008] 여기서, 상기 리턴던시 패턴부는, 상기 기판 상에 배치된 리턴던시 게이트 패턴; 상기 게이트 패턴을 포함한 상기 기판 상에 배치된 게이트 절연막; 상기 게이트 패턴상의 상기 게이트 절연막 상에 배치된 리턴던시 반도체 패턴; 및 상기 리턴던시 반도체 패턴 상에 배치된 리턴던시 금속 패턴;을 포함할 수 있다.
- [0009] 또한, 상기 리턴던시 금속 패턴은 상기 박막트랜지스터의 소스 및 드레인 전극과 동일한 재질로 형성될 수 있다.
- [0010] 또한, 상기 리턴던시 반도체 패턴은 상기 박막트랜지스터의 반도체 패턴과 동일한 재질로 형성될 수 있다.
- [0011] 또한, 상기 게이트 패턴은 상기 화소 영역을 정의하는 게이트 배선과 데이터 배선 중 상기 게이트 배선과 연결될 수 있다.
- [0012] 또한, 상기 게이트 패턴은 상기 게이트 배선과 일체로 형성될 수 있다.
- [0013] 또한, 상기 공통전극의 일부가 연장되어 상기 리턴던시 패턴부와 전기적으로 연결될 수 있다.
- [0014] 본 발명에 따른 해결 수단의 액정표시장치용 어레이 기판의 제조 방법을 제공한다. 상기 제조 방법은 다수의 화소 영역을 갖는 기판을 제공하는 단계; 상기 기판의 각 화소 영역에 배치된 화소 전극, 상기 화소전극과 전기적으로 연결된 박막트랜지스터와 상기 박막트랜지스터와 이격된 리턴던시 패턴부를 형성하는 단계; 상기 화소전극, 상기 박막트랜지스터 및 상기 리턴던시 패턴부를 포함한 기판 상에 배치된 보호막을 형성하는 단계; 및 상기 보호막 상에 배치되며 상기 리턴던시 패턴부와 병렬로 연결되고 상기 화소전극과 액정을 구동하기 위한 전계를 형성하는 공통전극을 형성하는 단계;를 포함할 수 있다.
- [0015] 여기서, 상기 박막트랜지스터 및 상기 리턴던시 패턴부를 형성하는 단계는, 상기 기판 상에 서로 이격된 게이트 전극과 게이트 패턴을 형성하는 단계; 상기 게이트 전극 및 게이트 패턴을 포함한 상기 기판 상에 게이트 절연막을 형성하는 단계; 상기 게이트 전극 및 상기 게이트 패턴 상에 각각 반도체 패턴 및 리턴던시 반도체 패턴을 형성하는 단계; 및 상기 반도체 패턴 및 상기 리턴던시 패턴 상에 각각 소스/드레인 전극 및 리턴던시 금속 패턴을 형성하는 단계;를 포함할 수 있다.
- [0016] 또한, 상기 게이트 패턴은 상기 화소 영역을 정의하는 게이트 배선과 데이터 배선 중 상기 게이트 배선과 전기적으로 연결될 수 있다.
- [0017] 또한, 상기 게이트 패턴과 상기 게이트 배선은 일체로 형성될 수 있다.
- [0018] 또한, 상기 리턴던시 패턴부와 상기 공통전극은 상기 공통전극의 연장부에 의해 서로 전기적으로 연결할 수 있다.

발명의 효과

- [0019] 본 발명의 실시예에 따른 액정표시장치용 어레이 기판은 공통전극과 병렬로 연결된 리턴던시 패턴부를 더 구비하여 단일 화소 영역에서 공통전극의 저항 성분을 감소시킴에 따라, 액정표시장치의 소비전력을 감소시키며 켄다운 크로스 토크 현상 및 그리니쉬 현상을 개선할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기판을 개략적으로 도시한 평면도이다.
- 도 2는 도 1에 도시된 I-I'선, II-II' 선 및 III-III'선을 절단한 단면도이다.
- 도 3 내지 도 8은 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판의 제조 공정을 설명하기 위해 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 본 발명의 실시예들은 액정표시장치용 어레이 기판의 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실

시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다.

- [0022] 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0023] 도 1은 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기판을 개략적으로 도시한 평면도이다.
- [0024] 도 2는 도 1에 도시된 I-I'선, II-II' 선 및 III-III'선을 절단한 단면도이다.
- [0025] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 액정표시장치용 어레이 기판은 기판(100)상에 배치된 게이트 배선(101), 데이터 배선(102), 박막트랜지스터(T), 화소전극(130), 보호막(140), 공통전극(150) 및 리턴던시 패턴부(120)를 포함할 수 있다.
- [0026] 기판(100)은 광을 투과할 수 있는 투명 기판으로 이루어질 수 있다. 본 발명의 실시예에서 기판(100)의 재질 및 형태를 한정하는 것은 아니다. 예컨대, 기판(100)의 재질은 유리 또는 수지일 수 있다. 또한, 기판(100)의 형태는 플레이트 또는 필름의 형태일 수 있다.
- [0027] 게이트 배선(101) 및 데이터 배선(102)은 서로 교차하며 다수의 화소 영역을 정의하며 기판(100)상에 배치될 수 있다. 여기서, 게이트 배선(101)과 데이터 배선(102) 사이에 게이트 절연막(110)이 개재되어 게이트 배선(101)과 데이터 배선(102)은 서로 절연되어 있을 수 있다.
- [0028] 게이트 배선(101)의 일 끝단부에 게이트 패드부(104)가 배치될 수 있다. 여기서, 게이트 패드부(104)는 서로 전기적으로 연결된 제 1 및 제 2 게이트 패드 전극(104a, 104b)을 포함할 수 있다. 여기서, 제 1 게이트 패드 전극(104a)은 게이트 배선(101)의 일끝단에서 연장되어 형성된다. 제 2 게이트 패드 전극(104b)은 보호막(140)상에 배치되며 보호막(140)에 형성된 제 3 콘택홀(C3)을 통해 제 1 게이트 패드 전극(104a)과 전기적으로 연결되어 있을 수 있다.
- [0029] 데이터 배선(102)의 일 끝단부에 데이터 패드부(105)가 배치될 수 있다. 여기서, 데이터 패드부(105)는 서로 전기적으로 연결된 제 1 및 제 2 데이터 패드 전극(105a, 105b)을 포함할 수 있다. 여기서, 제 1 데이터 패드 전극(105a)은 데이터 배선(102)의 일끝단이 연장되어 형성된다. 제 2 데이터 패드 전극(105b)은 보호막(140) 상에 배치되며 보호막(140)에 형성된 제 4 콘택홀(C4)을 통해 제 2 데이터 패드 전극(105b)과 전기적으로 연결되어 있을 수 있다.
- [0030] 이에 더하여, 기판(110)상에 게이트 배선(101)과 평행하며 공통 배선(103)이 더 배치될 수 있다. 여기서, 공통 배선(103)은 게이트 배선(101)과 동일한 도전 재질로 형성될 수 있다. 이는 공통 배선(103)과 게이트 배선(101)은 동일한 마스크 공정을 통해 형성될 수 있기 때문이다.
- [0031] 공통 배선(103)의 일 끝단부에 공통 패드부(106)가 배치될 수 있다. 여기서, 공통 패드부(106)는 서로 전기적으로 연결된 제 1 및 제 2 공통 패드 전극(106a, 106b)을 포함할 수 있다. 여기서, 제 1 공통 패드 전극(106a)은 공통 배선(103)의 일끝단이 연장되어 형성된다. 제 2 공통 패드 전극(106b)은 보호막(140) 상에 배치되며 보호막(140)에 형성된 제 5 콘택홀(C5)을 통해 제 2 공통 패드 전극(106b)과 전기적으로 연결되어 있을 수 있다.
- [0032] 여기서, 제 2 게이트 패드 전극(104b), 제 2 데이터 패드 전극(105b) 및 제 2 공통 패드 전극(106b)은 외부에 노출되는 전극으로, 다른 재질에 비해 부식성이 낮은 재질로 이루어질 수 있다. 또한, 제 2 게이트 패드 전극(104b), 제 2 데이터 패드 전극(105b) 및 제 2 공통 패드 전극(106b)은 후술 될 공통전극(150)과 동일한 마스크 공정에 의해 형성될 수 있으므로, 제 2 게이트 패드 전극(104b), 제 2 데이터 패드 전극(105b) 및 제 2 공통 패드 전극(106b)은 ITO 또는 IZO로 형성될 수 있다.
- [0033] 화소전극(130)은 각 화소 영역의 전면에 배치될 수 있다. 여기서, 화소전극(130)은 광을 투과할 수 있는 도전 재질, 예컨대 ITO 또는 IZO로 형성될 수 있다.
- [0034] 각 화소영역에 화소전극(130)과 전기적으로 연결된 박막트랜지스터(T)가 배치될 수 있다. 여기서, 박막트랜지스터(T)는 기판(110)상에 배치된 게이트 전극(111), 게이트 절연막(110), 반도체 패턴(112) 및 소스 및 드레인 전극(114, 115)을 포함할 수 있다.
- [0035] 구체적으로, 게이트 전극(111)은 기판(100) 상에 배치되어 있다. 이때, 게이트 전극(111)은 게이트 배선(101)의 일부가 돌출되어 형성되어 있을 수 있다. 즉, 게이트 전극(111)과 게이트 배선(101)은 일체로 이루어질 수 있다.

- [0036] 게이트 절연막(110)은 게이트 전극(111)을 포함한 기판(100) 상에 배치되어 있다. 게이트 절연막(110)을 형성하는 재질의 예로서는 실리콘 산화막 또는 실리콘 질화막일 수 있다.
- [0037] 게이트 전극(111)과 대응된 게이트 절연막(110) 상에 반도체 패턴(112)이 배치될 수 있다. 여기서, 반도체 패턴(112)은 활성 패턴(112a)과 활성 패턴(112a)의 채널 영역을 노출하며 활성 패턴(112a)상에 배치된 오믹 콘택 패턴(112b)을 포함할 수 있다. 여기서, 활성 패턴(112a)은 비정질 실리콘으로 형성될 수 있다. 또한, 오믹 콘택 패턴(112b)은 불순물이 도핑된 비정질 실리콘으로 형성될 수 있다.
- [0038] 소스 및 드레인 전극(114, 115)은 오믹 콘택 패턴(113) 상에 배치될 수 있다. 소스 및 드레인 전극(114, 115)은 반도체 패턴(112)의 채널 영역을 노출하도록 형성될 수 있다.
- [0039] 소스 전극(114)은 데이터 배선(102)과 전기적으로 연결되어 있을 수 있다. 여기서, 소스 전극(114)은 드레인 전극(115)의 적어도 삼측면을 감쌀 수 있도록 'U'자형의 형태를 가질 수 있다. 이에 따라, 소스 전극(114)과 드레인 전극(115) 사이의 채널 영역의 표면적을 증대시킬 수 있어, 박막트랜지스터(T)의 전기적 특성을 향상시킬 수 있다.
- [0040] 드레인 전극(115)은 화소전극(130)의 일부를 덮도록 형성할 수 있다. 이에 따라, 박막트랜지스터(T)의 드레인 전극(115)과 화소전극(130)은 서로 전기적으로 연결될 수 있다. 여기서, 종래 화소전극과 드레인 전극은 그 사이에 콘택홀을 구비한 보호층을 개재시키고, 화소전극과 드레인 전극은 콘택홀을 통해 서로 전기적 접속을 이루었다. 이에 따라, 종래 화소전극과 드레인 전극의 전기적 접속을 위해 콘택홀 형성 영역을 구비하여야 했다. 하지만, 본 발명에서는 콘택홀 없이 화소전극(130)과 드레인 전극(115)은 직접적으로 전기적으로 연결되므로, 종래와 대비하여 화소전극(130)과 드레인 전극(115)의 전기적 접속을 위한 콘택홀이 필요하지 않게 되어, 결국 종래보다 개구율을 향상시킬 수 있다.
- [0041] 리턴던시 패턴부(120)는 박막트랜지스터(T)와 이격되며 후술될 공통전극(150)과 병렬로 연결될 수 있다. 여기서, 리턴던시 패턴부(120)는 게이트 패턴(121), 게이트 절연막(110), 리턴던시 반도체 패턴(122) 및 리턴던시 금속 패턴(123)을 포함할 수 있다.
- [0042] 게이트 패턴(121)은 기판(100)상에 배치될 수 있다. 게이트 패턴(121)은 게이트 배선(101)과 전기적으로 연결될 수 있다. 여기서, 게이트 패턴(121)은 게이트 배선(101)의 일부로 이루어질 수 있다. 이에 따라, 박막트랜지스터(T)의 게이트 전극(111)과 리턴던시 패턴부(120)의 게이트 패턴(121)은 서로 전기적으로 연결될 수 있다.
- [0043] 게이트 패턴(121)을 포함한 게이트 절연막(110) 상에 리턴던시 반도체 패턴(122)과 리턴던시 금속 패턴(123)이 배치될 수 있다. 여기서, 리턴던시 반도체 패턴(122)은 박막트랜지스터(T)의 반도체 패턴(112)과 동일한 재질로 형성될 수 있다. 예를 들면, 리턴던시 반도체 패턴(122)은 비정질 실리콘층과 불순물이 도핑된 비정질 실리콘층으로 이루어질 수 있다. 또한, 리턴던시 금속 패턴(123)은 공통전극(150)보다 낮은 저항을 갖는 재질로 이루어질 수 있다.
- [0044] 또한, 리턴던시 금속 패턴(123)은 박막트랜지스터(T)의 소스 및 드레인 전극(115)과 동일한 재질로 형성될 수 있다. 여기서, 리턴던시 금속 패턴(123)은 제 1 콘택홀(C1)을 통해 보호막(140)상에 배치된 공통전극(150)과 전기적으로 연결될 수 있다. 이에 따라, 리턴던시 패턴부(120)와 공통전극(150)은 병렬로 연결될 수 있다.
- [0045] 여기서, 리턴던시 패턴부(120)와 공통전극(150)은 병렬로 연결되기 때문에, 하기 수학적 1에서와 같이, 공통전극(150)의 저항보다 병렬로 연결된 리턴던시 패턴부(120)를 포함한 공통전극(150)의 저항이 낮아질 수 있다.

[0046] [수학적 1]

$$\frac{1}{R_{total}} = \frac{1}{R_{vcom}} + \frac{1}{R_{redundancy}}$$

[0047]

[0048] 이때, 리턴던시 패턴부(120)는 게이트 배선(101)에 인가된 신호에 따라 온/오프되어, 리턴던시 패턴부(120)를 통해 저항 성분이 감소될 수 있다. 즉, 게이트 배선(101)을 통해 게이트 패턴(121)에 게이트 신호가 인가되면, 게이트 패턴(121)을 통해 리턴던시 반도체 패턴(122)과 리턴던시 금속 패턴(123)으로 전류가 인가될 수 있다. 이에 따라, 리턴던시 패턴부(120)에 의해 공통전극(150)에 인가된 저항 성분이 증가되는 것을 방지할 수 있다.

[0049] 보호막(140)은 화소전극(130), 박막트랜지스터(T) 및 리턴던시 패턴부(120)를 포함한 게이트 절연막(110)상에 배치되어 있다. 여기서, 보호막(140)은 후술될 리턴던시 패턴부(120), 공통배선(103), 제 1 게이트 패드 전극

(104a), 제 1 데이터 패드 전극(105a), 및 제 1 공통 패드 전극(106a)의 각 일부를 노출하는 제 1 내지 제 5 콘택홀(C1, C2, C3, C4, C5)을 구비할 수 있다.

- [0050] 보호막(140)을 형성하는 재질을 본 발명의 실시예에서 한정하는 것은 아니지만, 보호막(140)을 형성하는 재질의 예로서는 실리콘 산화막 또는 실리콘 질화막일 수 있다.
- [0051] 보호막(140) 상에 공통전극(150)이 배치될 수 있다. 여기서, 공통전극(150)은 화소영역 상에서 다수의 개구부를 구비할 수 있다. 이때, 공통전극(150)의 일부는 연장되어 제1 콘택홀을 통해 리턴던시 패턴부와 연결될 수 있다. 또한, 공통전극(150)의 다른 일부는 제 2 콘택홀(C2)을 통해 공통 배선(103)과 전기적으로 연결될 수 있다.
- [0052] 여기서, 공통전극(150)과 화소전극(130)은 그 사이에 보호막(140)을 사이에 두고 중첩되도록 배치되어 있다. 이에 따라, 공통전극(150)과 화소전극(130) 사이에 전압이 인가될 경우, 공통전극(150)과 화소전극(130)상, 즉 화소 영역의 전 영역에서 액정의 구동을 위한 프린지 필드가 형성될 수 있으므로, 액정표시장치의 투과율이 향상될 수 있다.
- [0053] 이에 더하여, 공통 전극(150)은 데이터 배선(102)과 중첩되도록 형성하여, 스토리지 캐패시턴스를 형성할 수도 있다.
- [0054] 이에 따라, 본원 발명에서와 같이 액정표시장치는 공통전극과 병렬로 연결된 리턴던시 패턴부를 구비함에 따라, 공통전극의 저항 성분을 낮출 수 있어 소비전력을 낮출 수 있을 뿐만 아니라 섀도 크로스 토크 현상 및 그리니쉬 현상을 개선할 수 있다.
- [0055] 본 발명의 실시예에서, 프린지 필드를 이용한 액정표시장치를 한정하여 설명하였으나, 리턴던시 패턴부는 횡전계를 이용한 액정표시장치에 적용될 수도 있다.
- [0056] 도 3 내지 도 8은 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판의 제조공정을 설명하기 위해 도시한 단면도들이다.
- [0057] 도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치용 어레이 기판을 제조하기 위해, 먼저 기판(100)을 제공한다.
- [0058] 기판(100)은 광을 투과할 수 있는 투명 기판일 수 있다. 기판(100)의 재질은 유리 또는 수지일 수 있다. 또한, 기판(100)의 형태는 플레이트 또는 필름의 형태일 수 있다. 그러나, 본 발명의 실시예에서, 기판(100)의 형태나 재질을 한정하는 것은 아니다.
- [0059] 기판(100)상에 게이트 배선(101), 게이트 전극(111) 및 게이트 패턴(121)을 형성한다. 여기서, 게이트 배선(101), 게이트 전극(111) 및 게이트 패턴(121)을 형성하기 위해, 먼저 기판(100) 상에 금속막을 형성한 후, 금속막 상에 마스크를 이용한 포토 공정을 통해 일정한 패턴 형상을 갖는 제 1 포토레지스트 패턴을 형성한다. 여기서, 금속막을 형성하는 재질의 예로서는 Cu, Al, Au, Ag 및 Mo 중 어느 하나의 단일 금속 또는 어느 하나를 포함한 합금일 수 있다. 이때, 금속막은 스퍼터링법 또는 진공증착법을 통해 형성할 수 있다. 이후, 제 1 포토레지스트 패턴을 식각 마스크로 사용하여 금속막을 식각하여 게이트 배선(101), 게이트 전극(111) 및 게이트 패턴(121)이 형성될 수 있다. 여기서, 게이트 전극(111), 게이트 배선(101) 및 게이트 패턴(121)은 일체로 형성될 수 있다.
- [0060] 도면상에 도시되지 않았으나, 게이트 배선(101), 게이트 전극(111) 및 게이트 패턴(121)을 형성하는 공정에서 제 1 게이트 패드 전극(104a), 공통 배선(103), 제 1 공통 패드 전극(106a)이 기판(100) 상에 형성될 수 있다.
- [0061] 도 4를 참조하면, 게이트 배선(101), 게이트 전극(111) 및 게이트 패턴(121)을 형성한 후, 게이트 배선(101), 게이트 전극(111) 및 게이트 패턴(121)을 포함한 기판(100) 상에 게이트 절연막(110)을 형성한다. 여기서, 게이트 절연막(110)은 실리콘 질화막 또는 실리콘 산화막으로 형성될 수 있다. 이때, 게이트 절연막(110)을 형성하는 방법의 예로서는 화학기상증착법을 들 수 있다.
- [0062] 게이트 절연막(110)을 형성한 후, 게이트 전극(111)과 대응된 게이트 절연막(110)상에 배치된 반도체 패턴(112)과 게이트 패턴(121)과 대응된 게이트 절연막(110)상에 배치된 리턴던시 반도체 패턴(122)을 형성한다.
- [0063] 여기서, 반도체 패턴(112)과 리턴던시 반도체 패턴(122)을 형성하기 위해, 먼저 게이트 절연막(110)상에 비정질

실리콘층 및 불순물이 도핑된 비정질 실리콘층을 순차적으로 형성한다. 이때, 비정질 실리콘층과 불순물이 도핑된 비정질 실리콘층을 형성하는 방법의 예로서는 화학기상증착법을 들 수 있다.

- [0064] 이후, 불순물이 도핑된 비정질 실리콘층상에 포토 공정을 수행하여 마스크를 이용한 포토 공정을 통해 일정한 패턴 형상을 갖는 제 2 포토레지스트 패턴을 형성한다. 이후, 제 2 포토레지스트 패턴을 식각 마스크로 사용하여, 비정질 실리콘층 및 불순물이 도핑된 비정질 실리콘층을 일괄 식각하여 활성패턴(112a)과 오믹콘택 패턴(112b)으로 형성된 반도체 패턴과, 반도체 패턴(112)과 동일한 재질로 이루어진 리턴던시 반도체 패턴(122)을 형성할 수 있다.
- [0065] 도 5를 참조하면, 반도체 패턴(112)과 리턴던시 반도체 패턴(122)을 형성한 후, 화소전극(130)을 형성한다.
- [0066] 여기서, 화소전극(130)은 각 화소 영역별로 화소 영역의 전면에 형성할 수 있다. 이때, 화소전극(130)은 투명한 도전물질, 예컨대 ITO 또는 IZO의 성막 공정 및 패터닝 공정을 순차적으로 진행하여 형성할 수 있다.
- [0067] 도 6을 참조하면, 화소전극(130)을 형성한 후, 반도체 패턴(112) 상에 배치된 소스 및 드레인 전극(115)과 리턴던시 반도체 패턴(122) 상에 배치된 리턴던시 금속 패턴(123)을 형성한다.
- [0068] 여기서, 소스 및 드레인 전극(115)과 리턴던시 금속 패턴(123)을 형성하기 위해, 먼저 반도체 패턴(112) 및 리턴던시 반도체 패턴(122)을 포함한 게이트 절연막(110) 상에 금속막을 형성한다. 여기서, 금속막 상에 마스크를 이용한 포토 공정을 통해 일정한 패턴 형상을 갖는 제 3 포토레지스트 패턴을 형성한다. 여기서, 금속막을 형성하는 재질의 예로서는 Cu, Al, Au, Ag 및 Mo 중 어느 하나의 단일 금속 또는 어느 하나를 포함한 합금일 수 있다. 이때, 금속막은 스퍼터링법 또는 진공증착법을 통해 형성할 수 있다. 이후, 제 3 포토레지스트 패턴을 식각 마스크로 사용하여 금속막을 식각하여 소스 및 드레인 전극(115)과 리턴던시 금속 패턴(123)을 형성할 수 있다.
- [0069] 여기서, 드레인 전극(115)은 화소전극(130)의 일부를 덮도록 형성되어, 드레인 전극(115)과 화소전극(130)은 서로 전기적으로 연결될 수 있다.
- [0070] 도면상에 도시되지 않았으나, 소스 및 드레인 전극(115) 및 리턴던시 금속 패턴(123)을 형성하는 공정에서 데이터 배선(102) 및 제 1 데이터 패드 전극(105a)이 기판(100) 상에 형성될 수 있다.
- [0071] 이후, 소스 및 드레인 전극(115)을 식각 마스크로 사용하여, 반도체 패턴(112)의 오믹 콘택패턴(112b)을 패터닝한다. 이에 따라, 오믹 콘택패턴(112b)은 반도체 패턴(112)의 채널 영역을 노출하도록 형성될 수 있다.
- [0072] 이에 따라, 기판(100)상에 박막트랜지스터(T)와 리턴던시 패턴부(120)를 형성할 수 있다. 이때, 박막트랜지스터(T)의 게이트 전극(111)과 리턴던시 패턴부(120)의 게이트 패턴(121)은 서로 일체로 형성됨에 따라, 서로 전기적으로 연결되어 있을 수 있다.
- [0073] 도 7을 참조하면, 박막트랜지스터(T), 화소전극(130) 및 리턴던시 패턴부(120), 즉 소스 및 드레인 전극(114, 115), 화소전극(130) 및 리턴던시 금속패턴(123)을 포함하는 게이트 절연막(110) 상에 보호막(140)을 형성한다.
- [0074] 여기서, 보호막(140)은 산화실리콘막 또는 질화실리콘막으로 형성할 수 있다. 이때, 보호막(140)을 형성하는 방법의 예로서는 화학기상증착법일 수 있다.
- [0075] 이후, 보호막(140)에 리턴던시 패턴부(120), 공통배선(103), 제 1 게이트 패드 전극(104a), 제 1 공통 패드 전극(106a) 및 제 1 데이터 패드 전극(105a)의 일부를 각각 노출하는 제 1 내지 제 5 콘택홀(C1, C2, C3, C4, C5)을 형성한다.
- [0076] 도 8을 참조하면, 제 1 및 제 2 콘택홀(C1, C2)을 통해 노출된 리턴던시 패턴부(120) 및 공통배선(103)과 전기적으로 연결된 공통전극(150)을 형성할 수 있다. 이때, 화소영역에 배치된 공통전극(150)의 일부는 게이트 배선(101), 즉 게이트 패턴(121)까지 연장되어 리턴던시 패턴부(120)와 전기적으로 연결될 수 있다. 이에 따라, 공통전극(150)과 리턴던시 패턴부(120)는 병렬로 연결될 수 있다.
- [0077] 또한, 공통전극(150)을 형성하는 공정에서, 제 3 내지 제 5 콘택홀(C3, C4, C5)에 각각 노출된 제 1 게이트 패드 전극(104a), 제 1 데이터 패드 전극(105a) 및 제 1 공통 패드 전극(106a)에 각각 전기적으로 연결되는 제 2 게이트 패드 전극(104b), 제 2 데이터 패드 전극(105b) 및 제 2 공통 패드 전극(106b)이 형성될 수 있다.
- [0078] 본 발명의 실시예에서와 같이, 공통 전극의 저항을 감소하기 위한 리턴던시 패턴부는 박막트랜지스터와 동일한 마스크 공정으로 형성할 수 있어, 별도의 리턴던시 패턴을 형성하기 위해 공정이 추가되는 것을 방지할 수 있다.

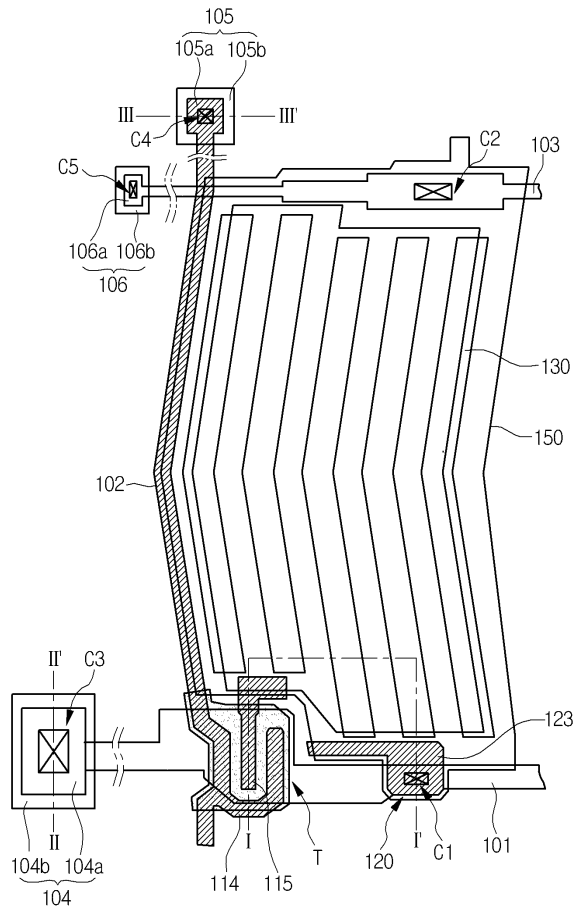
부호의 설명

[0079]

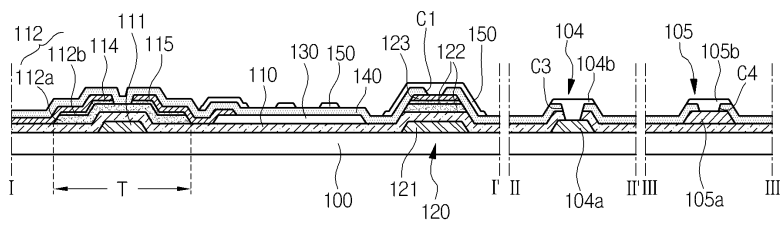
100 : 기판	101 : 게이트 배선
102 : 데이터 배선	103 : 공통 배선
110 : 게이트 절연막	111 : 게이트 전극
112 : 반도체 패턴	114 : 소스 전극
115 : 드레인 전극	120 : 리턴던시 패턴부
121 : 게이트 패턴	122 : 리턴던시 반도체 패턴
123 : 리턴던시 금속 패턴	130 : 화소전극
140 : 보호막	150 : 공통전극

도면

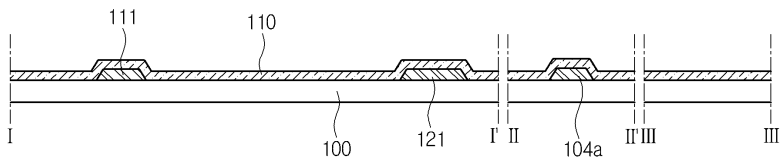
도면1



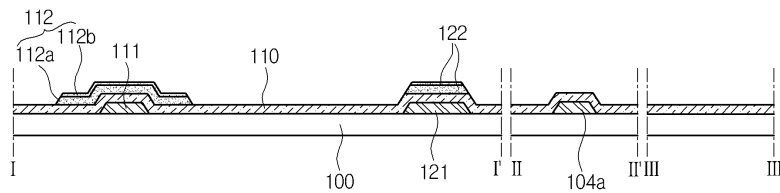
도면2



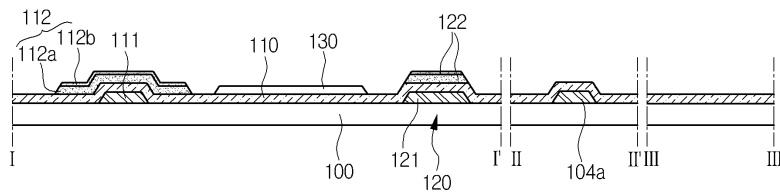
도면3



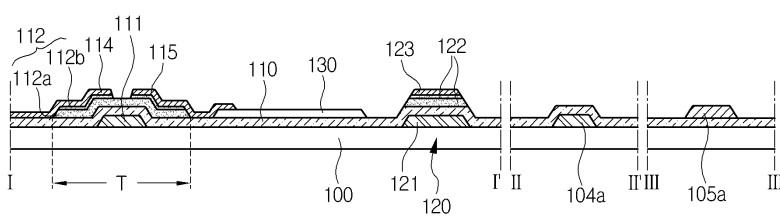
도면4



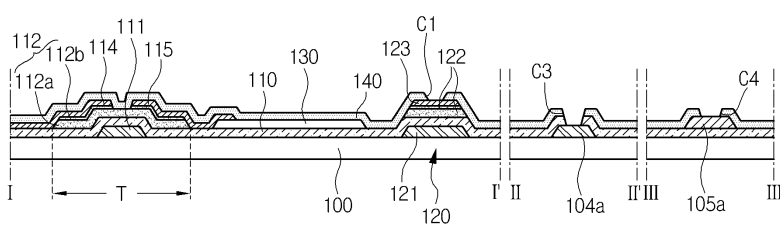
도면5



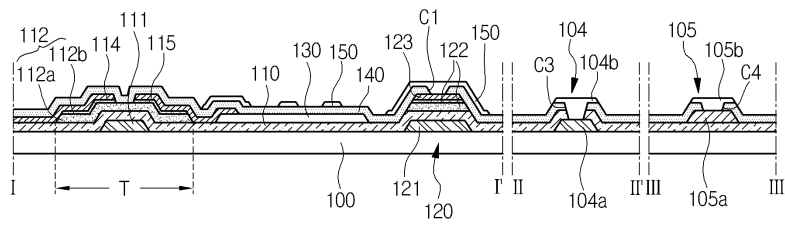
도면6



도면7



도면8



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020120137179A	公开(公告)日	2012-12-20
申请号	KR1020110056540	申请日	2011-06-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HONG YOUNG EUN 홍영은 JANG JIN HEE 장진희		
发明人	홍영은 장진희		
IPC分类号	G02F1/1343 G02F1/136 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/13439 G02F1/136286 G02F1/1368 G02F2201/50		
其他公开文献	KR101899066B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种用于液晶显示装置的阵列基板及其制造方法，通过形成连接到公共电极的冗余图案部分来降低液晶显示器的功耗，以降低公共电极的寄生电阻。组成：薄膜晶体管安排在基板的每个像素区域。像素电极（130）布置在每个像素区域中。钝化膜设置在基板上。公共电极（150）布置在钝化膜上。冗余图案部分（120）与公共电极并联连接。冗余图案部分减小了公共电极的电阻。

