



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0075092
(43) 공개일자 2012년07월06일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2010-0137126

(22) 출원일자 2010년12월28일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김윤오

전라남도 해남군 현산면 읍호리 265

신철상

경기도 파주시 한빛로 67, 교하신도시 A15-1 휴먼빌APT 208동 1702호 (야당동)

(뒷면에 계속)

(74) 대리인

허용록

전체 청구항 수 : 총 7 항

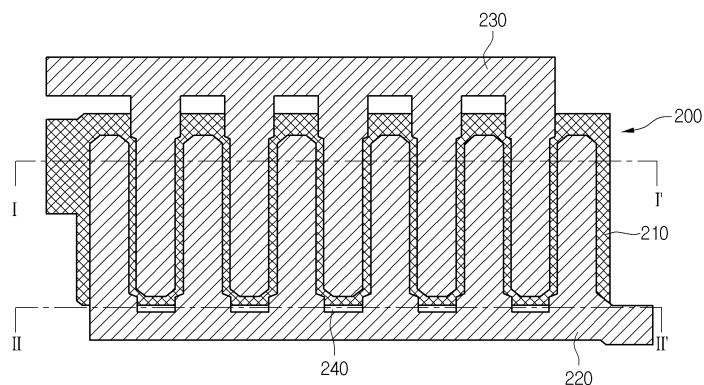
(54) 발명의 명칭 액정표시장치

(57) 요약

액정표시장치가 개시된다.

본 발명의 실시예에 따른 액정표시장치는 화소 영역을 정의하는 다수의 게이트라인과 데이터라인과, 상기 화소 영역에 형성된 박막트랜지스터를 구비하고, 표시영역과 비표시영역으로 구분되는 액정표시패널과, 상기 액정표시패널의 비표시영역 상에 형성된 트랜지스터를 구비하여 상기 다수의 게이트라인으로 스캔신호를 공급하는 게이트 드라이버 및 상기 다수의 데이터라인으로 데이터 전압을 공급하는 데이터 드라이버를 포함하고, 상기 게이트 드라이버의 트랜지스터는 게이트 전극과, 게이트 절연막을 사이에 두고 상기 게이트 전극 상에 형성된 반도체층과, 상기 반도체층 상에서 서로 마주보는 소스 전극 및 드레인 전극을 구비하고, 상기 소스 전극의 일부 영역은 상기 게이트 전극과 중첩되지 않는다.

대표도 - 도2



(72) 발명자

유재현

서울특별시 강서구 금남화로 167, 방화8단지 개화
아파트 105동 1101호 (방화동)

민지숙

서울특별시 금천구 독산로99길 17 (독산동)

특허청구의 범위

청구항 1

화소 영역을 정의하는 다수의 게이트라인과 데이터라인과, 상기 화소 영역에 형성된 박막트랜지스터를 구비하고, 표시영역과 비표시영역으로 구분되는 액정표시패널;

상기 액정표시패널의 비표시영역 상에 형성된 트랜지스터를 구비하여 상기 다수의 게이트라인으로 스캔신호를 공급하는 게이트 드라이버; 및

상기 다수의 데이터라인으로 데이터 전압을 공급하는 데이터 드라이버;를 포함하고,

상기 게이트 드라이버의 트랜지스터는 게이트 전극과, 게이트 절연막을 사이에 두고 상기 게이트 전극 상에 형성된 반도체층과, 상기 반도체층 상에서 서로 마주보는 소스 전극 및 드레인 전극을 구비하고,

상기 소스 전극의 일부 영역은 상기 게이트 전극과 중첩되지 않는 것을 특징으로 하는 액정표시장치.

청구항 2

제1 항에 있어서,

상기 소스 전극은 상기 반도체층 상에서 제1 연결 전극을 통해 전기적으로 연결된 다수의 제1 돌기를 구비하고, 상기 드레인 전극은 제2 연결 전극을 통해 전기적으로 연결되며 상기 제1 돌기와 서로 마주보는 다수의 제2 돌기를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

제2 항에 있어서,

상기 소스 전극의 제1 연결전극은 상기 게이트 전극과 중첩되지 않는 것을 특징으로 하는 액정표시장치.

청구항 4

제1 항에 있어서,

상기 트랜지스터는 하나의 게이트 전극 및 반도체층을 공유하는 다수의 트랜지스터가 병렬로 연결된 구조인 것을 특징으로 하는 액정표시장치.

청구항 5

제2 항에 있어서,

상기 소스 전극의 제1 돌기와 상기 드레인 전극의 제2 돌기는 상기 반도체층을 사이에 두고 일정 간격 이격되어 채널을 형성하는 것을 특징으로 하는 액정표시장치.

청구항 6

제2 항에 있어서,

상기 소스 전극의 제1 연결 전극은 상기 소스 전극의 제1 돌기와 상기 드레인 전극의 제2 돌기가 쇼트되는 것을 차단하기 위해 특정 방향으로 단차진 액티브 오픈부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제1 항에 있어서,

상기 트랜지스터는 상기 화소 영역의 박막 트랜지스터와 동일 공정으로 형성되는 것을 특징으로 하는 액정표시장치.

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 표시 품질을 향상시킬 수 있는 액정표시장치에 관한 것이다.

배경 기술

- [0002] 일반적으로, 액정표시장치는 액정분자의 광학적 이방성과 복굴절특성을 이용하여 화상을 표현하는 것으로, 전계가 인가되면 액정의 배열이 달라지고 달리진 액정의 배열 방향에 따라 빛이 투과되는 특성 또한 달라진다.
- [0003] 액정표시장치는 각각 전계 생성 전극이 구성된 제1 기판과 제2 기판을 합착한 후, 상기 합착된 두 기판 사이에 액정 물질을 주입하여 구성한다. 다음으로, 상기 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현한다.
- [0004] 상기 액정표시장치는 화소영역을 정의하는 다수의 게이트라인 및 다수의 데이터라인이 배열되어 영상을 표시하는 액정표시패널과, 상기 액정표시패널을 구동하는 구동 회로부를 포함한다. 상기 구동 회로부는 상기 게이트 드라이버를 구동하는 게이트 드라이버와 상기 데이터 드라이버를 구동하는 데이터 드라이버 및 위의 두 드라이버를 제어하는 제어부를 포함한다.
- [0005] 상기 액정표시장치는 게이트 및 데이터 드라이버는 집적회로 형태로 형성하여 TCP 또는 TOF 타입과 같이 패널에 부착하여 사용하거나, 글라스 상에 직접 구성하고 있으며, 외부의 인쇄회로기판에 형성된 제어부로부터 다수의 제어신호를 입력받아 구동한다.
- [0006] 최근에는 상기 게이트 드라이버를 액정표시패널 내에 실장하여 제조 원가를 절감하고 전력 소모를 최소화하는 게이트 인 패널(Gate In Panel, 이하, GIP라 함) 방식의 액정표시장치가 제안되었다.
- [0007] 상기 GIP 액정표시장치에서 액정표시패널 내에 실장된 게이트 드라이버는 화소의 박막트랜지스터와 동일한 공정을 통해 형성된 다수의 박막트랜지스터를 포함한다.
- [0008] 상기 게이트 드라이버에 포함된 다수의 박막트랜지스터는 하나의 게이트 전극과, 상기 게이트 전극에 형성된 반도체층과, 상기 게이트 전극 및 반도체층 상에서 일정 간격 이격된 다수의 소스 및 드레인 전극으로 형성된다. 상기 다수의 소스 전극들은 연결 전극을 통해 서로 전기적으로 접속되며 상기 다수의 드레인 전극도 연결 전극을 통해 서로 전기적으로 접속된다. 상기 다수의 소스 전극 및 드레인 전극은 병렬 구조로 형성된다.
- [0009] 따라서, 상기 게이트 드라이버에 포함된 박막트랜지스터는 상기 화소에 형성된 박막트랜지스터보다 용량이 크며, 그 채널 폭도 상기 화소의 박막트랜지스터의 폭에 수백 배에 달한다.
- [0010] 상기 게이트 드라이버에 포함된 박막트랜지스터들은 용량이 크기 때문에 게이트 전극과 소스 및 드레인 전극 상에서 발생하는 기생용량 또한 크다. 이로 인해, 상기 게이트 드라이버에서 상기 액정표시패널의 게이트라인으로 제공하는 게이트 스캔신호가 왜곡되어 액정의 응답속도에 영향을 미쳐 화상의 표시 품질을 저하시키게 된다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 기생 용량을 줄여 게이트 드라이버에서 출력되는 게이트 스캔신호의 왜곡을 최소화하여 화상의 표시 품질을 향상시킬 수 있는 액정표시장치를 제공함에 그 목적이 있다.

과제의 해결 수단

[0012] 본 발명의 실시예에 따른 액정표시장치는 화소 영역을 정의하는 다수의 게이트라인과 데이터라인과, 상기 화소 영역에 형성된 박막트랜지스터를 구비하고, 표시영역과 비표시영역으로 구분되는 액정표시패널과, 상기 액정표시패널의 비표시영역 상에 형성된 트랜지스터를 구비하여 상기 다수의 게이트라인으로 스캔신호를 공급하는 게이트 드라이버 및 상기 다수의 데이터라인으로 데이터 전압을 공급하는 데이터 드라이버를 포함하고, 상기 게이트 드라이버의 트랜지스터는 게이트 전극과, 게이트 절연막을 사이에 두고 상기 게이트 전극 상에 형성된 반도체층과, 상기 반도체층 상에서 서로 마주보는 소스 전극 및 드레인 전극을 구비하고, 상기 소스 전극의 일부 영역은 상기 게이트 전극과 중첩되지 않는다.

발명의 효과

- [0013] 본 발명의 실시예에 따른 액정표시장치는 게이트 드라이버에 구비된 박막트랜지스터의 구조를 변경하여 기생 용량을 줄임으로써, 게이트 스캔신호의 왜곡을 최소화하여 화상의 표시 품질을 향상시킬 수 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 실시예에 따른 액정표시장치를 개략적으로 나타낸 도면이다.
 도 2는 도 1의 게이트 드라이버에 구비된 박막트랜지스터를 나타낸 도면이다.
 도 3은 도 1의 화소에 구비된 박막트랜지스터를 나타낸 도면이다.
 도 4a는 도 2의 I ~ I'을 따라 절단한 단면도이고, 도 4b는 도 2의 II ~ II'을 따라 절단한 단면도를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 설명하기로 한다.
- [0016] 도 1은 본 발명의 실시예에 따른 액정표시장치를 개략적으로 나타낸 도면이다.
- [0017] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 액정표시장치는 다수의 게이트라인(GL)과 다수의 데이터라인(DL)이 교차되며 그 교차부에 액정셀(C1c)을 구동하기 위한 박막트랜지스터(TFT)가 형성된 액정표시패널(100)과, 상기 게이트라인(GL)에 스캔신호를 공급하기 위한 게이트 드라이버(110)와, 상기 데이터라인(DL)에 데이터 전압을 공급하기 위한 데이터 구동부(125)와, 상기 게이트 드라이버(110) 및 데이터 구동부(125)를 제어하는 타이밍 컨트롤러(140)를 포함한다.
- [0018] 상기 액정표시패널(100)은 표시영역(DA)과 비표시영역(NDA)로 구분하며, 상기 표시영역(DA)에는 매트릭스 형태로 배열되는 화소 영역(P)을 정의하는 다수의 게이트라인(GL)과 데이터라인(DL)이 교차하여 형성되어 있고, 두 라인(GL, DL) 의해 정의되는 화소 영역(P) 마다 화상 신호에 따라 광투과량을 조정하는 액정셀(C1c)과, 상기 액정 셀(C1c)을 구동하기 위한 박막트랜지스터(TFT)가 구성된다.
- [0019] 상기 비표시영역(NDA)에는 게이트 드라이버(110)와 데이터 구동부(125)가 구비된다.
- [0020] 상기 박막트랜지스터(TFT)는 게이트라인(GL)으로부터 스캔신호가 입력되면 턴-온(turn-on) 되어 데이터라인(DL)의 화상신호를 액정 셀(C1c)에 공급하고, 스캔신호가 입력되지 않으면 턴-오프(turn-off) 되어 액정 셀(C1c)에 충전된 화상 신호를 다음 프레임까지 유지한다.
- [0021] 화소 영역(P)에 구비된 박막트랜지스터(TFT)는 도 3에 도시된 바와 같이, 게이트라인(GL)으로부터 연장된 게이트 전극(102)과, 상기 게이트 전극(102) 상에 형성된 반도체층(104)과, 상기 반도체층(104) 상에서 일정 간격 이격된 소스 및 드레인 전극(106, 108)을 포함한다.
- [0022] 상기 소스 전극(106)은 데이터라인(DL)으로부터 연장되고, 상기 드레인 전극(108)은 컨택홀(H)을 통해 화소영역(도 1의 P)에 형성된 화소전극(150)과 전기적으로 접속된다.
- [0023] 상기 소스 전극(106)은 상기 드레인 전극(108)과의 쇼트를 방지하면서 채널 형성에 영향을 미치지 않는 범위로 상기 데이터라인(DL)쪽으로 단차진 공간인 액티브 오픈부(Active Open, A/O)를 포함한다.
- [0024] 상기 액정 셀(C1c)은 도시하지 않았지만 제1 및 제2 기판(101, 103)에 각각 형성된 화소전극 및 공통전극과 두 전극 사이의 액정에 의해 정의된다.
- [0025] 상기 액정표시패널(100)은 상기 액정 셀(C1c)에 병렬로 연결되어 액정 셀(C1c)에 충전된 화상 신호를 다음 화상 신호가 인가될 때까지 안정적으로 유지되게 하는 보조 용량부로 스토리지 캐패시터(Cst)를 더 포함한다.
- [0026] 상기 액정셀(C1c)은 박막트랜지스터(TFT)의 온/오프(On/Off) 동작에 의해 충전된 화상 신호에 따라 배열 상태가 조절되어 광 투과율을 조절함으로써 영상을 디스플레이 한다.
- [0027] 상기 게이트 드라이버(110)는 상기 타이밍 컨트롤러(140)로부터의 게이트 제어신호에 응답하여, 상기 게이트라인(GL)에 다수의 스캔신호들을 대응되게 공급한다. 이들 다수의 게이트라인(GL)이 순차적으로 1 수평동기신호의 기간씩 인에이블되게 한다.

- [0028] 상기 데이터 드라이버(125)는 상기 타이밍 컨트롤러(140)로부터의 데이터 제어신호 및 화상 신호를 입력받아 상기 게이트라인(GL)에 인가되는 박막트랜지스터(TFT)의 스캔신호에 동기하여 1 수평라인분의 화상신호를 다수의 데이터라인(DL)에 공급한다.
- [0029] 상기 데이터 드라이버(125)는 패키지 타입으로 제작된 데이터 구동 TCP(120)를 액정표시패널(100)에 부착하여 형성하게 되며, 상기 데이터 구동 TCP(120)의 타측은 신호를 입력받기 위한 인쇄회로기판(130)에 부착하여 형성된다.
- [0030] 이때, 상기 게이트 드라이버(110)는 상기 액정표시패널(100)의 제1 기관(101) 즉, 상기 게이트라인(GL)과 데이터라인(DL)과 스위칭 소자인 박막트랜지스터(TFT)를 구성한 기관의 비표시영역(NDA)에 직접 패터닝되어 형성한다.
- [0031] 상기 게이트 드라이버(110)는 상기 화소 영역(P)에 형성된 박막트랜지스터(TFT)와 동일 공정으로 형성되는 수십개의 거대한 트랜지스터로 구성하며, 상기 거대 트랜지스터는 다수의 트랜지스터들을 직렬 및 병렬로 연결한 것으로 설계될 수 있다.
- [0032] 상기 게이트 드라이버(110)에 구비된 거대한 트랜지스터(200)는 도 2에 도시된 바와 같이, 하나의 게이트 전극(210)과, 상기 하나의 게이트 전극(210) 상에 형성된 반도체층(도시하지 않음)과, 상기 게이트 전극(210) 상에 형성되어 다수의 돌기 형태로 구성된 소스 전극(220)과, 상기 소스 전극(220)의 다수의 돌기와 일정 간격 이격된 다수의 돌기를 포함하는 드레인 전극(230)을 포함한다.
- [0033] 상기 소스 전극(220)의 다수의 돌기들은 연결 전극을 통해 전기적으로 연결되고, 상기 드레인 전극(230)의 다수의 돌기들도 연결 전극을 통해 전기적으로 연결된다. 상기 소스 전극(220)의 돌기와 드레인 전극(230)의 돌기 사이에서 채널들이 형성되어 상기 소스 전극(220)과 드레인 전극(230) 사이에 전류 패스가 형성된다.
- [0034] 상기 소스 전극(220)의 돌기와 드레인 전극(230)의 돌기들은 쇼트를 방지하기 위해 일정 간격 이격되어 있다. 또한, 상기 소스 전극(220)은 상기 돌기들의 쇼트를 방지하기 위해 하부 방향으로 움푹 들어간 액티브 오픈부(240)라고 하는 공간을 포함하도록 형성되고, 상기 드레인 전극(230)도 상기 돌기들의 쇼트를 방지하기 위해 상부 방향으로 움푹 들어간 액티브 오픈부를 포함하도록 형성된다.
- [0035] 상기 액티브 오픈부(240)는 상기 돌기부들의 쇼트를 방지하기 위한 것이며 상기 소스 전극(220)의 돌기와 드레인 전극(230)의 돌기 사이에 형성된 채널부에 전혀 영향을 미치지 않는 공간으로, 상기 게이트 전극(210)의 외부에 위치하도록 상기 게이트 전극(210)을 패터닝한다.
- [0036] 상기 액티브 오픈부(240)가 상기 게이트 전극(210)의 외부에 위치하도록 상기 게이트 전극(210)을 형성하게 되면, 상기 게이트 전극(210)은 상기 소스 전극(220)의 돌기들과 중첩될 뿐 상기 돌기들을 연결하는 연결 전극과 중첩되지 않게 된다.
- [0037] 이로 인해, 상기 게이트 전극(210)과 상기 소스 및 드레인 전극(220, 230) 사이의 중첩되는 영역을 감소되어 상기 거대 트랜지스터(200) 상에서 발생하는 기생 용량을 감소시킬 수 있다.
- [0038] 도 4a는 도 2의 I ~ I'을 따라 절단한 단면도이고, 도 4b는 도 2의 II ~ II'을 따라 절단한 단면도를 나타낸 도면이다.
- [0039] 도 2 및 도 4a에 도시된 바와 같이, 기관(101) 상에 게이트 전극(210)이 형성되고, 상기 게이트 전극(210)이 형성된 기관(101) 상에 게이트 절연층(215)이 형성되고, 상기 게이트 절연층(215) 상에 반도체층(218)이 형성되고, 상기 반도체층(218)이 형성된 기관(101) 상에 일정 간격으로 이격된 다수의 돌기를 각각 포함하는 소스 전극(220)과 드레인 전극(230)이 형성된다.
- [0040] 상기 소스 및 드레인 전극(220, 230)은 상기 반도체층(218)을 사이에 두고 일정 간격 이격되어 있어 상기 게이트 전극(210)으로 구동신호가 공급되면 상기 소스 및 드레인 전극(220, 230) 사이에 채널 패스가 형성되어 상기 소스 및 드레인 전극(220, 230) 상에 전류가 형성된다.
- [0041] 도 2 및 도 4b에 도시된 바와 같이, 기관(101) 상에 게이트 절연막(215)이 형성되고, 상기 게이트 절연막(215)이 형성된 기관(101) 상에 액티브 오픈부(240)를 구비한 소스 전극(220)이 형성된다. 상기 채널에 영향을 미치지 않는 액티브 오픈부(240)를 구비한 소스 전극(220)은 그 하부에 게이트 전극(도 2의 210)이 형성되지 않아 상기 게이트 전극(210)과 중첩되지 않는다.
- [0042] 따라서, 상기 액티브 오픈부(240)를 구비한 소스 전극(220)은 그 하부에 어떠한 도전 물질도 형성되지 않으므로

로 상기 액티브 오픈부(240)에서는 두 전극과 그 사이에 위치한 유전체로 인한 기생용량이 발생되지 않는다.

[0043] 따라서, 게이트 드라이버(도 1의 110)에 구비된 거대 트랜지스터(200)에서 발생하는 기생 용량이 줄어들게 되어 상기 게이트 드라이버(110)로부터 상기 액정표시패널(100)의 게이트라인(GL)으로 제공되는 게이트 스캔 신호의 왜곡을 최소화할 수 있다.

[0044] 상기 게이트 스캔신호의 왜곡을 최소화함에 따라 상기 액정표시패널(100)에 구비된 액정의 응답속도에 미치는 영향이 줄어들어 상기 액정표시패널(100)은 높은 품질의 화상을 표시할 수 있다.

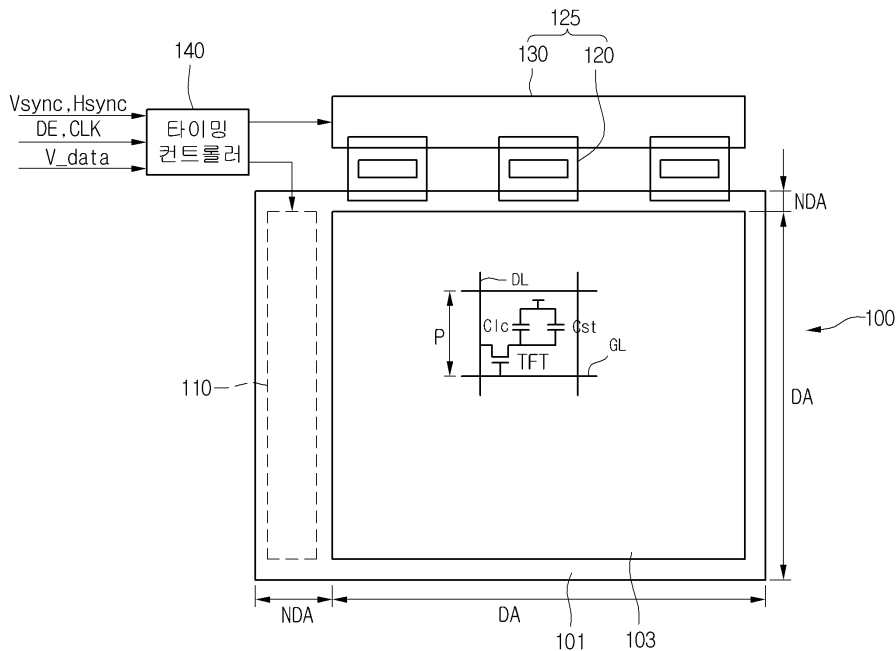
[0045] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

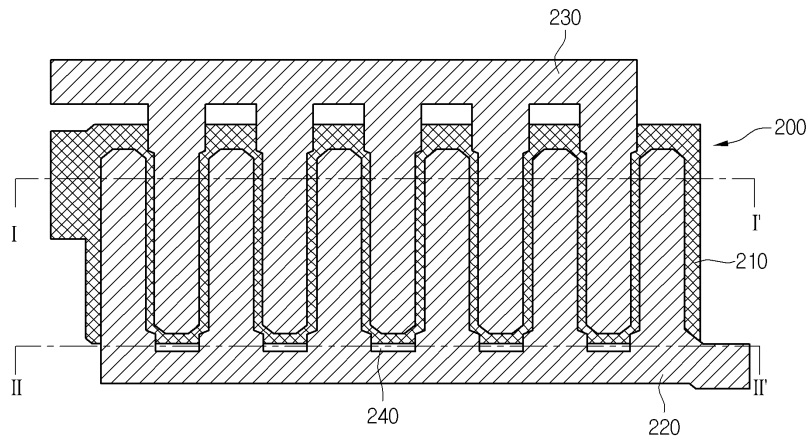
[0046]	100:액정표시패널	101, 103:제1 및 제2 기판
	102, 210:게이트 전극	104, 218:반도체층
	106, 220:소스 전극	108, 230:드레인 전극
	110:게이트 드라이버	120:데이터 구동 TCP
	125:데이터 구동부	130:인쇄회로기판
	140:타이밍 컨트롤러	150:화소전극
	200:거대 트랜지스터	215:게이트 절연층
	240:액티브 오픈부	

도면

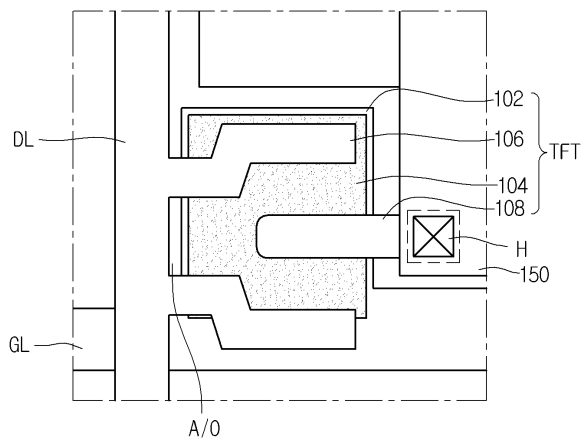
도면1



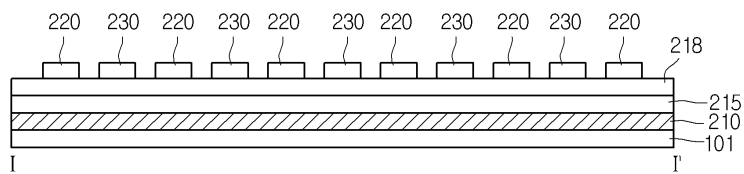
도면2



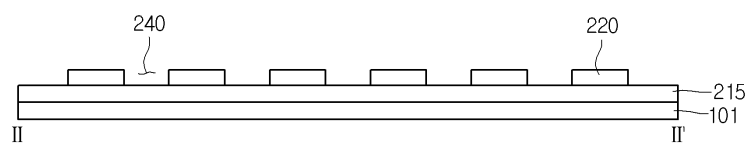
도면3



도면4a



도면4b



专利名称(译)	液晶显示器		
公开(公告)号	KR1020120075092A	公开(公告)日	2012-07-06
申请号	KR1020100137126	申请日	2010-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM YOUN OH 김윤오 SHIN CHUL SANG 신철상 YOU JAE HYUN 유재현 MIN JI SUK 민지숙		
发明人	김윤오 신철상 유재현 민지숙		
IPC分类号	G02F1/136 G02F1/133		
CPC分类号	G02F1/136 G02F1/13334 G02F1/13452 G02F1/136286 G02F1/1368 G02F2201/122 G09G2320/0252		
外部链接	Espacenet		

摘要(译)

公开了一种液晶显示器。根据本发明实施例的液晶显示器包括多条栅极线和限定像素区域的数据线，显示区域和分类为非显示区域的LCD面板包括形成在像素区域上的薄膜晶体管用于向提供扫描信号的栅极驱动器提供数据电压的多条栅极线数据驱动器和形成的晶体管的多条数据线包括在LCD面板的非显示区域上。并且栅极驱动器的晶体管包括栅电极，在该间隔中放置栅极绝缘层的半导体层，并且形成在栅电极上，并且源电极和漏电极面对上述半导体层。源电极的预定部分不与栅电极重叠。

