



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0043337
(43) 공개일자 2012년05월04일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2010-0104590

(22) 출원일자 2010년10월26일

심사청구일자 2011년11월07일

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박승렬

경기도 고양시 일산서구 후곡로 10, 906동 801호
(일산동, 후곡마을)

노소영

서울 관악구 신림2동 현대아파트 104동 310호

(74) 대리인

특허법인로알

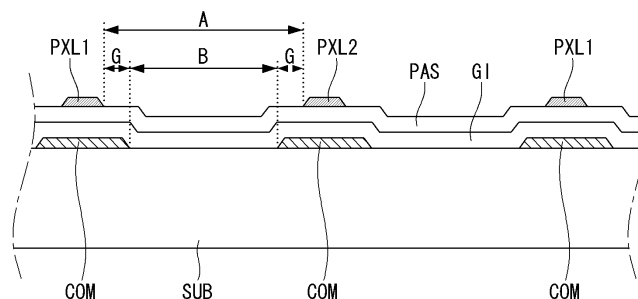
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 고투과 수평 전계형 액정표시장치

(57) 요약

본 발명은 고투과 수평 전계형 액정표시장치에 관한 것이다. 본 발명에 의한 고투과 수평 전계형 액정표시장치는, 기판; 상기 기판 위에 가로 방향으로 배열된 다수 개의 게이트 배선; 상기 기판 위에 세로 방향으로 배열된 다수 개의 데이터 배선; 상기 다수 개의 게이트 배선과 상기 다수 개의 데이터 배선이 교차하여 정의하는 다수 개의 화소 영역; 상기 화소 영역 내에서, 선분 막대 형상을 갖고 일정 간격으로 배열된 제1 화소 전극; 상기 화소 영역 내에서, 선분 막대 형상을 갖고 상기 제1 화소 전극과 나란하게 배열된 제2 화소 전극; 그리고 상기 화소 영역 내에서, 상기 제1 화소 전극 및 상기 제2 화소 전극과 중첩하여 형성된 공통 전극을 포함한다. 본 발명에 의한 수평 전계형 액정표시장치는, 화소 전극과 공통 전극을 동일 평면상에 형성하는 수평 전계형 액정표시장치 및 프린지 필드 수평 전계형 액정표시장치에서 각각 갖는 장점을 이용하고, 단점을 배격함으로써, 저전력 구동이 가능한 고투과율 수평전계형 액정표시장치를 제공할 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

기관;

상기 기관 위에 가로 방향으로 배열된 다수 개의 게이트 배선;

상기 기관 위에 세로 방향으로 배열된 다수 개의 데이터 배선;

상기 다수 개의 게이트 배선과 상기 다수 개의 데이터 배선이 교차하여 정의하는 다수 개의 화소 영역;

상기 화소 영역 내에서, 선분 막대 형상을 갖고 일정 간격으로 배열된 제1 화소 전극;

상기 화소 영역 내에서, 선분 막대 형상을 갖고 상기 제1 화소 전극과 나란하게 배열된 제2 화소 전극; 그리고

상기 화소 영역 내에서, 상기 제1 화소 전극 및 상기 제2 화소 전극과 중첩하여 형성된 공통 전극을 포함하는 것을 특징으로 하는 수평전계형 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 화소 전극과 상기 제2 화소 전극은, 동일한 평면 위에 형성되고, 상기 공통 전극은 절연막을 사이에 두고 상기 제1 화소 전극 및 상기 제2 화소 전극과 중첩되어 있는 것을 특징으로 하는 수평전계형 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 공통 전극은, 상기 제1 화소 전극 및 상기 제2 화소 전극의 폭보다 2~3배 더 큰 것을 특징으로 하는 수평전계형 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 제1 화소 전극과 상기 제2 화소 전극은, 8 μ m 내지 10 μ m 이격되어 배치된 것을 특징으로 하는 수평전계형 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 공통 전극은, 상기 제1 화소 전극과 상기 제2 화소 전극 사이의 최대 전압차이의 절반에 해당하는 전압 값을 일정하게 인가 받는 것을 특징으로 하는 수평전계형 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 화소 전극과 상기 제2 화소 전극 사이에는 0V 내지 5V 사이의 전압차를 가짐으로 하여 수평 전계가 형

성되고; 그리고

상기 공통 전극에는 2.5V의 전압이 인가되어, 상기 공통 전극과 상기 제1 화소 전극의 사이 및 상기 공통 전극과 상기 제2 화소 전극 사이에는 0V 내지 2.5V 사이의 프린지 필드 수평 전계가 형성되는 것을 특징으로 하는 수평전계형 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 제1 화소 전극에 연결되고 상기 화소 영역 내 일측부에 형성된 제1 박막트랜지스터; 그리고

상기 제2 화소 전극에 연결되고 상기 화소 영역 내 타측부에 형성된 제2 박막트랜지스터를 더 포함하는 것을 특징으로 하는 수평전계형 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 제1 박막트랜지스터는 상기 화소 영역의 어느 한 수평변에 형성된 게이트 배선과, 상기 화소 영역의 제1 수직변에 형성된 제1 데이터 배선에 연결되고; 그리고

상기 제2 박막트랜지스터는 상기 게이트 배선과, 상기 화소 영역의 제2 수직변에 형성된 제2 데이터 배선에 연결된 것을 특징으로 하는 수평전계형 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 제1 박막트랜지스터는 상기 게이트 배선에서 분기한 제1 게이트 전극, 상기 제1 데이터 배선에서 분기한 제1 소스 전극, 그리고 상기 제1 소스 전극과 대향하는 제1 드레인 전극을 포함하고; 그리고

상기 제2 박막트랜지스터는 상기 게이트 배선에서 분기한 제2 게이트 전극, 상기 제2 데이터 배선에서 분기한 제2 소스 전극, 그리고 상기 제2 소스 전극과 대향하는 제2 드레인 전극을 포함하는 것을 특징으로 하는 수평전계형 액정표시장치.

청구항 10

제 7 항에 있어서,

상기 제1 박막트랜지스터는 상기 화소 영역의 제1 수평변에 형성된 제1 게이트 배선과, 상기 화소 영역의 제1 수직변에 형성된 제1 데이터 배선에 연결되고; 그리고

상기 제2 박막트랜지스터는 상기 화소 영역의 제2 수평변에 형성된 제2 게이트 배선과, 상기 화소 영역의 제2 수직변에 형성된 제2 데이터 배선에 연결된 것을 특징으로 하는 수평전계형 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 제1 박막트랜지스터는 상기 제1 게이트 배선에서 분기한 제1 게이트 전극, 상기 제1 데이터 배선에서 분기한 제1 소스 전극, 그리고 상기 제1 소스 전극과 대향하는 제1 드레인 전극을 포함하고; 그리고

상기 제2 박막트랜지스터는 상기 제2 게이트 배선에서 분기한 제2 게이트 전극, 상기 제2 데이터 배선에서 분기

한 제2 소스 전극, 그리고 상기 제2 소스 전극과 대향하는 제2 드레인 전극을 포함하는 것을 특징으로 하는 수평전계형 액정표시장치.

명세서

기술 분야

[0001] 본 발명은 고투과 수평 전계형 액정표시장치에 관한 것이다. 특히, 본 발명은 화소 전극과 공통 전극이 동일 평면에 놓이는 수평 전계형 액정표시장치와 화소 전극과 공통 전극이 중첩하는 프린지 필드 수평 전계형 액정표시장치가 가지는 모든 문제점을 해소한 고투과 수평 전계형 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.

[0003] 수직 전계형 액정 표시 장치는 상부기관 상에 형성된 공통전극과 하부기관 상에 형성된 화소전극이 서로 대향되게 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동하게 된다. 이러한 수직 전계형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

[0004] 수평 전계형 액정 표시 장치는 하부 기관에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인플레인 스위칭(In Plane Switching ; IPS) 모드의 액정을 구동하게 된다. 이러한 수평 전계형 액정 표시 장치는 시야각이 170도 이상 넓다는 장점과, 수평 상태에서 스위칭 되므로 빠른 응답속도를 갖는 장점을 가진다.

[0005] 그러나, 화소 전극과 공통 전극을 동일 평면상에 형성하는 수평 전계형 액정표시장치의 경우, 화소 전극과 공통 전극 사이에서는 수평 전계가 형성되지만, 화소 전극 및 공통 전극 상부에서는 전계가 형성되지 못한다. 따라서, 전극이 차지하는 면적만큼 액정을 구동하지 못하는 비 투과 영역이 된다. 결국, 화소 전극과 공통 전극을 투명 도전물질로 만들더라도, 개구율이 저하되는 문제점이 있다.

[0006] 이러한 문제를 해결하기 위한 방법으로, 아래 층에 공통 전극을 화소 영역 전체에 상응하게 형성하고, 화소 전극을 위 층에 공통 전극과 중첩되도록 형성하는 프린지 필드 방식의 수평 전계형 액정표시장치의 경우, 화소 전극의 상부에도 수평 전계가 형성되어 투과율 저하를 방지하는 장점이 있다. 그러나, 이는 크기가 작은 액정표시장치에서는 투과율이 높지만, 크기가 큰 액정표시장치에서는 중첩된 화소 전극과 공통 전극 사이에 기생 용량의 증가로 박막트랜지스터의 크기를 증가시켜야 하고, 화소 전극 사이의 간격이 좁아 오히려 투과율이 저하되는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 상기 문제점들을 극복하기 위해 고안된 것으로, 공통 전극과 화소 전극 사이에서 수평 전계가 형성되고, 공통 전극 및 화소 전극의 상부에서도 수평 전계가 형성되는 고투과 수평 전계형 액정표시장치를 제공하는 데 있다. 본 발명의 다른 목적은, 공통 전극과 화소 전극이 중첩되어 수평 전계를 형성함에 있어서, 공통 전극과 화소 전극 사이의 누적 기생 용량의 양을 줄인 고투과 수평 전계형 액정표시장치를 제공하는 데 있다.

과제의 해결 수단

[0008] 상기 본 발명의 목적을 달성하기 위해, 본 발명에 의한 고투과 수평 전계형 액정표시장치는, 기관; 상기 기관 위에 가로 방향으로 배열된 다수 개의 게이트 배선; 상기 기관 위에 세로 방향으로 배열된 다수 개의 데이터 배선; 상기 다수 개의 게이트 배선과 상기 다수 개의 데이터 배선이 교차하여 정의하는 다수 개의 화소 영역; 상기 화소 영역 내에서, 선분 막대 형상을 갖고 일정 간격으로 배열된 제1 화소 전극; 상기 화소 영역 내에서, 선분 막대 형상을 갖고 상기 제1 화소 전극과 나란하게 배열된 제2 화소 전극; 그리고 상기 화소 영역 내에서, 상기 제1 화소 전극 및 상기 제2 화소 전극과 중첩하여 형성된 공통 전극을 포함한다.

[0009] 상기 제1 화소 전극과 상기 제2 화소 전극은, 동일한 평면 위에 형성되고, 상기 공통 전극은 절연막을 사이에

두고 상기 제1 화소 전극 및 상기 제2 화소 전극과 중첩되어 있는 것을 특징으로 한다.

[0010] 상기 공통 전극은, 상기 제1 화소 전극 및 상기 제2 화소 전극의 폭보다 2~3배 더 큰 것을 특징으로 한다.

[0011] 상기 제1 화소 전극과 상기 제2 화소 전극은, 8 μ m 내지 10 μ m 이격되어 배치된 것을 특징으로 한다.

[0012] 상기 공통 전극은, 상기 제1 화소 전극과 상기 제2 화소 전극 사이의 최대 전압차이의 절반에 해당하는 전압 값을 일정하게 인가 받는 것을 특징으로 한다.

[0013] 상기 제1 화소 전극과 상기 제2 화소 전극 사이에는 0V 내지 5V 사이의 전압차를 가짐으로 하여 수평 전계가 형성되고; 그리고, 상기 공통 전극에는 2.5V의 전압이 인가되어, 상기 공통 전극과 상기 제1 화소 전극의 사이 및 상기 공통 전극과 상기 제2 화소 전극 사이에는 0V 내지 2.5V 사이의 프린지 필드 수평 전계가 형성되는 것을 특징으로 한다.

[0014] 상기 제1 화소 전극에 연결되고 상기 화소 영역 내 일측부에 형성된 제1 박막트랜지스터; 그리고 상기 제2 화소 전극에 연결되고 상기 화소 영역 내 타측부에 형성된 제2 박막트랜지스터를 더 포함하는 것을 특징으로 한다.

[0015] 상기 제1 박막트랜지스터는 상기 화소 영역의 어느 한 수평변에 형성된 게이트 배선과, 상기 화소 영역의 제1 수직변에 형성된 제1 데이터 배선에 연결되고; 그리고 상기 제2 박막트랜지스터는 상기 게이트 배선과, 상기 화소 영역의 제2 수직변에 형성된 제2 데이터 배선에 연결된 것을 특징으로 한다.

[0016] 상기 제1 박막트랜지스터는 상기 게이트 배선에서 분기한 제1 게이트 전극, 상기 제1 데이터 배선에서 분기한 제1 소스 전극, 그리고 상기 제1 소스 전극과 대향하는 제1 드레인 전극을 포함하고; 그리고 상기 제2 박막트랜지스터는 상기 게이트 배선에서 분기한 제2 게이트 전극, 상기 제2 데이터 배선에서 분기한 제2 소스 전극, 그리고 상기 제2 소스 전극과 대향하는 제2 드레인 전극을 포함하는 것을 특징으로 한다.

[0017] 상기 제1 박막트랜지스터는 상기 화소 영역의 제1 수평변에 형성된 제1 게이트 배선과, 상기 화소 영역의 제1 수직변에 형성된 제1 데이터 배선에 연결되고; 그리고 상기 제2 박막트랜지스터는 상기 화소 영역의 제2 수평변에 형성된 제2 게이트 배선과, 상기 화소 영역의 제2 수직변에 형성된 제2 데이터 배선에 연결된 것을 특징으로 한다.

[0018] 상기 제1 박막트랜지스터는 상기 제1 게이트 배선에서 분기한 제1 게이트 전극, 상기 제1 데이터 배선에서 분기한 제1 소스 전극, 그리고 상기 제1 소스 전극과 대향하는 제1 드레인 전극을 포함하고; 그리고 상기 제2 박막트랜지스터는 상기 제2 게이트 배선에서 분기한 제2 게이트 전극, 상기 제2 데이터 배선에서 분기한 제2 소스 전극, 그리고 상기 제2 소스 전극과 대향하는 제2 드레인 전극을 포함하는 것을 특징으로 한다.

발명의 효과

[0019] 본 발명에 의한 수평 전계형 액정표시장치는, 동일 평면 상에 형성되고 그 사이에 제1 수평 전계를 형성하는 제1 화소 전극과 제2 화소 전극을 포함하고, 각각의 화소 전극의 하부에는 중첩되어 배치되는 공통 전극 사이에서 제2 수평 전계를 형성한다. 따라서, 화소 전극 상부면에서도 수평 전계를 형성함으로써, 전극 영역도 투과 영역으로 확보하여 높은 광 투과율을 가질 수 있다. 또한, 화소 전극 상부에 수평 전계를 형성하기 위한 공통 전극과 화소 전극과의 중첩 면적이 최소화 되고, 화소 전극의 간격이 충분히 확보됨으로써, 화소 전극과 공통 전극 사이의 누적 기생 용량을 최소화 할 수 있다. 즉, 본 발명에 의한 수평 전계형 액정표시장치는, 화소 전극과 공통 전극을 동일 평면상에 형성하는 수평 전계형 액정표시장치 및 프린지 필드 수평 전계형 액정표시장치에서 각각 갖는 장점을 이용하고, 단점을 배격함으로써, 저전력 구동이 가능한 고투과율 수평전계형 액정표시장치를 제공할 수 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 실시 예 1에 의한 고투과율 수평 전계형 액정표시장치의 구조를 나타내는 평면도.

도 2는 도 1에서 절취선 I-I'로 자른 실시 예 1에 의한 고투과율 수평 전계형 액정표시장치의 구조를 나타내는 단면도.

도 3은 본 발명의 실시 예 2에 의한 고투과율 수평 전계형 액정표시장치의 구조를 나타내는 평면도.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 첨부한 도면들, 도 1 내지 도 3을 참조하여, 본 발명의 바람직한 실시 예들에 대하여 설명한다. 도 1은

본 발명의 실시 예 1에 의한 고투과율 수평 전계형 액정표시장치의 구조를 나타내는 평면도이다. 도 2는 도 1에서 절취선 I-I'로 자른 실시 예 1에 의한 고투과율 수평 전계형 액정표시장치의 구조를 나타내는 단면도이다.

[0022] 도 1 및 2를 참조하면, 본 발명의 실시 예 1에 의한 고투과율 수평 전계형 액정표시장치는 투명 기판(SUB) 위에서 가로 방향으로 진행하는 복수 개의 게이트 배선과 세로 방향으로 진행하는 복수 개의 데이터 배선이 서로 직교하면서 정의한 복수 개의 화소 영역을 갖는다. 화소 영역의 일측 모서리에는 제1 박막트랜지스터(T1)가, 타측 모서리에는 제2 박막트랜지스터(T2)가 배치된다. 제1 박막트랜지스터(T1)는 화소 영역 내에서, 선분 막대가 일정 간격으로 배열된 빗살 모양으로 형성된 제1 화소 전극(PXL1)과 연결된다. 제2 박막트랜지스터(T2)는 화소 영역 내에서, 선분 막대가 일정 간격으로 배열된 빗살 모양으로 형성된 제2 화소 전극(PXL2)과 연결된다.

[0023] 제1 박막트랜지스터(T1)와 제2 박막트랜지스터(T2)는 동일한 게이트 배선(GL)에서 분기한 제1 게이트 전극(G1)과 제2 게이트 전극(G2)에 각각 연결되어 있다. 그리고, 제1 데이터 배선(DL1)에서 분기한 제1 소스 전극(S1)이 제1 게이트 전극(G1)의 일측면과 중첩된다. 제1 소스 전극(S1)과 일정 간격 이격하여 대향하는 제1 드레인 전극(D1)이 제1 게이트 전극(G1)의 타측면과 중첩하고 있다. 제1 드레인 전극(D1)은 제1 화소 전극(PXL1)과 연결된다. 도면에 나타내지는 않았지만, 제1 게이트 전극(G1)과 제1 소스-드레인 전극(S1-D1) 사이에 제1 반도체층이 개재되어, 채널 역할을 한다.

[0024] 마찬가지로, 제2 데이터 배선(DL2)에서 분기한 제2 소스 전극(S2)이 제2 게이트 전극(G2)의 일측면과 중첩된다. 제2 소스 전극(S2)과 일정 간격 이격하여 대향하는 제2 드레인 전극(D2)이 제2 게이트 전극(G2)의 타측면과 중첩하고 있다. 제2 드레인 전극(D2)은 제2 화소 전극(PXL2)과 연결된다. 도면에 나타내지는 않았지만, 제2 게이트 전극(G2)과 제2 소스-드레인 전극(S2-D2) 사이에 제2 반도체층이 개재되어, 채널 역할을 한다.

[0025] 제1 화소 전극(PXL1)과 제2 화소 전극(PXL2)은 여러 개의 선분 형 막대가 일정 간격으로 배치된 빗살 모양의 형태를 갖는다. 그리고, 제1 화소 전극(PXL1)과 제2 화소 전극(PXL2)의 각각의 선분 형 막대는 서로 교차하여 배치된다. 즉, 제1 화소 전극(PXL1)과 제2 화소 전극(PXL2)은 동일한 평면 상에서 평행하게 배치되어 그 사이에서 수평 전계를 형성한다.

[0026] 게이트 배선(GL)에 스캔 신호가 인가되면, 제1 박막트랜지스터(T1)와 제2 박막트랜지스터(T2)가 동시에 작동하여, 화소 신호를 제1 화소 전극(PXL1)과 제2 화소 전극(PXL2)에 인가한다. 제1 화소 전극(PXL1)과 제2 화소 전극(PXL2) 사이에 수평 전계를 형성하기 위해서는 서로 다른 전압을 갖도록 구동하는 것이 바람직하다. 예를 들어, 제1 화소 전극(PXL1)은 0~5V 사이에서 작동하고, 제2 화소 전극(PXL2)은 5~0V 사이에서 작동하도록 하여, 두 화소 전극들(PXL1, PXL2) 사이에서 전압차이가 0~5V 중 어느 한 값을 갖도록 조절하는 것이 바람직하다. 이로써, 제1 화소 전극(PXL1)과 제2 화소 전극(PXL2) 사이에 형성된 수평 전계로 액정을 구동하고, 화상을 표현할 수 있다.

[0027] 이와 같은 구조에서는, 특히 제1 화소 전극(PXL1)과 제2 화소 전극(PXL2) 사이의 거리가 화소 전극들(PXL1, PXL2)의 폭보다 3배 가량 큰 간격으로 배치되어 있을 경우, 화소 전극들(PXL1, PXL2) 사이에서는 수평 전계가 형성되지만, 화소 전극들(PXL1, PXL2) 위에서는 전계가 형성되지 않는다. 따라서, 화소 전극들(PXL1, PXL2) 위에 놓이는 액정을 구동할 수 없을 수 있다. 따라서, 화소 전극들(PXL1, PXL2) 상부에도 수평 전계가 형성되도록 하는 것이 바람직하다.

[0028] 이를 위해, 실시 예 1에서는, 화소 전극들(PXL1, PXL2)의 하부에, 화소 전극들(PXL1, PXL2)과 중첩하되, 화소 전극들(PXL1, PXL2) 보다 넓은 폭을 갖는 공통 전극(COM)을 더 포함한다. 예를 들어, 공통 전극(COM)은 게이트 배선(GL) 및 게이트 전극들(G1, G2)과 동일한 평면에 투명 도전물질로 형성할 수 있다. 그리고, 공통 전극(COM)에 공통 전압을 인가하기 위한 공통 배선(CL)이 게이트 배선(DL)과 평행하게 배치할 수 있다. 그 결과, 공통 전극(COM)과 화소 전극들(PXL1, PXL2)은 게이트 절연막(GI) 및 보호막(PAS)을 사이에 두고 중첩된 형상으로 배치된다.

[0029] 도 2를 다시 참조하여, 더 상세히 살펴보면 다음과 같다. 화소 전극들(PXL1, PXL2)의 상부 방향에서도 수평 전계를 형성하도록 하기 위해서는 아래에 형성된 공통 전극(COM)을 좀 더 넓게 형성하는 것이 바람직하다. 그러면, 화소 전극들(PXL1, PXL2) 표면과 공통 전극(COM)의 가장자리 부분 사이에서 프린지 필드가 형성되고, 이로 인해 화소 전극들(PXL1, PXL2) 상부에도 수평 전계가 형성될 수 있다. 공통 전극(COM)의 폭은 화소 전극들(PXL1, PXL2)의 폭의 약 2~3배의 폭을 갖도록 형성하는 것이 바람직하다. 즉, 공통 전극(COM)의 가장자리는 화소 전극들(PXL1, PXL2)의 가장자리에서 화소 전극들(PXL1, PXL2)의 폭의 1/2 ~ 3/4배 만큼 돌출된 구조를 갖는 것이 바람직하다. 즉, 공통 전극(COM)과 화소 전극들(PXL1, PXL2)의 중첩 여백(G)은 화소 전극들(PXL1, PXL2)의 폭의 약 1/2 ~ 3/4배 만큼 돌출된 구조를 갖는 것이 바람직하다.

2)의 폭의 1/2 ~ 3/4배인 것이 바람직하다.

- [0030] 또한, 공통 전극(COM)과 화소 전극들(PXL1, PXL2) 사이에서 프린지 필드 수평 전계가 형성되면서, 화소 전극들(PXL1, PXL2) 사이에 형성되는 수평 전계와 동조하도록 하는 것이 바람직하다. 예를 들어, 공통 전극(COM)에는 제1 화소전극(PXL1)과 제2 화소전극(PXL2) 사이의 전압 차이의 중간 전압인 2.5V가 항상 균일하게 인가되는 것이 바람직하다.
- [0031] 화소 전극들(PXL1, PXL2) 사이의 수평 전계는 화소 전극들(PXL1, PXL2) 각각에 걸리는 전압의 차이로 결정된다. 따라서, 제1 화소 전극(PXL1)과 제2 화소 전극(PXL2) 사이에는 0V 내지 5V 사이의 전압차를 가짐으로 하여 수평 전계가 형성된다. 그리고, 공통 전극(COM)에 일정한 2.5V의 일정한 전압이 인가되면, 제1 화소전극(PXL1)과 제2 화소전극(PXL2) 사이에 수평 전계가 형성될 때의 절반인, 0V 내지 2.5V 사이의 전압차를 가짐으로 하여 프린지 필드 수평 전계가 공통 전극(COM)과 화소 전극들(PXL1, PXL2) 사이에 형성된다.
- [0032] 이로써, 본 발명의 실시 예 1에 의한 액정표시장치에서는 화소 영역 전체에 수평 전계를 인가하게 된다. 그 결과 화소 영역 거의 모두를 개구 영역인 광투과 영역으로 사용할 수 있는 고투과 수평 전계형 액정표시장치를 얻을 수 있다.
- [0033] 이하, 도 3을 참조하여, 실시 예 2를 설명한다. 도 3은 본 발명의 실시 예 2에 의한 고투과율 수평 전계형 액정표시장치의 구조를 나타내는 평면도. 실시 예 2에 의한 수평 전계형 액정표시장치의 단면 구조는 도 2에 의한 실시 예 1과 동일하다. 다만, 제1 박막트랜지스터(T1)와 제2 박막트랜지스터(T2)의 배치관계에 차이가 있다.
- [0034] 도 3을 참조하면, 본 발명의 실시 예 2에 의한 고투과율 수평 전계형 액정표시장치는 투명 기판(SUB) 위에서 가로 방향으로 진행하는 복수 개의 게이트 배선과 세로 방향으로 진행하는 복수 개의 데이터 배선이 서로 직교하면서 정의한 복수 개의 화소 영역을 갖는다. 화소 영역의 일측 모서리에는 제1 박막트랜지스터(T1)가, 타측 모서리에는 제2 박막트랜지스터(T2)가 배치된다. 제1 박막트랜지스터(T1)는 화소 영역 내에서 빗살 모양으로 형성된 제1 화소 전극(PXL1)과 연결된다. 제2 박막트랜지스터(T2)는 화소 영역 내에서 빗살 모양으로 형성된 제2 화소 전극(PXL2)과 연결된다.
- [0035] 제1 박막트랜지스터(T1)는 제1 게이트 배선(GL1)에서 분기한 제1 게이트 전극(G1)과 연결되어 있고, 제2 박막트랜지스터(T2)는 제2 게이트 배선(GL2)에서 분기한 제1 게이트 전극(G1)과 제2 게이트 전극(G2)에 각각 연결되어 있다. 그리고, 제1 데이터 배선(DL1)에서 분기한 제1 소스 전극(S1)이 제1 게이트 전극(G1)의 일측면과 중첩된다. 제1 소스 전극(S1)과 일정 간격 이격하여 대향하는 제1 드레인 전극(D1)이 제1 게이트 전극(G1)의 타측면과 중첩하고 있다. 제1 드레인 전극(D1)은 제1 화소 전극(PXL1)과 연결된다. 도면에 나타내지는 않았지만, 제1 게이트 전극(G1)과 제1 소스-드레인 전극(S1-D1) 사이에 제1 반도체 층이 개재되어, 채널 역할을 한다.
- [0036] 마찬가지로, 제2 데이터 배선(DL2)에서 분기한 제2 소스 전극(S2)이 제2 게이트 전극(G2)의 일측면과 중첩된다. 제2 소스 전극(S2)과 일정 간격 이격하여 대향하는 제2 드레인 전극(D2)이 제2 게이트 전극(G2)의 타측면과 중첩하고 있다. 제2 드레인 전극(D2)은 제2 화소 전극(PXL2)과 연결된다. 도면에 나타내지는 않았지만, 제2 게이트 전극(G2)과 제2 소스-드레인 전극(S2-D2) 사이에 제2 반도체 층이 개재되어, 채널 역할을 한다.
- [0037] 제1 화소 전극(PXL1)과 제2 화소 전극(PXL2)은 여러 개의 선분 형 막대가 일정 간격으로 배치된 빗살 모양의 형태를 갖는다. 그리고, 제1 화소 전극(PXL1)과 제2 화소 전극(PXL2)의 각각의 선분 형 막대는 서로 교차하여 배치된다. 즉, 제1 화소 전극(PXL1)과 제2 화소 전극(PXL2)은 동일한 평면 상에서 평행하게 배치되어 그 사이에서 수평 전계를 형성한다.
- [0038] 실시 예 2에서는 제1 박막트랜지스터(T1)는 제1 게이트 배선(GL1)이 선택될 때 작동하고, 제2 박막트랜지스터(T2)는 제1 게이트 배선(GL1)보다 먼저 선택된 제2 게이트 배선(GL2)가 선택될 때 작동한다. 따라서, 제1 화소 전극(PXL1)과 제2 화소 전극(PXL2)에 화소 전압이 인가되는 시간에 차이가 있으나, 한 화면을 표시하는 동안에 각각의 화소 전극들(PXL1, PXL2)에는 전압이 그대로 유지되므로, 화소 전극들(PXL1, PXL2) 사이의 수평 전계를 형성할 수 있다.
- [0039] 이상 설명한 실시 예 1과 실시 예 2는 화소 전극들(PXL1, PXL2) 사이에 수평 전계를 형성하기 위한 박막트랜지스터들(T1, T2)의 배치에 차이가 있을 뿐, 수평 전계를 형성하는 화소 전극들(PXL1, PXL2)과 공통 전극(COM)의

배치 구조에는 차이가 없다. 본 발명에서는, 화소 영역에서 가장 주요한 수평 전계는 제1 화소 전극(PXL1)과 제2 화소 전극(PXL2) 사이에서 형성되는 수평 전계이다. 그리고, 화소 전극들(PXL1, PXL2)과 공통 전극(COM) 사이에 형성되는 프린지 필드에 의한 수평 전계는 화소 전극들(PXL1, PXL2) 상부에만 수평 전계가 형성되도록 하는데 기여한다. 따라서, 화소 영역 내 모든 면적에 걸쳐 수평 전계를 형성할 수 있다.

[0040] 또한, 어느 화소 전극에서 형성되는 프린지 필드 수평전계는 그 화소 전극의 하부에 있는 공통 전극(COM)과의 사이에서만 형성될 뿐, 이웃하는 공통 전극(COM)으로부터의 영향이 없다. 따라서, 화소 전극과 공통 전극 사이에 형성되는 기생 용량을 줄일 수 있다는 장점이 있다.

[0041] 그리고, 화소 영역 내에서 두 개의 박막트랜지스터로 두 개의 화소 전극을 구동하기 때문에 구동 전압을 낮출 수 있다. 즉, 동일한 구동 전압을 사용하면, 화소 전극 사이의 간격을 더 멀리 형성할 수 있다. 화소 전극들(PXL1, PXL2) 사이의 간격(A)을 동일 전극물질 이격 거리 기본 규칙인 $7\mu\text{m}$ 보다 큰 $8\sim 10\mu\text{m}$ 로 형성할 수 있다. 일례로, 제1 화소 전극(PXL1)과 제2 화소 전극(PXL2)의 폭을 $2\mu\text{m}$ 로, 화소 전극들(PXL1, PXL2) 사이 간격을 $10\mu\text{m}$ 로, 공통 전극(COM)의 폭을 $4\mu\text{m}$ 로, 공통 전극들(COM) 사이의 간격을 $8\mu\text{m}$ 로 설정하여, 본 발명을 실제로 구현했을 때, 투과율이 20% 이상 상승하는 결과를 얻을 수 있었다. 아래 층에 배치되는 공통 전극(COM) 사이의 간격(B)는 화소 전극들(PXL1, PXL2) 사이의 간격(A) 그리고, 공통 전극(COM)과 화소 전극들(PXL1, PXL2) 사이의 중첩 여백(G)에 의해 결정된다.

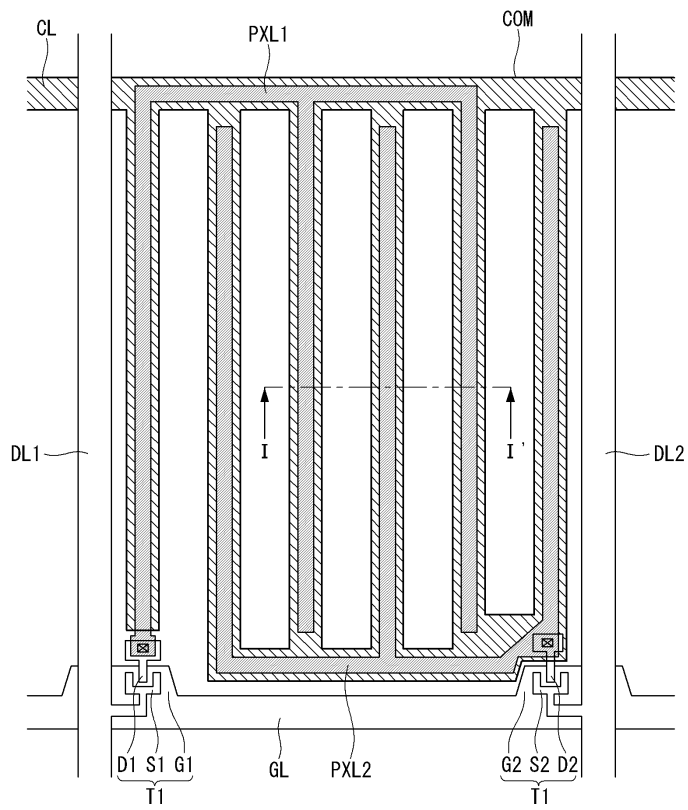
[0042] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

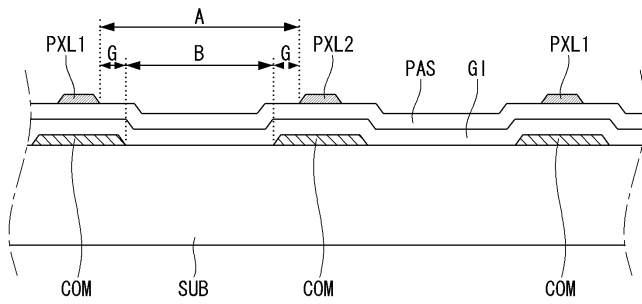
[0043]	DL1: 제1 데이터 배선	DL2: 제2 데이터 배선
	GL1: 제1 게이트 배선	GL2: 제2 데이터 배선
	T1: 제1 박막트랜지스터	T2: 제2 박막트랜지스터
	G1: 제1 게이트 전극	G2: 제2 게이트 전극
	S1: 제1 소스 전극	S2: 제2 소스 전극
	D1: 제1 드레인 전극	D2: 제2 드레인 전극
	PXL1: 제1 화소 전극	PXL2: 제2 화소 전극
	COM: 공통 전극	CL: 공통 배선
	GI: 게이트 절연막	PAS: 보호막

도면

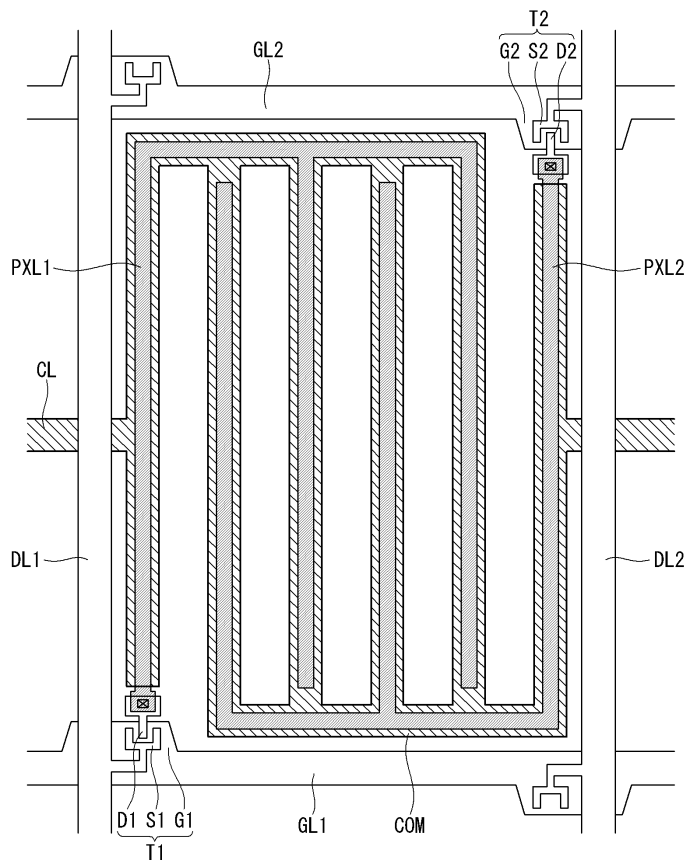
도면1



도면2



도면3



专利名称(译)	高度透明的水平电场液晶显示器		
公开(公告)号	KR1020120043337A	公开(公告)日	2012-05-04
申请号	KR1020100104590	申请日	2010-10-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK SEUNG RYULL 박승렬 NOH SO YOUNG 노소영		
发明人	박승렬 노소영		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/13624 G02F2001/134372 G02F2201/124 G02F2201/121 G02F1/134363 G02F1/134309		
其他公开文献	KR101320108B1		
外部链接	Espacenet		

摘要(译)

高透射水平电场型液晶显示装置技术领域本发明涉及高透射水平电场型液晶显示装置。根据本发明的高度透明的水平电场型液晶显示装置包括：基板；多个栅极布线在基板上沿横向排列；在基板上沿纵向排列的多条数据线；通过使多条栅极布线和多条数据线交叉而限定的多个像素区域；第一像素电极，具有线段形状并以规则间隔排列在像素区域中；第二像素电极，具有线段形状，并且与像素区域中的第一像素电极平行布置；并且公共电极与像素区域中的第一像素电极和第二像素电极重叠。根据本发明拒绝的缺陷水平jeongyehyeong液晶显示装置中，通过利用在水平jeongyehyeong液晶显示装置中的每个的优点，并形成在相同的像素电极和公共电极平面的边缘场的水平jeongyehyeong液晶显示装置，而且，低功率可以提供能够被驱动的高透射率水平电场型液晶显示装置。 专利公开10-2012-0043337

