



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0021537
(43) 공개일자 2012년03월09일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/136 (2006.01)
(21) 출원번호 10-2010-0075898
(22) 출원일자 2010년08월06일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
양병덕
경기도 용인시 기흥구 중동 참솔마을월드메르디앙
110동 1701호
유영훈
충청남도 아산시 탕정면 탕정면로 37, 트라패리스
302동 1602호
(뒷면에 계속)
(74) 대리인
특허법인가산

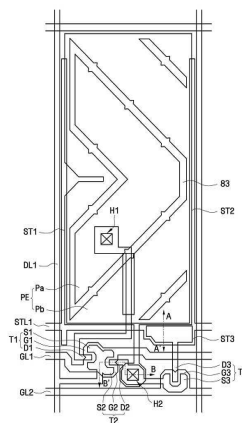
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

측면 시인성을 높이면서 잔상 수준을 감소시킬 수 있는 액정 표시 장치가 제공된다. 본 발명의 일 실시예에 따른 액정 표시 장치는, 제1 방향으로 나란히 배열된 제1 및 제2 게이트선; 상기 제1 및 제2 게이트선과 절연되어 교차하는 데이터선; 상기 제1 게이트선 및 상기 데이터선에 의해 정의되는 영역에 위치하고 서로 전기적으로 분리된 제1 및 제2 부화소 전극을 포함하는 화소 전극; 상기 제1 게이트선, 상기 데이터선, 및 상기 제1 부화소 전극에 연결된 제1 박막 트랜지스터; 상기 제1 게이트선, 상기 데이터선, 및 상기 제2 부화소 전극에 연결된 제2 박막 트랜지스터; 및 상기 제2 게이트선, 상기 제2 부화소 전극, 및 상기 제2 부화소 전극에 인가된 데이터 전압을 분배하기 위한 전하 분배 캐패시터에 연결된 제3 박막 트랜지스터를 포함하고, 여기서, 상기 데이터 전압은 공통 전압에 대한 네가티브 전압과 포지티브 전압 사이에서 스위칭하고, 상기 전하 분배 캐패시터는 상기 데이터 전압이 인가되는 제1 전극과, 상기 네가티브 전압 및 상기 포지티브 전압의 평균값 보다 소정 정도 이상 작은 전압이 인가되는 제2 전극을 포함한다.

대표도 - 도3



(72) 발명자

김동윤

서울특별시 금천구 남부순환로130길 67-2, 2층 (독산동)

공향식

경기도 성남시 분당구 내정로 152, 136동 201호 (수내동, 파크타운)

김장수

경기도 용인시 기흥구 예현로35번길 21, 현대아파트 현대홈타운 104동 2003호 (서천동)

특허청구의 범위

청구항 1

제1 방향으로 나란히 배열된 제1 및 제2 게이트선;

상기 제1 및 제2 게이트선과 절연되어 교차하는 데이터선;

상기 제1 게이트선 및 상기 데이터선에 의해 정의되는 영역에 위치하고 서로 전기적으로 분리된 제1 및 제2 부화소 전극을 포함하는 화소 전극;

상기 제1 게이트선, 상기 데이터선, 및 상기 제1 부화소 전극에 연결된 제1 박막 트랜지스터;

상기 제1 게이트선, 상기 데이터선, 및 상기 제2 부화소 전극에 연결된 제2 박막 트랜지스터; 및

상기 제2 게이트선, 상기 제2 부화소 전극, 및 상기 제2 부화소 전극에 인가된 데이터 전압을 분배하기 위한 전하 분배 캐패시터에 연결된 제3 박막 트랜지스터를 포함하고,

여기서, 상기 데이터 전압은 공통 전압에 대한 네가티브 전압과 포지티브 전압 사이에서 스윙하고,

상기 전하 분배 캐패시터는 상기 데이터 전압이 인가되는 제1 전극과, 상기 네가티브 전압 및 상기 포지티브 전압의 평균값 보다 소정 정도 이상 작은 전압이 인가되는 제2 전극을 포함하는 액정 표시 장치.

청구항 2

제1 항에 있어서,

상기 제2 전극에 인가되는 전압은 그라운드 전압 이상의 값을 갖는 액정 표시 장치.

청구항 3

제1 항에 있어서,

상기 소정 정도는 2V인 액정 표시 장치.

청구항 4

제1 항에 있어서,

상기 제2 전극에 인가되는 전압은 4V이하인 액정 표시 장치.

청구항 5

제4 항에 있어서,

상기 제2 전극에 인가되는 전압은 그라운드 전압 이상의 값을 갖는 액정 표시 장치.

청구항 6

제4 항에 있어서,

상기 공통 전압은 6V이고, 상기 포지티브 전압은 12V이고, 상기 네가티브 전압은 0V인 액정 표시 장치.

청구항 7

제1 항에 있어서,

상기 제1 및 제2 게이트선과 동일층에 배치되는 스토리지 배선을 더 포함하고,

상기 전하 분배 캐패시터는, 상기 제3 박막 트랜지스터의 드레인 전극으로 형성된 상기 제1 전극과 상기 스토리지 배선으로 형성된 상기 제2 전극을 포함하고, 상기 제1 전극 및 상기 제2 전극 사이에는 적어도 반도체층이 개재되는 액정 표시 장치.

청구항 8

제1 방향으로 나란히 배열된 제1 및 제2 게이트선;

상기 제1 및 제2 게이트선과 동일층에 배치되는 스토리지 배선;

상기 제1 및 제2 게이트선과 절연되어 교차하는 데이터선;

상기 제1 게이트선 및 상기 데이터선에 의해 정의되는 영역에 위치하고 서로 전기적으로 분리된 제1 및 제2 부화소 전극을 포함하는 화소 전극;

상기 제1 게이트선, 상기 데이터선, 및 상기 제1 부화소 전극에 연결된 제1 박막 트랜지스터;

상기 제1 게이트선, 상기 데이터선, 및 상기 제2 부화소 전극에 연결된 제2 박막 트랜지스터; 및

상기 제2 게이트선, 상기 제2 부화소 전극, 및 상기 제2 부화소 전극에 인가된 데이터 전압을 분배하기 위한 전하 분배 캐패시터에 연결된 제3 박막 트랜지스터를 포함하고,

상기 전하 분배 캐패시터는, 상기 제3 박막 트랜지스터의 드레인 전극으로 형성된 제1 전극 및 상기 스토리지 배선으로 형성된 상기 제2 전극을 포함하고, 상기 제1 전극 및 상기 제2 전극 사이에는 적어도 반도체층이 개재되는 액정 표시 장치.

청구항 9

제8 항에 있어서,

상기 데이터 전압은 공통 전압에 대한 네가티브 전압과 포지티브 전압 사이에서 스윙하고,

상기 제1 전극에는 상기 데이터 전압이 인가되고, 상기 제2 전극에는 상기 네가티브 전압 및 상기 포지티브 전압의 평균값 보다 소정 정도 이상 작은 전압이 인가되는 액정 표시 장치.

청구항 10

제9 항에 있어서,

상기 제2 전극에 인가되는 전압은 그라운드 전압 이상의 값을 갖는 액정 표시 장치.

청구항 11

제9 항에 있어서,

상기 소정 정도는 2V인 액정 표시 장치.

청구항 12

제9 항에 있어서,

상기 제2 전극에 인가되는 전압은 4V이하인 액정 표시 장치.

청구항 13

제12 항에 있어서,

상기 제2 전극에 인가되는 전압은 그라운드 전압 이상의 값을 갖는 액정 표시 장치.

청구항 14

제12 항에 있어서,

상기 공통 전압은 6V이고, 상기 포지티브 전압은 12V이고, 상기 네가티브 전압은 0V인 액정 표시 장치.

명세서

기술분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 보다 상세하게는 측면 시인성을 향상시킬 수 있는 구조를 갖는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0003] 또한 전계가 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향 모드 액정 표시 장치는 대비비가 크고 넓은 기준 시야각 구현이 용이하여 각광받고 있다. 여기에서 기준 시야각이란 대비비가 1:10인 시야각 또는 계조간 휘도 반전 한계 각도를 의미한다.

[0004] 수직 배향 모드 액정 표시 장치에서 광시야각을 구현하기 위한 수단으로는 전계 생성 전극에 절개부를 형성하는 방법과 전계 생성 전극 위에 돌기를 형성하는 방법 등이 있다. 절개부와 돌기로 액정 분자가 기우는 방향을 결정할 수 있으므로, 이들을 사용하여 액정 분자의 경사 방향을 여러 방향으로 분산시킴으로써 기준 시야각을 넓힐 수 있다.

[0005] 그러나 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어지는 문제점이 있다. 예를 들어, 절개부가 구비된 PVA(patterned vertically aligned) 방식 액정 표시 장치의 경우에는 측면으로 갈수록 영상이 밝아져서, 심한 경우에는 높은 계조 사이의 휘도 차이가 없어져 그림이 뭉그러져 보이는 경우도 발생한다.

[0006] 따라서, 측면 시인성을 향상시킬 수 있는 구조의 개발이 요구되는 실정이다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 기술적 과제는, 측면 시인성을 높이면서 잔상 수준을 감소시킬 수 있는 액정 표시 장치를 제공하고자 하는 것이다.

[0008] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 상기 기술적 과제를 해결하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 제1 방향으로 나란히 배열된 제1 및 제2 게이트선; 상기 제1 및 제2 게이트선과 절연되어 교차하는 데이터선; 상기 제1 게이트선 및 상기 데이터선에 의해 정의되는 영역에 위치하고 서로 전기적으로 분리된 제1 및 제2 부화소 전극을 포함하는 화소 전극; 상기 제1 게이트선, 상기 데이터선, 및 상기 제1 부화소 전극에 연결된 제1 박막 트랜지스터; 상기 제1 게이트선, 상기 데이터선, 및 상기 제2 부화소 전극에 연결된 제2 박막 트랜지스터; 및 상기 제2 게이트선, 상기 제2 부화소 전극, 및 상기 제2 부화소 전극에 인가된 데이터 전압을 분배하기 위한 전하 분배 캐패시터에 연결된 제3 박막 트랜지스터를 포함하고, 여기서, 상기 데이터 전압은 공통 전압에 대한 네가티브 전압과 포지티브 전압 사이에서 스윙하고, 상기 전하 분배 캐패시터는 상기 데이터 전압이 인가되는 제1 전극과, 상기 네가티브 전압 및 상기 포지티브 전압의 평균값 보다 소정 정도 이상 작은 전압이 인가되는 제2 전극을 포함한다.

[0010] 상기 기술적 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 액정 표시 장치는, 제1 방향으로 나란히 배열된 제1 및 제2 게이트선; 상기 제1 및 제2 게이트선과 동일층에 배치되는 스토리지 배선; 상기 제1 및 제2 게이트선과 절연되어 교차하는 데이터선; 상기 제1 게이트선 및 상기 데이터선에 의해 정의되는 영역에 위치하고 서로 전기적으로 분리된 제1 및 제2 부화소 전극을 포함하는 화소 전극; 상기 제1 게이트선, 상기 데이터선, 및 상기 제1 부화소 전극에 연결된 제1 박막 트랜지스터; 상기 제1 게이트선, 상기 데이터선, 및 상기 제2 부화소 전극에 연결된 제2 박막 트랜지스터; 및 상기 제2 게이트선, 상기 제2 부화소 전극, 및 상기 제2 부화소 전극에 인가된 데이터 전압을 분배하기 위한 전하 분배 캐패시터에 연결된 제3 박막 트랜지스터를 포함하고, 상기 전하 분배 캐패시터는, 상기 제3 박막 트랜지스터의 드레인 전극으로 형성된 제1 전극 및 상기 스토리지 배선으로 형

성된 상기 제2 전극을 포함하고, 상기 제1 전극 및 상기 제2 전극 사이에는 적어도 반도체층이 개재된다.

[0011] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 도 1의 액정 표시 장치의 구조를 나타낸 회로도이다.

도 3은 본 발명의 일 실시예에 따른 액정 표시 장치를 나타내는 레이아웃도이다.

도 4는 도 3의 A-A' 선 및 B-B' 선을 따라 절단한 단면도이다.

도 5 내지 도 10은 도 3 및 도 4의 액정 표시 장치를 제조하는 과정 중의 중간 단계를 나타내는 도면들이다.

도 11은 도 3의 화소 전극만의 레이아웃을 나타내는 도면이다.

도 12 및 도 13은 동일한 공통 전압 및 스토리지 전압을 이용한 경우의 문제점을 나타내는 도면들이다.

도 14a 내지 도 14c는 스토리지 전압(Vcst)에 따른 전하 분배 캐패시터(Ccs)의 C-V 특성을 나타내는 도면이다.

도 15는 스토리지 전압(Vcst)에 따른 액정 표시 장치의 잔상 수준을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다.

[0014] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0015] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다.

[0016] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.

[0017] 이하 첨부된 도면들을 참조하여 본 발명의 실시예들에 따른 액정 표시 장치에 대하여 상세히 설명한다.

[0018] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이다.

[0019] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치는 액정 패널 어셈블리(liquid crystal panel assembly)(300), 이에 연결된 게이트 구동부(400) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

[0020] 액정 패널 어셈블리(300)는 등가 회로로 볼 때 다수의 표시 신호선과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 다수의 화소(PX)를 포함한다. 여기서, 액정 패널 어셈블리(300)는 서로 마주 보는 하부 표시판, 상부 표시판 및 이들 사이에 개재된 액정층을 포함한다.

- [0021] 표시 신호선은 하부 표시판에 구비되어 있으며, 게이트 신호를 전달하는 다수의 게이트선(GL1-GLn)과 데이터 신호를 전달하는 다수의 데이터선(DL1-DLm)을 포함한다. 게이트선(GL1-GLn)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(DL1-DLm)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- [0022] 각 화소(PX)는 해당 게이트선(GL1-GLn) 및 데이터선(DL1-DLm)에 연결되어 있는 스위칭 소자와, 이에 연결된 액정 캐패시터(liquid crystal capacitor)를 포함한다. 여기서 필요에 따라 스위칭 소자에 스토리지 캐패시터(storage capacitor)를 액정 캐패시터와 병렬로 연결할 수 있다.
- [0023] 여기서 각 화소(PX)의 스위칭 소자는 박막 트랜지스터 등으로 이루어지며, 각각 해당 게이트선(GL1-GLn)에 연결되어 있는 제어 단자, 데이터선(DL1-DLm)에 연결되어 있는 입력 단자, 그리고 액정 캐패시터에 연결되어 있는 출력 단자를 가지는 삼단자 소자이다.
- [0024] 게이트 구동부(400)는 게이트선(GL1-GLn)에 연결되어 외부로부터의 하이 레벨의 게이트 신호(이를 게이트 온 신호(Von)라 한다)와 로우 레벨의 게이트 신호(이를 게이트 오프 신호(Voff)라 한다)의 조합으로 이루어진 게이트 신호를 게이트선(GL1-GLn)에 인가한다.
- [0025] 계조 전압 생성부(gray voltage generator)(800)는 화소의 투과율과 관련된 계조 전압을 생성한다. 계조 전압은 각 화소에 제공되며, 공통 전압(Vcom)에 대하여 양의 값을 가지는 것과 음의 값을 가지는 것을 포함한다.
- [0026] 데이터 구동부(500)는 액정 패널 어셈블리(300)의 데이터선(DL1-DLm)에 연결되어 계조 전압 생성부(800)로부터의 계조 전압을 데이터 전압으로서 화소에 인가한다. 여기서 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 기본 계조 전압만을 제공하는 경우, 데이터 구동부(500)는 기본 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 전압을 선택할 수 있다.
- [0027] 게이트 구동부(400) 또는 데이터 구동부(500)는 표시 신호선(GL1-GLn, DL1-DLm), 박막 트랜지스터 등과 함께 액정 패널 어셈블리(300)에 집적될 수 있다. 이와는 달리 게이트 구동부(400) 또는 데이터 구동부(500)는 가요성 인쇄 회로막(flexible printed circuit film)(미도시) 위에 장착되어 테이프 캐리어 패키지(tape carrier package)의 형태로 액정 패널 어셈블리(300)에 부착될 수도 있다.
- [0028] 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어한다.
- [0029] 신호 제어부(600)는 외부의 그래픽 제어기(미도시)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)의 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 영상 신호(R, G, B)를 액정 패널 어셈블리(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.
- [0030] 게이트 제어 신호(CONT1)는 게이트 구동부(400)의 동작의 시작, 즉 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 시간을 제어하는 적어도 하나의 클럭 신호를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 포함할 수 있다. 여기에서 클럭 신호는 선택 신호(SE)로 사용될 수 있다.
- [0031] 데이터 제어 신호(CONT2)는 한 묶음의 화소(PX)에 대한 데이터의 전송을 알리는 수평 동기 시작 신호(STH)와 데이터선(DL1-DLm)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클럭 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 포함할 수 있다.
- [0032] 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 화소(PX)에 대한 영상 데이터(DAT)를 수신하고, 계조 전압 생성부(800)로부터의 영상 데이터(DAT)에 대응하는 계조 전압을 선택함으로써 영상 데이터(DAT)를 해당 데이터 전압으로 변환한 후, 이를 해당 데이터선(DL1-DLm)에 인가한다.
- [0033] 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(GL1-GLn)에 인가하여 이 게이트선(GL1-GLn)에 연결된 스위칭 소자를 턴온시키며, 이에 따라 데이터선(DL1-DLm)에 인가된 데이터 전압이 턴온된 스위칭 소자를 통하여 해당 화소(PX)에 인가된다.
- [0034] 각 화소(PX)에 인가된 데이터 전압과 공통 전압(Vcom)의 차이는 액정 캐패시터의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층을 통과하는 빛의

편광이 변화하고, 이는 빛의 투과율 변화로 나타난다.

- [0035] 본 발명의 일 실시예에 따른 액정 표시 장치는 화소(PX)를 이루는 한 쌍의 부화소에 동일한 데이터 전압을 제공한 후, 이웃하는 게이트선에 게이트 온 전압(Von)이 인가될 때 상기 한 쌍의 부화소 중 어느 한 부화소에 충전된 데이터 전압을 전하 분배(charge sharing) 방식에 의해 떨어뜨린다. 이와 같이 한 쌍의 부화소에 서로 다른 데이터 전압이 충전되므로, 한 화소(PX)의 감마 곡선은 한 쌍의 부화소의 감마 곡선을 합성한 것이 된다. 전하 분배에 의하여 각 부화소에 충전되는 데이터 전압을 결정할 때에는, 정면에서의 합성 감마 곡선이 정면에서의 기준 감마 곡선에 가깝게 되도록 하고 측면에서의 합성 감마 곡선이 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 함으로써, 측면 시인성을 향상시킬 수 있다. 이에 대하여는 이하의 도 2를 참조하여 더욱 상세히 설명하기로 한다.
- [0036] 도 2는 도 1의 액정 표시 장치의 구조를 나타낸 회로도로서, 특히 도 1의 단위 화소(PX)의 등가 회로도를 나타내고 있다.
- [0037] 도 2를 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치의 단위 화소(PX)는 서로 인접한 두 개의 게이트선 즉, 제1 및 제2 게이트선(GL1, GL2)과 제1 및 제2 게이트선(GL1, GL2)을 가로지르는 하나의 데이터선(DL1)에 연결된다.
- [0038] 제1 게이트선(GL1)과 데이터선(DL1)이 교차하는 지점에 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2)가 형성되고, 제2 게이트선(GL2)에 연결되어 제3 박막 트랜지스터(T3)가 형성된다.
- [0039] 즉, 제1 박막 트랜지스터(T1)는 제1 게이트선(GL1)에 연결된 게이트 전극과, 데이터선(DL1)에 연결된 소스 전극과, 제1 액정 캐패시터(C1c1) 및 제1 스토리지 캐패시터(Cst1)에 연결된 드레인 전극을 포함한다. 제2 박막 트랜지스터(T2)는 제1 게이트선(GL1)에 연결된 게이트 전극과, 데이터선(DL1)에 연결된 소스 전극과, 제2 액정 캐패시터(C1c2) 및 제2 스토리지 캐패시터(Cst2)에 연결된 드레인 전극을 포함한다. 제3 박막 트랜지스터(T3)는 제2 게이트선(GL2)에 연결된 게이트 전극과, 제2 박막 트랜지스터(T2)의 드레인 전극에 연결된 소스 전극과, 전하 분배 캐패시터(Ccs)에 연결된 드레인 전극을 포함한다.
- [0040] 이러한 구조의 하부 표시판을 구성하는 각 화소(PX)마다, 제1 박막 트랜지스터(T1)의 드레인 전극에 연결된 제1 부화소 전극 및 제2 박막 트랜지스터(T2)의 드레인 전극에 연결된 제2 부화소 전극으로 이루어진 화소 전극이 형성되어 있다. 그리고 하부 표시판에 대향하는 상부 표시판에는 공통 전극이 형성되어 있다.
- [0041] 제1 액정 캐패시터(C1c1)는 제1 박막 트랜지스터(T1)에 연결된 제1 부화소 전극, 공통 전극 및 이들 사이에 개재된 액정 물질로 이루어진다. 제1 스토리지 캐패시터(Cst1)는 제1 부화소 전극, 하부 표시판에 형성된 스토리지선 및 이들 사이에 개재된 유전물질로 이루어진다.
- [0042] 제2 액정 캐패시터(C1c2)는 제2 박막 트랜지스터(T2)에 연결된 제2 부화소 전극, 공통 전극 및 이들 사이에 개재된 액정 물질로 이루어진다. 제2 스토리지 캐패시터(Cst2)는 제2 부화소 전극, 하부 표시판에 형성된 스토리지선 및 이들 사이에 개재된 유전물질로 이루어진다.
- [0043] 전하 분배 캐패시터(Ccs)는 제3 박막 트랜지스터(T3)의 드레인 전극, 하부 표시판에 형성된 스토리지선 및 이들 사이에 개재된 유전물질로 이루어진다. 여기서 전하 분배 캐패시터(Ccs)는 제2 박막 트랜지스터(T2)에 연결된 제2 부화소 전극에 저장된 데이터 전압을 낮추는 역할을 한다.
- [0044] 이러한 구조의 액정 표시 장치는 아래와 같은 방법에 의해 측면 시인성이 개선된다.
- [0045] 먼저, 제1 게이트선(GL1)에 온(ON) 신호가 전달되면, 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2)를 통하여 제1 행(row)에 위치하는 제1 부화소 전극 및 제2 부화소 전극에 동일한 데이터 전압이 전달된다. 즉, 제1 게이트선(GL1)에 연결된 제1 액정 캐패시터(C1c1)의 일단 및 제2 액정 캐패시터(C1c2)의 일단에 동일한 데이터 전압이 충전된다.
- [0046] 이어서, 제1 게이트선(GL1)에 오프(OFF) 신호가 전달되면, 제1 부화소 전극 및 제2 부화소 전극은 서로 분리된다. 즉, 제1 부화소 전극과 제2 부화소 전극은 각각 동일한 데이터 전압이 인가된 후 플로팅(floating) 상태를 유지한다.
- [0047] 이어서, 제2 게이트선(GL2)에 온 신호가 전달되면, 제2 박막 트랜지스터(T2)에 연결된 제2 부화소 전극에 저장된 데이터 전압이 제3 박막 트랜지스터(T3)를 통하여 전하 분배 캐패시터(Ccs)에 분배된다. 이는 제3 박막 트랜지스터(T3)의 소스 전극은 제2 박막 트랜지스터(T2)에 연결된 제2 부화소 전극과 연결되어 있고, 제3 박막 트랜

지스터(T3)의 드레인 전극은 전하 분배 캐패시터(Ccs)에 연결되어 있기 때문이다. 따라서 제1 행에 위치하며 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2)에 각각 연결된 제1 부화소 전극 및 제2 부화소 전극에 저장된 데이터 전압이 서로 다른 값을 가지게 된다. 구체적으로 제2 박막 트랜지스터(T2)에 연결된 제2 부화소 전극의 데이터 전압이 제3 박막 트랜지스터(T3)를 통하여 전하 분배 캐패시터(Ccs)로 분배되기 때문에, 제2 부화소 전극의 데이터 전압이 떨어지게 된다.

[0048] 이와 같이 하나의 화소 내에 위치하는 제1 및 제2 부화소 전극에 각각 저장된 데이터 전압이 서로 다른 값을 가지게 되는 경우 측면 시인성을 향상시킬 수 있다. 즉 제1 및 제2 부화소 전극에 하나의 영상 정보로부터 얻어진 서로 다른 감마 곡선을 가지는 한 쌍의 계조 전압 집합이 저장되고, 제1 및 제2 부화소 전극으로 이루어진 하나의 화소 전극의 감마 곡선은 이들을 합성한 감마 곡선이 된다. 한 쌍의 계조 전압 집합을 결정할 때에는 정면에서의 합성 감마 곡선이 정면에서의 기준 감마 곡선에 가깝게 되도록 하고, 측면에서의 합성 감마 곡선이 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 함으로써, 측면 시인성을 향상시킬 수 있다.

[0049] 한편, 제2 게이트선(GL2)에 온 신호가 전달되면, 전술한 바와 같이 제3 박막 트랜지스터(T3)가 턴온되는 것뿐만 아니라, 제2 게이트선(GL2)에 연결된 한 쌍의 박막 트랜지스터(미도시됨)를 통하여 제2 행에 위치한 한 쌍의 부화소 전극에도 동일한 데이터 전압이 전달될 수 있으며, 이는 당업자에게 자명하다. 이어서 제2 게이트선(GL2)에 오프 신호가 전달되면, 이에 연결된 한 쌍의 부화소 전극은 서로 분리되어 플로팅 상태를 유지하며, 이 또한 당업자에게 자명하다.

[0050] 이하에서는 도 3 및 도 4를 참조하여, 도 2의 단위 화소(PX)를 갖는 액정 표시 장치에 대해서 더욱 상세히 설명하기로 한다. 도 3은 본 발명의 일 실시예에 따른 액정 표시 장치를 나타내는 레이아웃도이고, 도 4는 도 3의 A-A' 선 및 B-B' 선을 따라 절단한 단면도이다. 특히, 도 3은 박막 트랜지스터, 다수의 표시 신호선, 및 화소 전극 등이 형성된 하부 표시판의 레이아웃을 나타내며, 단위 화소(PX)가 형성된 영역의 레이아웃을 나타내고 있다.

[0051] 전술한 바와 같이, 본 발명의 일 실시예에 따른 액정 표시 장치는 하부 표시판과, 공통 전극이 형성되는 상부 표시판과, 이들 사이에 개재되는 액정층으로 구성되는데, 설명의 편의를 위하여 이하에서는 하부 표시판만을 도시하여 설명을 진행하기로 한다. 또한, 발명의 이해를 돕기 위하여, 도 3 및 도 4의 액정 표시 장치를 제조하는 과정 중의 중간 단계 도면들을 도 5 내지 도 10에 도시하였고, 화소 전극만의 레이아웃을 도 11에 도시하였다. 도 5 및 도 6은 게이트 배선 및 스토리지 배선이 형성된 후의 레이아웃 및 단면도를 나타내고, 도 7 및 도 8은 데이터 배선이 형성된 후의 레이아웃 및 단면도를 나타내고, 도 9 및 도 10은 콘택이 형성된 후의 레이아웃 및 단면도를 나타낸다.

[0052] 도 3 및 도 4와 함께 도 5 및 도 6을 참조하면, 절연 기판(10) 위에 제1 방향, 예를 들어 가로 방향으로 연장된 제1 및 제2 게이트선(GL1, GL2)이 배치된다. 제1 게이트선(GL1)에는 돌기의 형태로 이루어진 제1 게이트 전극(G1) 및 제2 게이트 전극(G2)이 형성되어 있다. 그리고 제2 게이트선(GL2)에는 돌기의 형태로 이루어진 제3 게이트 전극(G3)이 형성되어 있다. 이러한 게이트선(GL1, GL2) 및 게이트 전극(G1, G2, G3)을 게이트 배선이라고 한다.

[0053] 또한, 절연 기판(10) 위에는 게이트선(GL1, GL2)과 마찬가지로 가로 방향으로 연장된 스토리지선(STL1)이 배치된다. 스토리지선(STL1)에는 화소 전극을 향하는 방향으로 돌출되어 제1 부화소 전극(Pa) 또는 제2 부화소 전극(Pb)과 적어도 일부가 중첩되는 제1 및 제2 스토리지 전극(ST1, ST2)과, 상기 화소 전극을 향하는 방향과 반대 방향으로 돌출된 제3 스토리지 전극(ST3)이 형성되어 있다. 다만, 이러한 스토리지선(STL1)의 모양 및 배치는 여러 형태로 변형될 수 있다. 스토리지선(STL1) 및 스토리지 전극(ST1, ST2, ST3)을 스토리지 배선이라고 한다.

[0054] 게이트 배선(GL1, GL2, G1, G2, G3) 및 스토리지 배선(STL1, ST1, ST2, ST3)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다. 또한, 게이트 배선(GL1, GL2, G1, G2, G3) 및 스토리지 배선(STL1, ST1, ST2, ST3)은 물리적 성질이 다른 두 개의 도전막(미도시)을 포함하는 다중막 구조를 가질 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(GL1, GL2, G1, G2, G3) 및 스토리지 배선(STL1, ST1, ST2, ST3)은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.

[0055] 도 3 및 도 4와 함께 도 7 및 도 8을 참조하면, 게이트 배선(GL1, GL2, G1, G2, G3) 및 스토리지 배선(STL1, ST1, ST2, ST3) 상에는 게이트 절연막(30)이 배치된다.

- [0056] 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon), 다결정 규소 등으로 이루어진 반도체층(40)이 배치된다. 이러한 반도체층(40)은 박막 트랜지스터(T1, T2, T3)의 채널 영역 형성을 위한 것으로 적어도 게이트 전극(G1, G2, G3)과 중첩하도록 배치된다. 나아가, 반도체층(40)은 후술할 데이터 배선(DL1, S1, S2, S3, D1, D2, D3)과 함께 패터닝됨으로써, 데이터 배선(DL1, S1, S2, S3, D1, D2, D3)의 아래에 배치되면서 게이트 전극(G1, G2, G3) 상부까지 연장된 형상을 갖는다. 다시 말하면, 반도체층(40)은 박막 트랜지스터(T1, T2, T3)의 채널 영역 즉, 소스 전극(S1, S2, S3)과 드레인 전극(D1, D2, D3)의 사이에 배치된다는 점을 제외하고는, 데이터 배선(DL1, S1, S2, S3, D1, D2, D3)과 실질적으로 동일한 형상을 갖는다. 데이터 배선(DL1, S1, S2, S3, D1, D2, D3)과 반도체층(30)을 함께 패터닝하는 것은 마스크 공정의 회수를 감소시켜 공정을 단순화하기 위함이다.
- [0057] 반도체층(40)의 위에는 데이터 배선(DL1, S1, S2, S3, D1, D2, D3) 즉, 데이터선(DL1), 제1 소스 전극(S1), 제2 소스 전극(S2), 제3 소스 전극(S3), 제1 드레인 전극(D1), 제2 드레인 전극(D2) 및 제3 드레인 전극(D3)이 배치된다. 데이터선(DL1)은 제2 방향, 예를 들어 세로 방향으로 길게 뻗어 있으며 게이트선(GL1, GL2)과 교차하고 화소를 정의한다. 데이터선(DL1)에는 데이터선(DL1)으로부터 분지되어 제1 게이트 전극(G1) 및 제2 게이트 전극(G2)의 상부까지 각각 연장되어 있는 제1 소스 전극(S1) 및 제2 소스 전극(S2)이 형성되어 있다.
- [0058] 제1 드레인 전극(D1)은 제1 소스 전극(S1)과 분리되어 있으며 제1 게이트 전극(G1)을 중심으로 제1 소스 전극(S1)과 대향하도록 반도체층(40) 상부에 위치한다. 제2 드레인 전극(D2)은 제2 소스 전극(S2)과 분리되어 있으며 제2 게이트 전극(G2)을 중심으로 제2 소스 전극(S2)과 대향하도록 반도체층(40) 상부에 위치한다. 제1 드레인 전극(D1) 및 제2 드레인 전극(D2)은 각각 막대형 패턴과, 막대형 패턴으로부터 연장되어 넓은 면적을 가지며 제1 콘택홀(H1) 및 제2 콘택홀(H2)이 위치하는 드레인 전극 확장부를 포함한다. 여기서 제1 콘택홀(H1) 및 제2 콘택홀(H2)은 각각 제1 부화소 전극(Pa) 및 제2 부화소 전극(Pb)과 중첩되도록 형성된다.
- [0059] 또한, 제3 소스 전극(S3)은 제2 드레인 전극(D2)의 확장부로부터 돌출되어 제3 게이트 전극(G3) 상부까지 연장되어 있다. 제3 드레인 전극(D3)은 제3 소스 전극(S3)과 분리되어 있으며 제3 게이트 전극(G3)을 중심으로 제3 소스 전극(S3)과 대향하도록 반도체층(40) 상부에 위치한다. 제3 드레인 전극(D3)은 제3 게이트 전극(G3) 상부로부터 스토리지선(STL1)의 제3 스토리지 전극(ST3) 상부까지 연장되어 있다. 제3 드레인 전극(D3)은 막대형 패턴과, 막대형 패턴으로부터 연장되어 넓은 면적을 가지며 제3 스토리지 전극(ST3)과 중첩하는 확장부를 포함한다.
- [0060] 여기서, 제1 게이트 전극(G1), 제1 소스 전극(S1) 및 제1 드레인 전극(D1)은 제1 박막 트랜지스터(T1)를 구성하고, 제2 게이트 전극(G2), 제2 소스 전극(S2) 및 제2 드레인 전극(D2)은 제2 박막 트랜지스터(T2)를 구성하고, 제3 게이트 전극(G3), 제3 소스 전극(S3) 및 제3 드레인 전극(D3)은 제3 박막 트랜지스터(T3)를 구성한다.
- [0061] 데이터 배선(DL1, S1, S2, S3, D1, D2, D3)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다.
- [0062] 도 3 및 도 4와 함께 도 9 및 도 10을 참조하면, 데이터 배선(DL1, S1, S2, S3, D1, D2, D3) 및 이에 의해 노출된 반도체층(40)과 게이트 절연막(30) 상에는 보호막(70)이 형성되어 있다. 여기서 보호막(70)은 질화규소 또는 산화규소로 이루어진 무기물, 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진다. 또한, 보호막(70)은 유기막의 우수한 특성을 살리면서도 노출된 반도체층(40) 부분을 보호하기 위하여 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.
- [0063] 보호막(70)에는 제1 드레인 전극(D1)의 확장부 및 제2 드레인 전극(D2)의 확장부를 각각 드러내는 제1 콘택홀(H1) 및 제2 콘택홀(H2)이 형성되어 있다.
- [0064] 도 3 및 도 4와 함께 도 11을 참조하면, 보호막(70) 위에는 전체적으로 직사각형 형상의 화소 전극(PE)이 형성되어 있다. 화소 전극(PE)은 제1 콘택홀(H1)을 통하여 제1 드레인 전극(D1)과 연결되는 제1 부화소 전극(Pa)과, 제2 콘택홀(H2)을 통하여 제2 드레인 전극(D2)과 연결되는 제2 부화소 전극(Pb)으로 이루어져 있다. 여기서, 제1 부화소 전극(Pa) 및 제2 부화소 전극(Pb)은 ITO 또는 IZO 따위의 투명 도전체 또는 알루미늄 따위의 반사성 도전체로 이루어질 수 있다.
- [0065] 제1 부화소 전극(Pa) 및 제2 부화소 전극(Pb)은 각각 제1 콘택홀(H1) 및 제2 콘택홀(H2)을 통하여 제1 드레인 전극(D1) 및 제2 드레인 전극(D2)과 물리적/전기적으로 연결되어 제1 드레인 전극(D1) 및 제2 드레인 전극(D2)

으로부터 데이터 전압을 인가받는다. 본 실시예에서는 제1 드레인 전극(D1) 및 제2 드레인 전극(D2)에 데이터 전압을 각각 전달하는 제1 소스 전극(S1) 및 제2 소스 전극(S2)이 연결되어 있으므로, 제1 부화소 전극(Pa) 및 제2 부화소 전극(Pb)에는 데이터선(DL1)으로부터 실질적으로 동일한 데이터 전압이 인가된다.

[0066] 데이터 전압이 인가된 제1 부화소 전극(Pa) 및 제2 부화소 전극(Pb)은 상부 표시판의 공통 전극과 함께 전기장을 생성함으로써 제1 부화소 전극(Pa)과 공통 전극 사이 및 제2 부화소 전극(Pb)과 공통 전극 사이에 위치하는 액정층의 액정 분자들의 배열을 결정한다.

[0067] 하나의 화소 영역을 이루는 제1 부화소 전극(Pa) 및 제2 부화소 전극(Pb)은 소정의 간극(gap)(83)을 사이에 두고 서로 분리되어 있으며, 그 바깥 경계는 대략 세로 방향으로 긴 사각형 형태이다. 제1 부화소 전극(Pa)은 회전한 V자 형상을 가지며 화소 영역의 가운데에 배치된다. 제2 부화소 전극(Pb)은 사각형 형태의 화소 영역에서 제2 부화소 전극(Pb)을 제외한 부분에 형성된다. 여기서, 간극(83)은 편광판의 투과축 또는 게이트선(GL1, GL2)과 실질적으로 45도를 이루는 부분과 -45도를 이루는 부분을 포함한다. 따라서 간극(83)에 인접한 제1 부화소 전극(Pa) 및 제2 부화소 전극(Pb)의 가장자리는 편광판의 투과축 또는 게이트선(GL1, GL2)과 실질적으로 -45도 또는 45도(이하, 사선 방향이라 함)를 이룬다. 제1 부화소 전극(Pa) 및 제2 부화소 전극(Pb)은 사선 방향으로 다수의 절개부(cutout) 또는 돌출부(protrusion)와 같은 제1 도메인 분할 수단(미도시)이 형성될 수 있다. 화소 전극(PE)의 표시 영역은 액정층에 포함된 액정 분자의 주 방향자가 전계 인가시 배열되는 방향에 따라 다수의 도메인으로 분할된다. 간극(83) 및 제1 도메인 분할 수단은 화소 전극(PE)을 많은 도메인으로 분할하는 역할을 한다. 여기서 도메인이란 화소 전극(PE)과 공통 전극(도 9의 도면부호 90 참조) 사이에 형성된 전계에 의해 액정 분자의 방향자가 특정 방향으로 무리를 지어 기울어지는 액정 분자들로 이루어진 영역을 의미한다.

[0068] 앞서 설명한 바와 같이 제1 게이트선(GL1)에 온 신호가 전달되면 데이터선(DL1)으로부터 동일한 데이터 전압이 제1 게이트선(GL1)에 인접한 제1 부화소 전극(Pa) 및 제2 부화소 전극(Pb)에 인가된다. 이어서 제2 게이트선(GL2)에 온 신호가 전달되면 제2 부화소 전극(Pb)에 저장된 데이터 전압이 제3 박막 트랜지스터(T3)를 통하여 제3 드레인 전극(D3)으로 분배된다. 제3 드레인 전극(D3)과 그 아래에 제3 스토리지 전극(ST3) 사이에는 전하 분배 캐패시터가 형성된다. 따라서 제2 부화소 전극(Pb)에는 상대적으로 데이터 전압이 낮아지고, 제1 부화소 전극(Pa)에는 상대적으로 데이터 전압이 높아진다.

[0069] 위와 같은 액정 표시 장치에 의하면, 하나의 화소 전극을 한 쌍의 부화소 전극으로 분할한 후 전하 분배를 통하여 각 부화소 전극에 인가되는 데이터 전압에 차이를 발생시킴으로써 측면 시인성을 높일 수 있다.

[0070] 그런데, 위와 같이 측면 시인성을 높이기 위한 구조를 갖는 액정 표시 장치에 의하면 인가되는 데이터 전압에 따라 액정 표시 장치에 잔상이 시인되는 등의 문제가 발생할 수 있으므로, 이하에서는 이러한 문제를 방지할 수 있는 방안에 대하여 설명하기로 한다.

[0071] 다시, 도 2 내지 도 4를 참조하면, 제1 액정 캐패시터(C1c1)는 제1 박막 트랜지스터(T1)에 연결된 제1 부화소 전극(Pa), 상부 표시판에 형성된 공통 전극(미도시됨) 및 이들 사이에 개재된 액정 물질(미도시됨)로 이루어진다. 그에 따라, 제1 액정 캐패시터(C1c1)에는 제1 부화소 전극(Pa)에 인가되는 데이터 전압과 상부 표시판의 공통 전극에 인가되는 전압(이하, 공통 전압(Vcom)이라 함)의 차이에 해당하는 전압이 충전된다. 여기서, 제1 부화소 전극(Pa)에 인가되는 데이터 전압은 데이터선(DL1)으로부터 제1 박막 트랜지스터(T1)를 통하여 인가되는 것이다.

[0072] 유사하게, 제2 액정 캐패시터(C1c2)는 제2 박막 트랜지스터(T2)에 연결된 제2 부화소 전극(Pb), 공통 전극 및 이들 사이에 개재된 액정 물질로 이루어진다. 그에 따라, 제2 액정 캐패시터(C1c2)에는 제2 부화소 전극(Pb)에 인가되는 데이터 전압과 공통 전압(Vcom)의 차이에 해당하는 전압이 충전된다. 여기서, 제2 부화소 전극(Pb)에 인가되는 데이터 전압은 데이터선(DL1)으로부터 제2 박막 트랜지스터(T2)를 통하여 인가되는 것이다.

[0073] 전술한 바와 같이, 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2)는 동일한 제1 게이트 선(GL1) 및 데이터선(DL1)에 연결되어 있기 때문에, 제1 게이트선(GL1)에 온 신호가 전달되면 동시에 턴온되어 제1 및 제2 부화소 전극(Pa, Pb)에 동일한 데이터 전압이 인가된다.

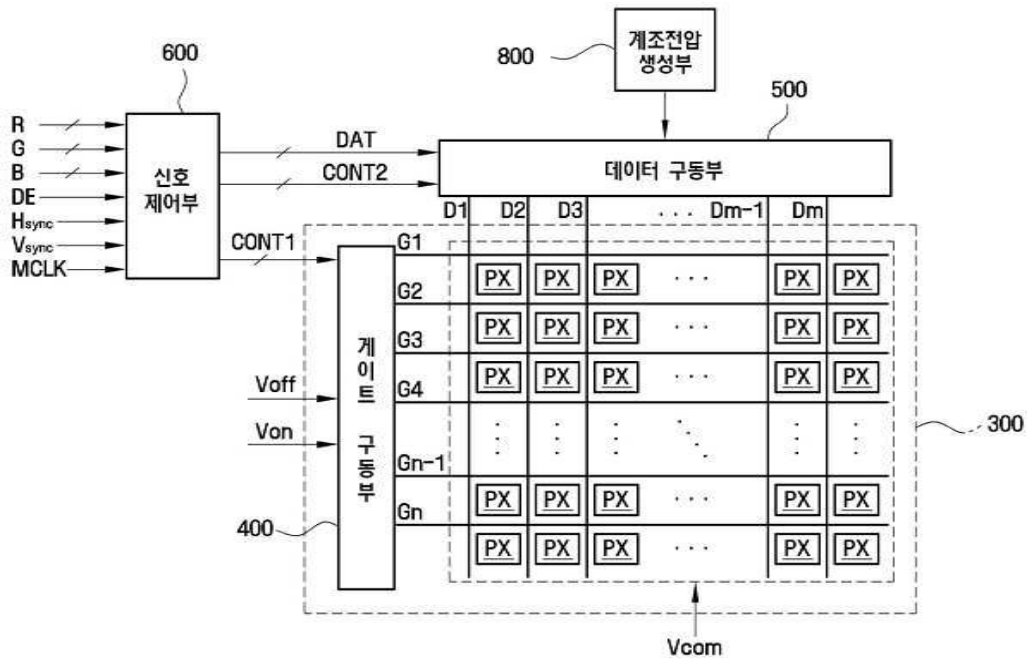
[0074] 전하 분배 캐패시터(Ccs)는 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3), 제3 드레인 전극(D3) 하부에 위치하는 제3 스토리지 전극(ST3), 및 제3 드레인 전극(D3)과 제3 스토리지 전극(ST3) 사이에 개재된 유전물질로 이루어진다. 그에 따라, 전하 분배 캐패시터(Ccs)에는 제3 드레인 전극(D3)에 인가되는 전압과 제3 스토리지 전극(ST3)에 인가되는 전압의 차이에 해당하는 전압이 충전된다. 여기서, 제3 드레인 전극(D3)에 인가되는 전압은 제2 부화소 전극(Pb)에 기 저장된 전압 즉, 데이터 전압으로서, 제2 게이트선(GL2)에 온 신호가 전달되어 제3

박막 트랜지스터(T3)가 턴온된 경우에 제3 드레인 전극(D3)에 데이터 전압이 인가된다. 또한, 제3 스토리지 전극(ST3)에 인가되는 전압은 스토리지 배선(STL1, ST1, ST2, ST3)에 인가되는 소정 전압(이하, 스토리지 전압(Vcst)이라 함)이다.

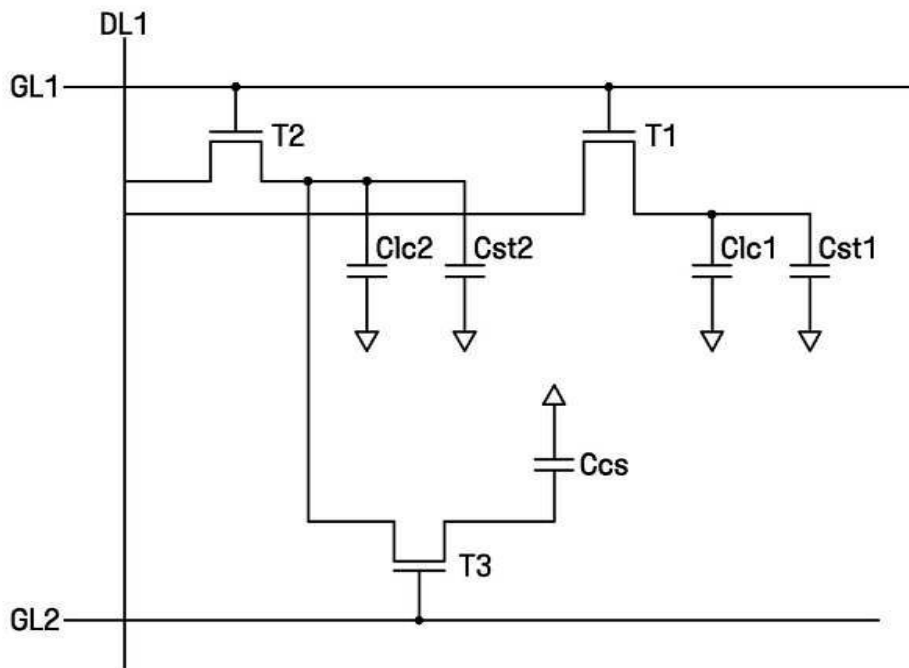
- [0075] 공통 전압(Vcom) 및 스토리지 전압(Vcst)은 기 정하여진 고정된 값을 갖는다. 반면, 데이터선(DL1)에 인가되는 데이터 전압은, 공통 전압(Vcom)을 기준으로 공통 전압(Vcom)에 대하여 양의 값을 가지는 것(이하, 포지티브 전압)과 음의 값을 가지는 것(이하, 네가티브 전압) 사이에서 스윙한다. 예컨대, 공통 전압(Vcom)이 대략 6V인 경우, 데이터 전압은 0V의 네가티브 전압과 12V의 포지티브 전압 사이에서 스윙한다.
- [0076] 여기서, 종래에는 공통 전압(Vcom)과 실질적으로 동일한 값의 스토리지 전압(Vcst)을 이용하였으나, 본 발명에서는 공통 전압(Vcom)과 상이한 스토리지 전압(Vcst)을 이용함으로써 액정 표시 장치의 잔상 수준을 낮추고자 하며, 이하에서 이에 대해 더욱 상세히 설명한다.
- [0077] 도 2 내지 도 4의 구조를 갖는 액정 표시 장치에서 종래 기술에서와 같이 동일한 공통 전압(Vcom)과 스토리지 전압(Vcst)을 이용한 경우에 발생하는 문제점은 아래의 도 12 및 도 13에 잘 나타나 있다.
- [0078] 도 12 및 도 13은 동일한 공통 전압 및 스토리지 전압을 이용한 경우의 문제점을 나타내는 도면들로서, 특히 상부 표시판의 공통 전극에 6V의 공통 전압(Vcom)이 인가되고, 스토리지 배선(STL1, ST1, ST2, ST3)에 6V의 스토리지 전압(Vcst)이 인가되고, 데이터선(DL1)에 0V와 12V 사이에서 스윙하는 데이터 전압이 인가된 경우, 시간에 따른 액정 표시 장치의 잔상 수준과 전하 분배 캐패시터(Ccs)의 C-V 특성을 각각 보여주고 있다.
- [0079] 도 12를 참조하면, 6V의 공통 전압(Vcom) 및 6V의 스토리지 전압(Vcst)이 인가되고 0V와 12V 사이에서 스윙하는 데이터 전압이 인가되는 경우, 시간이 지남에 따라 잔상 수준이 크게 증가함을 알 수 있다. 예를 들어, 52" 패널에서 168hr 에서의 잔상 수준은 150G(gray) 이상으로, 이는 제품화가 될 수 없는 정도의 수준이다.
- [0080] 위와 같은 잔상의 원인 중 하나는 전하 분배 캐패시터(Ccs)의 캐패시턴스 변화에 의한 것으로 파악되고 있다.
- [0081] 도 13을 참조하면, 6V의 공통 전압(Vcom) 및 6V의 스토리지 전압(Vcst)이 인가되고 0V와 12V 사이에서 스윙하는 데이터 전압이 인가되는 경우, 시간이 지남에 따라 전하 분배 캐패시터(Ccs)의 C-V 곡선이 우측으로 이동함을 알 수 있다. C-V 곡선이 우측으로 이동한다는 것은 전하 분배 캐패시터(Ccs)의 캐패시턴스가 감소하는 변화가 발생함을 나타낸다(도 13의 화살표 참조).
- [0082] 도 13과 같이 전하 분배 캐패시터(Ccs)의 캐패시턴스가 변하는 원인을 설명하면 다음과 같다.
- [0083] 전술한 바와 같이, 전하 분배 캐패시터(Ccs)는 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3), 제3 드레인 전극(D3) 하부에 위치하는 제3 스토리지 전극(ST3), 및 제3 드레인 전극(D3)과 제3 스토리지 전극(ST3) 사이에 개재된 유전물질로 이루어진다. 여기서, 드레인 전극(D3)과 제3 스토리지 전극(ST3) 사이에 개재된 물질은 게이트 절연막(30)과 반도체층(40)임을 알 수 있다(도 4의 A-A' 단면 참조). 전하 분배 캐패시터(Ccs)에 반도체층(40)이 포함되는 것은, 공정의 단순화를 위해 반도체층(40)은 데이터 배선(DL1, S1, S2, S3, D1, D2, D3)과 함께 패터닝되기 때문이다. 즉, 전하 분배 캐패시터(Ccs)는 일종의 MIS(Metal-Insulator-Semiconductor) 캐패시터를 포함한다. 그런데, MIS 캐패시터는 인가되는 전압이 변하면, 반도체층에 가해지는 스트레스로 인하여 시간에 지남에 따라 캐패시턴스가 변하는 특성을 갖는다.
- [0084] 전술한 바와 같이 전하 분배 캐패시터(Ccs)의 제3 드레인 전극(D3)에는 공통 전압(Vcom)을 기준으로 포지티브 전압과 네가티브 전압 사이에서 스윙하는 데이터 전압이 인가되므로, 결국 전하 분배 캐패시터(Ccs)의 C-V 특성과 캐패시턴스가 변하게 되는 것이다.
- [0085] 이와 같이 전하 분배 캐패시터(Ccs)의 C-V 곡선이 이동하고 그에 따라 캐패시턴스가 감소하면, 제2 부화소 전극(Pb)에서 전하 분배 캐패시터(Ccs)로 분배되는 전하의 양이 감소하므로, 원하는 시인성 타겟을 맞출 수 없을 뿐만 아니라 휘도 편차를 증가시켜 잔상 수준을 증가시키는 문제를 초래한다.
- [0086] 따라서, 본 실시예에서는 데이터 전압 스윙에도 불구하고 전하 분배 캐패시터(Ccs)의 캐패시턴스 변화를 최소화하는 방안을 제시하며, 이를 위하여 종래 기술과는 달리 공통 전압(Vcom)과 상이한 스토리지 전압(Vcst)을 이용한다.
- [0087] 보다 구체적으로는, 스토리지 전압(Vcst)으로 공통 전압(Vcom)에 대한 데이터 전압의 포지티브 전압과 네가티브 전압의 평균값보다 소정 정도 이상 작은 값을 갖는 전압을 이용한다. 여기서, 상기 소정 정도는 2V일 수 있다. 이에 더하여 스토리지 전압(Vcst)은 그라운드 전압 이상의 값을 가질 수도 있다.

도면

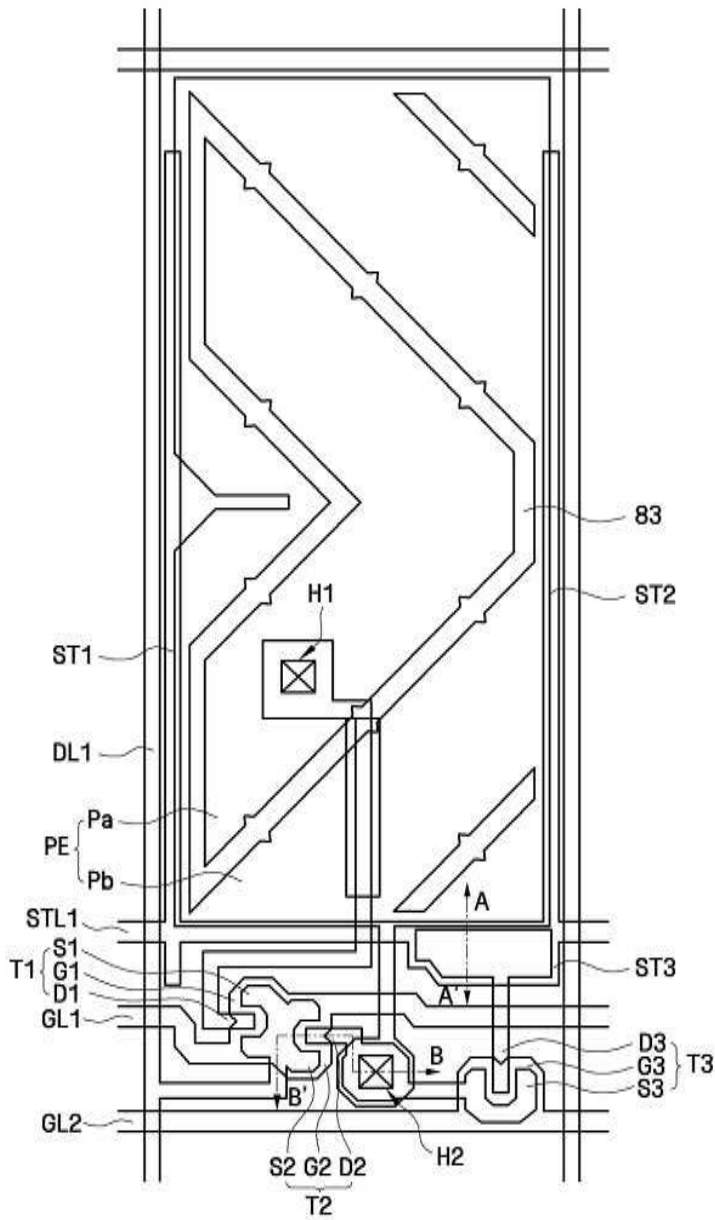
도면1



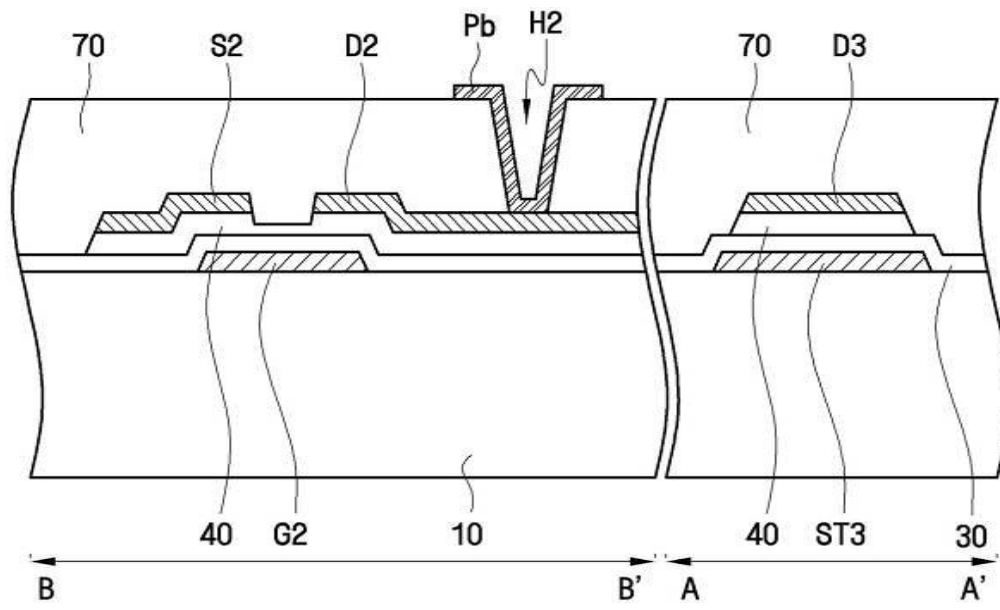
도면2



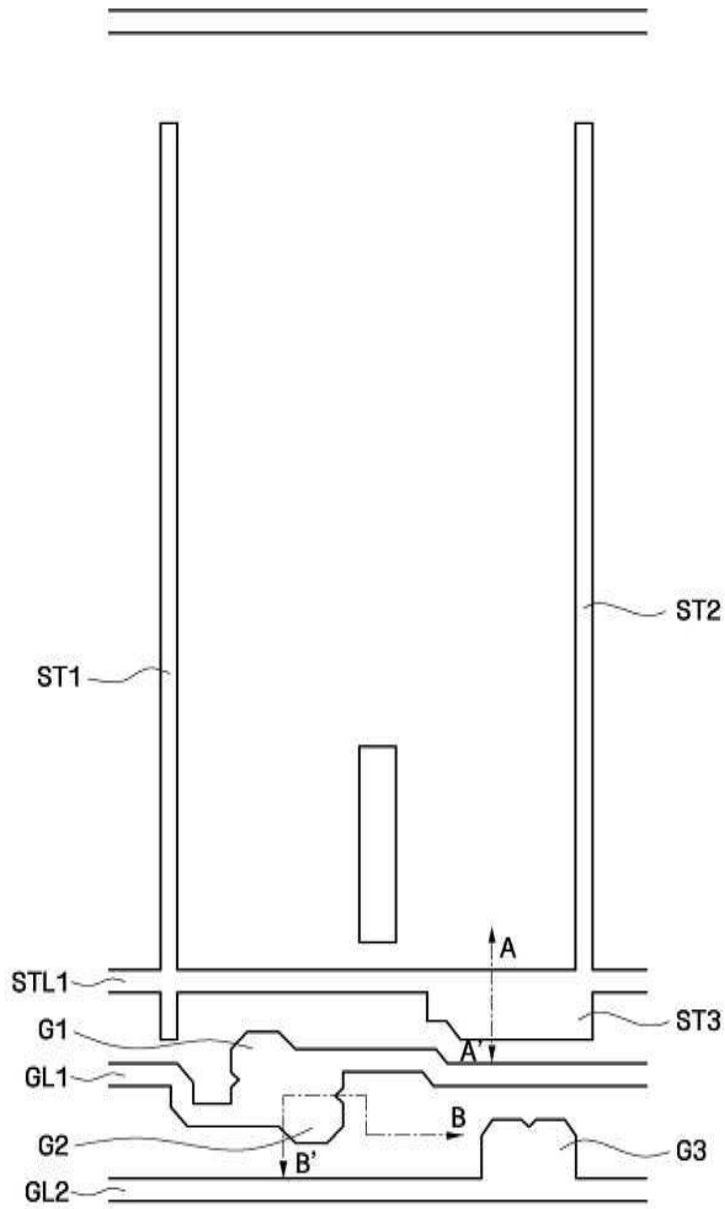
도면3



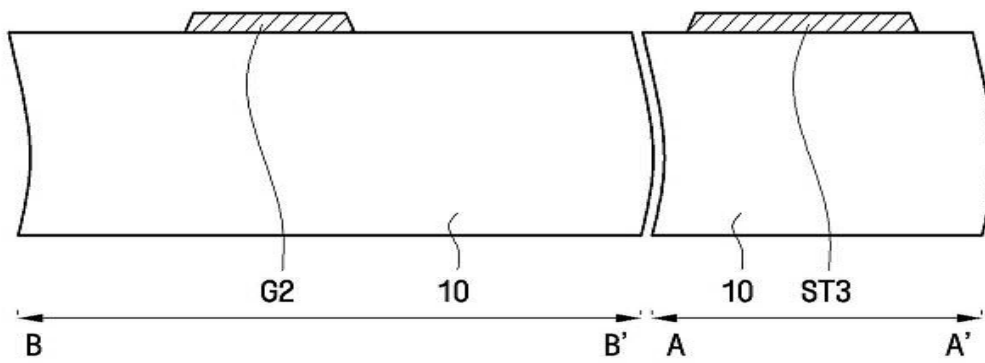
도면4



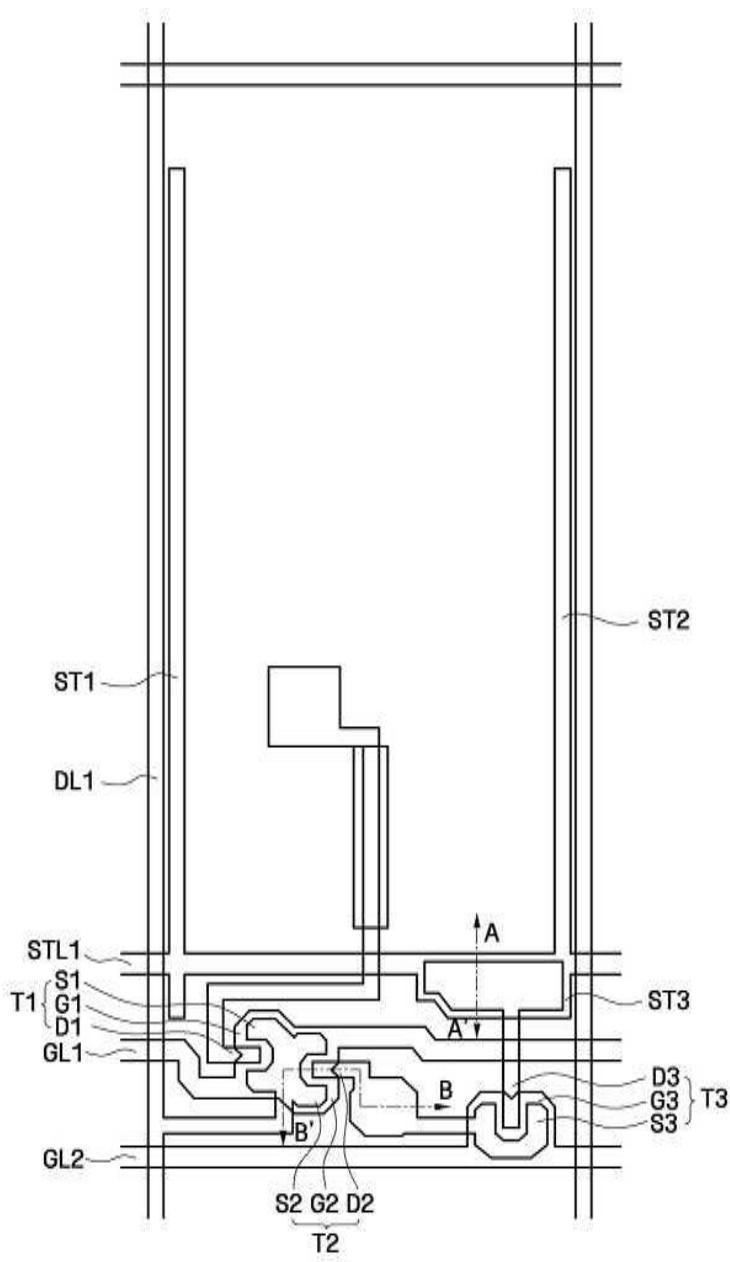
도면5



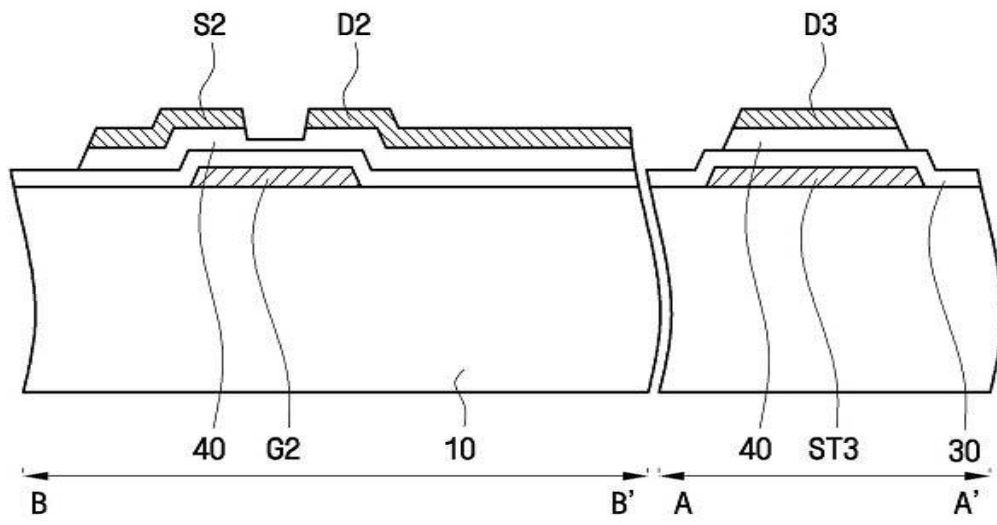
도면6



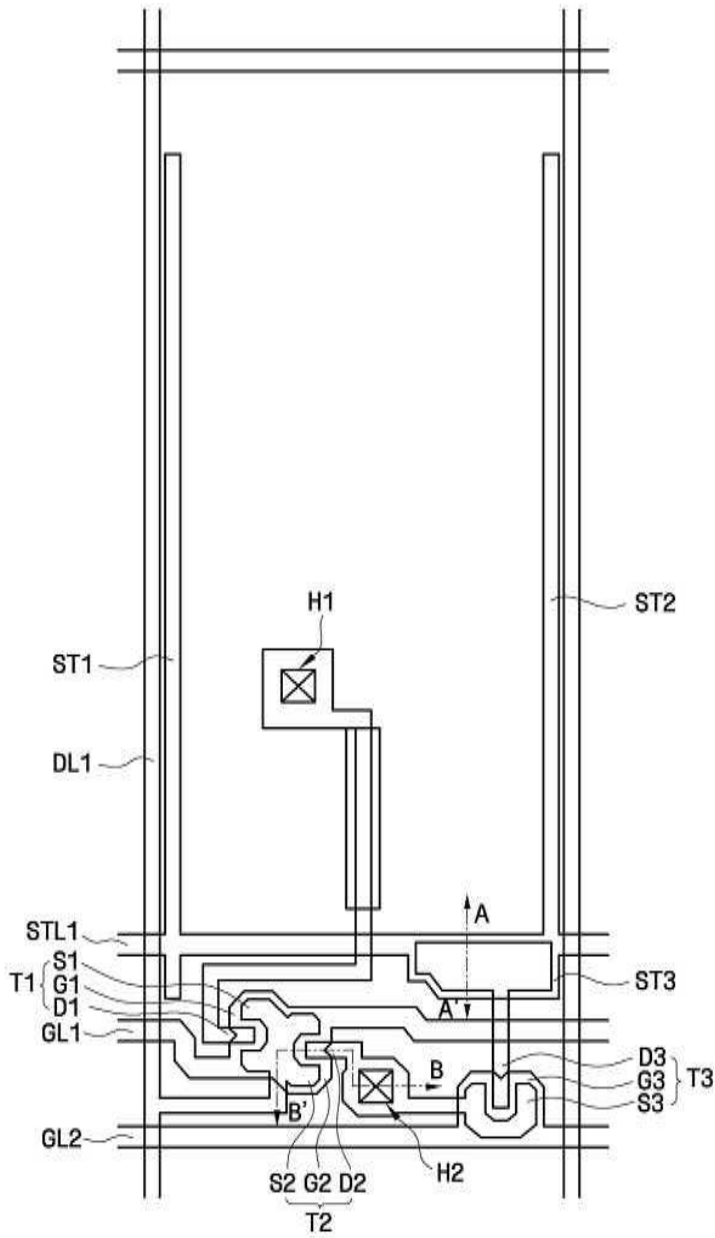
도면7



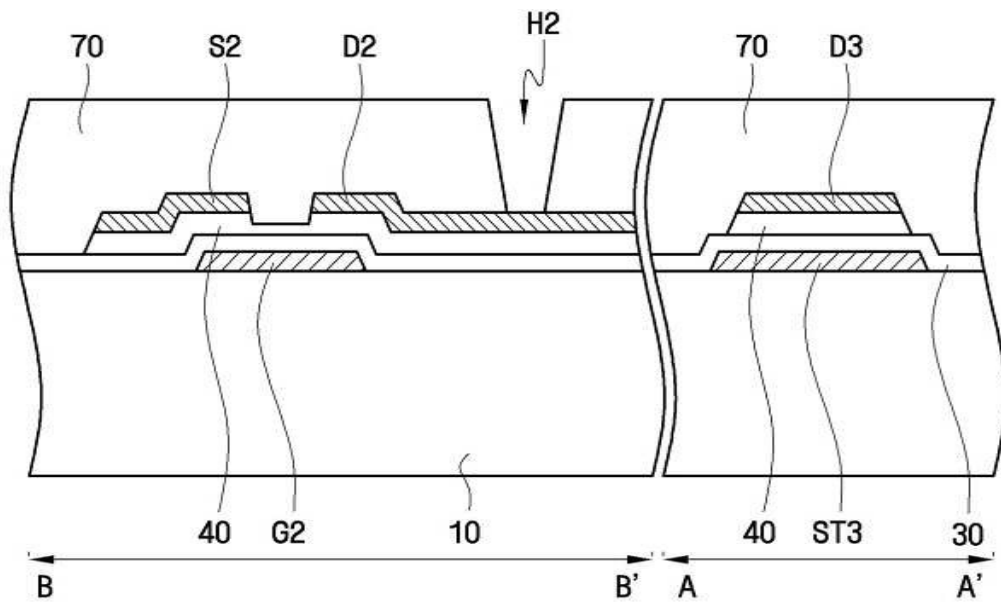
도면8



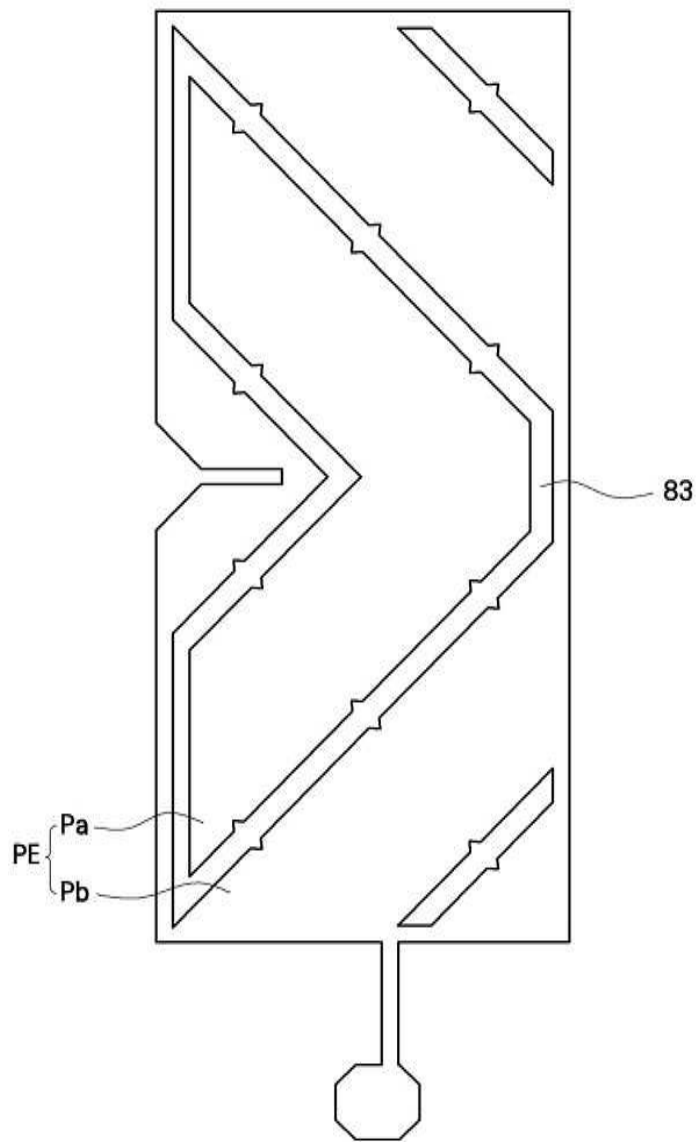
도면9



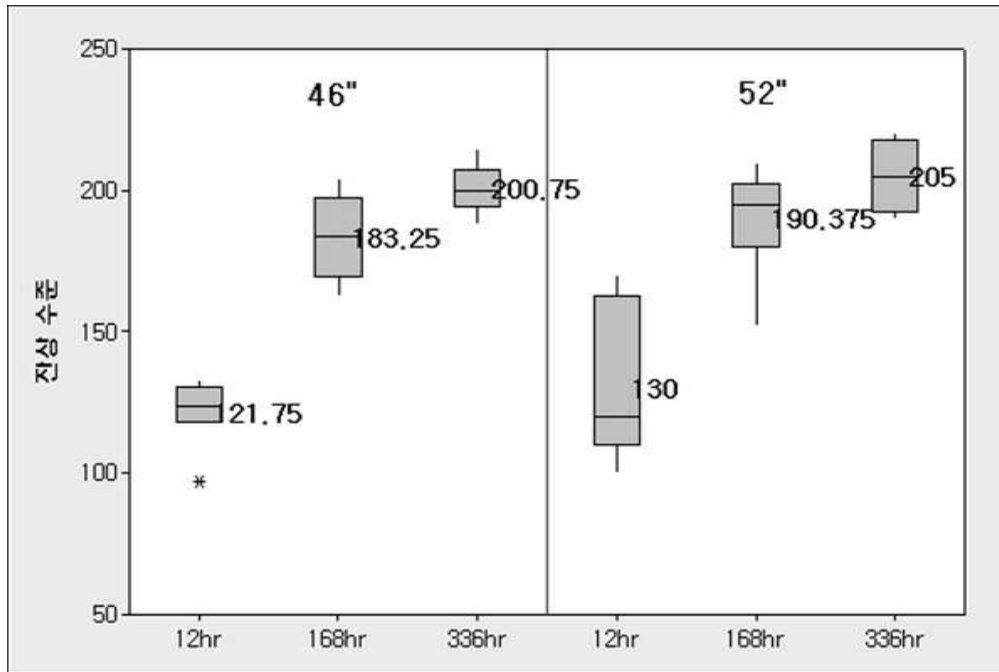
도면10



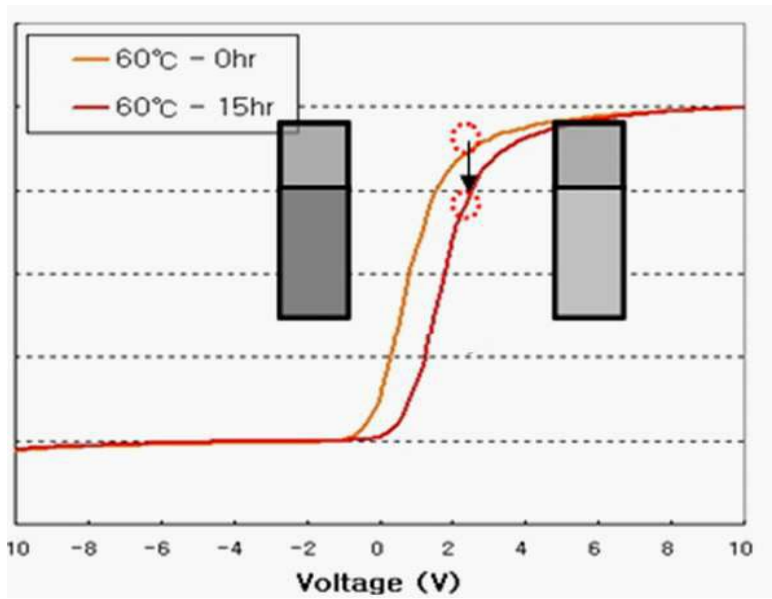
도면11



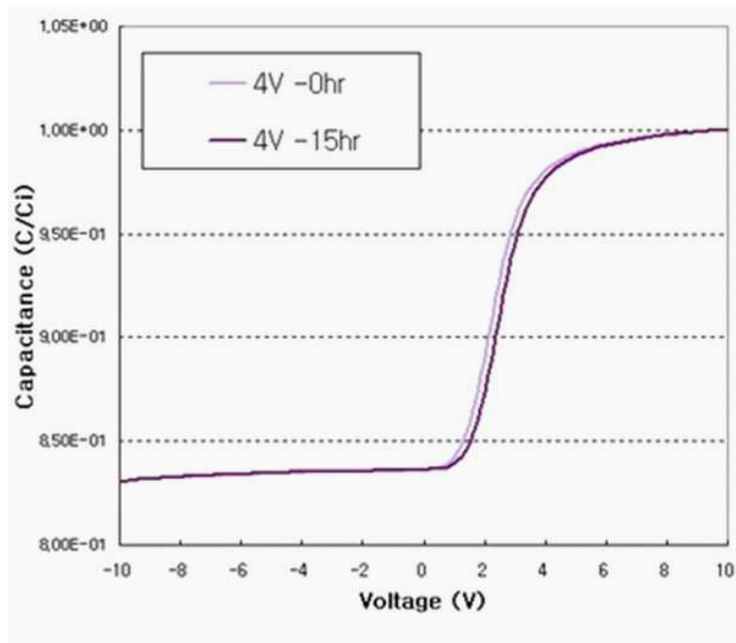
도면12



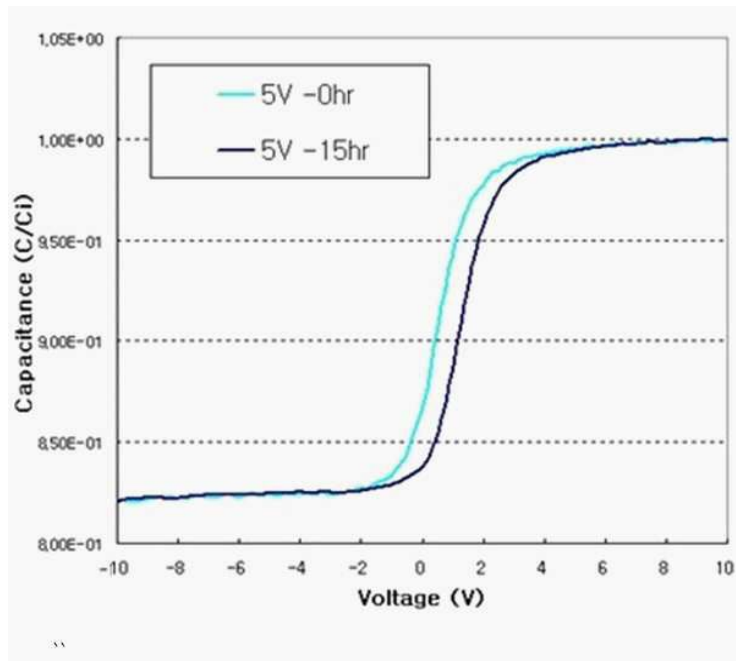
도면13



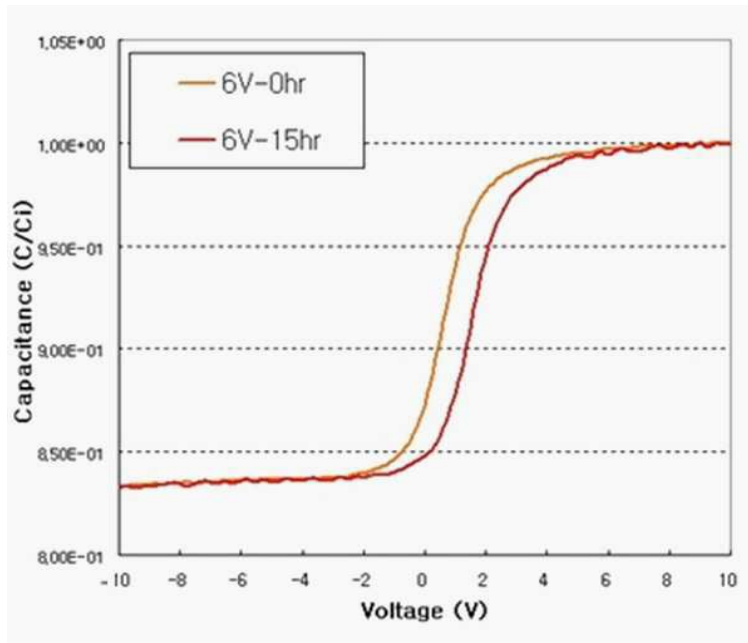
도면14a



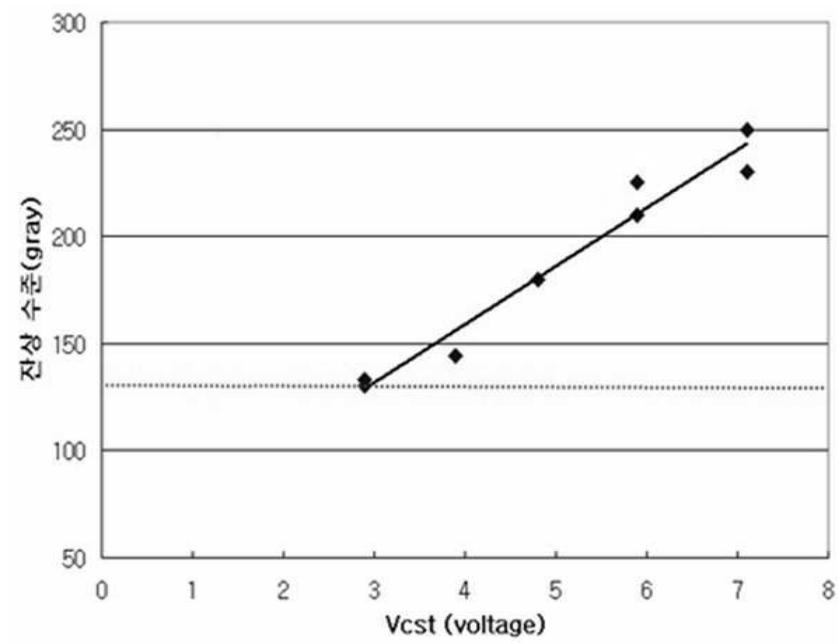
도면14b



도면14c



도면15



专利名称(译)	液晶显示器		
公开(公告)号	KR1020120021537A	公开(公告)日	2012-03-09
申请号	KR1020100075898	申请日	2010-08-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YANG BYUNG DUK 양병덕 YOO YOUNG HOON 유영훈 KIM DONG YOON 김동윤 KONG HYANG SHIK 공향식 KIM JANG SOO 김장수		
发明人	양병덕 유영훈 김동윤 공향식 김장수		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F2001/133742 G09G3/3659 G02F1/134309 G02F2001/134354 G02F1/136213 G02F1/1343 G02F1/133707 G02F1/13624 G02F1/134363 G02F1/136227 G02F1/136286 G09G3/3614		
外部链接	Espacenet		

摘要(译)

用途：提供液晶显示装置以减少余像。组成：像素电极包括第一和第二子像素电极。第一和第二像素电极位于由第一栅极线和数据线限定的区域上。第一和第二子像素电极是电分离的。第一薄膜晶体管 (T1) 连接到第一栅极线，数据线和第一子像素电极。第二薄膜晶体管 (T2) 连接到第一栅极线，数据线和第二子像素电极。第三薄膜晶体管 (T3) 连接到电荷分配电容器，用于分配施加到第二栅极线，第一子像素电极和第二子像素电极的数据电压。

