



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0133786
(43) 공개일자 2011년12월14일

(51) Int. Cl.

G02F 1/1339 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2010-0053387

(22) 출원일자 2010년06월07일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 용산구 한강로3가 65-228

(72) 발명자

이정일

경기도 고양시 일산서구 일산동 일신컨영휴먼빌
101동 1503호

정인재

경기도 과천시 별양동 주공아파트 704-504

김강일

서울특별시 은평구 대조동 209-30 101호

(74) 대리인

특허법인천문

전체 청구항 수 : 총 10 항

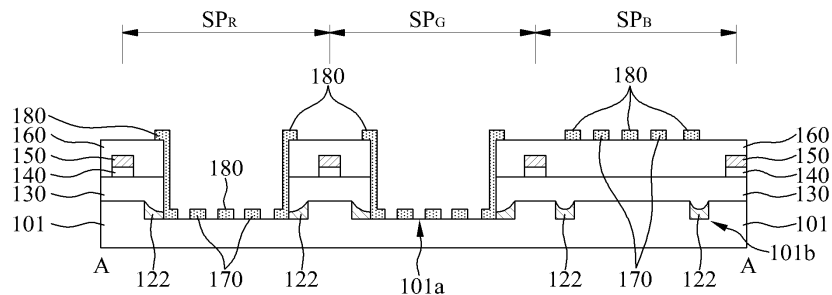
(54) 액정표시장치 및 그 제조방법

(57) 요약

본 발명은, 서로 대향하는 제1 기판과 제2 기판, 및 상기 양 기판 사이에 형성된 액정층을 포함하여 이루어진 액정표시장치에 있어서, 상기 액정표시장치는 제1 서브 픽셀, 제2 서브 픽셀 및 제3 서브 픽셀을 포함하여 이루어지고, 상기 제1 서브 픽셀의 셀갭은 상기 제3 서브 픽셀의 셀갭보다 큰 것을 특징으로 하는 액정표시장치, 및 그 제조방법에 관한 것으로서,

본 발명은 서브 픽셀 별로 최적의 셀갭을 갖도록 설계함으로써, 색상별 광 투과율이 증진되는 효과가 있다.

대표도 - 도4



특허청구의 범위

청구항 1

서로 대향하는 제1 기관과 제2 기관, 및 상기 양 기관 사이에 형성된 액정층을 포함하여 이루어진 액정표시장치에 있어서,

상기 액정표시장치는 제1 서브 픽셀, 제2 서브 픽셀 및 제3 서브 픽셀을 포함하여 이루어지고,

상기 제1 서브 픽셀의 셀갭은 상기 제3 서브 픽셀의 셀갭보다 큰 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 제1 서브 픽셀은 적색의 서브 픽셀로 이루어지고, 상기 제2 서브 픽셀은 녹색의 서브 픽셀로 이루어지고, 상기 제3 서브 픽셀은 청색의 서브 픽셀로 이루어지고,

상기 제1 서브 픽셀의 셀갭과 상기 제2 서브 픽셀의 셀갭은 동일한 것을 특징으로 하는 액정표시장치.

청구항 3

제2항에 있어서,

상기 제1 서브 픽셀을 구성하는 제1 기관의 두께는, 상기 제2 서브 픽셀을 구성하는 제1 기관의 두께와는 동일하고, 상기 제3 서브 픽셀을 구성하는 제1 기관의 두께보다는 작은 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서,

상기 제1 서브 픽셀을 구성하는 제1 기관은,

제1 베이스 위에서 서로 교차 배열된 게이트 라인과 데이터 라인;

상기 게이트 라인과 데이터 라인이 교차하는 영역에 형성된 박막 트랜지스터;

상기 박막 트랜지스터와 전기적으로 연결되어 있는 화소 전극;

상기 화소 전극과 평행하게 배열되는 공통 전극; 및

상기 공통 전극에 공통 전압을 인가하는 공통 라인을 포함하여 이루어지고,

이때, 상기 제1 베이스에는 소정의 홈이 구비되어 있고, 상기 제1 베이스의 홈 내에 상기 게이트 라인, 공통 라인, 화소 전극 및 공통 전극이 각각 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서,

상기 제3 서브 픽셀을 구성하는 제1 기관은,

제1 베이스 위에서 서로 교차 배열된 게이트 라인과 데이터 라인;

상기 게이트 라인과 데이터 라인이 교차하는 영역에 형성된 박막 트랜지스터;

상기 박막 트랜지스터와 전기적으로 연결되어 있는 화소 전극;

상기 화소 전극과 평행하게 배열되는 공통 전극; 및

상기 공통 전극에 공통 전압을 인가하는 공통 라인을 포함하여 이루어지고,

이때, 상기 제1 베이스에는 소정의 홈이 구비되어 있고, 상기 제1 베이스의 홈 내에 상기 게이트 라인 및 공통 라인이 각각 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 6

제4항 또는 제5항에 있어서,

상기 공통 전극은 상기 공통 라인에서 분지되어 상기 제1 베이스의 홈 내에 형성되어 있는 제1 공통 전극, 및 상기 제1 공통 전극과 전기적으로 연결되며 상기 화소 전극과 교대로 배열되어 있는 제2 공통 전극을 포함하여 이루어진 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서,

상기 제1 서브 픽셀 내에 형성된 화소 전극은 제1 베이스 상에 형성되어 있고, 상기 제3 서브 픽셀 내에 형성된 화소 전극은 보호막 상에 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 8

제1 서브 픽셀, 제2 서브 픽셀 및 제3 서브 픽셀을 포함하여 이루어진 액정표시장치를 제조하는 방법에 있어서, 상기 방법은,

제1 베이스 상에 제1 포토 레지스트 패턴을 형성하고, 상기 제1 포토 레지스트 패턴을 마스크로 하여 상기 제1 베이스의 소정 영역을 식각하여 상기 제1 베이스 내에 홈을 형성하는 공정;

상기 제1 베이스의 전면에 도전물질층을 형성하는 공정;

상기 홈 내에 도전물질층을 잔존시키면서 상기 포토 레지스트 패턴 및 그 위의 도전물질층을 제거하는 공정;

상기 도전물질층을 포함한 제1 베이스의 전면에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 반도체층, 소스 전극, 및 드레인 전극을 형성하는 공정;

상기 소스 전극 및 드레인 전극을 포함한 제1 베이스의 전면에 보호막을 형성하고, 상기 보호막 상에 제2 포토 레지스트 패턴을 형성하는 공정;

상기 제2 포토 레지스트 패턴을 마스크로 하여, 상기 보호막, 게이트 절연막 및 도전물질층의 소정 영역을 제거하는 공정; 및

상기 드레인 전극과 전기적으로 연결되는 화소 전극, 및 상기 화소 전극과 평행하게 배열되는 공통 전극을 형성하는 공정을 포함하여 이루어진 액정표시장치의 제조방법.

청구항 9

제8항에 있어서,

상기 제1 베이스 내에 홈을 형성하는 공정은, 게이트 라인 및 공통 라인을 수용하는 각각의 홈을 형성하는 공정을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

제8항에 있어서,

상기 제2 포토 레지스트 패턴을 마스크로 하여, 상기 보호막, 게이트 절연막 및 도전물질층의 소정 영역을 제거하는 공정은, 잔존하는 상기 도전물질층에 의해서 상기 제1 서브 픽셀에 제1 공통 전극을 형성하는 공정을 포함하고,

상기 화소 전극과 평행하게 배열되는 공통 전극을 형성하는 공정은, 상기 제1 공통 전극과 직접 연결되는 제2 공통 전극을 형성하는 공정을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

명세서**기술분야**

본 발명은 액정표시장치에 관한 것으로서, 보다 구체적으로는 투과율이 우수한 액정표시장치에 관한 것이다.

[0001]

배경 기술

- [0002] 액정표시장치는 동작 전압이 낮아 소비 전력이 적고 휴대용으로 쓰일 수 있는 등의 이점으로 노트북 컴퓨터, 모니터, 우주선, 항공기 등에 이르기까지 응용분야가 넓고 다양하다.
- [0003] 액정표시장치는 하부기관, 상부기관, 및 상기 양 기관 사이에 형성된 액정층을 포함하여 구성되며, 전계 인가 유무에 따라 액정층의 배열이 조절되고 그에 따라 광의 투과도가 조절되어 화상이 표시되는 장치이다.
- [0004] 이하, 도면을 참조로 종래의 액정표시장치에 대해서 설명하기로 한다.
- [0005] 도 1a는 종래의 액정표시장치의 개략적인 단면도이다.
- [0006] 도 1a에서 알 수 있듯이, 종래의 액정표시장치는 하부기관(10), 상부기관(20), 및 양 기관(10, 20) 사이에 형성되는 액정층(미도시)을 포함하여 이루어진다.
- [0007] 상기 하부기관(10)은 하부 베이스(11) 및 상기 하부 베이스(11) 상에 형성된 소자층(12)을 포함하여 이루어진다. 상기 소자층(12)은 박막 트랜지스터, 화소 전극, 및 공통 전극 등을 포함하여 이루어진다.
- [0008] 상기 상부기관(20)은 상부 베이스(21), 상기 상부 베이스(21) 상에 형성된 차광층(22), 상기 차광층(22) 사이에 형성된 적색(R), 녹색(G), 및 청색(B)의 컬러필터층(24), 상기 컬러 필터층(24) 상에 형성된 오버 코트층(26)을 포함하여 이루어진다.
- [0009] 이와 같은 종래의 액정표시장치는 적색(R)의 서브 픽셀(SP_R), 녹색(G)의 서브 픽셀(SP_G), 및 청색(B)의 서브 픽셀(SP_B)의 조합에 의해 다양한 색상 구현이 가능한 하나의 픽셀을 구성하게 된다.
- [0010] 그러나, 종래의 액정표시장치는, 적색(R)의 서브 픽셀(SP_R)의 셀갭(D_R), 녹색(G)의 서브 픽셀(SP_G)의 셀갭(D_G), 및 청색(B)의 서브 픽셀(SP_B)의 셀갭(D_B)이 모두 동일하게 형성되어 있기 때문에, 투과율을 증진시키는데 한계가 있다. 이에 대해 구체적으로 설명하면 다음과 같다.
- [0011] 도 1b는 셀갭에 따라 색상별 광의 투과율 변화를 보여주는 그래프로서, 도 1b에서 알 수 있듯이, 셀갭이 증가함에 따라, 적색(R) 광의 광투과율과 녹색(G) 광의 광투과율은 점차로 증가하다 감소하는 경향을 보이고, 청색(B) 광의 광투과율은 점차로 감소하는 경향을 보인다.
- [0012] 따라서, 종래와 같이, 적색(R)의 서브 픽셀(SP_R)의 셀갭(D_R), 녹색(G)의 서브 픽셀(SP_G)의 셀갭(D_G) 및 청색(B)의 서브 픽셀(SP_B)의 셀갭(D_B)이 모두 동일하게 설정된 경우에는, 각각의 색상별 광의 투과율을 최대화할 수 없게 된다.
- [0013] 즉, 종래의 경우, 녹색(G) 광의 투과율이 큰 지점을 기준으로 하여 모든 서브 픽셀의 셀갭(D_R, D_G, D_B)을 동일하게 설정하였는데, 이 경우, 적색(R) 광과 청색(B) 광은 상대적으로 투과율이 떨어지게 되어, 전체적으로 액정표시장치의 투과율이 감소되는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0014] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 서브 픽셀의 셀갭을 다양하게 설정함으로써 색상별 광의 투과율을 증진시킬 수 있는 액정표시장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0015] 본 발명은 상기 목적을 달성하기 위해서, 서로 대향하는 제1 기관과 제2 기관, 및 상기 양 기관 사이에 형성된 액정층을 포함하여 이루어진 액정표시장치에 있어서, 상기 액정표시장치는 제1 서브 픽셀, 제2 서브 픽셀 및 제3 서브 픽셀을 포함하여 이루어지고, 상기 제1 서브 픽셀의 셀갭은 상기 제3 서브 픽셀의 셀갭보다 큰 것을 특징으로 하는 액정표시장치를 제공한다.
- [0016] 여기서, 상기 제1 서브 픽셀은 적색의 서브 픽셀로 이루어지고, 상기 제2 서브 픽셀은 녹색의 서브 픽셀로 이루어지고, 상기 제3 서브 픽셀은 청색의 서브 픽셀로 이루어지고, 상기 제1 서브 픽셀의 셀갭과 상기 제2 서브 픽

셀의 셀갭은 동일할 수 있다. 이 경우, 상기 제1 서브 픽셀을 구성하는 제1 기관의 두께는, 상기 제2 서브 픽셀을 구성하는 제1 기관의 두께와는 동일하고, 상기 제3 서브 픽셀을 구성하는 제1 기관의 두께보다는 작을 수 있다.

[0017] 상기 제1 서브 픽셀을 구성하는 제1 기관은, 제1 베이스 위에서 서로 교차 배열된 게이트 라인과 데이터 라인; 상기 게이트 라인과 데이터 라인이 교차하는 영역에 형성된 박막 트랜지스터; 상기 박막 트랜지스터와 전기적으로 연결되어 있는 화소 전극; 상기 화소 전극과 평행하게 배열되는 공통 전극; 및 상기 공통 전극에 공통 전압을 인가하는 공통 라인을 포함하여 이루어지고, 이때, 상기 제1 베이스에는 소정의 홈이 구비되어 있고, 상기 제1 베이스의 홈 내에 상기 게이트 라인, 공통 라인, 화소 전극 및 공통 전극이 각각 형성될 수 있다.

[0018] 상기 제3 서브 픽셀을 구성하는 제1 기관은, 제1 베이스 위에서 서로 교차 배열된 게이트 라인과 데이터 라인; 상기 게이트 라인과 데이터 라인이 교차하는 영역에 형성된 박막 트랜지스터; 상기 박막 트랜지스터와 전기적으로 연결되어 있는 화소 전극; 상기 화소 전극과 평행하게 배열되는 공통 전극; 및 상기 공통 전극에 공통 전압을 인가하는 공통 라인을 포함하여 이루어지고, 이때, 상기 제1 베이스에는 소정의 홈이 구비되어 있고, 상기 제1 베이스의 홈 내에 상기 게이트 라인 및 공통 라인이 각각 형성될 수 있다.

[0019] 상기 공통 전극은 상기 공통 라인에서 분지되어 상기 제1 베이스의 홈 내에 형성되어 있는 제1 공통 전극, 및 상기 제1 공통 전극과 전기적으로 연결되며 상기 화소 전극과 교대로 배열되어 있는 제2 공통 전극을 포함하여 이루어질 수 있다.

[0020] 상기 제1 서브 픽셀 내에 형성된 화소 전극은 제1 베이스 상에 형성되어 있고, 상기 제3 서브 픽셀 내에 형성된 화소 전극은 보호막 상에 형성될 수 있다.

[0021] 본 발명은 또한, 제1 서브 픽셀, 제2 서브 픽셀 및 제3 서브 픽셀을 포함하여 이루어진 액정표시장치를 제조하는 방법에 있어서, 상기 방법은, 제1 베이스 상에 제1 포토 레지스트 패턴을 형성하고, 상기 제1 포토 레지스트 패턴을 마스크로 하여 상기 제1 베이스의 소정 영역을 식각하여 상기 제1 베이스 내에 홈을 형성하는 공정; 상기 제1 베이스의 전면에 도전물질층을 형성하는 공정; 상기 홈 내에 도전물질층을 잔존시키면서 상기 포토 레지스트 패턴 및 그 위의 도전물질층을 제거하는 공정; 상기 도전물질층을 포함한 제1 베이스의 전면에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 반도체층, 소스 전극, 및 드레인 전극을 형성하는 공정; 상기 소스 전극 및 드레인 전극을 포함한 제1 베이스의 전면에 보호막을 형성하고, 상기 보호막 상에 제2 포토 레지스트 패턴을 형성하는 공정; 상기 제2 포토 레지스트 패턴을 마스크로 하여, 상기 보호막, 게이트 절연막 및 도전물질층의 소정 영역을 제거하는 공정; 및 상기 드레인 전극과 전기적으로 연결되는 화소 전극, 및 상기 화소 전극과 평행하게 배열되는 공통 전극을 형성하는 공정을 포함하여 이루어진 액정표시장치의 제조방법을 제공한다.

[0022] 여기서, 상기 제1 베이스 내에 홈을 형성하는 공정은, 게이트 라인 및 공통 라인을 수용하는 각각의 홈을 형성하는 공정을 포함할 수 있다.

[0023] 상기 제2 포토 레지스트 패턴을 마스크로 하여, 상기 보호막, 게이트 절연막 및 도전물질층의 소정 영역을 제거하는 공정은 잔존하는 상기 도전물질층에 의해서 상기 제1 서브 픽셀에 제1 공통 전극을 형성하는 공정을 포함하고, 상기 화소 전극과 평행하게 배열되는 공통 전극을 형성하는 공정은 상기 제1 공통 전극과 직접 연결되는 제2 공통 전극을 형성하는 공정을 포함할 수 있다.

발명의 효과

[0024] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.

[0025] 본 발명은 서브 픽셀 별로 기관의 두께를 상이하게 형성하여 서브 픽셀 별로 최적의 셀갭을 갖도록 설계함으로써, 색상별 광 투과율이 증진되는 효과가 있다.

[0026] 본 발명은 또한, 기관을 구성하는 베이스에 홈을 형성하고 상기 홈 내에 배선과 전극을 형성함으로써, 상기 배선과 전극의 폭을 줄일 수 있어 광 투과율이 증진되는 효과가 있다.

도면의 간단한 설명

[0027] 도 1a는 종래의 액정표시장치의 개략적인 단면도이고, 도 1b는 셀갭에 따라 색상별 광의 투과율 변화를 보여주는 그래프이다.

도 2a는 본 발명의 일 실시예에 따른 액정표시장치의 개략적인 단면도이고, 도 2b는 본 발명의 일 실시예에 따

른 액정표시장치에서 각각의 서브 픽셀의 셀갭을 보여주기 위한 그래프이다.

도 3은 본 발명의 일 실시예에 따른 액정표시장치용 제1 기관의 평면도이다.

도 4는 도 3의 A-A라인의 단면도이다.

도 5는 도 3의 B-B라인의 단면도이다.

도 6은 도 3의 C-C라인의 단면도이다.

도 7a 내지 도 7i는 본 발명의 일 실시예에 따른 액정표시장치용 제1 기관의 제조공정을 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 도면을 참조로 본 발명의 실시예에 대해서 상세히 설명하기로 한다.
- [0029] 도 2a는 본 발명의 일 실시예에 따른 액정표시장치의 개략적인 단면도이고, 도 2b는 본 발명의 일 실시예에 따른 액정표시장치에서 각각의 서브 픽셀의 셀갭을 보여주기 위한 그래프이다.
- [0030] 도 2a에서 알 수 있듯이, 본 발명의 일 실시예에 따른 액정표시장치는 제1 기관(100), 제2 기관(200), 및 양 기관(100, 200) 사이에 형성되는 액정층(미도시)을 포함하여 이루어진다.
- [0031] 상기 제1 기관(100)은, 도시하지는 않았지만, 제1 베이스, 및 그 위에 형성된 박막 트랜지스터, 화소 전극, 및 공통 전극과 같은 소자층을 포함하여 이루어진다.
- [0032] 상기 제2 기관(200)은, 제2 베이스(210), 상기 제2 베이스(210) 상에 형성된 차광층(220), 상기 차광층(220) 사이에 형성된 적색(R), 녹색(G), 및 청색(B)의 컬러 필터층(240), 상기 컬러 필터층(240) 상에 형성된 오버 코트층(260)을 포함하여 이루어진다.
- [0033] 이와 같이, 본 발명의 일 실시예에 따른 액정표시장치는, 적색(R)의 서브 픽셀(SP_R), 녹색(G)의 서브 픽셀(SP_G), 및 청색(B)의 서브 픽셀(SP_B)의 조합에 의해 하나의 픽셀을 구성하게 된다.
- [0034] 여기서, 상기 적색(R)의 서브 픽셀(SP_R)의 셀갭(D_R)은 상기 청색(B)의 서브 픽셀(SP_B)의 셀갭(D_B) 보다 크게 형성되어 있다. 또한, 상기 적색(R)의 서브 픽셀(SP_R)의 셀갭(D_R)과 상기 녹색(G)의 서브 픽셀(SP_G)의 셀갭(D_G)은 서로 동일하게 형성되어 있다.
- [0035] 이와 같이, 각각의 서브 픽셀의 셀갭에 대해서 도 2b를 참조하여 설명하면, 도 2b에서 알 수 있듯이, 셀갭이 증가함에 따라 적색(R) 광의 투과율은 증가하고 청색(B) 광의 투과율은 감소하는 경향을 나타낸다. 따라서, 적색(R)의 서브 픽셀(SP_R)의 셀갭(D_R)을 청색(B)의 서브 픽셀(SP_B)의 셀갭(D_B) 보다 크게 형성하는 것이 투과율 증진을 위해 바람직하다. 특히, 청색(B)의 서브 픽셀(SP_B)의 셀갭(D_B)은 투과율이 최대가 되도록 설정한다.
- [0036] 또한, 적색(R) 광의 투과율이 최대가 되는 셀갭이 녹색(G) 광의 투과율이 최대가 되는 셀갭 보다 큰 것을 알 수 있으며, 따라서, 투과율이 최대가 되도록 하기 위해서는, 적색(R)의 서브 픽셀(SP_R)의 셀갭(D_R)을 녹색(G)의 서브 픽셀(SP_G)의 셀갭(D_G) 보다 크게 형성하는 것이 바람직하다. 다만, 셀갭을 서로 상이하게 하기 위해서는 그만큼 공정설계가 복잡해지기 때문에, 투과율 차이가 크지 않을 경우에는 오히려 셀갭을 동일하게 하는 것이 유리할 수 있다. 이와 같은 이유로 인해서, 본 발명의 일 실시예에서는, 적색(R)의 서브 픽셀(SP_R)의 셀갭(D_R)과 녹색(G)의 서브 픽셀(SP_G)의 셀갭(D_G)을 서로 동일하게 형성한 것이다. 다만, 공정설계가 다소 복잡해지더라도 투과율을 최대화하기 위해서, 적색(R)의 서브 픽셀(SP_R)의 셀갭(D_R)을 녹색(G)의 서브 픽셀(SP_G)의 셀갭(D_G) 보다 크게 형성할 수도 있다.
- [0037] 이와 같이, 서브 픽셀 별로 셀갭을 상이하게 형성하기 위해서, 본 발명의 일 실시예는 서브 픽셀 별로 제1 기관(100)의 두께를 상이하게 형성한다.
- [0038] 즉, 적색(R)의 서브 픽셀(SP_R)의 셀갭(D_R)을 청색(B)의 서브 픽셀(SP_B)의 셀갭(D_B) 보다 크게 형성하기 위해서, 적색(R)의 서브 픽셀(SP_R)을 구성하는 제1 기관(100)의 두께(T_R)를 청색(B)의 서브 픽셀(SP_B)을 구성하는 제1 기관(100)의 두께(T_B)보다 작게 형성한다.

- [0039] 또한, 적색(R)의 서브 픽셀(SP_R)의 셀갭(D_R)을 녹색(G)의 서브 픽셀(SP_G)의 셀갭(D_G)과 동일하게 형성하기 위해서, 적색(R)의 서브 픽셀(SP_R)을 구성하는 제1 기관(100)의 두께(T_R)를 녹색(G)의 서브 픽셀(SP_G)을 구성하는 제1 기관(100)의 두께(T_G)와 동일하게 형성한다.
- [0040] 이하에서는, 이와 같이 서브 픽셀 별로 제1 기관(100)의 두께를 변경한 액정표시장치용 제1 기관(100)의 바람직한 실시예에 대해서 보다 상세히 설명하기로 한다.
- [0041] 도 3은 본 발명의 일 실시예에 따른 액정표시장치용 제1 기관의 평면도이고, 도 4는 도 3의 A-A라인의 단면도이고, 도 5는 도 3의 B-B라인의 단면도이고, 도 6은 도 3의 C-C라인의 단면도이다.
- [0042] 도 3에서 알 수 있듯이, 본 발명의 일 실시예에 따른 액정표시장치용 제1 기관(100)은, 적색(R)의 서브 픽셀(SP_R), 녹색(G)의 서브 픽셀(SP_G), 및 청색(B)의 서브 픽셀(SP_B)을 포함하여 이루어진다.
- [0043] 각각의 서브 픽셀은 서로 교차 배열된 게이트 라인(110)과 데이터 라인(150)에 의해 정의된다.
- [0044] 또한, 상기 게이트 라인(110)과 평행하게 공통 라인(120)이 배열되어 있고, 상기 공통 라인(120)에서 제1 공통 전극(122)이 분지되어 있다. 상기 제1 공통 전극(122)은 각각의 서브 픽셀에 형성되어 있다. 상기 게이트 라인(110), 공통 라인(120), 및 제1 공통 전극(122)은 서로 동일한 층에 동일한 물질로 이루어진다.
- [0045] 상기 게이트 라인(110)과 데이터 라인(150)이 교차하는 영역에는 박막 트랜지스터가 형성되어 있다. 즉, 상기 데이터 라인(150)에서는 소스 전극(152)이 분지되어 있고, 상기 소스 전극(152)과 마주하도록 드레인 전극(154)이 형성되어 있어, 상기 게이트 라인(110), 소스 전극(152), 드레인 전극(154), 및 반도체층(미도시)에 의해 박막 트랜지스터가 구성되고, 이와 같은 박막 트랜지스터에 의해서 각각의 서브 픽셀의 구동이 스위칭된다. 여기서, 상기 데이터 라인(150), 소스 전극(152), 및 드레인 전극(154)은 서로 동일한 층에 동일한 물질로 이루어진다.
- [0046] 또한, 각각의 서브 픽셀에는 수평 전계를 인가할 수 있도록 서로 평행하게 배열된 화소 전극(170)과 제2 공통 전극(180)이 형성되어 있다.
- [0047] 상기 화소 전극(170)은 하나의 서브 픽셀 내에서 복수 개가 서로 연결되어 있다. 이와 같은 화소 전극(170)은 상기 박막 트랜지스터와 전기적으로 연결되어 있는데, 구체적으로는, 제1 콘택홀(162)을 통해 상기 드레인 전극(154)과 전기적으로 연결되어 있다.
- [0048] 상기 제2 공통 전극(180)은 하나의 서브 픽셀 내에서 복수 개가 서로 연결되어 있고, 이와 같은 복수 개의 제2 공통 전극(180)은 상기 화소 전극(170)과 교대로 평행하게 배열되어 있다. 특히, 상기 제2 공통 전극(180)은 상기 제1 공통 전극(122) 및 상기 공통 라인(120)과 전기적으로 연결되어 있다. 여기서, 상기 제1 공통 전극(122)은 생략할 수도 있지만, 상기 데이터 라인(150)과 화소 전극(170) 사이의 크로스토크(crosstalk) 방지를 위해서 형성하는 것이 바람직할 수 있다.
- [0049] 상기 제2 공통 전극(180)이 상기 제1 공통 전극(122) 및 공통 라인(120)과 전기적으로 연결되는 모습은 적색(R)의 서브 픽셀(SP_R), 녹색(G)의 서브 픽셀(SP_G) 및 청색(B)의 서브 픽셀(SP_B) 간에 서로 상이할 수 있다. 구체적으로, 적색(R)의 서브 픽셀(SP_R)과 녹색(G)의 서브 픽셀(SP_G)에서는 상기 제2 공통 전극(180)이 상기 제1 공통 전극(122) 및 공통 라인(120)과 직접 연결될 수 있지만, 청색(B)의 서브 픽셀(SP_B)에서는 상기 제2 공통 전극(180)이 제2 콘택홀(164)을 통해 상기 제1 공통 전극(122) 또는 공통 라인(120)과 전기적으로 연결될 수 있다. 이 점에 대해서는 도 4 및 도 5를 참조하여 후술하기로 한다.
- [0050] 이상과 같은 본 발명의 일 실시예에 따르면, 적색(R)의 서브 픽셀(SP_R)과 녹색(G)의 서브 픽셀(SP_G)의 중앙 영역에는 제1 베이스(101)가 노출되어 있지만 청색(B)의 서브 픽셀(SP_B)의 중앙 영역은 제1 베이스(101)가 노출되어 있지 않고 보호막(160)이 형성되어 있다.
- [0051] 따라서, 적색(R)의 서브 픽셀(SP_R)을 구성하는 제1 기관(100)의 두께가, 녹색(G)의 서브 픽셀(SP_G)을 구성하는 제1 기관(100)의 두께와는 동일하고, 청색(B)의 서브 픽셀(SP_B)을 구성하는 제1 기관(100)의 두께보다는 작게 되는데, 그에 대해서 도 4를 참조하여 보다 구체적으로 설명하기로 한다.
- [0052] 도 4에서 알 수 있듯이, 적색(R)의 서브 픽셀(SP_R)은 녹색(G)의 서브 픽셀(SP_G)과는 동일하게 형성되지만, 청색

(B)의 서브 픽셀(SP_B)과는 상이하게 형성되며, 특히, 적색(R)의 서브 픽셀(SP_R)과 녹색(G)의 서브 픽셀(SP_G)은 데이터 라인(150) 사이의 영역에 빈공간이 형성되어 상대적으로 두께가 얇게 형성되지만, 청색(B)의 서브 픽셀(SP_B)은 데이터 라인(150) 사이의 영역에 빈공간이 형성되지 않아서 상대적으로 두께가 두껍게 형성된다. 보다 구체적으로 설명하면 다음과 같다.

- [0053] 상기 적색(R)의 서브 픽셀(SP_R)과 녹색(G)의 서브 픽셀(SP_G)의 경우에는, 제1 베이스(101)에 제1 홈(101a)이 형성되어 있는데, 이와 같은 제1 홈(101a)은 데이터 라인(150) 사이의 소정 영역에 전체적으로 형성되어 있고, 상기 제1 홈(101a) 내에는 제1 공통 전극(122), 화소 전극(170), 및 제2 공통 전극(180)이 수용되어 있다. 다만, 도시된 바와 같이, 가장 좌측과 가장 우측에 형성된 제2 공통 전극(180)의 일부는 상기 제1 홈(101a) 내에 수용되지 않을 수도 있다.
- [0054] 이와 같이, 상기 적색(R)의 서브 픽셀(SP_R)과 녹색(G)의 서브 픽셀(SP_G)의 경우에는, 화소 전극(170)과 일부 제2 공통 전극(180) 아래에 게이트 절연막(130)과 보호막(160)이 형성되어 있지 않고, 그에 더하여 화소 전극(170)과 일부 제2 공통 전극(180)이 상기 제1 베이스(101)의 제1 홈(101a) 내에 수용되어 있기 때문에 그 두께가 얇게 된다.
- [0055] 반면에, 상기 청색(B)의 서브 픽셀(SP_B)의 경우에는, 제1 베이스(101)에 제2 홈(101b)이 형성되어 있지만, 이와 같은 제2 홈(101b)은 데이터 라인(150) 사이의 소정 영역 일부에 형성되어 있고, 상기 제2 홈(101b) 내에는 제1 공통 전극(122)만이 수용되어 있다. 따라서, 상기 청색(B)의 서브 픽셀(SP_B)의 경우에는, 화소전극(170)과 제2 공통 전극(180) 아래에 게이트 절연막(130)과 보호막(160)이 형성되어 있기 때문에 두께가 두껍게 된다.
- [0056] 그 외에, 상기 제1 홈(101a) 및 제2 홈(101b)이 형성되지 않은 제1 베이스(101) 상에는 게이트 절연막(130), 반도체층(140), 데이터 라인(150), 보호막(160)이 차례로 형성된다. 다만, 상기 반도체층(140)은 상기 데이터 라인(150) 아래에 형성되지 않을 수도 있고, 이 경우, 상기 데이터 라인(150)은 상기 게이트 절연막(130) 상에 형성된다.
- [0057] 이하에서는, 도 4 및 도 5를 참조하여, 각각의 서브 픽셀에서 제2 공통 전극(180)이 제1 공통 전극(122) 및 공통 라인(120)과 전기적으로 연결되는 모습에 대해서 설명하기로 한다.
- [0058] 도 4에서 알 수 있듯이, 적색(R)의 서브 픽셀(SP_R)과 녹색(G)의 서브 픽셀(SP_G)에서는 가장 좌측과 가장 우측에 형성된 제2 공통 전극(180)이 제1 공통 전극(122)의 측면과 접하고 있기 때문에, 제2 공통 전극(180)이 제1 공통 전극(122)과 직접 연결되어 있고, 도시하지는 않았지만, 제2 공통 전극(180)이 공통 라인(120)과도 직접 연결되어 있다.
- [0059] 반면에, 청색(B)의 서브 픽셀(SP_B)에서는 제2 공통 전극(180)과 제1 공통 전극(122) 사이에 게이트 절연막(130)과 보호막(160)이 형성되어 있기 때문에 양자 간에 직접 연결될 수 없다.
- [0060] 따라서, 도 5에서 알 수 있듯이, 청색(B)의 서브 픽셀(SP_B)에서는, 공통 라인(120) 위에 형성된 게이트 절연막(130)과 보호막(160)에 제2 콘택홀(164)을 형성함으로써, 상기 제2 콘택홀(164)을 통해 제2 공통 전극(180)이 상기 공통 라인(120)과 전기적으로 연결될 수 있게 된다. 한편, 도시하지는 않았지만, 제1 공통 전극(122) 위에 형성된 게이트 절연막(130)과 보호막(160)에 제2 콘택홀(164)을 형성하여 제2 공통 전극(180)이 상기 제1 공통 전극(122)을 통해 상기 공통 라인(120)과 전기적으로 연결되도록 할 수도 있다.
- [0061] 한편, 상기 공통 라인(120)은 상기 제1 베이스(101)에 구비된 제3 홈(101c) 내에 형성되어 있다.
- [0062] 이하에서는, 도 6을 참고하여, 각각의 서브 픽셀 영역에 형성되는 박막 트랜지스터의 구성에 대해서 설명하기로 한다.
- [0063] 도 6에서 알 수 있듯이, 제1 베이스(101)에는 제4 홈(101d)이 형성되어 있고, 상기 제4 홈(101d)에는 게이트 라인(110)이 수용되어 있다.
- [0064] 상기 게이트 라인(110)을 포함한 제1 베이스(101) 전면에는 게이트 절연막(130)이 형성되어 있고, 상기 게이트 절연막(130) 상에는 반도체층(140)이 형성되어 있고, 상기 반도체층(140) 상에는 소스 전극(152)과 드레인 전극(154)이 서로 마주하면서 형성되어 있다.
- [0065] 도시하지는 않았지만, 상기 반도체층(140)은 액티브층과 오믹콘택층으로 이루어질 수 있고, 이때, 상기 오믹콘

택층은 상기 소스 전극(152)과 드레인 전극(154)과 접촉하고 있다.

- [0066] 상기 반도체층(140)과 상기 소스/드레인 전극(152, 154)은 하프톤 마스크를 이용할 경우 한 번의 노광공정을 통해 형성할 수 있으며, 이 경우에는, 상기 반도체층(140), 보다 구체적으로는 상기 오믹콘택층이 소스/드레인 전극(152, 154)과 동일한 패턴으로 형성되고, 아울러, 상기 오믹콘택층이 전술한 데이터 라인(150)과도 동일한 패턴으로 형성된다.
- [0067] 상기 소스/드레인 전극(152, 154) 상에는 보호막(160)이 형성되어 있고, 상기 드레인 전극(154) 위의 보호막(160)에는 제1 콘택홀(162)이 구비되어 있어, 상기 제1 콘택홀(162)을 통해 화소 전극(170)이 상기 드레인 전극(154)과 전기적으로 연결되어 있다.
- [0068] 한편, 이상과 같은 본 발명에 따르면, 게이트 라인(110), 공통 라인(120), 제1 공통 전극(122), 화소 전극(170), 및 제2 공통 전극(180)이 제1 베이스(101)에 구비된 홈 내에 수용되어 있기 때문에, 상기 홈의 깊이를 깊게 형성할 경우 상기 라인들(110, 120)과 전극들(122, 170, 180)의 폭을 줄일 수 있고, 그 경우 액정표시장치의 광 투과영역이 증가되는 효과를 얻을 수 있다. 특히, 상기 게이트 라인(110), 공통 라인(120) 및 제1 공통 전극(122)은 일반적으로 불투명금속으로 이루어지기 때문에, 그들(110, 120, 122)의 폭을 줄일 경우 광 투과율을 대폭 증가시킬 수 있는 장점이 있다.
- [0069] 이상 설명한 각각의 구성들은 당업계에 공지된 다양한 재료를 이용하여 형성할 수 있다. 이하에서는 각각의 구성들의 재료에 대한 예를 설명하지만, 반드시 그에 한정되는 것은 아니다.
- [0070] 상기 게이트 라인(110), 공통 라인(120), 제1 공통 전극(122), 데이터 라인(150), 소스 전극(152) 및 드레인 전극(154)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오듐(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있다.
- [0071] 상기 게이트 절연막(130) 및 보호막(160)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x) 등과 같은 무기계 물질, 또는 벤조사이클로부텐(BCB)과 포토아크릴(photo acryl) 등과 같은 유기계 물질로 이루어질 수 있다.
- [0072] 상기 반도체층(140)은 비정질 실리콘 또는 결정질 실리콘과 같은 실리콘계 물질을 포함하여 이루어질 수 있으며, 특히, 상기 반도체층(140)을 구성하는 오믹콘택층은 상기 실리콘계 물질에 불순물이 도핑되어 이루어질 수 있다.
- [0073] 상기 화소 전극(170) 및 상기 제2 공통 전극(180)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide)와 같은 투명 도전물로 이루어질 수 있다.
- [0074] 이상은 횡전계 방식 액정표시장치에 대해서 설명하였는데, 본 발명에 따른 액정표시장치가 횡전계 방식만으로 한정되는 것은 아니다.
- [0075] 도 7a 내지 도 7i는 본 발명의 일 실시예에 따른 액정표시장치용 제1 기판의 제조공정을 도시한 단면도로서, 이는 전술한 도 3의 A-A라인의 단면에 해당하는 것이다.
- [0076] 우선, 도 7a에서 알 수 있듯이, 제1 베이스(101) 상에 소정의 제1 포토레지스트 패턴(105)을 형성한다.
- [0077] 상기 제1 포토레지스트 패턴(105)은 포토리소그래피(Photolithography) 공정을 통해 형성할 수 있다.
- [0078] 다음, 도 7b에서 알 수 있듯이, 상기 제1 포토레지스트 패턴(105)을 마스크로 하여 상기 제1 베이스(101)의 소정 영역을 식각함으로써, 제1 홈(101a) 및 제2 홈(101b)을 형성한다.
- [0079] 전술한 도 4를 참조하면, 상기 제1 홈(101a)은 적색(R)의 서브 픽셀(SP_R)과 녹색(G)의 서브 픽셀(SP_G)에 형성되어 제1 공통 전극(122), 화소 전극(170), 및 제2 공통 전극(180)을 수용하게 되고, 상기 제2 홈(101b)은 청색(B)의 서브 픽셀(SP_B)에 형성되어 제1 공통 전극(122)을 수용하게 된다.
- [0080] 한편, 도시하지는 않았지만, 상기 제1 홈(101a) 및 제2 홈(101b)을 형성하는 공정과 동시에, 공통 라인을 수용하기 위한 제3 홈(전술한 도 5의 101c 참조) 및 게이트 라인을 수용하기 위한 제4 홈(전술한 도 6의 101d 참조)도 함께 형성하게 된다.
- [0081] 다음, 도 7c에서 알 수 있듯이, 상기 제1 포토레지스트 패턴(105)을 포함한 제1 베이스(101)의 전면(全面)에 도전물질층(115)을 형성한다. 상기 도전물질층(115)은 스퍼터링(Sputtering) 공정으로 증착 형성할 수 있다.

- [0082] 다음, 도 7d에서 알 수 있듯이, 상기 제1 포토레지스트 패턴(105)과 그 위에 형성된 도전물질층(115)을 제거하고, 상기 제1 홈(101a) 및 제2 홈(10b) 내에 도전물질층(115)을 잔존시킨다.
- [0083] 여기서, 상기 제1 홈(101a) 내에 잔존하는 도전물질층(115)에 의해서 적색(R)의 서브 픽셀(SP_R)과 녹색(G)의 서브 픽셀(SP_G)의 제1 공통 전극용 패턴층(122a)이 형성되고, 상기 제2 홈(101b) 내에 잔존하는 도전물질층(115)에 의해서 청색(B)의 서브 픽셀(SP_B)의 제1 공통 전극(122)이 형성된다.
- [0084] 한편, 도시하지는 않았지만, 이와 같은 공정에 의해서, 제3 홈(전술한 도 5의 101c 참조) 및 제4 홈(전술한 도 6의 101d 참조)에도 도전물질층이 잔존하게 되고, 상기 제3 홈(전술한 도 5의 101c 참조)에 잔존하는 도전물질층에 의해서 공통 라인이 형성되고, 제4 홈(전술한 도 6의 101d 참조)에 잔존하는 도전물질층에 의해서 게이트 라인이 형성된다.
- [0085] 다음, 도 7e에서 알 수 있듯이, 상기 제1 베이스(101)의 전면에 게이트 절연막(130)을 형성한다. 상기 게이트 절연막(130)은 플라즈마 강화 화학 기상증착(Plasma Enhanced Chemical Vapor Deposition: PECVD) 공정을 통해 증착형성할 수 있다.
- [0086] 다음, 도 7f에서 알 수 있듯이, 상기 게이트 절연막(130) 상에 반도체층(140) 및 데이터 라인(150)을 형성한다. 도시하지는 않았지만, 상기 데이터 라인(150) 함께 소스 전극(전술한 도 3의 152 참조) 및 드레인 전극(전술한 도 3의 154 참조)도 함께 형성한다.
- [0087] 구체적으로, 상기 게이트 절연막(130) 상에 PECVD 공정으로 반도체층을 증착하고, 스퍼터링 공정으로 금속층을 증착한 후, 포토리소그래피공정을 통해 반도체층(140), 데이터 라인(150), 소스 전극(전술한 도 3의 152 참조) 및 드레인 전극(전술한 도 3의 154 참조)을 패턴형성할 수 있다. 여기서, 상기 포토리소그래피 공정시 하프톤 마스크를 이용할 경우 한 번의 노광공정을 통해 상기 반도체층(140), 데이터 라인(150), 소스 전극(전술한 도 3의 152 참조) 및 드레인 전극(전술한 도 3의 154 참조)을 함께 형성할 수 있음은 전술한 바와 같다.
- [0088] 다음, 도 7g에서 알 수 있듯이, 상기 데이터 라인(150)을 포함한 제1 베이스(101)의 전면에 보호막(160)을 형성하고, 상기 보호막(160) 상에 제2 포토레지스트 패턴(165)을 형성한다.
- [0089] 다음, 도 7h에서 알 수 있듯이, 상기 제2 포토레지스트 패턴(165)을 마스크로 하여, 적색(R)의 서브 픽셀(SP_R)과 녹색(G)의 서브 픽셀(SP_G)에 형성된 보호막(160), 게이트 절연막(130) 및 제1 공통 전극용 패턴층(122a)의 소정 영역을 제거한다. 그리하면, 제거되지 않고 잔존하는 제1 공통 전극용 패턴층(122a)에 의해서, 적색(R)의 서브 픽셀(SP_R)과 녹색(G)의 서브 픽셀(SP_G)에 제1 공통 전극(122)이 완성된다.
- [0090] 한편, 이 공정 후에는, 상기 보호막(160)의 소정 영역을 제거하여 제1 콘택홀(전술한 도 6의 162 참조)을 형성함과 더불어 상기 게이트 절연막(130)과 보호막(160)의 소정 영역을 제거하여 제2 콘택홀(전술한 도 5의 164 참조)을 형성한다. 여기서, 상기 제2 포토레지스트 패턴(165)을 하프톤 마스크를 이용하여 단차지게 형성할 경우, 상기 제1 콘택홀(162) 및 제2 콘택홀(164) 형성을 위해서 별도의 노광공정을 수행할 필요가 없고, 에칭(ashing) 공정과 에칭공정을 통해 상기 제1 콘택홀(162) 및 제2 콘택홀(164) 형성이 가능하게 된다.
- [0091] 다음, 도 7i에서 알 수 있듯이, 화소 전극(170)과 제2 공통 전극(180)을 교대로 형성하여 본 발명의 일 실시예에 따른 액정표시장치의 제조를 완성한다. 상기 화소 전극(170)과 제2 공통 전극(180)은 스퍼터링 공정 및 포토리소그래피 공정을 이용하여 패턴형성할 수 있다.
- [0092] 한편, 도시하지는 않았지만, 상기 화소 전극(170)은 제1 콘택홀(162)을 통해 드레인 전극(154)과 전기적으로 연결되고, 상기 제2 공통 전극(180)은 제2 콘택홀(164)을 통해 공통 라인(120)과 전기적으로 연결된다.
- [0093] 이상은 본 발명의 일 실시예에 따른 액정표시장치용 제1 기판의 제조공정에 대해서 설명하였는데, 본 발명의 일 실시예에 따른 액정표시장치는 전술한 바와 같이 제1 기판을 제조하고, 차광층, 컬러필터층, 및 오버코트층을 차례로 형성하여 제2 기판을 제조하고, 상기 제1 기판 및 제2 기판 사이에 액정층을 형성하는 공정을 통해 제조할 수 있다.
- [0094] 상기 제1 기판 및 제2 기판 사이에 액정층을 형성하는 공정은 액정주입방식 또는 액정적하방식을 이용하여 수행할 수 있다. 상기 액정주입방식은 제1 기판과 제2 기판 중 어느 하나의 기판 상에 소정의 주입구를 구비한 씨일재를 도포하고, 상기 제1 기판과 제2 기판을 합착한 후 상기 씨일재의 주입구를 통해 액정을 주입하고, 그리고 상기 씨일재의 주입구를 봉인하는 공정을 통해 상기 제1 기판과 제2 기판 사이에 액정층을 형성하는 방식이다.

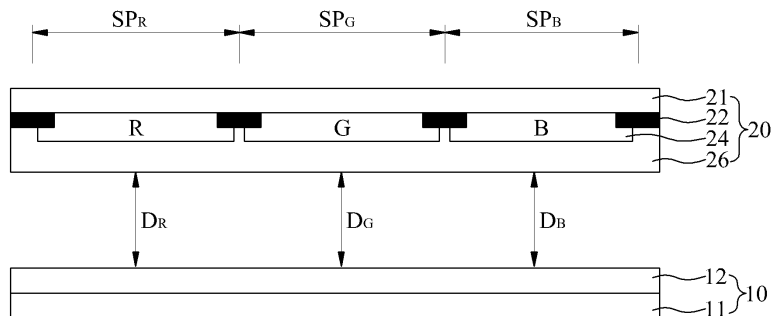
상기 액정적하방식은 제1 기판과 제2 기판 중 어느 하나의 기판 상에 주입구가 없는 폐쇄형의 씨일재를 도포하고, 제1 기판과 제2 기판 중 어느 하나의 기판 상에 액정을 적하하고, 그리고 상기 제1 기판과 제2 기판을 합착하는 공정을 통해 상기 제1 기판과 제2 기판 사이에 액정층을 형성하는 방식이다.

부호의 설명

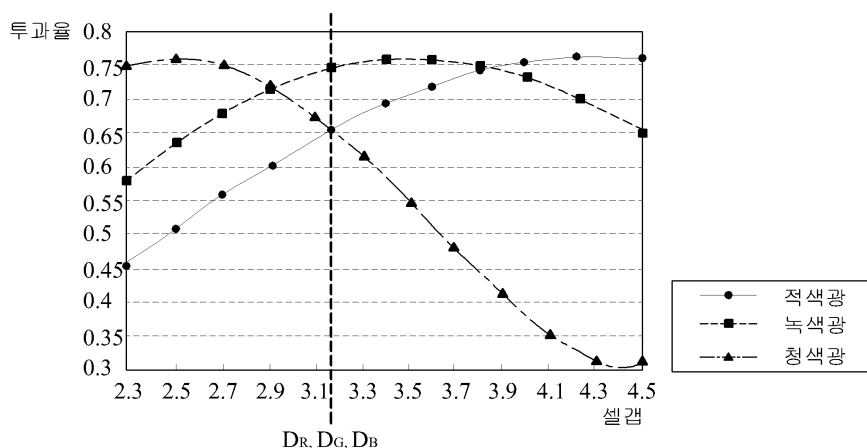
100: 제1 기판	101: 제1 베이스
101a, 101b, 101c, 101d: 제1, 제2, 제3, 제4 홈	
110: 게이트 라인	115: 제1 포토레지스트 패턴
120: 공통 라인	122: 제1 공통 전극
130: 게이트 절연막	140: 반도체층
150: 데이터 라인	152: 소스 전극
154: 드레인 전극	160: 보호막
162: 제1 콘택홀	164: 제2 콘택홀
165: 제2 포토레지스트 패턴	170: 화소 전극
180: 제2 공통 전극	200: 제2 기판
210: 제2 베이스	220: 차광층
240: 컬러필터층	260: 오버코트층

도면

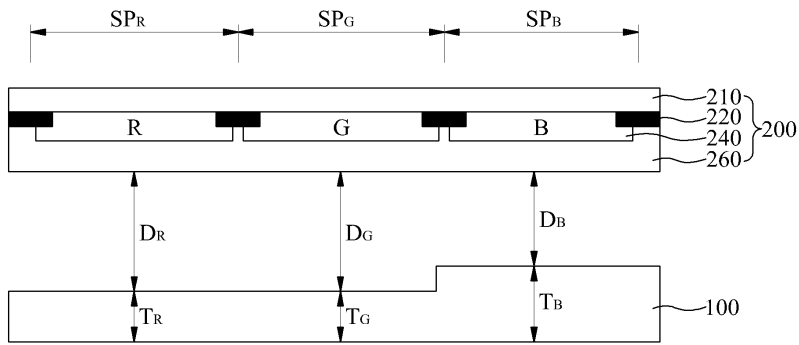
도면1a



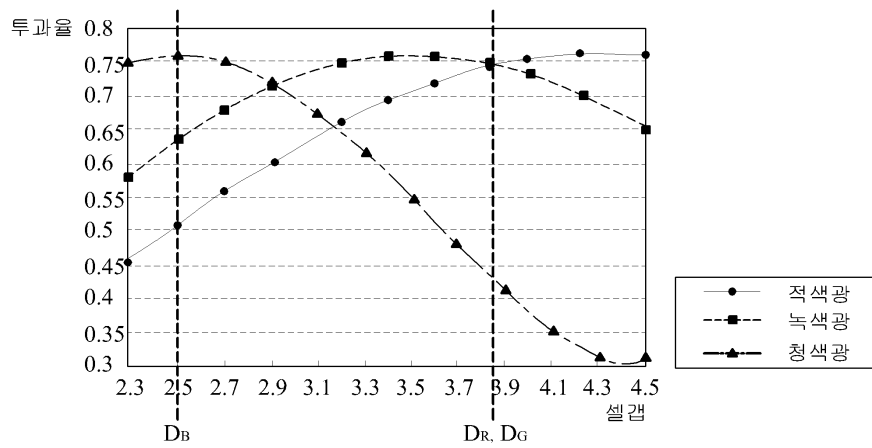
도면1b



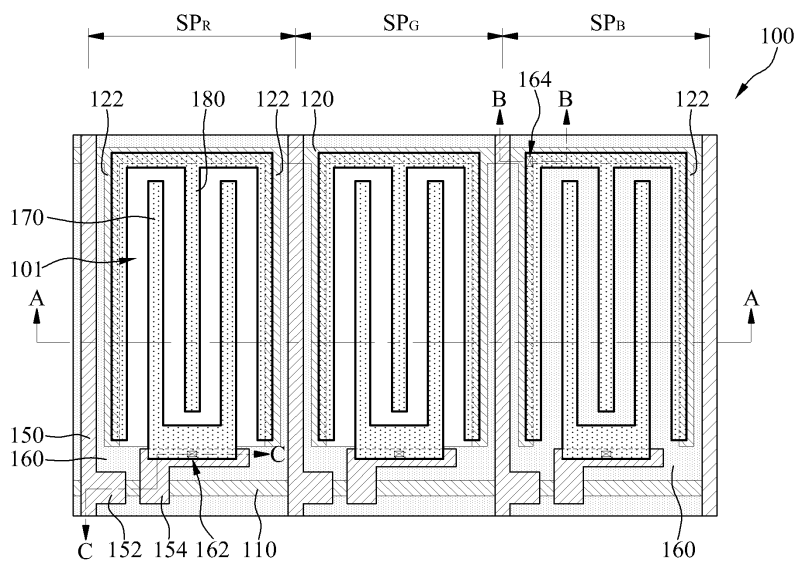
도면2a



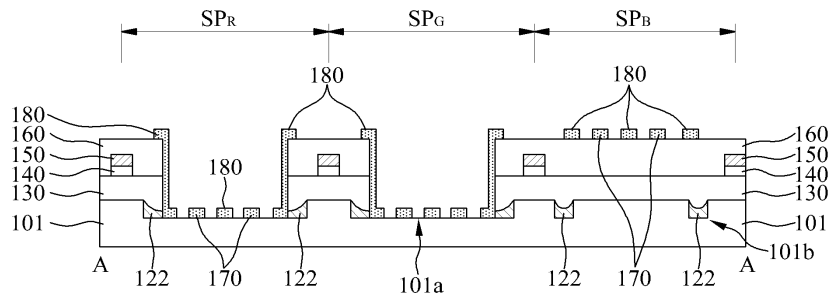
도면2b



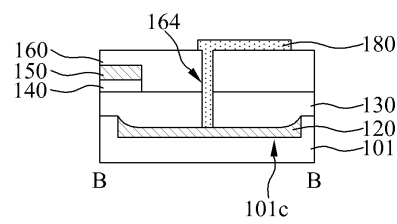
도면3



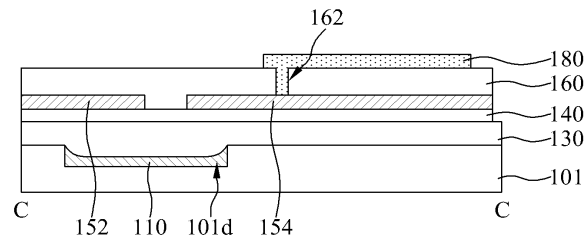
도면4



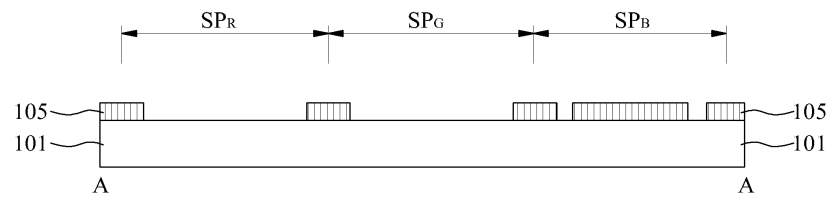
도면5



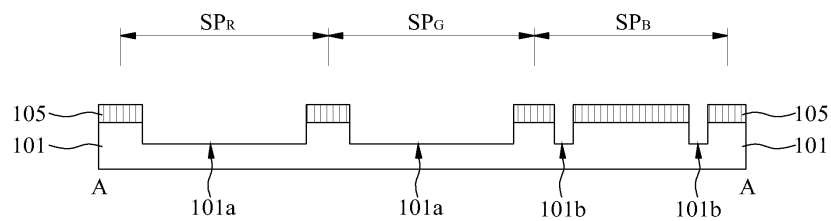
도면6



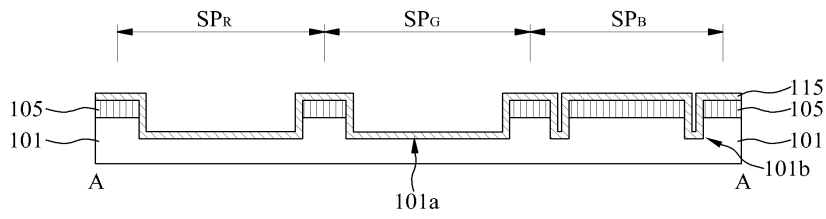
도면7a



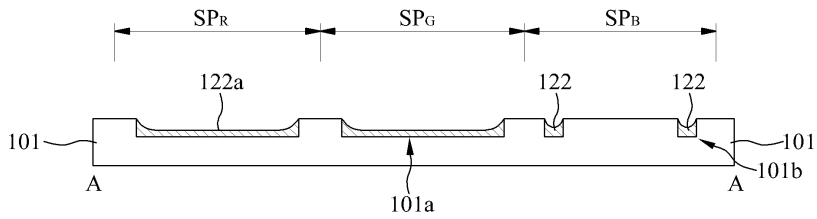
도면7b



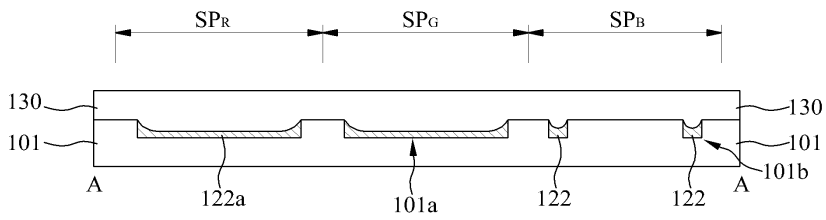
도면7c



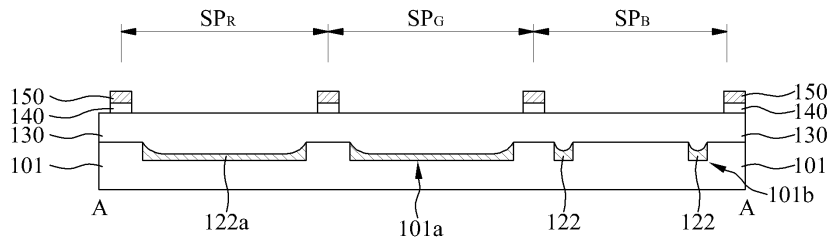
도면7d



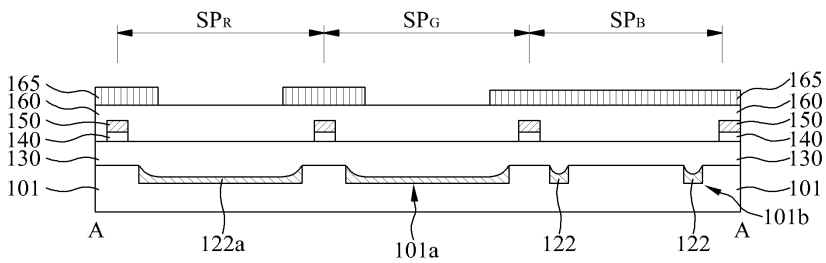
도면7e



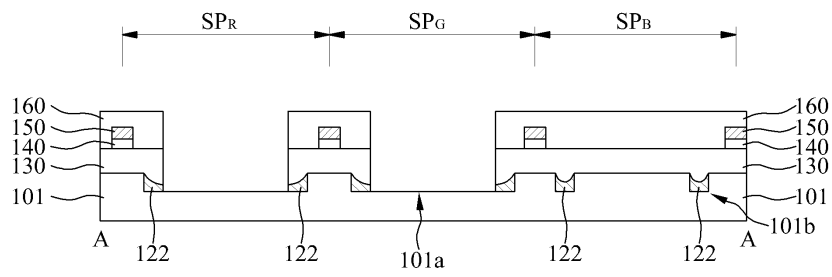
도면7f



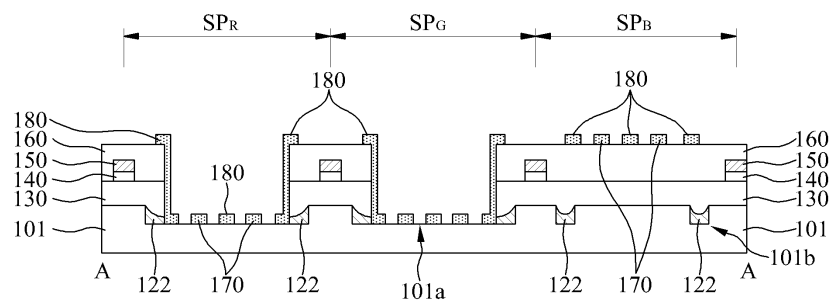
도면7g



도면7h



도면7i



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020110133786A	公开(公告)日	2011-12-14
申请号	KR1020100053387	申请日	2010-06-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JUNG IL 이정일 CHUNG IN JAE 정인재 KIM KANG IL 김강일		
发明人	이정일 정인재 김강일		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/1339		
CPC分类号	G02F1/134363 G02F1/136227 G02F1/136286 G02F2001/13625 G02F1/13624 G02F1/133371 G02F1/133514 G02F1/1341 G02F1/1368 G02F2001/136236 G02F2001/13629		
其他公开文献	KR101720524B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置及其制造方法，通过不同地设置子像素的单元间隙，根据颜色提高光的透射率。结构：液晶显示装置包括第一子像素（SP_R），第二子像素（SP_G）和第三子像素（SP_B）。第一子像素的单元间隙大于第三子像素的单元间隙。第一子像素是红色子像素。第二子像素是绿色子像素。第三个子像素是蓝色子像素。COPYRIGHT KIPO 2012

