



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0113582
(43) 공개일자 2011년10월17일

(51) Int. Cl.

G02F 1/1368 (2006.01) G02F 1/133 (2006.01)

G09G 3/36 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2011-0032348

(22) 출원일자 2011년04월07일

심사청구일자 없음

(30) 우선권주장

JP-P-2010-090934 2010년04월09일 일본(JP)

(뒷면에 계속)

(71) 출원인

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

교야마 준

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

미야케 히로유키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

야마자키 순페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 17 항

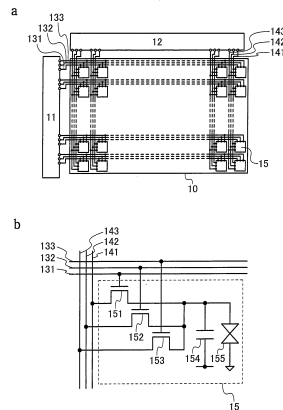
(54) 액정 표시 장치 및 그 구동 방법

(57) 요약

필드 시퀀셜 방식에 의해 표시를 하는 액정 표시 장치 등에 있어서, 설계의 관점에서 화상 신호의 입력 빈도의 증가를 도모하는 것을 과제로 한다.

비정질 반도체 또는 미결정 반도체를 채널 형성 영역에 포함하는 트랜지스터에 의해 화상 신호의 입력이 제어되는 화소가 매트릭스형으로 배치된 액정 표시 장치의 화소부에 있어서, 매트릭스형으로 배치된 화소 중, 복수 행으로 배치된 화소에 대하여 동시에 화상 신호를 공급한다. 이것에 의해, 상기 액정 표시 장치가 가지는 트랜지스터 등의 응답 속도를 변화시키지 않고, 각 화소에 대한 화상 신호의 입력 빈도를 증가시킬 수 있다.

대표도 - 도1



(30) 우선권주장

JP-P-2010-090936	2010년04월09일	일본(JP)
JP-P-2010-114429	2010년05월18일	일본(JP)
JP-P-2010-114431	2010년05월18일	일본(JP)

특허청구의 범위

청구항 1

제 1 트랜지스터, 제 2 트랜지스터, 및 제 1 표시 소자를 포함하는 제 1 화소;

제 3 트랜지스터, 제 4 트랜지스터, 및 제 2 표시 소자를 포함하는 제 2 화소;

제 1 주사선 및 제 3 주사선에 전기적으로 접속된 제 1 시프트 레지스터; 및

제 2 주사선 및 제 4 주사선에 전기적으로 접속된 제 2 시프트 레지스터를 포함하고,

상기 제 1 트랜지스터의 게이트는 상기 제 1 주사선에 전기적으로 접속되고, 상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 제 1 신호선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 2 주사선에 전기적으로 접속되고, 상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 제 2 신호선에 전기적으로 접속되고,

상기 제 1 표시 소자의 한 전극은 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나 및 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고,

상기 제 3 트랜지스터의 게이트는 상기 제 3 주사선에 전기적으로 접속되고, 상기 제 3 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 신호선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 게이트는 상기 제 4 주사선에 전기적으로 접속되고, 상기 제 4 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 신호선에 전기적으로 접속되고,

상기 제 2 표시 소자의 한 전극은 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나 및 상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고,

상기 제 1 내지 제 4 트랜지스터들의 채널 형성 영역은 비정질 반도체 또는 미결정 반도체를 포함하는, 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 시프트 레지스터 및 상기 제 2 시프트 레지스터는 채널 형성 영역에 미결정 반도체를 포함하는 트랜지스터를 포함하는, 표시 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 표시 소자 및 상기 제 2 표시 소자 각각은 액정 소자인, 표시 장치.

청구항 4

제 1 항에 있어서,

제 1 화상 신호는 제 1 기간에 포함된 제 1 수평 주사 기간에 상기 제 1 신호선으로부터 공급되도록 구성되고,

제 2 화상 신호는 제 2 기간에 포함된 제 2 수평 주사 기간에 상기 제 1 신호선으로부터 공급되도록 구성되고,

제 3 화상 신호는 제 1 기간에 포함된 제 1 수평 주사 기간에 상기 제 2 신호선으로부터 공급되도록 구성되고,

제 4 화상 신호는 제 2 기간에 포함된 제 2 수평 주사 기간에 상기 제 2 신호선으로부터 공급되도록 구성되고,

상기 제 1 화상 신호 및 상기 제 2 화상 신호는 제 1 색을 갖는 광의 전송을 제어하는 화상 신호들이고,

상기 제 3 화상 신호 및 상기 제 4 화상 신호는 제 2 색을 갖는 광의 전송을 제어하는 화상 신호들이고,

상기 제 1 색 및 상기 제 2 색은 서로 다른, 표시 장치.

청구항 5

제 4 항에 있어서,

선택 신호는 상기 제 1 기간에 포함된 상기 제 1 수평 주사 기간에 상기 제 1 시프트 레지스터 및 상기 제 2 시프트 레지스터로부터 상기 제 1 주사선 및 상기 제 4 주사선에 공급되도록 구성되고,

비-선택 신호는 상기 제 1 기간에 포함된 상기 제 1 수평 주사 기간에 상기 제 2 시프트 레지스터 및 상기 제 1 시프트 레지스터로부터 상기 제 2 주사선 및 상기 제 3 주사선에 공급되도록 구성되고,

선택 신호는 상기 제 2 기간에 포함된 상기 제 2 수평 주사 기간에 상기 제 2 시프트 레지스터 및 상기 제 1 시프트 레지스터로부터 상기 제 2 주사선 및 상기 제 3 주사선에 공급되도록 구성되고,

비-선택 신호는 상기 제 2 기간에 포함된 상기 제 2 수평 주사 기간에 상기 제 2 시프트 레지스터 및 상기 제 2 시프트 레지스터로부터 상기 제 1 주사선 및 상기 제 4 주사선에 공급되도록 구성되는, 표시 장치.

청구항 6

제 1 항에 있어서,

서로 다른 색의 제 1 광, 제 2 광, 및 제 3 광을 독립적으로 발광하도록 구성된 복수의 백라이트 유닛들을 더 포함하는, 표시 장치.

청구항 7

제 6 항에 있어서,

상기 복수의 백라이트 유닛들은 적어도 상기 제 1 광 및 상기 제 2 광을 상이한 영역들로 동시에 공급하도록 구성되는, 표시 장치.

청구항 8

제 1 항에 있어서,

상기 제 1 화소에 용량 소자를 더 포함하고, 상기 용량 소자의 한 단자는 상기 제 1 표시 소자의 상기 한 전극에 전기적으로 접속되는, 표시 장치.

청구항 9

제 1 트랜지스터 및 제 1 표시 소자를 포함하는 제 1 화소;

제 2 트랜지스터 및 제 2 표시 소자를 포함하는 제 2 화소;

제 1 주사선에 전기적으로 접속된 제 1 시프트 레지스터; 및

제 2 주사선에 전기적으로 접속된 제 2 시프트 레지스터를 포함하고,

상기 제 1 트랜지스터의 게이트는 상기 제 1 주사선에 전기적으로 접속되고, 상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 제 1 신호선에 전기적으로 접속되고,

상기 제 1 표시 소자의 한 전극은 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 2 주사선에 전기적으로 접속되고, 상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 제 2 신호선에 전기적으로 접속되고,

상기 제 2 표시 소자의 한 전극은 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고,

상기 제 1 및 제 2 트랜지스터들의 채널 형성 영역은 비정질 반도체 또는 미결정 반도체를 포함하는, 표시 장치.

청구항 10

제 9 항에 있어서,

상기 제 1 시프트 레지스터 및 상기 제 2 시프트 레지스터는 채널 형성 영역에 미결정 반도체를 포함하는 트랜지스터를 포함하는, 표시 장치.

청구항 11

제 9 항에 있어서,

상기 제 1 표시 소자 및 상기 제 2 표시 소자 각각은 액정 소자인, 표시 장치.

청구항 12

제 9 항에 있어서,

제 1 화상 신호는 제 1 기간에 포함된 제 1 수평 주사 기간에 상기 제 1 신호선으로부터 공급되도록 구성되고,

제 2 화상 신호는 제 2 기간에 포함된 제 2 수평 주사 기간에 상기 제 1 신호선으로부터 공급되도록 구성되고,

제 3 화상 신호는 제 1 기간에 포함된 제 1 수평 주사 기간에 상기 제 2 신호선으로부터 공급되도록 구성되고,

제 4 화상 신호는 제 2 기간에 포함된 제 2 수평 주사 기간에 상기 제 2 신호선으로부터 공급되도록 구성되고,

상기 제 1 화상 신호는 제 1 색을 갖는 광의 전송을 제어하는 화상 신호이고,

상기 제 2 화상 신호는 제 2 색을 갖는 광의 전송을 제어하는 화상 신호이고,

상기 제 3 화상 신호는 제 3 색을 갖는 광의 전송을 제어하는 화상 신호이고,

상기 제 1 색 및 상기 제 2 색은 서로 다르고,

상기 제 1 색 및 상기 제 3 색은 서로 다른, 표시 장치.

청구항 13

제 9 항에 있어서,

서로 다른 색의 제 1 광, 제 2 광, 및 제 3 광을 독립적으로 발광하도록 구성된 복수의 백라이트 유닛들을 더 포함하는, 표시 장치.

청구항 14

제 13 항에 있어서,

상기 복수의 백라이트 유닛들은 적어도 상기 제 1 광 및 상기 제 2 광을 상이한 영역들로 동시에 공급하도록 구성되는, 표시 장치.

청구항 15

제 9 항에 있어서,

상기 제 1 화소에 용량 소자를 더 포함하고, 상기 용량 소자의 한 단자는 상기 제 1 표시 소자의 상기 한 전극에 전기적으로 접속되는, 표시 장치.

청구항 16

화소들의 채널 형성 영역에 비정질 반도체 또는 미결정 반도체를 포함하는 트랜지스터를 포함하는 표시 장치를 구동하기 위한 방법에 있어서,

기간에서 제 1 시프트 레지스터로부터 제 1 주사선으로부터 제 k 주사선까지 선택 신호를 순차적으로 공급함으로써 제 1 화상 신호선을 통해 1 행째 내지 k 행째에 제공된 화소들에 제 1 색을 갖는 광의 전송을 제어하기 위해 화상 신호를 순차적으로 입력하는 단계;

상기 기간에서 제 2 시프트 레지스터로부터 제 (n+1) 주사선으로부터 제 (n+k) 주사선까지 선택 신호를 순차적으로 공급함으로써 제 2 화상 신호선을 통해 (n+1) 행 내지 (n+k) 행으로 제공된 화소들에 제 2 색을 갖는 광의

전송을 제어하기 위해 화상 신호를 순차적으로 입력하는 단계; 및

상기 기간 후에, 상기 제 1 시프트 레지스터로부터 제 $(k+1)$ 주사선으로부터 제 $2k$ 주사선으로 선택 신호를 순차적으로 공급함으로써 상기 제 1 화상 신호선을 통해 $(k+1)$ 행째 내지 $2k$ 행째에 제공된 화소들에 상기 제 1 색을 갖는 광의 전송을 제어하기 위해 화상 신호를 순차적으로 입력하면서, 상기 1 행째 내지 상기 k 행째에 대하여 광원들로부터 상기 제 1 색을 갖는 광을 발광하는 단계를 포함하고,

n 은 3 이상의 자연수이고,

k 는 2 이상 n 미만의 자연수인, 표시 장치 구동 방법.

청구항 17

제 16 항에 있어서,

상기 기간 후에, 상기 제 2 시프트 레지스터로부터 제 $(n+k+1)$ 주사선으로부터 제 $(n+2k)$ 주사선으로 선택 신호를 순차적으로 공급함으로써 상기 제 2 화상 신호선을 통해 $(n+k+1)$ 행째 내지 $(n+2k)$ 행째에 제공된 화소들에 상기 제 2 색을 갖는 광의 전송을 제어하기 위해 화상 신호를 순차적으로 입력하면서, 상기 $(n+1)$ 행째 내지 상기 $(n+k)$ 행째에 대하여 광원들로부터 상기 제 2 색을 갖는 광을 발광하는 단계를 포함하는, 표시 장치 구동 방법.

명세서

기술분야

[0001] 본 발명은 액정 표시 장치 및 그 구동 방법에 관한 것이다. 특히, 필드 시퀀셜 방식에 의해 표시를 하는 액정 표시 장치 및 그 구동 방법에 관한 것이다.

배경기술

[0002] 액정 표시 장치의 표시 방법으로서, 컬러 필터 방식 및 필드 시퀀셜 방식이 알려져 있다. 전자에 의해 표시를 하는 액정 표시 장치에서는 각 화소에 특정 색을 나타내는 파장의 광만을 투과하는 컬러 필터(예를 들면, R(적색), G(녹색), B(청색))를 가지는 복수의 부화소가 형성된다. 그리고, 부화소마다 백색광의 투과를 제어하고, 또 화소마다 복수의 색을 혼색함으로써 원하는 색을 형성하였다. 한편, 후자에 의해 표시를 하는 액정 표시 장치에서는 각각이 다른 색을 나타내는 광을 발광하는 복수의 광원(예를 들면, R(적색), G(녹색), B(청색))이 형성된다. 그리고, 상기 복수의 광원이 순차적으로 발광하고, 또 화소마다 각각의 색을 나타내는 광의 투과를 제어함으로써 원하는 색을 형성하였다. 즉, 전자는 특정 색을 나타내는 광마다 1화소의 면적을 분할함으로써 원하는 색을 형성하는 방식이며, 후자는 특정 색을 나타내는 광마다 표시기간을 시간 분할함으로써 원하는 색을 형성하는 방식이다.

[0003] 필드 시퀀셜 방식에 의해 표시를 하는 액정 표시 장치는 컬러 필터 방식에 의해 표시를 하는 액정 표시 장치와 비교하여, 이하의 이점을 가진다. 우선, 필드 시퀀셜 방식에 의해 표시를 하는 액정 표시 장치에서는 각 화소에 부화소를 형성할 필요가 없다. 따라서 개구율을 향상시키는 것 또는 화소수를 증가시키는 것이 가능하다. 덧붙여, 필드 시퀀셜 방식에 의해 표시를 하는 액정 표시 장치에서는 컬러 필터를 설치할 필요가 없다. 즉, 컬러 필터에 있어서의 광 흡수에 의한 광의 손실이 없다. 따라서 투과율을 향상시키는 것 및 소비 전력을 저감하는 것이 가능하다.

[0004] 특허문헌 1에서는 필드 시퀀셜 방식에 의해 표시를 하는 액정 표시 장치가 개시되어 있다. 구체적으로는 각 화소에 화상 신호의 입력을 제어하는 트랜지스터와 상기 화상 신호를 유지하는 신호 유지 용량과 상기 신호 유지 용량으로부터 표시 화소 용량으로의 전하의 이동을 제어하는 트랜지스터가 설치된 액정 표시 장치가 개시되어 있다. 상기 구성을 가지는 액정 표시 장치는 신호 유지 용량에 대한 화상 신호의 기록과 표시 화소 용량이 유지하는 전하에 따른 표시를 병행하여 행하는 것이 가능하다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 공개특허공보2009-42405호

발명의 내용

해결하려는 과제

[0006] 필드 시퀀셜 방식에 의해 표시를 하는 액정 표시 장치는 각 화소에 대한 화상 신호의 입력 빈도를 증가시킬 필요가 있다. 예를 들면, R(적색), G(녹색), B(청색)의 3색을 나타내는 광을 발광하는 광원을 구비한 필드 시퀀셜 방식에 의해 표시를 하는 액정 표시 장치는 컬러 필터 방식에 의해 표시를 하는 액정 표시 장치와 비교하여, 각 화소에 대한 화상 신호의 입력 빈도를 적어도 3배로 할 필요가 있다. 구체적으로 설명하면, 프레임 주파수가 60Hz일 경우, 컬러 필터 방식에 의해 표시를 하는 액정 표시 장치에서는 각 화소에 대한 화상 신호의 입력을 1초간에 60회 행할 필요가 있는 것에 대해, R(적색), G(녹색), B(청색)의 3색을 나타내는 광을 발광하는 광원을 구비한 필드 시퀀셜 방식에 의해 표시를 하는 액정 표시 장치에서는 각 화소에 대한 화상 신호의 입력을 1초간에 180회 행할 필요가 있다.

[0007] 단, 화상 신호의 입력 빈도의 증가에 부수하여, 각 화소에 형성되는 소자의 고속 응답성이 요구된다. 구체적으로는 각 화소에 설치되는 트랜지스터의 이동도의 향상 등이 요구된다. 그렇지만, 트랜지스터 등의 특성을 향상시키는 것은 용이하지 않다.

[0008] 그래서, 본 발명의 일 형태는 설계의 관점에서 화상 신호의 입력 빈도의 증가를 도모하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0009] 상기한 과제는 액정 표시 장치의 화소부에 있어서, 매트릭스형으로 배치된 화소 중, 복수 행으로 배치된 화소에 대하여 동시에 화상 신호를 공급함으로써 해결할 수 있다.

[0010] 즉, 본 발명의 일 형태는 제 1 신호선, 제 2 신호선, 제 1 주사선, 제 2 주사선, 제 3 주사선, 제 4 주사선, 제 1 화소, 제 2 화소와 상기 제 1 주사선 및 상기 제 3 주사선에 전기적으로 접속된 선택 신호를 공급하는 기능을 가지는 제 1 시프트 레지스터와 상기 제 2 주사선 및 상기 제 4 주사선에 전기적으로 접속된 선택 신호를 공급하는 기능을 가지는 제 2 시프트 레지스터를 가지고, 상기 제 1 화소는, 게이트가 상기 제 1 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제 1 신호선에 전기적으로 접속된 제 1 트랜지스터와 게이트가 상기 제 2 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제 2 신호선에 전기적으로 접속된 제 2 트랜지스터와 한 전극이 상기 제 1 트랜지스터의 소스 및 드레인 중 다른 하나 및 상기 제 2 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 제 1 액정 소자를 가지고, 상기 제 2 화소는, 게이트가 상기 제 3 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제 1 신호선에 전기적으로 접속된 제 3 트랜지스터와 게이트가 상기 제 4 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제 2 신호선에 전기적으로 접속된 제 4 트랜지스터와 한 전극이 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 하나 및 상기 제 4 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 제 2 액정 소자를 가지고, 상기 제 1 트랜지스터 내지 상기 제 4 트랜지스터의 채널 형성 영역에 비정질 반도체 또는 미결정 반도체가 포함되는 액정 표시 장치다. 또, 제 1 신호선으로부터는 제 1 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 1 화상 신호가 공급되고, 제 2 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 2 화상 신호가 공급된다. 또, 제 2 신호선으로부터는 상기 제 1 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 3 화상 신호가 공급되고, 상기 제 2 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 4 화상 신호가 공급된다. 또, 상기 제 1 샘플링 기간에 포함되는 수평 주사 기간에 있어서, 상기 제 1 주사선과 상기 제 4 주사선에 선택 신호가 공급되고, 상기 제 2 주사선과 상기 제 3 주사선에 비선택 신호가 공급된다. 또, 상기 제 2 샘플링 기간에 포함되는 수평 주사 기간에 있어서, 상기 제 2 주사선과 상기 제 3 주사선에 선택 신호가 공급되고, 상기 제 1 주사선과 상기 제 4 주사선에 비선택 신호가 공급된다.

[0011] 또, 본 발명의 일 형태는 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 1 주사선, 제 2 주사선, 제 3 주사선, 제 4 주사선, 제 5 주사선, 제 6 주사선, 제 7 주사선, 제 8 주사선, 제 9 주사선, 제 1 화소, 제 2 화소, 제 3 화소와 상기 제 1 주사선, 상기 제 4 주사선 및 상기 제 7 주사선에 전기적으로 접속된 선택 신호를 공급하는 기능을 가지는 제 1 시프트 레지스터와 상기 제 2 주사선, 상기 제 5 주사선 및 상기 제 8 주사선에 전기적으로

접속된 선택 신호를 공급하는 기능을 가지는 제 2 시프트 레지스터와 상기 제 3 주사선, 상기 제 6 주사선 및 상기 제 9 주사선에 전기적으로 접속된 선택 신호를 공급하는 기능을 가지는 제 3 시프트 레지스터를 가지고, 상기 제 1 화소는, 게이트가 상기 제 1 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제 1 신호선에 전기적으로 접속된 제 1 트랜지스터와 게이트가 상기 제 2 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제 2 신호선에 전기적으로 접속된 제 2 트랜지스터와 게이트가 상기 제 3 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제 3 신호선에 전기적으로 접속된 제 3 트랜지스터와 한 전극이 상기 제 1 트랜지스터의 소스 및 드레인 중 다른 하나, 상기 제 2 트랜지스터의 소스 및 드레인 중 다른 하나 및 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 제 1 액정 소자를 가지고, 상기 제 2 화소는, 게이트가 상기 제 4 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제 1 신호선에 전기적으로 접속된 제 4 트랜지스터와 게이트가 상기 제 5 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제 2 신호선에 전기적으로 접속된 제 5 트랜지스터와 게이트가 상기 제 6 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제 3 신호선에 전기적으로 접속된 제 6 트랜지스터와 한 전극이 상기 제 4 트랜지스터의 소스 및 드레인 중 다른 하나, 상기 제 5 트랜지스터의 소스 및 드레인 중 다른 하나 및 상기 제 6 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 제 2 액정 소자를 가지고, 상기 제 3 화소는, 게이트가 상기 제 7 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제 1 신호선에 전기적으로 접속된 제 7 트랜지스터와 게이트가 상기 제 8 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제 2 신호선에 전기적으로 접속된 제 8 트랜지스터와 게이트가 상기 제 9 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제 3 신호선에 전기적으로 접속된 제 9 트랜지스터와 한 전극이 상기 제 7 트랜지스터의 소스 및 드레인 중 다른 하나, 상기 제 8 트랜지스터의 소스 및 드레인 중 다른 하나 및 상기 제 9 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 제 3 액정 소자를 가지고, 상기 제 1 트랜지스터 내지 상기 제 9 트랜지스터의 채널 형성 영역에 비정질 반도체 또는 미결정 반도체가 포함되는 액정 표시 장치다. 또, 제 1 신호선으로부터는 제 1 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 1 화상 신호가 공급되고, 제 2 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 2 화상 신호가 공급되고, 제 3 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 3 화상 신호가 공급된다. 또, 제 2 신호선으로부터는 상기 제 1 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 4 화상 신호가 공급되고, 상기 제 2 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 5 화상 신호가 공급되고, 상기 제 3 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 6 화상 신호가 공급된다. 또, 제 3 신호선으로부터는 상기 제 1 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 7 화상 신호가 공급되고, 상기 제 2 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 8 화상 신호가 공급되고, 상기 제 3 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 9 화상 신호가 공급된다. 또, 상기 제 1 샘플링 기간에 포함되는 수평 주사 기간에 있어서, 상기 제 1 주사선, 상기 제 5 주사선 및 상기 제 9 주사선에 선택 신호가 공급되고, 상기 제 2 주사선, 상기 제 3 주사선, 상기 제 4 주사선, 상기 제 6 주사선, 상기 제 7 주사선, 및 상기 제 8 주사선에 비선택 신호가 공급된다. 또, 상기 제 2 샘플링 기간에 포함되는 수평 주사 기간에 있어서, 상기 제 3 주사선, 상기 제 4 주사선, 및 상기 제 8 주사선에 선택 신호가 공급되고, 상기 제 1 주사선, 상기 제 2 주사선, 상기 제 5 주사선, 상기 제 6 주사선, 상기 제 7 주사선, 및 상기 제 9 주사선에 비선택 신호가 공급된다. 또, 상기 제 3 샘플링 기간에 포함되는 수평 주사 기간에 있어서, 상기 제 2 주사선, 상기 제 6 주사선, 및 상기 제 7 주사선에 선택 신호가 공급되고, 상기 제 1 주사선, 상기 제 3 주사선, 상기 제 4 주사선, 상기 제 5 주사선, 상기 제 8 주사선, 및 상기 제 9 주사선에 비선택 신호가 공급된다.

[0012] 또, 본 발명의 일 형태는 제 1 신호선, 제 2 신호선, 제 1 주사선, 제 2 주사선, 제 1 화소, 제 2 화소와 상기 제 1 주사선에 전기적으로 접속된 선택 신호를 공급하는 기능을 가지는 제 1 시프트 레지스터와 상기 제 2 주사선에 전기적으로 접속된 선택 신호를 공급하는 기능을 가지는 제 2 시프트 레지스터를 가지고, 상기 제 1 화소는, 게이트가 상기 제 1 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제 1 신호선에 전기적으로 접속된 제 1 트랜지스터와 한 전극이 상기 제 1 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 제 1 액정 소자를 가지고, 상기 제 2 화소는, 게이트가 상기 제 2 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제 2 신호선에 전기적으로 접속된 제 2 트랜지스터와 한 전극이 상기 제 2 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 제 2 액정 소자를 가지고, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터의 채널 형성 영역에 비정질 반도체 또는 미결정 반도체가 포함되는 액정 표시 장치다. 또, 제 1 신호선으로부터는 제 1 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 1 화상 신호가 공급되고, 제 2 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 2 화상 신호가 공급된다. 또, 제 2 신호선으로부터는 상기 제 1 샘플링 기간에 포함되는 수평 주사 기간에 있어서 제 3 화상 신호가 공급되고, 상기 제 2 샘플링 기

간에 포함되는 수평 주사 기간에 있어서 제 4 화상 신호가 공급된다. 또, 상기 제 1 샘플링 기간에 포함되는 수평 주사 기간에 있어서, 상기 제 1 주사선과 상기 제 2 주사선에 선택 신호가 공급된다. 또, 상기 제 2 샘플링 기간에 포함되는 수평 주사 기간에 있어서, 상기 제 1 주사선과 상기 제 2 주사선에 선택 신호가 공급된다.

[0013] 또, 본 발명의 일 형태에 관계되는 액정 표시 장치에서는 실리콘 또는 게르마늄 등의 비정질 반도체 또는 미결정 반도체를 채널 형성 영역에 포함하는 트랜지스터를 사용한다. 비정질 반도체 또는 미결정 반도체를 사용한 트랜지스터를 화소부에 가지는 액정 표시 장치는 제5세대(가로 1100mm×세로 1300mm) 이상의 유리 기판에 대응할 수 있기 때문에 생산성이 높고, 코스트가 낮다는 이점을 가진다.

[0014] 구체적으로, 본 발명의 일 형태에 관계되는 액정 표시 장치는 비정질 반도체 또는 미결정 반도체를 채널 형성 영역에 포함하는 트랜지스터를 화소부에 사용하고, 구동 회로는 단결정 반도체를 채널 형성 영역에 포함하는 트랜지스터를 사용할 수 있다.

[0015] 또, 미결정 반도체란 비정질과 결정 구조(단결정, 다결정을 포함함)의 중간적인 구조의 반도체다. 미결정 반도체는 자유 에너지적으로 안정된 제 3 상태를 가지는 반도체이며, 단거리질서를 가지고 격자 왜곡을 가지는 결정질의 반도체이며, 결정 입경이 2nm 이상 200nm 이하, 바람직하게는 10nm 이상 80nm 이하, 더욱 바람직하게는 20nm 이상 50nm 이하의 주상결정 또는 침상결정이 기판 표면에 대하여 법선 방향으로 성장하고 있다. 따라서 주상결정 또는 침상결정의 계면에는 결정립계가 형성되는 경우도 있다.

[0016] 미결정 반도체를 채널 형성 영역에 포함하는 트랜지스터는 비정질 반도체를 채널 형성 영역에 포함하는 트랜지스터와 비교하여 이동도가 높고, 액정 표시 장치의 화소부와 그 주변의 구동 회로의 일부를 동일 기판 위에 일체로 형성할 수 있다는 이점을 가지고 있다.

[0017] 따라서, 본 발명의 일 형태에 관계되는 액정 표시 장치는 미결정 반도체를 채널 형성 영역에 포함하는 트랜지스터를 사용하여, 화소부와 함께 구동 회로의 일부를 하나의 기판에 형성할 수도 있다.

[0018] 구동 회로의 일부를 화소부와 같은 기판 위에 형성함으로써 외부에 설치하는 구동 회로 등의 부품의 수가 줄기 때문에 액정 표시 장치의 소형화뿐만 아니라, 조립 공정이나 검사 공정의 삭감에 의한 코스트 다운을 도모할 수 있다. 또, 구동 회로와 화소부 사이를 접속하는 단자 수를 절감할 수 있으므로, 구동 회로와 화소부의 접속 불량에 기인하는 제조 수율 저하를 막고, 접속 개소에 있어서의 기계적 강도가 낮은 것에 의해 신뢰성이 저하되는 것을 막을 수 있다.

발명의 효과

[0019] 본 발명의 일 형태의 액정 표시 장치는 매트릭스형으로 배치된 화소 중, 복수 행으로 배치된 화소에 대하여 동시에 화상 신호를 공급하는 것이 가능하다. 이것에 의해, 상기 액정 표시 장치가 가지는 트랜지스터 등의 응답 속도를 변화시키지 않고, 각 화소에 대한 화상 신호의 입력 빈도를 증가시킬 수 있다.

도면의 간단한 설명

[0020] 도 1a는 액정 표시 장치의 구성예를 도시하는 도면, 도 1b는 화소의 구성예를 도시하는 도면.

도 2는 주사선 구동 회로의 구성예를 도시하는 도면.

도 3은 시프트 레지스터의 출력 신호를 도시하는 도면.

도 4a는 신호선 구동 회로의 구성예를 도시하는 도면, 도 4b는 백라이트의 구성예를 도시하는 도면.

도 5는 액정 표시 장치의 동작예를 설명하는 도면.

도 6a는 액정 표시 장치의 구성예를 도시하는 도면, 도 6b 내지 도 6d는 화소의 구성예를 도시하는 도면.

도 7a는 주사선 구동 회로의 구성예를 도시하는 도면, 도 7b는 시프트 레지스터의 출력 신호를 도시하는 도면.

도 8은 신호선 구동 회로의 구성예를 도시하는 도면.

도 9는 화소의 구체적인 예를 도시하는 단면도.

도 10a 내지 10c는 단자간의 접속의 구체적인 예를 도시하는 도면.

도 11a 및 도 11b는 액정 표시 장치의 구체적인 예를 도시하는 사시도.

도 12는 액정 표시 장치의 구체적인 예를 도시하는 도면으로, 도 12a는 상면도, 및 도 12b는 단면도.

도 13은 액정 표시 장치의 구체적인 예를 도시하는 사시도.

도 14a 및 도 14b는 터치패널의 구체적인 예를 도시하는 도면.

도 15a 및 도 15b는 터치패널의 구체적인 예를 도시하는 도면.

도 16a는 포토 센서를 가지는 화소부의 구체적인 예를 도시하는 도면, 도 16b는 포토 센서의 구체적인 예를 도시하는 도면.

도 17a 및 도 17b는 트랜지스터의 구체적인 예를 도시하는 단면도, 도 17c, 17d는 반도체층의 구체적인 예를 도시하는 단면도.

도 18a 내지 18c는 트랜지스터의 구체적인 예를 도시하는 상면도.

도 19a 및 도 19b는 트랜지스터의 구체적인 예를 도시하는 단면도.

도 20a 내지 20c는 트랜지스터의 제작 공정의 구체적인 예를 도시하는 단면도.

도 21a 내지 21d는 트랜지스터의 제작 공정의 구체적인 예를 도시하는 단면도.

도 22a 내지 22f는 전자기기의 일 예를 도시하는 도면.

도 23a 내지 23c는 액정 표시 장치의 구체적인 예를 도시하는 사시도.

도 24는 액정 표시 장치의 구체적인 예를 도시하는 도면으로, 24a는 상면도, 및 24b는 단면도.

발명을 실시하기 위한 구체적인 내용

[0021] 이하에서는 본 발명의 실시형태에 대해서 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세한 것을 다양하게 변경할 수 있는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 기재하는 실시형태의 내용에 한정하여 해석되는 것은 아니다.

[0022] (실시형태 1)

[0023] 본 실시형태에서는 필드 시퀀셜 방식에 의해 표시를 하는 액정 표시 장치의 일 예에 대해서 도 1 내지 도 5를 참조하여 설명한다.

[0024] <액정 표시 장치의 구성예>

[0025] 도 1a는 액정 표시 장치의 구성예를 도시하는 도면이다. 도 1a에 도시하는 액정 표시 장치는 화소부(10)와 주사선 구동 회로(11)와 신호선 구동 회로(12)와 각각이 평행하게 또는 대략 평행하게 배치되고, 또 주사선 구동 회로(11)에 의해 전위가 제어되는 3n개(n은 2 이상의 자연수)의 주사선(131), 3n개의 주사선(132), 및 3n개의 주사선(133)과 각각이 평행하게 또는 대략 평행하게 배치되고, 또 신호선 구동 회로(12)에 의해 전위가 제어되는 m개(m은 2 이상의 자연수)의 신호선(141), m개의 신호선(142), 및 m개의 신호선(143)을 가진다.

[0026] 또, 화소부(10)는 매트릭스형(3n행 m열)으로 배치된 복수의 화소(15)를 가진다. 또, 각 주사선(131, 132, 133)은 매트릭스형(3n행 m열)으로 배치된 복수의 화소(15) 중, 어느 하나의 행에 배치된 m개의 화소(15)에 전기적으로 접속된다. 또, 각 신호선(141, 142, 143)은 매트릭스형(3n행 m열)으로 배치된 복수의 화소(15) 중, 어느 하나의 열에 배치된 3n개의 화소(15)에 전기적으로 접속된다.

[0027] 또, 주사선 구동 회로(11)에는 외부로부터 주사선 구동 회로용 스타트 신호(GSP1 내지 GSP3), 주사선 구동 회로용 클록 신호(GCK), 및 고전원 전위(VDD), 저전원 전위(VSS) 등의 구동용 전원이 입력된다. 또, 신호선 구동 회로(12)에는 외부로부터 신호선 구동 회로용 스타트 신호(SSP), 신호선 구동 회로용 클록 신호(SCK), 화상 신호(DATA1 내지 DATA3) 등의 신호, 및 고전원 전위, 저전원 전위 등의 구동용 전원이 입력된다.

[0028] 도 1b는 화소(15)의 회로 구성예를 도시하는 도면이다. 도 1b에 도시하는 화소(15)는, 게이트가 주사선(131)에 전기적으로 접속되고, 소스 및 드레인 중 하나가 신호선(141)에 전기적으로 접속된 트랜지스터(151)와 게이트가 주사선(132)에 전기적으로 접속되고, 소스 및 드레인 중 하나가 신호선(142)에 전기적으로 접속된 트랜지스터

(152)와 게이트가 주사선(133)에 전기적으로 접속되고, 소스 및 드레인 중 하나가 신호선(143)에 전기적으로 접속된 트랜지스터(153)와 한 전극이 트랜지스터(151 내지 153)의 소스 및 드레인 중 다른 하나에 전기적으로 접속되고, 다른 전극이 용량 전위를 공급하는 배선에 전기적으로 접속된 용량소자(154)와 한 전극이 트랜지스터(151 내지 153)의 소스 및 드레인 중 다른 하나 및 용량소자(154)의 한 전극에 전기적으로 접속되고, 다른 전극이 대향 전위를 공급하는 배선에 전기적으로 접속된 액정 소자(155)를 가진다.

[0029] <주사선 구동 회로(11)의 구성예>

[0030] 도 2는 도 1a에 도시하는 액정 표시 장치가 가지는 주사선 구동 회로(11)의 구성예를 도시하는 도면이다. 도 2에 도시하는 주사선 구동 회로(11)는 3n개의 출력 단자를 가지는 3개의 시프트 레지스터(111 내지 113)를 가진다. 또, 시프트 레지스터(111)가 가지는 출력 단자의 각각은 화소부(10)에 배치된 3n개의 주사선(131) 중 어느 하나에 전기적으로 접속되고, 시프트 레지스터(112)가 가지는 출력 단자의 각각은 화소부(10)에 배치된 3n개의 주사선(132) 중 어느 하나에 전기적으로 접속되고, 시프트 레지스터(113)가 가지는 출력 단자의 각각은 화소부(10)에 배치된 3n개의 주사선(133) 중 어느 하나에 전기적으로 접속된다. 즉, 시프트 레지스터(111)는 주사선(131)을 구동하는 시프트 레지스터이며, 시프트 레지스터(112)는 주사선(132)을 구동하는 시프트 레지스터이며, 시프트 레지스터(113)는 주사선(133)을 구동하는 시프트 레지스터다. 구체적으로는 시프트 레지스터(111)는 외부로부터 입력되는 제 1 주사선 구동 회로용 스타트 신호(GSP1)를 계기로 하여, 1행째에 배치된 주사선(131)을 기점으로 하여 순차적으로 선택 신호를 시프트(주사선(131)을 주사선 구동 회로용 클럭 신호(GCK) 1/2주기마다 순차적으로 선택)하는 기능을 가지고, 시프트 레지스터(112)는 외부로부터 입력되는 제 2 주사선 구동 회로용 스타트 신호(GSP2)를 계기로 하여, 1행째에 배치된 주사선(132)을 기점으로 하여 순차적으로 선택 신호를 시프트하는 기능을 가지고, 시프트 레지스터(113)는 외부로부터 입력되는 제 3 주사선 구동 회로용 스타트 신호(GSP3)를 계기로 하여, 1행째에 배치된 주사선(133)을 기점으로 하여 순차적으로 선택 신호를 시프트하는 기능을 가진다.

[0031] <주사선 구동 회로(11)의 동작예>

[0032] 상기한 주사선 구동 회로(11)의 동작예에 대해서 도 3을 참조하여 설명한다. 또, 도 3에는 주사선 구동 회로용 클럭 신호(GCK), 시프트 레지스터(111)가 가지는 3n개의 출력 단자로부터 출력되는 신호(SR111out), 시프트 레지스터(112)가 가지는 3n개의 출력 단자로부터 출력되는 신호(SR112out), 및 시프트 레지스터(113)가 가지는 3n개의 출력 단자로부터 출력되는 신호(SR113out)를 도시하고 있다. 여기에서, 샘플링 기간이란 모든 행(1행째 내지 3n행째)에 배치된 모든 화소에 대하여 어떠한 화상 신호가 입력되는데 필요로 하는 기간이다.

[0033] 샘플링 기간(t1)에 있어서, 시프트 레지스터(111)에서는 1행째에 배치된 주사선(131)을 기점으로 하여 n행째에 배치된 주사선(131)까지 하이레벨의 전위가 1/2클럭 주기(수평 주사 기간)마다 순차적으로 시프트하고, 시프트 레지스터(112)에서는 (n+1)행째에 배치된 주사선(132)을 기점으로 하여 2n행째에 배치된 주사선(132)까지 하이레벨의 전위가 1/2클럭 주기(수평 주사 기간)마다 순차적으로 시프트하고, 시프트 레지스터(113)에서는 (2n+1)행째에 배치된 주사선(133)을 기점으로 하여 3n행째에 배치된 주사선(133)까지 하이레벨의 전위가 1/2클럭 주기(수평 주사 기간)마다 순차적으로 시프트한다. 따라서 주사선 구동 회로(11)는 주사선(131)을 통하여 1행째에 배치된 m개의 화소(15)로부터 n행째에 배치된 m개의 화소(15)를 순차적으로 선택하는 동시에, 주사선(132)을 통하여 (n+1)행째에 배치된 m개의 화소(15)로부터 2n행째에 배치된 m개의 화소(15)를 순차적으로 선택하고, 주사선(133)을 통하여 (2n+1)행째에 배치된 m개의 화소(15)로부터 3n행째에 배치된 m개의 화소(15)를 순차적으로 선택하게 된다. 즉, 주사선 구동 회로(11)는 수평 주사 기간마다 다른 3행에 배치된 3m개의 화소(15)에 대하여 선택 신호를 공급하는 것이 가능하다.

[0034] 샘플링 기간(t2)에 있어서, 시프트 레지스터(111 내지 113)의 각각의 출력 신호는 샘플링 기간(t1)과 다르지만, 시프트 레지스터(111 내지 113) 중 어느 하나(샘플링 기간(t2)에 있어서는 시프트 레지스터(113))가 1행째에 배치된 m개의 화소(15)로부터 n행째에 배치된 m개의 화소(15)를 순차적으로 선택하고, 상기한 시프트 레지스터(111 내지 113) 중 어느 하나와 다른 시프트 레지스터(111 내지 113) 중 어느 하나(샘플링 기간(t2)에 있어서는 시프트 레지스터(111))가 (n+1)행째에 배치된 m개의 화소(15)로부터 2n행째에 배치된 m개의 화소(15)를 순차적으로 선택하고, 시프트 레지스터(111 내지 113) 중 상기한 2개와 다른 하나(샘플링 기간(t2)에 있어서는 시프트 레지스터(112))가 (2n+1)행째에 배치된 m개의 화소(15)로부터 3n행째에 배치된 m개의 화소(15)를 순차적으로 선택하는 점은 동일하다. 즉, 주사선 구동 회로(11)는 샘플링 기간(t1)과 마찬가지로, 수평 주사 기간마다 특정한 3행에 배치된 3m개의 화소(15)에 대하여 선택 신호를 공급하는 것이 가능하다.

[0035] <신호선 구동 회로(12)의 구성예>

- [0036] 도 4a는 도 1a에 도시하는 액정 표시 장치가 가지는 신호선 구동 회로(12)의 구성예를 도시하는 도면이다. 도 4a에 도시하는 신호선 구동 회로(12)는 m 개의 출력 단자를 가지는 시프트 레지스터(120)와 m 개의 트랜지스터(121)와 m 개의 트랜지스터(122)와 m 개의 트랜지스터(123)를 가진다. 또, 트랜지스터(121)의 게이트는 시프트 레지스터(120)가 가지는 j 번째(j 는 1 이상 m 이하의 자연수)의 출력 단자에 전기적으로 접속되고, 소스 및 드레인 중 하나가 제 1 화상 신호(DATA1)를 공급하는 배선에 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 화소부(10)에 있어서 j 열째에 배치된 신호선(141)에 전기적으로 접속된다. 또, 트랜지스터(122)의 게이트는 시프트 레지스터(120)가 가지는 j 번째의 출력 단자에 전기적으로 접속되고, 소스 및 드레인 중 하나가 제 2 화상 신호(DATA2)를 공급하는 배선에 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 화소부(10)에 있어서 j 열째에 배치된 신호선(142)에 전기적으로 접속된다. 또, 트랜지스터(123)의 게이트는 시프트 레지스터(120)가 가지는 j 번째의 출력 단자에 전기적으로 접속되고, 소스 및 드레인 중 하나가 제 3 화상 신호(DATA3)를 공급하는 배선에 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 화소부(10)에 있어서 j 열째에 배치된 신호선(143)에 전기적으로 접속된다.
- [0037] 또, 여기에서는 제 1 화상 신호(DATA1)로서, 적색(R)의 화상 신호(적색(R)을 나타내는 광의 투과를 제어하기 위한 화상 신호)를 신호선(141)에 공급하고, 제 2 화상 신호(DATA2)로서, 청색(B)의 화상 신호(청색(B)을 나타내는 광의 투과를 제어하기 위한 화상 신호)를 신호선(142)에 공급하고, 제 3 화상 신호(DATA3)로서, 녹색(G)의 화상 신호(녹색(G)을 나타내는 광의 투과를 제어하기 위한 화상 신호)를 신호선(143)에 공급하는 것으로 한다.
- [0038] <백라이트의 구성예>
- [0039] 도 4b는 도 1a에 도시하는 액정 표시 장치의 화소부(10)의 후방에 형성되는 백라이트의 구성예를 도시하는 도면이다. 도 4b에 도시하는 백라이트는 적색(R), 녹색(G), 청색(B)의 3색을 나타내는 광원을 구비한 백라이트 유닛(16)을 복수 가진다. 또, 복수의 백라이트 유닛(16)은 매트릭스형으로 배치되어 있고, 또 특정한 영역마다 점등을 제어할 수 있다. 여기에서는 3n행 m 열에 배치된 복수의 화소(15)에 대한 백라이트로서, 적어도 k 행 m 열마다(여기서는 k 는 $n/4$ 로 함) 백라이트 유닛군이 형성되고, 이 백라이트 유닛군의 점멸을 독립적으로 제어할 수 있는 것으로 한다. 즉, 상기 백라이트가 적어도 1행째 내지 k 행째용 백라이트 유닛군 ~ (3n-k+1)행째 내지 3n행째용 백라이트 유닛군을 가지고, 각각의 백라이트 유닛군의 점멸을 독립적으로 제어할 수 있는 것으로 한다.
- [0040] <액정 표시 장치의 동작예>
- [0041] 도 5는 상기한 액정 표시 장치에 있어서, 백라이트가 가지는 1행째 내지 k 행째용 백라이트 유닛군 ~ (3n-k+1)행째 내지 3n행째용 백라이트 유닛군에 있어서 점등되는 광의 타이밍, 및 화소부(10)에 있어서 1행째에 배치된 m 개의 화소 내지 3n행째에 배치된 m 개의 화소에 대한 화상 신호의 공급이 실시되는 타이밍을 도시하는 도면이다. 구체적으로는 도 5에 있어서, 1 내지 3n은 행 수를 나타내고, 실선은 해당하는 행에 있어서 화상 신호가 입력되는 타이밍을 나타내고 있다. 상기 액정 표시 장치는 샘플링 기간(t_1)에 있어서, 1행째에 배치된 m 개의 화소(15)로부터 n 행째에 배치된 m 개의 화소(15)를 순차적으로 선택하고, 또 ($n+1$)행째에 배치된 m 개의 화소(15)로부터 2n행째에 배치된 m 개의 화소(15)를 순차적으로 선택하고, 또 (2n+1)행째에 배치된 m 개의 화소(15)로부터 3n행째에 배치된 m 개의 화소(15)를 순차적으로 선택함으로써 각 화소에 화상 신호를 입력하는 것이 가능하다. 구체적으로 설명하면, 상기 액정 표시 장치는 샘플링 기간(t_1)에 있어서, 주사선(131)을 통하여 1행째에 배치된 m 개의 화소(15)가 가지는 트랜지스터(151)로부터 n 행째에 배치된 m 개의 화소(15)가 가지는 트랜지스터(151)를 순차적으로 온 상태로 함으로써 신호선(141)을 통하여 적색(R)의 화상 신호를 각 화소에 순차적으로 입력하는 것이 가능하고, 주사선(132)을 통하여 ($n+1$)행째에 배치된 m 개의 화소(15)가 가지는 트랜지스터(152)로부터 2n행째에 배치된 m 개의 화소(15)가 가지는 트랜지스터(152)를 순차적으로 온 상태로 함으로써 신호선(142)을 통하여 청색(B)의 화상 신호를 각 화소에 순차적으로 입력하는 것이 가능하고, 주사선(133)을 통하여 (2n+1)행째에 배치된 m 개의 화소(15)가 가지는 트랜지스터(153)로부터 3n행째에 배치된 m 개의 화소(15)가 가지는 트랜지스터(153)를 순차적으로 온 상태로 함으로써 신호선(143)을 통하여 녹색(G)의 화상 신호를 각 화소에 순차적으로 입력하는 것이 가능하다.
- [0042] 또, 상기 액정 표시 장치에서는 샘플링 기간(t_1) 내에 있어서, 1행째에 배치된 m 개의 화소(15)로부터 k 행째에 배치된 m 개의 화소(15)에 대하여 적색(R)의 화상 신호의 입력이 종료한 후에 1행째 내지 k 행째용 백라이트 유닛군에 있어서 적색(R)을 점등시키고, 또 ($n+1$)행째에 배치된 m 개의 화소(15)로부터 ($n+k$)행째에 배치된 m 개의 화소(15)에 대하여 청색(B)의 화상 신호의 입력이 종료한 후에 ($n+1$)행째 내지 ($n+k$)행째용 백라이트 유닛군에 있

어서 청색(B)을 점등시키고, 또 $(2n+1)$ 행째에 배치된 m 개의 화소(15)로부터 $(2n+k)$ 행째에 배치된 m 개의 화소(15)에 대하여 녹색(G)의 화상 신호의 입력이 종료한 후에 $(2n+1)$ 행째 내지 $(2n+k)$ 행째용 백라이트 유닛군에 있어서 녹색(G)을 점등시키는 것이 가능하다. 즉, 상기 액정 표시 장치에서는 영역(1행째 내지 n 행째, $(n+1)$ 행째 내지 $2n$ 행째, 및 $(2n+1)$ 행째 내지 $3n$ 행째)마다, 선택 신호의 공급과 특정 색을 나타내는 광의 공급을 병행하여 행하는 것이 가능하다.

[0043] <본 명세서에서 개시하는 액정 표시 장치에 대해서 >

[0044] 본 명세서에서 개시하는 액정 표시 장치는 매트릭스형으로 배치된 화소 중, 복수 행으로 배치된 화소에 대하여 동시에 화상 신호를 공급하는 것이 가능하다. 이것에 의해, 상기 액정 표시 장치가 가지는 트랜지스터 등의 응답 속도를 변화시키지 않고, 각 화소에 대한 화상 신호의 입력 빈도를 증가시킬 수 있다. 구체적으로 설명하면, 상기한 액정 표시 장치에서는 주사선 구동 회로의 클록 주파수 등을 변화시키지 않고, 각 화소에 대한 화상 신호의 입력 빈도를 3배로 하는 것이 가능하다. 즉, 상기 액정 표시 장치는 필드 시퀀셜 방식에 의해 표시를 하는 액정 표시 장치, 또는 배속 구동을 행하는 액정 표시 장치로서 적합하다.

[0045] 또, 필드 시퀀셜 방식에 의해 표시를 하는 액정 표시 장치로서 본 명세서에서 개시되는 액정 표시 장치를 적용하는 것은 이하의 점에서 바람직하다. 상기한 것 같이, 필드 시퀀셜 방식에 의해 표시를 하는 액정 표시 장치에서는 특정 색을 나타내는 광마다 표시기간이 시간 분할된다. 따라서 이용자의 깜박임 등 단시간의 표시의 차단에 기인하여 특정한 표시 정보가 결핍(欠落)됨으로써 상기 이용자에게 시인되는 표시가 본래의 표시 정보에 기초한 표시로부터 변화(열화)되는 경우(컬러 브레이크, 색 깨어짐이라고도 함)가 있다. 여기에서, 컬러 브레이크의 억제에는 프레임 주파수를 높게 하는 것이 효과적이다. 한편, 필드 시퀀셜 방식에 의해 표시를 하기 위해서는 프레임 주파수보다도 높은 빈도로 각 화소에 대하여 화상 신호를 입력할 필요가 있다. 따라서 종래의 액정 표시 장치에 있어서 필드 시퀀셜 방식 또 고프레임 주파수 구동에 의해 표시를 하는 경우, 상기 액정 표시 장치를 구성하는 소자의 성능(고속 응답성)에 대한 요구가 대단히 엄격해진다. 이것에 대하여, 본 명세서에서 개시되는 액정 표시 장치는 소자의 특성에 제약받지 않고 각 화소에 대한 화상 신호의 입력 빈도를 증가시키는 것이 가능하다. 따라서 필드 시퀀셜 방식에 의해 표시를 하는 액정 표시 장치에 있어서의 컬러 브레이크의 억제를 용이하게 행하는 것이 가능하다.

[0046] 덧붙여, 필드 시퀀셜 방식에 의해 표시를 하는 경우, 도 5에 도시하는 바와 같이 영역마다 다른 색을 나타내는 광을 공급하는 것은 이하의 점에서 바람직하다. 전체 화면 공통으로 동일한 광을 공급할 경우, 특정한 순간에 있어서 화소부에는 특정한 색에 관한 색정보만이 존재하게 된다. 따라서 이용자의 깜박임 등에 의한 특정한 기간의 표시 정보의 결핍이 특정한 색정보의 결핍과 같아진다. 이것에 대하여, 영역마다 다른 색을 나타내는 광을 공급할 경우, 특정한 순간에 있어서 화소부에는 각각의 색에 관한 색정보가 존재하게 된다. 따라서 이용자의 깜박임 등에 의한 특정한 기간의 표시 정보의 결핍이 특정한 색정보의 결핍과 같지 않다. 즉, 영역마다 다른 색을 나타내는 광을 공급함으로써 컬러 브레이크를 경감하는 것이 가능하다. 또, 도 5에 도시하는 바와 같이 백라이트 유닛군을 점등할 경우, 인접하는 백라이트 유닛군이 다른 색을 나타내지 않는다. 구체적으로는 샘플링 기간(t_1) 내에 있어서, $(n+1)$ 행째에 배치된 m 개의 화소(15)로부터 $(n+k)$ 행째에 배치된 m 개의 화소(15)에 대하여 청색(B)의 화상 신호의 입력이 종료한 후에 $(n+1)$ 행째 내지 $(n+k)$ 행째용 백라이트 유닛군에 있어서 청색(B)을 점등시킬 때에 $(3k+1)$ 행째 내지 n 행째용 백라이트 유닛군 및 $(n+k+1)$ 행째 내지 $(n+2k)$ 행째용 백라이트 유닛군에 있어서는 청색(B)이 점등되거나 또는 점등 자체가 행하여지지 않는다(적색(R), 녹색(G)이 점등되지 않는다). 따라서 특정한 색의 화상정보가 입력된 화소를, 상기 특정의 색과 다른 색을 나타내는 광이 투과하는 화물을 저장하는 것이 가능하다.

[0047] <변형예>

[0048] 상기한 구성을 가지는 액정 표시 장치는 본 발명의 일 형태이며, 상기 액정 표시 장치와 다른 점을 가지는 액정 표시 장치도 본 발명에는 포함된다.

[0049] 예를 들면, 상기한 액정 표시 장치에 있어서는 화소부(10)의 특정한 3행에 배치된 $3m$ 개의 화소에 대하여 동 기간 내에 병행하여 화상 신호를 공급하는 구성에 대해서 도시하였지만, 본 발명의 액정 표시 장치는 상기 구성에 한정되지 않는다. 즉, 본 발명의 액정 표시 장치에서는 화소부(10)의 특정한 복수 행에 배치된 복수의 화소에 대하여 동 기간 내에 병행하여 화상 신호를 공급하는 구성으로 하는 것이 가능하다. 또, 자명하지만, 상기 행수를 변화시킬 경우, 상기 행 수와 동 수의 시프트 레지스터 등을 설치할 필요가 있는 것을 덧붙인다.

[0050] 또, 상기한 액정 표시 장치에 있어서는 등간격으로 배치된 특정한 3행에 배치된 화소에 대하여 동 기간 내에 병

행하여 화상 신호를 공급하는 구성(화상 신호가 공급되는 행의 간격이, 화소 n행분)에 대해서 도시하였지만, 본 발명의 액정 표시 장치는 상기 구성에 한정되지 않는다. 즉, 본 발명의 액정 표시 장치는 비등간격으로 배치된 특정한 3행에 배치된 화소에 대하여 동 기간 내에 병행하여 화상 신호를 공급하는 구성으로 하는 것이 가능하다. 구체적으로는 1행째에 배치된 m개의 화소, (a+1)행째(a는 자연수)에 배치된 m개의 화소, 및 (a+b+1)행째(b는 a와 다른 자연수)에 배치된 m개의 화소에 동 기간 내에 병행하여 화상 신호를 공급하는 구성으로 하는 것이 가능하다.

[0051] 또, 상기한 액정 표시 장치에 있어서는 주사선 구동 회로가 시프트 레지스터를 사용하여 구성되는 액정 표시 장치에 대해서 도시하였지만, 상기 시프트 레지스터를 동등한 기능을 가지는 회로로 치환하는 것이 가능하다. 예를 들면, 상기 시프트 레지스터를 디코더로 치환하는 것이 가능하다.

[0052] 또, 상기한 액정 표시 장치에 있어서는 복수의 광원으로서 적색(R), 녹색(G), 청색(B)의 3색을 나타내는 광을 발광하는 광원을 사용하는 구성에 대해서 도시하였지만, 본 발명의 액정 표시 장치는 상기 구성에 한정되지 않는다. 즉, 본 발명의 액정 표시 장치에서는 임의의 색을 나타내는 광을 발광하는 광원을 조합하여 사용할 수 있다. 예를 들면, 적색(R), 녹색(G), 청색(B), 백색(W)의 4종의 광원을 조합하여 사용하는 것, 또는 시안, 마젠타, 옐로의 3종의 광원을 조합하여 사용하는 것 등이 가능하다. 또, 연한 색(淡色)의 적색(R), 녹색(G), 및 청색(B), 및 진한 색(濃色)의 적색(R), 녹색(G), 및 청색(B)의 6종의 광원을 조합하여 사용하는 것, 또는 적색(R), 녹색(G), 청색(B), 시안, 마젠타, 옐로의 6종의 광원을 조합하여 사용하는 것 등도 가능하다. 이렇게, 더욱 다종의 색을 나타내는 광을 발광하는 광원을 조합함으로써 상기 액정 표시 장치에 있어서 표현할 수 있는 색 영역을 확대하여, 화질을 향상시킬 수 있다.

[0053] 또, 상기한 액정 표시 장치에 있어서는 액정 소자에 인가되는 전압을 유지하기 위한 용량소자가 형성되는 구성(도 1b 참조)에 대해서 기재하였지만, 상기 용량소자를 설치하지 않는 구성할 수도 있다.

[0054] 또, 상기한 액정 표시 장치에 있어서는 백라이트 유닛으로서 적색(R), 녹색(G), 청색(B)의 3색을 나타내는 광원을 가로로 직선적으로 나열하는 구성(도 4b 참조)에 대해서 기재하였지만, 백라이트 유닛의 구성은 상기 구성에 한정되지 않는다. 예를 들면, 상기 3색을 나타내는 광원을 3각 배치해도 좋고, 상기 3색을 나타내는 광원을 세로로 직선적으로 나열하여도 좋고, 적색(R)을 나타내는 광원, 녹색(G)을 나타내는 광원, 및 청색(B)을 나타내는 광원을 별도 설치해도 좋다. 또, 상기한 액정 표시 장치에 있어서는 백라이트로서 직하형(直下型) 방식의 백라이트를 적용하는 구성(도 4b 참조)에 대해서 도시하였지만, 상기 백라이트로서 에지 라이트 방식의 백라이트를 적용하는 것도 가능하다.

[0055] (실시형태 2)

[0056] 본 실시형태에서는 실시형태 1과는 다른 구성을 가지는 필드 시퀀셜 방식에 의해 표시를 하는 액정 표시 장치의 일 예에 대해서 도 6 내지 도 8을 참조하여 설명한다.

[0057] <액정 표시 장치의 구성예>

[0058] 도 6a는 액정 표시 장치의 구성예를 도시하는 도면이다. 도 6a에 도시하는 액정 표시 장치는 화소부(30)와 주사선 구동 회로(31)와 신호선 구동 회로(32)와 각각이 평행하게 또는 대략 평행하게 배치되고, 또 주사선 구동 회로(31)에 의해 전위가 제어되는 3n개(n은 2 이상의 자연수)의 주사선(33)과 각각이 평행하게 또는 대략 평행하게 배치되고, 또 신호선 구동 회로(32)에 의해 전위가 제어되는 m개(m은 2 이상의 자연수)의 신호선(341), m개의 신호선(342), 및 m개의 신호선(343)을 가진다.

[0059] 또, 화소부(30)는 3개의 영역(영역(301) 내지 영역(303))으로 분할되고, 영역마다 매트릭스형(n행 m열)으로 배치된 복수의 화소를 가진다. 또, 각 주사선(33)은 화소부(30)에 있어서 매트릭스형(3n행 m열)으로 배치된 복수의 화소 중, 어느 하나의 행에 배치된 m개의 화소에 전기적으로 접속된다. 또, 각 신호선(341)은 영역(301)에 있어서 매트릭스형(n행 m열)으로 배치된 복수의 화소 중, 어느 하나의 열에 배치된 n개의 화소에 전기적으로 접속된다. 또, 각 신호선(342)은 영역(302)에 있어서 매트릭스형(n행 m열)으로 배치된 복수의 화소 중, 어느 하나의 열에 배치된 n개의 화소에 전기적으로 접속된다. 또, 각 신호선(343)은 영역(303)에 있어서 매트릭스형(n행 m열)으로 배치된 복수의 화소 중, 어느 하나의 열에 배치된 n개의 화소에 전기적으로 접속된다.

[0060] 또, 주사선 구동 회로(31)에는 외부로부터 주사선 구동 회로용 스타트 신호(GSP), 주사선 구동 회로용 클록 신호(GCK), 및 고전원 전위, 저전원 전위 등의 구동용 전원이 입력된다. 또, 신호선 구동 회로(32)에는 외부로부터 신호선 구동 회로용 스타트 신호(SSP), 신호선 구동 회로용 클록 신호(SCK), 화상 신호(data1 내지 data3)

등의 신호, 및 고전원 전위, 저전원 전위 등의 구동용 전원이 입력된다.

[0061] 도 6b 내지 6d는 화소의 회로 구성예를 도시하는 도면이다. 구체적으로는 도 6b는 영역(301)에 배치된 화소(351)의 회로 구성예를 도시하는 도면이며, 도 6c는 영역(302)에 배치된 화소(352)의 회로 구성예를 도시하는 도면이며, 도 6d는 영역(303)에 배치된 화소(353)의 회로 구성예를 도시하는 도면이다. 도 6b에 도시하는 화소(351)는 게이트가 주사선(33)에 전기적으로 접속되고, 소스 및 드레인 중 하나가 신호선(341)에 전기적으로 접속된 트랜지스터(3511)와 한 전극이 트랜지스터(3511)의 소스 및 드레인 중 다른 하나에 전기적으로 접속되고, 다른 전극이 용량 전위를 공급하는 배선에 전기적으로 접속된 용량소자(3512)와 한 전극이 트랜지스터(3511)의 소스 및 드레인 중 다른 하나 및 용량소자(3512)의 한 전극에 전기적으로 접속되고, 다른 전극이 대향 전위를 공급하는 배선에 전기적으로 접속된 액정 소자(3514)를 가진다.

[0062] 도 6c에 도시하는 화소(352) 및 도 6d에 도시하는 화소(353)도 회로 구성 자체는 도 6b에 도시하는 화소(351)와 동일하다. 단, 도 6c에 도시하는 화소(352)에서는 트랜지스터(3521)의 소스 및 드레인 중 하나가 신호선(341)이 아니라 신호선(342)에 전기적으로 접속되는 점이 도 6b에 도시하는 화소(351)와 다르고, 도 6d에 도시하는 화소(353)에서는 트랜지스터(3531)의 소스 및 드레인 중 하나가 신호선(341)이 아니라 신호선(343)에 전기적으로 접속되는 점이 도 6b에 도시하는 화소(351)와 다르다.

[0063] <주사선 구동 회로(31)의 구성예>

[0064] 도 7a는 도 6a에 도시하는 액정 표시 장치가 가지는 주사선 구동 회로(31)의 구성예를 도시하는 도면이다. 도 7a에 도시하는 주사선 구동 회로(31)는 n개의 출력 단자를 가지는 시프트 레지스터(311 내지 313)를 가진다. 또, 시프트 레지스터(311)가 가지는 출력 단자의 각각은 영역(301)에 배치된 n개의 주사선(33) 중 어느 하나에 전기적으로 접속되고, 시프트 레지스터(312)가 가지는 출력 단자의 각각은 영역(302)에 배치된 n개의 주사선(33) 중 어느 하나에 전기적으로 접속되고, 시프트 레지스터(313)가 가지는 출력 단자의 각각은 영역(303)에 배치된 n개의 주사선(33) 중 어느 하나에 전기적으로 접속된다. 즉, 시프트 레지스터(311)는 영역(301)에 있어서 선택 신호를 공급하는 시프트 레지스터이며, 시프트 레지스터(312)는 영역(302)에 있어서 선택 신호를 공급하는 시프트 레지스터이며, 시프트 레지스터(313)는 영역(303)에 있어서 선택 신호를 공급하는 시프트 레지스터다. 구체적으로는 시프트 레지스터(311)는 외부로부터 입력되는 주사선 구동 회로용 스타트 신호(GSP)를 계기로 하여, 1행째에 배치된 주사선(33)을 기점으로 하여 순차적으로 선택 신호를 시프트(주사선(33)을 주사선 구동 회로용 클럭 신호(GCK) 1/2주기마다 순차적으로 선택)하는 기능을 가지고, 시프트 레지스터(312)는 외부로부터 입력되는 주사선 구동 회로용 스타트 신호(GSP)를 계기로 하여, (n+1)행째에 배치된 주사선(33)을 기점으로 하여 순차적으로 선택 신호를 시프트하는 기능을 가지고, 시프트 레지스터(313)는 외부로부터 입력되는 주사선 구동 회로용 스타트 신호(GSP)를 계기로 하여, (2n+1)행째에 배치된 주사선(33)을 기점으로 하여 순차적으로 선택 신호를 시프트하는 기능을 가진다.

[0065] <주사선 구동 회로(31)의 동작예>

[0066] 상기한 주사선 구동 회로(31)의 동작예에 대해서 도 7b를 참조하여 설명한다. 또, 도 7b에는 주사선 구동 회로용 클럭 신호(GCK), 시프트 레지스터(311)가 가지는 n개의 출력 단자로부터 출력되는 신호(SR311out), 시프트 레지스터(312)가 가지는 n개의 출력 단자로부터 출력되는 신호(SR312out), 및 시프트 레지스터(313)가 가지는 n개의 출력 단자로부터 출력되는 신호(SR313out)를 도시하고 있다.

[0067] 샘플링 기간(T1)에 있어서, 시프트 레지스터(311)에서는 1행째에 배치된 주사선(33)을 기점으로 하여 n행째에 배치된 주사선(33)까지 하이레벨의 전위가 1/2클럭 주기(수평 주사 기간)마다 순차적으로 시프트하고, 시프트 레지스터(312)에서는 (n+1)행째에 배치된 주사선(33)을 기점으로 하여 2n행째에 배치된 주사선(33)까지 하이레벨의 전위가 1/2클럭 주기(수평 주사 기간)마다 순차적으로 시프트하고, 시프트 레지스터(313)에서는 (2n+1)행째에 배치된 주사선(33)을 기점으로 하여 3n행째에 배치된 주사선(33)까지 하이레벨의 전위가 1/2클럭 주기(수평 주사 기간)마다 순차적으로 시프트한다. 따라서 주사선 구동 회로(31)는 주사선(33)을 통하여, 1행째에 배치된 m개의 화소(351)로부터 n행째에 배치된 m개의 화소(351)를 순차적으로 선택하는 동시에 (n+1)행째에 배치된 m개의 화소(352)로부터 2n행째에 배치된 m개의 화소(352)를 순차적으로 선택하고, (2n+1)행째에 배치된 m개의 화소(353)로부터 3n행째에 배치된 m개의 화소(353)를 순차적으로 선택하게 된다. 즉, 주사선 구동 회로(31)는 수평 주사 기간마다 다른 3행에 배치된 3m개의 화소에 대하여 선택 신호를 공급하는 것이 가능하다.

[0068] 샘플링 기간(T2) 및 샘플링 기간(T3)에 있어서, 시프트 레지스터(311 내지 313)의 동작은 샘플링 기간(T1)과 같다. 즉, 주사선 구동 회로(31)는 샘플링 기간(T1)과 마찬가지로, 수평 주사 기간마다 특정한 3행에 배치된 3m

개의 화소에 대하여 선택 신호를 공급하는 것이 가능하다.

[0069] <신호선 구동 회로(32)의 구성예>

[0070] 도 8은 도 6a에 도시하는 액정 표시 장치가 가지는 신호선 구동 회로(32)의 구성예를 도시하는 도면이다. 도 8에 도시하는 신호선 구동 회로(32)는 m 개의 출력 단자를 가지는 시프트 레지스터(320)와 m 개의 트랜지스터(321)와 m 개의 트랜지스터(322)와 m 개의 트랜지스터(323)를 가진다. 또, 트랜지스터(321)의 게이트는 시프트 레지스터(320)가 가지는 j 번째(j 는 1 이상 m 이하의 자연수)의 출력 단자에 전기적으로 접속되고, 소스 및 드레인 중 하나가 제 1 화상 신호(data1)를 공급하는 배선에 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 화소부(30)에 있어서 j 열째에 배치된 신호선(341)에 전기적으로 접속된다. 또, 트랜지스터(322)의 게이트는 시프트 레지스터(320)가 가지는 j 번째의 출력 단자에 전기적으로 접속되고, 소스 및 드레인 중 하나가 제 2 화상 신호(data2)를 공급하는 배선에 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 화소부(30)에 있어서 j 열째에 배치된 신호선(342)에 전기적으로 접속된다. 또, 트랜지스터(323)의 게이트는 시프트 레지스터(320)가 가지는 j 번째의 출력 단자에 전기적으로 접속되고, 소스 및 드레인 중 하나가 제 3 화상 신호(data3)를 공급하는 배선에 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 화소부(30)에 있어서 j 열째에 배치된 신호선(343)에 전기적으로 접속된다.

[0071] 또, 여기에서는 제 1 화상 신호(data1)로서, 샘플링기간($T1$)에 있어서, 적색(R)의 화상 신호(적색(R)을 나타내는 광의 투과를 제어하기 위한 화상 신호)를 신호선(341)에 공급하고, 샘플링 기간($T2$)에 있어서, 녹색(G)의 화상 신호(녹색(G)을 나타내는 광의 투과를 제어하기 위한 화상 신호)를 신호선(341)에 공급하고, 샘플링 기간($T3$)에 있어서, 청색(B)의 화상 신호(청색(B)을 나타내는 광의 투과를 제어하기 위한 화상 신호)를 신호선(341)에 공급하는 것으로 한다. 또, 제 2 화상 신호(data2)로서, 샘플링 기간($T1$)에 있어서, 청색(B)의 화상 신호를 신호선(342)에 공급하고, 샘플링 기간($T2$)에 있어서, 적색(R)의 화상 신호를 신호선(342)에 공급하고, 샘플링 기간($T3$)에 있어서, 녹색(G)의 화상 신호를 신호선(342)에 공급하는 것으로 한다. 또, 제 3 화상 신호(data3)로서, 샘플링 기간($T1$)에 있어서, 녹색(G)의 화상 신호를 신호선(343)에 공급하고, 샘플링 기간($T2$)에 있어서, 청색(B)의 화상 신호를 신호선(343)에 공급하고, 샘플링 기간($T3$)에 있어서, 적색(R)의 화상 신호를 신호선(343)에 공급하는 것으로 한다.

[0072] <백라이트의 구성예>

[0073] 본 실시형태의 액정 표시 장치의 백라이트로서, 실시형태 1에 개시한 백라이트를 적용할 수 있다. 따라서 여기에서는 상기한 설명을 원용하는 것으로 한다.

[0074] <액정 표시 장치의 동작예>

[0075] 본 실시형태의 액정 표시 장치는 실시형태 1에 개시한 액정 표시 장치와 같은 동작(도 5 참조)을 할 수 있다. 즉, 본 실시형태의 액정 표시 장치는 샘플링 기간($T1$)에 있어서, 1행째에 배치된 m 개의 화소(351)로부터 n 행째에 배치된 m 개의 화소(351)를 순차적으로 선택하고, 또 ($n+1$)행째에 배치된 m 개의 화소(352)로부터 $2n$ 행째에 배치된 m 개의 화소(352)를 순차적으로 선택하고, 또 ($2n+1$)행째에 배치된 m 개의 화소(353)로부터 $3n$ 행째에 배치된 m 개의 화소(353)를 순차적으로 선택함으로써 각 화소에 화상 신호를 입력하는 것이 가능하다.

[0076] 또, 본 실시형태의 액정 표시 장치에서는 실시형태 1에 개시한 액정 표시 장치와 마찬가지로, 영역(1행째 내지 n 행째, ($n+1$)행째 내지 $2n$ 행째, 및 ($2n+1$)행째 내지 $3n$ 행째)마다, 선택 신호의 공급과 특정 색을 나타내는 광의 공급을 병행하여 행하는 것이 가능하다.

[0077] <본 실시형태의 액정 표시 장치에 대해서>

[0078] 본 실시형태의 액정 표시 장치는 실시형태 1에 개시한 액정 표시 장치와 같은 작용을 가지는 액정 표시 장치다. 또, 본 실시형태의 액정 표시 장치는 실시형태 1에 개시한 액정 표시 장치와 비교하여, 화소부에 배치되는 주사선의 개수 및 각 화소에 설치되는 트랜지스터의 수를 저감할 수 있고, 개구율을 더욱 향상시킬 수 있다. 또, 화소부에 배치되는 주사선의 개수가 저감됨으로써 신호선과 주사선이 중첩함으로써 생기는 기생 용량을 저감할 수 있기 때문에 신호선을 고속 구동하는 것이 가능하다. 또, 주사선 구동 회로의 회로 면적을 축소하는 것, 및 주사선 구동 회로의 동작에 필요하게 되는 신호를 저감할 수 있다(복수의 시프트 레지스터에 따로 따로 주사선 구동 회로용 스타트 신호를 입력할 필요가 없다).

[0079] <변형예>

[0080] 본 실시형태의 액정 표시 장치는 본 발명의 일 형태이며, 상기 액정 표시 장치와 다른 점을 가지는 액정 표시

장치도 본 발명에는 포함된다. 예를 들면, 본 실시형태의 액정 표시 장치의 구성을, 실시형태 1의 변형예에 도시한 구성으로 변경할 수 있다. 구체적으로는 본 실시형태의 액정 표시 장치가 가지는 시프트 레지스터를 동등한 기능을 가지는 회로(디코더 등)로 치환하는 것 등이 가능하다.

[0081] 또, 본 실시형태의 액정 표시 장치에 있어서는 화소부(30)를 3개의 영역으로 분할하는 구성에 대해서 기재하였지만, 본 실시형태의 액정 표시 장치는 상기 구성에 한정되지 않는다. 즉, 본 실시형태의 액정 표시 장치에서는 화소부(30)를 임의의 복수 영역으로 분할하는 구성으로 하는 것이 가능하다. 또, 자명하지만, 상기 영역수를 변화시킬 경우, 상기 영역수와 동수의 시프트 레지스터 등을 설치할 필요가 있는 것을 덧붙인다.

[0082] 또, 본 실시형태의 액정 표시 장치에 있어서는 3개의 영역에 포함되는 화소수가 동일한 구성(모든 영역에 있어서 n 행 m 열의 화소가 포함되는 구성)에 대해서 기재하였지만, 본 실시형태의 액정 표시 장치에서는 영역마다 포함되는 화소수를 변화시키는 것이 가능하다. 구체적으로는 제 1 영역에는 c 행 m 열(c 는 자연수)의 화소가 포함되고, 제 2 영역에는 d 행 m 열(d 는 c 와 다른 자연수)의 화소가 포함되는 구성으로 하는 것이 가능하다.

[0083] (실시형태 3)

[0084] 본 실시형태에서는 실시형태 1 또는 2에 도시한 액정 표시 장치의 구체적인 구성에 대해서 설명한다.

[0085] <화소 단면의 구체적인 예>

[0086] 도 9에 본 발명의 일 형태에 관계되는 액정 표시 장치의, 화소의 단면도를 일 예로서 도시한다. 단, 도 9에서는 미결정 반도체를 사용한 트랜지스터를 일 예로 들었지만, 비정질 반도체를 사용한 트랜지스터이어도 좋다.

[0087] 도 9에 도시하는 트랜지스터(1401)는 절연 표면 위에 형성된 게이트층(1402)과 게이트층(1402) 위의 게이트 절연층(1403)과 게이트 절연층(1403) 위에 있어서 게이트층(1402)과 겹쳐 있는 미결정 반도체를 포함하는 반도체층(1404)과 반도체층(1404) 위에 적층하도록 형성되어, 소스층 또는 드레인층으로서 기능하는 도전막(1405) 및 도전막(1406)을 가진다. 또, 트랜지스터(1401)는 반도체층(1404) 위에 형성된 절연층(1407)을, 그 구성 요소에 포함하여도 좋다. 절연층(1407)은 게이트층(1402)과 게이트 절연층(1403)과 반도체층(1404)과 도전막(1405) 및 도전막(1406)을 덮도록 형성되어 있다.

[0088] 절연층(1407) 위에는 절연층(1408)이 형성되어 있다. 절연층(1407), 절연층(1408)의 일부에는 개구부가 형성되어 있고, 상기 개구부에 있어서 도전막(1406)과 접하도록 화소 전극(1410)이 형성되어 있다.

[0089] 또, 절연층(1408) 위에는 액정 소자의 셀 갭을 제어하기 위한 스페이서(1417)가 형성되어 있다. 스페이서(1417)는 절연층을 원하는 형상으로 에칭함으로써 형성하는 것이 가능하지만, 원형 스페이서를 절연층(1408) 위에 산포함으로써 셀 갭을 제어하도록 해도 좋다.

[0090] 그리고, 화소 전극(1410) 위에는 배향막(1411)이 형성되어 있다. 또, 대향 기관(1420)에는 화소 전극(1410)과 대치하는 대향 전극(1413)이 형성되어 있고, 대향 전극(1413)의 화소 전극(1410)에 가까운 측에는 배향막(1414)이 형성되어 있다. 배향막(1411, 1414)은 폴리이미드, 폴리비닐알콜 등의 유기 수지를 사용하여 형성할 수 있고, 그 표면에는 액정분자를 일정 방향으로 배열시키기 위한 러빙 등의 배향처리가 실시되어 있다. 러빙은 배향막에 접하여, 나일론 등의 천을 감은 롤러를 회전시켜, 상기 배향막의 표면을 일정 방향으로 문지름으로써 행할 수 있다. 또, 산화규소 등의 무기재료를 사용하여, 배향 처리를 하지 않고 증착법 등의 방법으로 배향 특성을 가지는 배향막(1411, 1414)을 직접 형성하는 것도 가능하다.

[0091] 그리고, 화소 전극(1410)과 대향 전극(1413) 사이에 있어서 셀재(1416)에 둘러싸인 영역에는 액정(1415)이 형성되어 있다. 액정(1415)의 주입은 디스펜서식(적하식)을 이용해도 좋고, 딥식(퍼올림식)을 이용하여도 좋다. 또, 셀재(1416)에는 필러가 혼입되어도 좋다.

[0092] 또, 화소간에 있어서의 액정(1415)의 배향의 호트러짐에 기인하는 디스크리네이션이 시인되는 것을 막기 위해서, 화소간에 광을 차폐할 수 있는 차폐막을 형성해도 좋다. 차폐막에는 카본블랙, 저원자가 산화티타늄 등의 흑색안료를 포함하는 유기 수지를 사용할 수 있다. 또는 크롬을 사용한 막으로, 차폐막을 형성하는 것도 가능하다.

[0093] 화소 전극(1410)과 대향 전극(1413)은 예를 들면, 산화규소를 포함하는 산화인듐주석(ITSO), 산화인듐주석(ITO), 산화아연(ZnO), 산화인듐아연(IZO), 갈륨을 첨가한 산화아연(GZO) 등의 투명 도전재료를 사용할 수 있다.

- [0094] 또, 여기에서는 액정 표시 장치로서, TN(Twisted Nematic)형을 기재하였지만, VA(Vertical Alignment)형, OCB(Optically Compensated Birefringence)형, IPS(In-Plane Switching)형, MVA(Multi-domain Vertical Alignment)형 등의, 그 밖의 액정 표시 장치이어도 좋다.
- [0095] 또, 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭(cholesteric) 액정을 승온시키면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도범위에서만 발현되기 때문에 키랄제나 자외선 경화 수지를 첨가하여 온도범위를 개선한다. 구체적으로는 5중량% 이상의 키랄제를 혼합시킨 액정 조성물을 액정(1415)에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 시간이 $10\mu\text{sec}$. 이상 $100\mu\text{sec}$. 이하로 짧고, 이것을 사용한 액정 표시 장치에서는 배향막이 불필요하고, 시야각 의존성이 작다. 이러한 특성을 가지는 액정은 상기한 액정 표시 장치(화상을 형성하기 위해서 복수회의 화상 신호를 각 화소에 입력하는 것이 필요한 액정 표시 장치)가 가지는 액정으로서 특히 바람직하다.
- [0096] 또, 도 9에서는 화소 전극(1410)과 대향 전극(1413)의 사이에 액정(1415)이 개재되어 있는 구조를 가지는 액정 소자를 예로 들어 설명했지만, 본 발명의 일 형태에 관계되는 액정 표시 장치는 이 구성에 한정되지 않는다. IPS 형의 액정 소자나 블루상을 나타내는 액정을 사용한 액정 소자와 같이, 한 쌍의 전극이 함께 하나의 기판에 형성되어도 좋다.
- [0097] <화소부와 구동 회로간의 접속의 구체적인 예>
- [0098] 계속해서, 화소부의 형성된 기판에 구동 회로가 형성된 기판을 직접 실장할 경우의, 단자간의 접속의 방법에 대해서 설명한다.
- [0099] 도 10a에 와이어 본딩법을 사용한 경우의, 구동 회로가 형성된 기판(900)과 화소부가 형성된 기판(901)의 접속 부분의 단면도를 도시한다. 기판(900)은 기판(901) 위에 접착제(903)에 의해 접착되어 있다. 기판(900)에는 구동 회로를 구성하는 트랜지스터(906)가 실장되어 있다. 그리고, 트랜지스터(906)는 기판(900)에 있어서 표면에 노출되도록 형성된 단자로서 기능하는 패드(907)와 전기적으로 접속되어 있다. 그리고, 도 10a에 도시하는 기판(901) 위에는 단자(904)가 형성되어 있고, 와이어(905)에 의해 패드(907)와 단자(904)가 접속되어 있다.
- [0100] 다음에 도 10b에 플립 칩(flip-chip)법을 사용한 경우의, 화소부가 형성된 기판(911)과 구동 회로가 형성된 기판(910)의, 접속 부분의 단면도를 도시한다. 도 10b에서는 기판(910)에 있어서 표면에 노출되도록 형성된 패드(912)에 솔더볼(913)이 접속되어 있다. 따라서, 기판(910)에 형성된 구동 회로를 구성하는 트랜지스터(914)는 패드(912)를 통하여 솔더볼(913)과 전기적으로 접속되어 있다. 그리고, 솔더볼(913)은 기판(911) 위에 형성된 단자(916)와 접속되어 있다.
- [0101] 또, 솔더볼(913)과 단자(916)의 접속은 열압착이나, 초음파에 의한 진동을 가한 열압착 등 여러가지 방법을 이용할 수 있다. 또, 기판(910)과 기판(911) 사이에 언더 필을 설치하고, 압착 후의 솔더볼간의 틈을 매우도록 하여, 접속 부분의 기계적 강도나, 기판(911)에서 발생한 열의 확산 등의 효율을 높이도록 해도 좋다. 언더 필은 반드시 사용할 필요는 없지만, 기판(910)과 기판(911)의 열팽창 계수의 미스매치로 생기는 응력에 의해, 접속 불량에 일어나는 것을 막을 수 있다. 초음파를 가하여 압착할 경우, 단순히 열압착할 경우와 비교하여 접속 불량을 억제할 수 있다.
- [0102] 플립 칩법의 경우, 접속해야 할 패드의 수가 증가해도, 와이어 본딩법과 비교하여, 비교적 패드간의 피치를 넓게 확보할 수 있으므로, 단자 수가 많은 경우의 접속에 적합하다.
- [0103] 또, 솔더볼의 형성에 금속의 나노입자가 분산된 분산액을 토출하는 액적토출법을 사용하여도 좋다.
- [0104] 다음에 도 10c에 이방성의 도전성 수지를 사용한 경우의, 화소부의 형성된 기판(921)과 구동 회로가 형성된 기판(920)의, 접속 부분의 단면도를 도시한다. 도 10c에서는 기판(920)에 있어서 표면에 노출되도록 형성된 패드(922)가 기판(920)에 형성된 구동 회로를 구성하는 트랜지스터(924)와 전기적으로 접속되어 있다. 그리고, 패드(922)는 기판(921) 위에 형성된 단자(926)와 이방성의 도전성 수지(927)를 개재하여 접속되어 있다.
- [0105] 또, 접속 방법은 도 10에 도시한 방법에 한정되지 않는다. 와이어 본딩법과 플립 칩법을 조합하여 접속하도록 해도 좋다.
- [0106] <화소부를 가지는 기판에 설치되는 구동 회로의 구체적인 예 1>
- [0107] 계속해서, 구동 회로를 가지는 기판(IC칩이라고도 함)의 실장 방법에 대해서 설명한다.

- [0108] 도 11a에 도시하는 액정 표시 장치는 기관(6301)에 화소부(6302)가 형성되어 있다. 대향 기관(6306)은 화소부(6302)를 덮도록 기관(6301)과 겹쳐 있다. 그리고, 주사선 구동 회로가 형성된 기관(6303)과 신호선 구동 회로가 형성된 기관(6304)이 기관(6301)에 직접 실장되어 있다. 구체적으로는 기관(6303)에 형성된 주사선 구동 회로와 기관(6304)에 형성된 신호선 구동 회로가 기관(6301)에 접합되어 있고, 화소부(6302)와 전기적으로 접속되어 있다. 또, 화소부(6302)와 기관(6303)에 형성된 주사선 구동 회로와 기관(6304)에 형성된 신호선 구동 회로에 각각 전원 전위, 각종 신호 등이 FPC(6305) 또는 FPC(6307)를 통하여 공급된다.
- [0109] 도 11b에 도시하는 액정 표시 장치는 기관(6401)에 화소부(6402)가 형성되어 있다. 대향 기관(6406)은 화소부(6402)를 덮도록 기관(6401)과 겹쳐 있다. 그리고, 주사선 구동 회로가 형성된 기관(6403)이 기관(6401)에 접속된 FPC(6407)에 실장되어 있다. 신호선 구동 회로가 형성된 기관(6404)이 기관(6401)에 접속된 FPC(6405)에 실장되어 있다. 또, 화소부(6402)와 기관(6403)에 형성된 주사선 구동 회로와 기관(6404)에 형성된 신호선 구동 회로에 각각 전원 전위, 각종 신호 등이 FPC(6405) 또는 FPC(6407)를 통하여 공급된다.
- [0110] 기관의 실장 방법은 특별히 한정되는 것은 아니고, 공지의 COG 방법이나 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 또, IC칩을 실장하는 위치는 전기적인 접속이 가능하면, 도 11에 도시한 위치에 한정되지 않는다. 또, 컨트롤러, CPU, 메모리 등을 IC칩으로 형성하고, 화소부의 형성된 기관에 실장하도록 해도 좋다.
- [0111] <화소부를 가지는 기관에 설치되는 구동 회로의 구체적인 예 2>
- [0112] 계속해서, 도 11에 도시한 구동 회로를 가지는 기관의 실장 방법과는 다른 구동 회로를 가지는 기관의 실장 방법에 대해서 도 23을 참조하여 설명한다. 구체적으로는 화소부와 주사선 구동 회로, 또는 주사선 구동 회로 및 신호선 구동 회로의 일부가 형성되는 기관 위에 신호선 구동 회로 또는 그 일부가 형성된 기관을 실장하는 방법에 대해서 도 23을 참조하여 설명한다. 단적으로 설명하면, 도 23에 도시하는 구성은 화소부가 형성되어 있는 기관 위에 주사선 구동 회로, 또는 주사선 구동 회로 및 신호선 구동 회로의 일부가 형성되어 있는 점이 도 11에 도시하는 구성과는 다르다. 이 경우, 제조 공정의 관점에서 화소부에 포함되는 트랜지스터와 주사선 구동 회로, 또는 주사선 구동 회로 및 신호선 구동 회로의 일부에 포함되는 트랜지스터가 동일 구성을 가지는 트랜지스터인 것이 바람직하다. 또, 주사선 구동 회로, 또는 주사선 구동 회로 및 신호선 구동 회로의 일부에 포함되는 트랜지스터로서는 고속 응답성이 요구된다. 따라서, 도 23에 도시하는 구성에 있어서는 화소부에 포함되는 트랜지스터 및 주사선 구동 회로, 또는 주사선 구동 회로 및 신호선 구동 회로의 일부에 포함되는 트랜지스터로서, 미결정 반도체를 사용한 트랜지스터를 적용하는 것이 바람직하다.
- [0113] 도 23a에 도시하는 액정 표시 장치는 기관(6001)에 화소부(6002)와 주사선 구동 회로(6003)가 형성되어 있다. 대향 기관(6006)은 화소부(6002)와 주사선 구동 회로(6003)를 덮도록 기관(6001)과 겹쳐 있다. 그리고, 신호선 구동 회로가 형성되어 있는 기관(6004)이 기관(6001)에 직접 실장되어 있다. 구체적으로는 기관(6004)에 형성된 신호선 구동 회로가 기관(6001)에 접합되고, 화소부(6002)와 전기적으로 접속되어 있다. 또, 화소부(6002)와 주사선 구동 회로(6003)와 기관(6004)에 형성된 신호선 구동 회로에는 각각 전원 전위, 각종 신호 등이 FPC(6005)를 통하여 공급된다.
- [0114] 도 23b에 도시하는 액정 표시 장치는 기관(6101)에 화소부(6102)와 주사선 구동 회로(6103)가 형성되어 있다. 대향 기관(6106)은 화소부(6102)와 주사선 구동 회로(6103)를 덮도록 기관(6101)과 겹쳐 있다. 그리고, 신호선 구동 회로가 형성된 기관(6104)은 기관(6101)에 접속된 FPC(6105)에 실장되어 있다. 또, 화소부(6102)와 주사선 구동 회로(6103)와 기관(6104)에 형성된 신호선 구동 회로에 각각 전원 전위, 각종 신호 등이 FPC(6105)를 통하여 공급된다.
- [0115] 도 23c에 도시하는 액정 표시 장치는 기관(6201)에 화소부(6202)와 주사선 구동 회로(6203)와 신호선 구동 회로의 일부(6207)가 형성되어 있다. 대향 기관(6206)은 화소부(6202), 주사선 구동 회로(6203), 및 신호선 구동 회로의 일부(6207)를 덮도록 기관(6201)과 겹쳐 있다. 그리고, 신호선 구동 회로의 다른 일부가 형성된 기관(6204)은 기관(6201)에 직접 실장되어 있다. 구체적으로는 기관(6204)에 형성된 신호선 구동 회로의 다른 일부가 기관(6201)에 접합되고, 신호선 구동 회로의 일부(6207)와 전기적으로 접속되어 있다. 또, 화소부(6202)와 주사선 구동 회로(6203)와 신호선 구동 회로의 일부(6207)와 기관(6204)에 형성된 신호선 구동 회로의 다른 일부에 각각 전원 전위, 각종 신호 등이 FPC(6205)를 통하여 공급된다.
- [0116] 기관의 실장 방법은 특별히 한정되는 것은 아니고, 공지의 COG 방법이나 와이어 본딩 방법, 또는 TAB 방법 등을 이용할 수 있다. 또, IC칩을 실장하는 위치는 전기적인 접속이 가능하면, 도 23에 도시한 위치에 한정되지 않는다. 또, 컨트롤러, CPU, 메모리 등을 IC칩으로 형성하고, 화소부의 형성된 기관에 실장하도록 해도 좋다.

- [0117] <액정 표시 장치의 구체적인 예>
- [0118] 계속해서, 본 발명의 일 형태에 관계되는 액정 표시 장치 패널의 외관에 대해서, 도 12를 사용하여 설명한다. 도 12a는 기관(4001)과 대향 기관(4006)을 절재(4005)에 의해 접착시킨 패널의 상면도이며, 도 12b는 도 12a의 파선 A-A'에 있어서의 단면도에 상당한다.
- [0119] 기관(4001) 위에 형성된 화소부(4002)를 둘러싸도록, 절재(4005)가 형성되어 있다. 또, 화소부(4002) 위에 대향 기관(4006)이 형성되어 있다. 따라서, 화소부(4002)는 기관(4001)과 절재(4005)와 대향 기관(4006)에 의해, 액정(4007)과 함께 밀봉되어 있다.
- [0120] 또, 기관(4001) 위의 절재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에 신호선 구동 회로(4003)가 형성된 기관(4021)과 주사선 구동 회로가 형성된 기관(4004)이 실장되어 있다. 도 12b에서는 신호선 구동 회로(4003)에 포함되는 트랜지스터(4009)를 예시하고 있다.
- [0121] 또, 기관(4001) 위에 형성된 화소부(4002)는 트랜지스터를 복수 가지고 있다. 도 12b에서는 화소부(4002)에 포함되는 트랜지스터(4010), 트랜지스터(4022)를 예시하고 있다. 트랜지스터(4010), 트랜지스터(4022)는 비정질 반도체 또는 미결정 반도체를 채널 형성 영역에 포함하고 있다.
- [0122] 또, 액정 소자(4011)가 가지는 화소 전극(4030)은 트랜지스터(4010)와 전기적으로 접속되어 있다. 그리고, 액정 소자(4011)의 대향 전극(4031)은 대향 기관(4006)에 형성되어 있다. 화소 전극(4030)과 대향 전극(4031)과 액정(4007)이 겹쳐 있는 부분이 액정 소자(4011)에 상당한다.
- [0123] 또, 스페이서(4035)가 화소 전극(4030)과 대향 전극(4031) 사이의 거리(셀 갭)를 제어하기 위해서 형성되어 있다. 또, 도 12b에서는 스페이서(4035)가 절연막을 패터닝함으로써 형성되어 있을 경우를 예시하였지만, 원형 스페이서를 사용하여도 좋다.
- [0124] 또, 신호선 구동 회로(4003), 주사선 구동 회로, 화소부(4002)에 주어지는 각종 신호 및 전위는 리드 배선(4014 및 4015)을 통하여, 접속 단자(4016)에 공급되어 있다. 접속 단자(4016)는 FPC(4018)가 가지는 단자와 이방성 도전막(4019)을 통하여 전기적으로 접속되어 있다.
- [0125] 또, 기관(4001), 대향 기관(4006), 기관(4021)에는 유리, 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱에는 FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴수지 필름 등이 포함된다.
- [0126] 단, 액정 소자(4011)를 투과한 광의 추출 방향에 위치하는 기관에는 유리판, 플라스틱, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 가지는 재료를 사용한다.
- [0127] 도 24는 도 12에 도시한 액정 표시 장치와는 다른 패널의 외관을 도시하는 도면이다. 또, 도 24a는 기관(5001)과 대향 기관(5006)을 절재(5005)에 의해 접착시킨 패널의 상면도이며, 도 24b는 도 24a의 파선 B-B'에 있어서의 단면도에 상당한다. 도 24에 도시하는 액정 표시 장치는 기관(5001) 위에 화소부(5002)뿐만 아니라 주사선 구동 회로(5004)가 형성되어 있는 점이 도 12에 도시하는 액정 표시 장치와 다르다.
- [0128] 도 24에 도시하는 액정 표시 장치에 있어서는 기관(5001) 위에 형성된 화소부(5002)와 주사선 구동 회로(5004)를 둘러싸도록, 절재(5005)가 형성되어 있다. 또, 화소부(5002), 주사선 구동 회로(5004) 위에 대향 기관(5006)이 형성되어 있다. 따라서, 화소부(5002)와 주사선 구동 회로(5004)는 기관(5001)과 절재(5005)와 대향 기관(5006)에 의해, 액정(5007)과 함께 밀봉되어 있다.
- [0129] 또, 기관(5001) 위의 절재(5005)에 의해 둘러싸여 있는 영역과는 다른 영역에 신호선 구동 회로(5003)가 형성된 기관(5021)이 형성되어 있다. 도 24b에서 신호선 구동 회로(5003)에 포함되는 트랜지스터(5009)를 예시하고 있다.
- [0130] 또, 기관(5001) 위에 형성된 화소부(5002), 주사선 구동 회로(5004)는 트랜지스터를 복수 가지고 있다. 도 24b에서는 화소부(5002)에 포함되는 트랜지스터(5010), 트랜지스터(5022)를 예시하고 있다. 트랜지스터(5010), 트랜지스터(5022)는 미결정 반도체를 채널 형성 영역에 포함하고 있다.
- [0131] 또, 액정 소자(5011)가 가지는 화소 전극(5030)은 트랜지스터(5010)와 전기적으로 접속되어 있다. 그리고, 액정 소자(5011)의 대향 전극(5031)은 대향 기관(5006)에 형성되어 있다. 화소 전극(5030)과 대향 전극(5031)과 액정(5007)이 겹쳐 있는 부분이 액정 소자(5011)에 상당한다.

- [0132] 또, 스페이서(5035)가 화소 전극(5030)과 대향 전극(5031) 사이의 거리(셀 갭)를 제어하기 위해서 형성되어 있다. 또, 도 24b에서는 스페이서(5035)가 절연막을 패터닝함으로써 형성되어 있는 경우를 예시하였지만, 원형 스페이서를 사용하여도 좋다.
- [0133] 또, 신호선 구동 회로(5003), 주사선 구동 회로(5004), 화소부(5002)에 주어지는 각종 신호 및 전위는 리드 배선(5014 및 5015)을 통하여, 접속 단자(5016)로부터 공급되고 있다. 접속 단자(5016)는 FPC(5018)가 가지는 단자와 이방성 도전막(5019)을 통하여 전기적으로 접속되어 있다.
- [0134] 또, 기관(5001), 대향 기관(5006), 기관(5021)에는 유리, 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱에는 FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴수지 필름 등이 포함된다.
- [0135] 단, 액정 소자(5011)를 투과한 광의 추출 방향에 위치하는 기관에는 유리판, 플라스틱, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 가지는 재료를 사용한다.
- [0136] 도 13은 본 발명의 일 형태에 관계되는 액정 표시 장치의 구조를 도시하는 사시도의 일 예다. 도 13에 도시하는 액정 표시 장치는 화소부를 가지는 패널(1601)과 제 1 확산판(1602)과 프리즘 시트(1603)와 제 2 확산판(1604)과 도광판(1605)과 백라이트 패널(1607)과 회로 기관(1608)과 신호선 구동 회로가 형성된 기관(1611)을 가지고 있다.
- [0137] 패널(1601)과 제 1 확산판(1602)과 프리즘 시트(1603)와 제 2 확산판(1604)과 도광판(1605)과 백라이트 패널(1607)이 순서대로 적층되어 있다. 백라이트 패널(1607)은 복수의 백라이트 유닛으로 구성된 백라이트(1612)를 가지고 있다. 도광판(1605) 내부로 확산된 백라이트(1612)로부터의 광은 제 1 확산판(1602), 프리즘 시트(1603) 및 제 2 확산판(1604)에 의해, 패널(1601)에 조사된다.
- [0138] 또, 여기에서는 제 1 확산판(1602)과 제 2 확산판(1604)을 사용하고 있지만, 확산판의 수는 이것에 한정되지 않고, 단수이어도 좋고, 3이상이어도 좋다. 그리고, 확산판은 도광판(1605)과 패널(1601) 사이에 형성되어 있으면 좋다. 따라서, 프리즘 시트(1603)보다도 패널(1601)에 가까운 측에만 확산판이 형성되어도 좋고, 프리즘 시트(1603)보다도 도광판(1605)에 가까운 측에만 확산판이 형성되어도 좋다.
- [0139] 또, 프리즘 시트(1603)는 도 13에 도시한 단면이 틸트형의 형상에 한정되지 않고, 도광판(1605)으로부터의 광을 패널(1601)측에 집광할 수 있는 형상을 가지면 좋다.
- [0140] 회로 기관(1608)에는 패널(1601)에 입력되는 각종 신호를 생성하는 회로, 또는 이들 신호에 처리를 실시하는 회로 등이 형성되어 있다. 그리고, 도 13에서는 회로 기관(1608)과 패널(1601)이 COF 테이프(1609)를 통하여 접속되어 있다. 또, 신호선 구동 회로가 형성된 기관(1611)이 COF(Chip On Film)법을 사용하여 COF 테이프(1609)에 접속되어 있다.
- [0141] 도 13에서는 백라이트(1612)의 구동을 제어하는 제어계의 회로가 회로 기관(1608)에 형성되어 있고, 상기 제어계의 회로와 백라이트 패널(1607)이 FPC(1610)를 통하여 접속되어 있는 예를 도시하고 있다. 단, 상기 제어계의 회로는 패널(1601)에 형성되어도 좋고, 이 경우에는 패널(1601)과 백라이트 패널(1607)이 FPC 등에 의해 접속되도록 한다.
- [0142] <터치패널을 사용한 액정 표시 장치의 구체적인 예>
- [0143] 본 발명의 일 형태에 관계되는 액정 표시 장치는 터치패널이라고 불리는 위치 입력장치를 가져도 좋다. 도 14a에 터치패널(1620)과 패널(1621)을 겹친 모양을 도시한다.
- [0144] 터치패널(1620)은 투광성을 가지는 위치 검출부(1622)에 있어서, 손가락 또는 스타일러스(stylus) 등이 터치한 위치를 검출하고, 그 위치 정보를 포함하는 신호를 생성할 수 있다. 따라서, 위치 검출부(1622)가 패널(1621)의 화소부(1623)에 겹치도록 터치패널(1620)을 설치함으로써 액정 표시 장치의 사용자가 화소부(1623)의 어느 위치를 지시했는지를 정보로서 얻을 수 있다.
- [0145] 위치 검출부(1622)에 있어서의 위치의 검출은 저항막 방식, 정전 용량 방식 등, 여러가지 방식을 사용하여 행할 수 있다. 도 14b에 저항막 방식을 사용한 위치 검출부(1622)의 사시도를 도시한다. 저항막 방식의 위치 검출부(1622)는 복수의 제 1 전극(1630)과 복수의 제 2 전극(1631)이 간격을 두고 배치하도록 형성되어 있다. 손가락 등으로 복수의 제 1 전극(1630) 중 어느 하나에 압력이 가해지면, 상기 제 1 전극(1630)이 복수의 제 2 전극(1631) 중 어느 하나에 접촉한다. 그리고, 복수의 각 제 1 전극(1630)의 양단의 전압의 값과 복수의 각 제 2

전극(1631)의 양단의 전압의 값을 모니터하면, 어느 제 1 전극(1630)과 제 2 전극(1631)이 접촉한 것인지를 특정할 수 있으므로, 손가락이 터치한 위치를 검출할 수 있다.

[0146] 제 1 전극(1630)과 제 2 전극(1631)은 투광성을 가지는 도전재료, 예를 들면, 산화규소를 포함하는 산화인듐주석(ITSO), 산화인듐주석(ITO), 산화아연(ZnO), 산화인듐아연(IZO), 갈륨을 첨가한 산화아연(GZO) 등으로 형성할 수 있다.

[0147] 또, 도 15a에 정전 용량 방식 중, 투영 정전 용량 방식을 사용한 위치 검출부(1622)의 사시도를 도시한다. 투영 정전 용량 방식의 위치 검출부(1622)는 복수의 제 1 전극(1640)과 복수의 제 2 전극(1641)이 겹치도록 형성되어 있다. 각 제 1 전극(1640)은 직사각형상의 도전막(1642)이 복수 접속된 구성을 가지고 있고, 각 제 2 전극(1641)은 직사각형상의 도전막(1643)이 복수 접속된 구성을 가지고 있다. 또, 제 1 전극(1640)과 제 2 전극(1641)의 형상은 이 구성에 한정되지 않는다.

[0148] 또, 도 15a에서는 복수의 제 1 전극(1640)과 복수의 제 2 전극(1641) 위에 유전체로서 기능하는 절연층(1644)이 겹쳐 있다. 도 15b에 도 15a에 도시한 복수의 제 1 전극(1640)과 복수의 제 2 전극(1641)과 절연층(1644)이 겹쳐 있는 모양을 도시한다. 도 15b에 도시하는 바와 같이, 복수의 제 1 전극(1640)과 복수의 제 2 전극(1641)은 직사각형상의 도전막(1642)과 직사각형상의 도전막(1643)의 위치가 서로 어긋나도록 겹쳐 있다.

[0149] 절연층(1644)에 손가락 등이 접촉하면, 복수의 제 1 전극(1640) 중 어느 하나와 손가락 사이에 용량이 형성된다. 또, 복수의 제 2 전극(1641) 중 어느 하나와 손가락 사이에도 용량이 형성된다. 따라서, 정전 용량의 변화를 모니터함으로써 어느 제 1 전극(1640)과 제 2 전극(1641)에 손가락이 가장 가까워졌는지를 특정할 수 있으므로, 손가락이 터치한 위치를 검출할 수 있다.

[0150] <포토 센서를 가지는 액정 표시 장치의 구체적인 예>

[0151] 본 발명의 일 형태에 관계되는 액정 표시 장치는 포토 센서를 화소부에 가져도 좋다. 도 16a에 포토 센서를 가지는 화소부의 구조의 일 예를 모식적으로 도시한다.

[0152] 도 16a에 도시하는 화소부(1650)는 화소(1651)와 상기 화소(1651)에 대응한 포토 센서(1652)를 가진다. 포토 센서(1652)는 포토다이오드 등을 수광함으로써 전기 신호를 발하는 기능을 가지는 수광소자와 트랜지스터를 가진다. 또, 포토 센서(1652)가 수광하는 광은 백라이트로부터의 광이 피검출물에 조사되었을 때의 반사광을 이용할 수 있다.

[0153] 도 16b에 포토센서(1652)의 구성을 일 예로서 도시한다. 도 16b에 도시하는 포토 센서(1652)는 포토다이오드(1653), 트랜지스터(1654) 및 트랜지스터(1655)를 가진다. 포토다이오드(1653)는 한 전극이 리셋 신호선(1656)에, 다른 전극이 트랜지스터(1654)의 게이트에 접속되어 있다. 트랜지스터(1654)는 소스 및 드레인 중 하나가, 기준 신호선(1657)에, 다른 하나가 트랜지스터(1655)의 소스 및 드레인 중 하나에 접속되어 있다. 트랜지스터(1655)는 게이트가 게이트 신호선(1658)에, 소스 및 드레인 중 다른 하나가 출력 신호선(1659)에 접속되어 있다.

[0154] <트랜지스터의 일 예>

[0155] 계속해서, 트랜지스터의 구조에 대해서, 도 17을 참조하여 설명한다. 여기에서는 미결정 반도체와 비정질 반도체를 함께 반도체층에 포함하고 있는 n형태의 트랜지스터를 예로 들고, 그 구성에 대해서 설명한다.

[0156] 도 17에 트랜지스터의 단면도의 일 예를 도시한다. 도 17a에 도시하는 트랜지스터는 기판(601) 위에 게이트층(603)과 반도체층(633)과 게이트층(603) 및 반도체층(633)의 사이에 형성되는 게이트 절연층(605)과 반도체층(633)에 접하는 소스 영역 및 드레인 영역으로서 기능하는 불순물 반도체층(631a, 631b)과 불순물 반도체층(631a, 631b)에 접하는 배선(629a, 629b)을 가진다. 또, 트랜지스터의 반도체층(633), 불순물 반도체층(631a, 631b), 배선(629a, 629b)을 덮는 절연층(637)이 형성된다.

[0157] 반도체층(633)은 미결정 반도체 영역(633a) 및 한 쌍의 비정질 반도체 영역(633b)을 가진다. 미결정 반도체 영역(633a)은 제 1 면에 있어서 게이트 절연층(605)에 접하고, 제 1 면과 대향하는 제 2 면에 있어서 한 쌍의 비정질 반도체 영역(633b) 및 절연층(637)에 접한다. 비정질 반도체 영역(633b)은 절연층(637)으로 분리되어 있고, 제 1 면에 있어서 미결정 반도체 영역(633a)에 접하고, 제 1 면과 대향하는 제 2 면에 있어서, 한 쌍의 불순물 반도체층(631a, 631b)에 접한다. 즉, 반도체층(633)의 게이트층(603)과 중첩하는 영역에 있어서, 미결정 반도체 영역(633a)이 게이트층(603)에 접하는 게이트 절연층(605), 및 절연층(637)에 접한다.

- [0158] 도 17b에 도시하는 트랜지스터는 듀얼 게이트형의 트랜지스터이며, 도 17a에 도시하는 트랜지스터를 덮는 절연층(637)과 절연층(637) 위에 있어서, 반도체층(633)과 중첩하는 전극을 가진다. 또, 여기에서는 절연층(637)을 개재하여 반도체층(633)과 대향하는 전극을 백 게이트층(639)으로 도시한다.
- [0159] 듀얼 게이트형의 트랜지스터는 게이트층(603)과 백 게이트층(639)의 각각에 인가하는 전위를 바꿀 수 있다. 따라서 트랜지스터의 임계값 전압을 제어할 수 있다. 또는 게이트층(603) 및 백 게이트층(639)에 같은 전위를 인가할 수 있다. 따라서 미결정 반도체 영역(633a)의 제 1 면 및 제 2 면에 채널이 형성된다.
- [0160] 도 17b에 도시하는 듀얼 게이트형의 트랜지스터는 채널 형성 영역이 미결정 반도체 영역(633a)의 게이트 절연층(605)측의 계면 근방과 절연층(637)측의 계면 근방의 2개소가 되기 때문에, 캐리어의 이동량이 증가하고, 온 전류 및 전계 효과 이동도를 높일 수 있다. 따라서 트랜지스터의 면적을 작게 하는 것이 가능하고, 구동 회로의 고집적화가 가능하다. 따라서, 액정 표시 장치의 구동 회로에 도 17b에 도시하는 트랜지스터를 사용함으로써 구동 회로의 면적을 저감할 수 있기 때문에 프레임워크를 작게 할 수 있다.
- [0161] 다음에 트랜지스터의 각 구성에 대해서, 이하에 설명한다.
- [0162] 기판(601)으로서는 유리 기판, 세라믹 기판의 기타, 처리 온도를 견딜 수 있을 정도의 내열성을 가지는 플라스틱 기판 등을 사용할 수 있다. 유리 기판으로서는 예를 들면, 마름보로실리케이트 유리, 알루미노보로실리케이트 유리 또는 알루미노규산 유리 등의 무알칼리 유리 기판을 사용하면 좋다. 또, 기판(601)으로서는, 제3세대(예를 들면, 550mm×650mm), 제3.5세대(예를 들면, 600mm×720mm, 또는 620mm×750mm), 제4세대(예를 들면, 680mm×880mm, 또는 730mm×920mm), 제5세대(예를 들면, 1100mm×1300mm), 제6세대(예를 들면, 1500mm×1800mm), 제7세대(예를 들면, 1900mm×2200mm), 제8세대(예를 들면, 2160mm×2460mm), 제9세대(예를 들면, 2400mm×2800mm), 제 10세대(예를 들면, 2850mm×3050mm) 등의 유리 기판을 사용할 수 있다.
- [0163] 게이트층(603)은 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐, 니켈 등의 금속재료 또는 이들을 주성분으로 하는 합금재료를 사용하여, 단층으로 또는 적층하여 형성할 수 있다. 또, 인 등의 불순물 원소를 도핑한 다결정 실리콘으로 대표되는 반도체, AgPdCu 합금, Al-Nd 합금, Al-Ni 합금 등을 사용하여도 좋다.
- [0164] 예를 들면, 게이트층(603)의 2층의 적층 구조로서는 알루미늄층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화티타늄층 또는 질화탄탈층을 적층한 2층 구조, 질화티타늄층과 몰리브덴층을 적층한 2층 구조, 구리-마그네슘-산소 합금층과 구리층을 적층한 2층 구조, 구리-망간-산소 합금층과 구리층을 적층한 2층 구조, 구리-망간 합금층과 구리층을 적층한 2층 구조 등으로 하는 것이 바람직하다. 3층의 적층 구조로서는 텅스텐층 또는 질화텅스텐층과 알루미늄과 실리콘의 합금층 또는 알루미늄과 티타늄의 합금층과 질화티타늄층 또는 티타늄층을 적층한 3층 구조로 하는 것이 바람직하다. 전기적 저항이 낮은 층 위에 배리어층으로서 기능하는 금속층이 적층됨으로써, 전기적 저항을 낮게 하고, 또 금속층으로부터 반도체층으로 금속 원소가 확산되는 것을 방지할 수 있다.
- [0165] 게이트 절연층(605)은 CVD법 또는 스퍼터링법 등을 사용하여, 산화실리콘층, 질화실리콘층, 산화질화실리콘층 또는 질화 산화실리콘층을 단층으로 또는 적층하여 형성할 수 있다. 또, 게이트 절연층(605)을 산화실리콘층 또는 산화질화실리콘층에 의해 형성함으로써 트랜지스터의 임계값 전압의 변동을 저감할 수 있다.
- [0166] 또, 여기에서는 산화질화실리콘이란 그 조성으로서, 질소보다도 산소의 함유량이 많은 것이며, 바람직하게는 러더포드 후방 산란법(RBS:Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS:Hydrogen Forwardscattering Spectrometry)을 사용하여 측정한 경우에 조성 범위에서 산소가 50 내지 70원자%, 질소가 0.5 내지 15원자%, 실리콘이 25 내지 35원자%, 수소가 0.1 내지 10원자%의 범위에서 포함되는 것을 말한다. 또, 질화산화실리콘이란 그 조성으로서, 산소보다도 질소의 함유량이 많은 것이며, 바람직하게는 RBS 및 HFS를 사용하여 측정한 경우에 조성 범위에서 산소가 5 내지 30원자%, 질소가 20 내지 55원자%, 실리콘이 25 내지 35원자%, 수소가 10 내지 30원자%의 범위에서 포함되는 것을 말한다. 단, 산화질화실리콘 또는 질화산화실리콘을 구성하는 원자의 합계를 100원자%로 했을 때, 질소, 산소, 실리콘 및 수소의 함유 비율이 상기한 범위 내에 포함되는 것으로 한다.
- [0167] 반도체층(633)은 미결정 반도체 영역(633a)과 비정질 반도체 영역(633b)이 적층되는 것을 특징으로 한다. 또, 여기에서는 미결정 반도체 영역(633a)이 요철형인 것을 특징으로 한다.
- [0168] 여기서, 반도체층(633)의 상세한 구조에 대해서 설명한다. 여기에서는 도 17a에 도시하는 트랜지스터의 게이트

절연층(605)과 소스 영역 또는 드레인 영역으로서 기능하는 불순물 반도체층(631a) 사이의 확대도를, 도 17c 및 도 17d에 도시한다.

[0169] 도 17c에 도시하는 바와 같이, 미결정 반도체 영역(633a)은 요철형이며, 볼록부는 게이트 절연층(605)으로부터 비정질 반도체 영역(633b)을 향하여 선단이 좁아지는(볼록부의 선단이 예각인) 볼록형(추형상)이다. 또, 게이트 절연층(605)으로부터 비정질 반도체 영역(633b)을 향해서 폭이 넓어지는 볼록형(역추형상)이어도 좋다.

[0170] 미결정 반도체 영역(633a)은 미결정 반도체로 형성된다.

[0171] 미결정 반도체의 대표적인 예인 미결정 실리콘은 그 라만 스펙트럼의 피크가 단결정 실리콘을 나타내는 520cm^{-1} 보다도 저파수측으로 시프트하고 있다. 즉, 단결정 실리콘을 나타내는 520cm^{-1} 과 비정질 실리콘을 나타내는 480cm^{-1} 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 있다. 또, 미결합수(당글링본드)를 종단하기 위해서 수소 또는 할로젠을 적어도 1원자% 또는 그 이상 포함하고 있다. 또, 헬륨, 아르곤, 크립톤, 또는 네온 등의 희소 가스 원소를 포함시켜 격자 왜곡을 더욱 조장시킴으로써 안정성이 증가하여 양호한 미결정 반도체를 얻을 수 있다.

[0172] 미결정 반도체 영역(633a)의 두께, 즉, 게이트 절연층(605)과의 계면으로부터, 미결정 반도체 영역(633a)의 돌기(볼록부)의 선단까지의 거리를, 3nm 이상 410nm 이하, 바람직하게는 20nm 이상 100nm 이하로 함으로써 트랜지스터의 오프 전류를 저감할 수 있다.

[0173] 또, 반도체층(633)에 포함되는 산소 및 질소의 2차 이온 질량 분석법으로 의해 측정되는 농도를, 1×10^{18} atoms/cm³ 미만으로 함으로써 미결정 반도체 영역(633a)의 결정성을 향상시킬 수 있기 때문에 바람직하다.

[0174] 비정질 반도체 영역(633b)은 질소를 가지는 비정질 반도체로 형성된다. 질소를 가지는 비정질 반도체에 포함되는 질소는 예를 들면 NH기 또는 NH₂기로서 존재하여도 좋다. 비정질 반도체로서는 비정질 실리콘을 사용하여 형성한다.

[0175] 질소를 포함하는 비정질 반도체는 종래의 비정질 반도체와 비교하여, CPM(Constant Photocurrent Method)이나 포토루미네선스 분광 측정으로 측정되는 Urbach단의 에너지가 작고, 결합 흡수 스펙트럼량이 적은 반도체다. 즉, 질소를 포함하는 비정질 반도체는 종래의 비정질 반도체와 비교하여, 결합이 적고, 가전자대의 밴드단에 있어서의 준위의 테일(아래쪽 부분)의 경사가 급준한 질서성이 높은 반도체다. 질소를 포함하는 비정질 반도체는 가전자대 밴드단에 있어서의 준위의 테일(아래쪽 부분)의 경사가 급준하기 때문에, 밴드갭이 넓어져, 터널 전류가 흐르기 어렵다. 따라서 질소를 포함하는 비정질 반도체를 불순물 반도체층(631a, 631b)측에 설치함으로써 트랜지스터의 오프 전류를 저감할 수 있다. 또, 질소를 포함하는 비정질 반도체를 설치함으로써 온 전류와 전계 효과 이동도를 높이는 것이 가능하다.

[0176] 또, 질소를 포함하는 비정질 반도체는 저온 포토루미네선스 분광에 의한 스펙트럼의 피크 영역이 1.31eV 이상 1.39eV 이하이다. 또, 미결정 반도체, 대표적으로는 미결정 실리콘을 저온 포토루미네선스 분광에 의해 측정할 스펙트럼의 피크 영역은 0.98eV 이상 1.02eV 이하이며, 질소를 포함하는 비정질 반도체는 미결정 반도체와는 다른 것이다.

[0177] 또, 비정질 반도체 영역(633b) 외에 미결정 반도체 영역(633a)에도, NH기 또는 NH₂기를 가져도 좋다.

[0178] 또, 도 17d에 도시하는 바와 같이, 비정질 반도체 영역(633b)에 입경이 1nm 이상 10nm 이하, 바람직하게는 1nm 이상 5nm 이하인 분산된 반도체 결정립(633c)을 포함시킴으로써 온 전류와 전계 효과 이동도를 높이는 것이 가능하다.

[0179] 게이트 절연층(605)으로부터 비정질 반도체 영역(633b)을 향하여 선단이 좁아지는 볼록형(추형상)의 미결정 반도체 영역(633a), 또는 폭이 넓어지는 볼록형의 미결정 반도체 영역(633a)은 미결정 반도체가 퇴적되는 조건으로 미결정 반도체층을 형성한 후, 결정 성장을 저감하는 조건으로 상기 미결정 반도체층을 결정 성장시키는 동시에 비정질 반도체를 퇴적함으로써 형성할 수 있다.

[0180] 도 17에 도시하는 트랜지스터의 미결정 반도체 영역(633a)은 추형상 또는 역추형상이기 때문에, 온 상태로 소스층 및 드레인층의 사이에 전압이 인가되었을 때의 세로 방향(막 두께 방향)에 있어서의 저항, 즉, 반도체층(633)의 저항을 내리는 것이 가능하다. 또, 미결정 반도체 영역(633a)과 불순물 반도체층(631a, 631b) 사이에 결합이 적고, 가전자대 밴드단에 있어서의 준위의 테일(아래쪽 부분)의 경사가 급준한 질서성이 높은 질소를 포

합하는 비정질 반도체를 가지기 때문에 터널 전류가 흐르기 어려워진다. 이상으로부터, 도 17에 도시하는 트랜지스터는 온 전류 및 전계 효과 이동도를 높이는 동시에 오프 전류를 저감할 수 있다.

[0181] 불순물 반도체층(631a, 631b)은 인이 첨가된 비정질 실리콘, 인이 첨가된 미결정 실리콘 등으로 형성한다. 또, 인이 첨가된 비정질 실리콘 및 인이 첨가된 미결정 실리콘의 적층 구조로 할 수도 있다. 또, 트랜지스터로서, p채널형 트랜지스터를 형성할 경우에는 불순물 반도체층(631a, 631b)은 붕소가 첨가된 미결정 실리콘, 붕소가 첨가된 비정질 실리콘 등으로 형성한다. 또, 반도체층(633)과 배선(629a, 629b)이 오믹 콘택트를 할 경우에는 불순물 반도체층(631a, 631b)을 형성하지 않아도 좋다.

[0182] 또, 불순물 반도체층(631a, 631b)을, 인이 첨가된 미결정 실리콘, 또는 붕소가 첨가된 미결정 실리콘으로 형성할 경우에는 반도체층(633)과 불순물 반도체층(631a, 631b) 사이에 미결정 반도체층, 대표적으로는 미결정 실리콘층을 형성함으로써 계면의 특성을 향상시킬 수 있다. 이 결과 불순물 반도체층(631a, 631b)과 반도체층(633)의 계면에 나타내는 저항을 저감할 수 있다. 이 결과 트랜지스터의 소스 영역, 반도체층, 및 드레인 영역을 흐르는 전류량을 증가시켜, 온 전류의 증가 및 전계 효과 이동도의 향상이 가능해진다.

[0183] 배선(629a, 629b)은 알루미늄, 구리, 티타늄, 네오디뮴, 스칸듐, 몰리브덴, 크롬, 탄탈 또는 텅스텐 등에 의해 단층으로, 또는 적층하여 형성할 수 있다. 또는 질록 방지 원소가 첨가된 알루미늄 합금(게이트층(603)에 사용할 수 있는 Al-Nd 합금 등)에 의해 형성하여도 좋다. 도너가 되는 불순물 원소를 첨가한 결정성 실리콘을 사용하여도 좋다. 도너가 되는 불순물 원소가 첨가된 결정성 실리콘과 접하는 측의 층을, 티타늄, 탄탈, 몰리브덴, 텅스텐 또는 이러한 원소의 질화물에 의해 형성하고, 그 위에 알루미늄 또는 알루미늄 합금을 형성한 적층 구조로 하여도 좋다. 또, 알루미늄 또는 알루미늄 합금의 상면 및 하면을 티타늄, 탄탈, 몰리브덴, 텅스텐 또는 이러한 원소의 질화물로 개재한 적층 구조로 하여도 좋다.

[0184] 절연층(637)은 게이트 절연층(605)과 동일하게 형성할 수 있다. 또, 절연층(637)은 유기 수지층을 사용하여 형성할 수 있다. 유기 수지층으로서는 예를 들면 아크릴, 에폭시, 폴리아미드, 폴리이미드, 폴리비닐페놀, 벤조사이클로부텐 등을 사용할 수 있다. 또, 실록산폴리머를 사용할 수 있다.

[0185] 도 17b에 도시하는 백 게이트층(639)은 배선(629a, 629b)과 동일하게 형성할 수 있다. 또, 백 게이트층(639)은 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐아연 산화물, 산화티타늄을 포함하는 인듐 산화물, 산화티타늄을 포함하는 인듐주석 산화물, 인듐주석 산화물, 인듐아연 산화물, 또는 산화실리콘을 첨가한 인듐주석 산화물 등을 사용하여 형성할 수 있다.

[0186] 또, 백 게이트층(639)은 투광성을 가지는 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 백 게이트층(639)은 시트 저항이 $10000\Omega/\square$ 이하이며, 또 파장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 시트 저항은 더욱 낮은 것이 바람직하다. 또, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 $0.1\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.

[0187] 도전성 고분자로서는 소위 π 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 아닐린, 피롤 및 티오펜의 2중 이상의 공중합체 또는 그 유도체 등을 들 수 있다.

[0188] 또, 도 17에서는 반도체층(633)이 미결정 반도체 영역(633a)과 비정질 반도체 영역(633b)을 포함하고 있는 트랜지스터의 구성을 도시하였지만, 본 발명의 일 형태에 관계되는 액정 표시 장치가 가지는 트랜지스터는 상기 구성에 한정되지 않는다. 반도체층이 비정질 반도체로 구성되어도 좋다.

[0189] 예를 들면, 규소를 가지는 비정질 반도체는 규소를 포함하는 기체를 글로우 방전 분해함으로써 얻을 수 있다. 규소를 포함하는 기체로서는 SiH_4 , Si_2H_6 을 들 수 있다. 규소를 포함하는 기체를, 수소, 수소 및 헬륨으로 희석하여 사용해도 좋다. 구체적으로는 모노실란, 수소를, 각각 25sccm, 25sccm의 유량으로 하고, 반응 압력 40Pa, 기판온도 250℃, 고주파(60MHz)로서, 플라즈마 CVD법으로, 규소를 가지는 비정질 반도체를 사용한 반도체층을 형성할 수 있다.

[0190] 다음에 트랜지스터의 평면도인 도 18을 사용하여, 백 게이트층의 형상에 대해서 설명한다.

[0191] 도 18a에 도시하는 바와 같이, 백 게이트층(639)은 게이트층(603)과 평행하게 형성할 수 있다. 이 경우, 백 게이트층(639)에 인가하는 전위와 게이트층(603)에 인가하는 전위를, 각각 임의로 제어할 수 있다. 따라서 트랜지스터의 임계값 전압을 제어할 수 있다.

- [0192] 또, 도 18b에 도시하는 바와 같이, 백 게이트층(639)은 게이트층(603)에 접속시킬 수 있다. 즉, 게이트 절연층(605) 및 절연층(637)에 형성한 개구부(650)에 있어서, 게이트층(603) 및 백 게이트층(639)이 접속하는 구조로 할 수 있다. 이 경우, 백 게이트층(639)에 인가하는 전위와 게이트층(603)에 인가하는 전위는 동일하다. 이 결과 반도체층에 있어서, 캐리어가 흐르는 영역, 즉 채널이 미결정 반도체 영역의 게이트 절연층(605)측, 및 절연층(637)측에 형성되기 때문에, 트랜지스터의 온 전류를 높일 수 있다.
- [0193] 또는 도 18c에 도시하는 바와 같이, 백 게이트층(639)은 절연층(637)을 개재하여 배선(629a, 629b)과 중첩하여도 좋다. 여기에서는 도 18a에 도시하는 구조의 백 게이트층(639)을 사용하여 도시하였지만, 도 18b에 도시하는 백 게이트층(639)도 동일하게 배선(629a, 629b)과 중첩하여도 좋다.
- [0194] 다음에 도 17에 도시하는 반도체층과 다른 구조의 반도체층을 가지는 트랜지스터에 대해서, 도 19를 사용하여 설명한다.
- [0195] 도 19a에 도시하는 트랜지스터는 기판(601) 위에 게이트층(603)과 반도체층(643)과 게이트층(603) 및 반도체층(643) 사이에 형성되는 게이트 절연층(605)과 반도체층(643)에 접하는 소스 영역 및 드레인 영역으로서 기능하는 불순물 반도체층(631a, 631b)과 불순물 반도체층(631a, 631b)에 접하는 배선(629a, 629b)을 가진다. 또, 트랜지스터의 반도체층(643), 불순물 반도체층(631a, 631b), 배선(629a, 629b)을 덮는 절연층(637)이 형성된다.
- [0196] 반도체층(643)은 미결정 반도체 영역(643a) 및 비정질 반도체 영역(643b)을 가진다. 미결정 반도체 영역(643a)은 제 1 면에 있어서 게이트 절연층(605)에 접하고, 제 1 면과 대향하는 제 2 면에 있어서 비정질 반도체 영역(643b)에 접한다. 비정질 반도체 영역(643b)은 제 1 면에 있어서 미결정 반도체 영역(643a)에 접하고, 제 1 면과 대향하는 제 2 면에 있어서, 한 쌍의 불순물 반도체층(631a, 631b) 및 절연층(637)에 접한다.
- [0197] 도 19b에 도시하는 트랜지스터는 듀얼 게이트형의 트랜지스터이며, 도 19a에 도시하는 트랜지스터를 덮는 절연층(637)과 절연층(637) 위에 있어서, 반도체층(643)과 중첩하는 백 게이트층(639)을 가진다. 즉, 반도체층(643)에 있어서, 게이트층(603)과 중첩하는 영역에 있어서, 미결정 반도체 영역(643a)이 게이트층(603)에 접하는 게이트 절연층(605)에 접하고, 비정질 반도체 영역(643b)이 백 게이트층(639)에 접하는 절연층(637)에 접한다.
- [0198] 미결정 반도체 영역(643a)은 도 17에 도시하는 미결정 반도체 영역(633a)과 같은 재료로 형성된다. 또, 비정질 반도체 영역(643b)은 도 17에 도시하는 비정질 반도체 영역(633b)과 같은 재료로 형성된다. 도 17에 도시하는 트랜지스터와 비교하여, 도 19에 도시하는 트랜지스터에서는 비정질 반도체 영역(643b)이 분리되지 않았고, 미결정 반도체 영역(643a)의 한 면이 게이트 절연층(605)에 접하고, 다른 하나의 면이 비정질 반도체 영역(643b)에 접하는 점이 다르다.
- [0199] 도 19에 도시하는 트랜지스터는 게이트 절연층(605)에 접하는 미결정 반도체 영역(643a)과, 결함이 적고, 가진 자대 밴드단에 있어서의 준위의 테일(아래쪽 부분)의 경사가 급준한 질서성이 높은 질소를 포함하는 비정질 반도체 영역(643b)으로 구성되고, 절연층(637)측이 비정질 반도체 영역(643b)인 반도체층(643)을 가진다. 따라서 도 17에 도시하는 트랜지스터와 비교하여 오프 전류가 낮고, 온 전류 및 전계 효과 이동도가 높다. 따라서, 액정 표시 장치에 있어서 상기 트랜지스터를 화소에 설치되는 트랜지스터로서 적용함으로써 콘트라스트가 높고, 화질이 양호한 액정 표시 장치를 얻을 수 있다.
- [0200] 또, 도 17 및 도 19에 도시하는 트랜지스터에 있어서, 반도체층(633, 643)은 게이트층(603)보다 면적이 좁고, 또 모든 영역이 게이트층(603)과 중첩하여도 좋다. 또, 반도체층(633, 643)의 측벽, 즉, 반도체층(633, 643)과 배선(629a, 629b) 사이에 장벽 영역인 절연 영역을 가져도 좋다. 장벽 영역인 절연 영역은 반도체층(633, 643)의 일부를 질화 또는 산화하여 형성되는 영역이며, 대표적으로는 반도체 질화물 또는 반도체 산화물로 형성된다. 반도체 질화물로서는 질화실리콘, 질화 산화실리콘 등이 있고, 반도체 산화물로서는 산화실리콘, 산화질화실리콘 등이 있다. 또, 절연 영역을 구성하는 반도체 질화물 및 반도체 산화물은 반드시 화학량 이론비를 충족시킬 필요는 없다.
- [0201] 반도체층(633, 643)의 측벽, 즉, 반도체층(633, 643)과 배선(629a, 629b) 사이에 장벽 영역인 절연 영역을 가지는 것으로, 배선(629a, 629b)으로부터 반도체층(633, 643)으로의 홀의 주입을 억제하는 것이 가능하고, 트랜지스터의 오프 전류를 저감할 수 있다. 이상으로부터, 광 리크 전류가 작고, 또 오프 전류가 작은 트랜지스터를 얻을 수 있다.

- [0202] <트랜지스터의 제작 방법의 일 예>
- [0203] 다음에 트랜지스터의 제작 방법의 일 예에 대해서 설명한다. 여기에서는 도 17에 도시하는 트랜지스터를 예로 들고, 그 제작 방법에 대해서, 도 20 및 도 21을 사용하여 도시한다. 여기에서는 n형의 트랜지스터의 제작 방법에 대해서 설명한다.
- [0204] 도 20a에 도시하는 바와 같이, 기판(601) 위에 게이트층(603)을 형성한다. 다음에 게이트층(603)을 덮는 게이트 절연층(605), 미결정 반도체층(607)을 형성한다.
- [0205] 게이트층(603)은 상기한 재료를 적당히 사용하여 형성한다. 게이트층(603)은 기판(601) 위에 스퍼터링법 또는 진공증착법을 사용하여 상기한 재료에 의해 도전층을 형성하고, 상기 도전층 위에 포토리소그래피법 또는 잉크젯법 등에 의해 마스크를 형성하고, 상기 마스크를 사용하여 도전층을 에칭하여 형성할 수 있다. 또, 은, 금 또는 구리 등의 도전성 나노 페이스트를 잉크젯법에 의해 기판 위에 도출하고, 소성함으로써 형성할 수도 있다. 또, 게이트층(603)과 기판(601)의 밀착성 향상을 목적으로 하여, 상기한 금속재료의 질화물층을, 기판(601)과 게이트층(603) 사이에 설치해도 좋다. 여기에서는 기판(601) 위에 도전층을 형성하고, 포토마스크를 사용하여 형성한 레지스트 마스크를 사용하여 도전층을 에칭하여 게이트층(603)을 형성한다.
- [0206] 또, 게이트층(603)의 측면은 테이퍼 형상으로 하는 것이 바람직하다. 뒤의 공정에서, 게이트층(603) 위에는 절연층, 반도체층 및 배선층을 형성하므로, 이들에 단차 개소에 있어서 단선을 발생시키지 않기 위해서이다. 게이트층(603)의 측면을 테이퍼 형상으로 하기 위해서는 레지스트 마스크를 후퇴시키면서 에칭을 하면 좋다.
- [0207] 또, 게이트층(603)을 형성하는 공정에 의해 게이트 배선(주사선) 및 용량 배선도 동시에 형성할 수 있다. 또, 주사선이란 화소를 선택하는 배선을 말하고, 용량 배선이란 화소의 유지 용량의 한 전극에 접속된 배선을 말한다. 단, 이것에 한정되지 않고, 게이트 배선 및 용량 배선 중 하나 또는 모두와 게이트층(603)은 다르게 형성해도 좋다.
- [0208] 게이트 절연층(605)은 CVD법 또는 스퍼터링법 등을 사용하여 상기한 재료를 사용하여 형성할 수 있다. 게이트 절연층(605)의 CVD법에 의한 형성 공정에 있어서 글로우 방전 플라즈마의 생성은 3MHz부터 30MHz, 대표적으로는 13.56MHz, 27.12MHz의 HF대의 고주파 전력, 또는 30MHz보다 크고 300MHz 정도까지의 VHF대의 고주파 전력, 대표적으로는 60MHz를 인가함으로써 실시된다. 또, 1GHz 이상의 마이크로파의 고주파 전력을 인가함으로써 실시된다. VHF대나 마이크로파의 고주파 전력을 사용함으로써 성막속도를 높이는 것이 가능하다. 또, 고주파 전력이 펄스형으로 인가되는 펄스 발진이나, 연속적으로 인가되는 연속 발진으로 할 수 있다. 또, HF대의 고주파 전력과 VHF대의 고주파 전력을 중첩시킴으로써 대면적 기판에 있어서도 플라즈마의 격차를 저감하고, 균일성을 높일 수 있는 동시에 퇴적 속도를 높일 수 있다. 또, 주파수가 1GHz 이상인 마이크로파 플라즈마 CVD 장치를 사용하여 게이트 절연층(605)을 형성하면, 게이트층과 드레인층 및 소스층과의 사이의 내압을 향상시킬 수 있기 때문에 신뢰성이 높은 트랜지스터를 얻을 수 있다.
- [0209] 또, 게이트 절연층(605)으로서, 유기 실란 가스를 사용한 CVD법에 의해 산화실리콘층을 형성함으로써 뒤에 형성하는 반도체층의 결정성을 높이는 것이 가능하기 때문에, 트랜지스터의 온 전류 및 전계 효과 이동도를 높일 수 있다. 유기 실란 가스로서는 규산에틸(TEOS: 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실란(TMS: 화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸사이클로테트라실록산(TMCTS), 옥타메틸사이클로테트라실록산(OMCTS), 헥사메틸실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스티메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다.
- [0210] 미결정 반도체층(607)으로서 미결정 반도체층, 대표적으로는 미결정 실리콘층, 미결정 실리콘 게르마늄층, 미결정 게르마늄층 등을 사용하여 형성한다. 미결정 반도체층(607)의 두께는 3 내지 100nm로 하는 것이 바람직하고, 더욱 바람직하게는 5 내지 50nm로 한다. 이것은 미결정 반도체층(607)의 두께가 지나치게 얇으면, 트랜지스터의 온 전류가 저감되고, 또, 미결정 반도체층(607)의 두께가 지나치게 두꺼우면, 트랜지스터가 고온에서 동작할 때에 오프 전류가 상승해 버리기 때문이다. 미결정 반도체층(607)의 두께를 3 내지 100nm, 바람직하게는 5 내지 50nm로 함으로써 트랜지스터의 온 전류 및 오프 전류를 제어할 수 있다.
- [0211] 미결정 반도체층(607)은 플라즈마 CVD 장치의 반응실 내에서, 실리콘 또는 게르마늄을 포함하는 퇴적성 기체와 수소를 혼합하여, 글로우 방전 플라즈마에 의해 형성한다. 또는 실리콘 또는 게르마늄을 포함하는 퇴적성 기체와 수소와 헬륨, 네온, 크립톤 등의 희소 가스를 혼합하여, 글로우 방전 플라즈마에 의해 형성한다. 실리콘 또는 게르마늄을 포함하는 퇴적성 기체의 유량에 대하여, 수소의 유량을 10 내지 200배, 바람직하게는 10 내지 200배로 하여 퇴적성 기체를 희석하여, 미결정 실리콘, 미결정 실리콘 게르마늄, 미결정 게르마늄 등을 형성한다.

다. 이 때의 퇴적 온도는 실온 내지 300℃로 하는 것이 바람직하고, 더욱 바람직하게는 200 내지 280℃로 한다.

[0212] 실리콘 또는 게르마늄을 포함하는 퇴적성 기체의 대표적인 예로서는 SiH_4 , Si_2H_6 , GeH_4 , Ge_2H_6 등이 있다.

[0213] 또, 게이트 절연층(605)을 질화실리콘층으로 형성하면, 미결정 반도체층(607)의 퇴적 초기에 있어서 비정질 반도체 영역이 형성되기 쉽고, 미결정 반도체층(607)의 결정성이 낮고, 트랜지스터의 전기 특성이 나쁘다. 따라서 게이트 절연층(605)을 질화실리콘층으로 형성할 경우에는 미결정 반도체층(607)을, 실리콘 또는 게르마늄을 포함하는 퇴적성 기체의 회석율이 높은 조건, 또는 저온 조건에서 퇴적하는 것이 바람직하다. 대표적으로는 실리콘 또는 게르마늄을 포함하는 퇴적 기체의 유량에 대하여, 수소의 유량을 200 내지 2000배, 바람직하게는 250 내지 400배로 하는 고회석을 조건이 바람직하다. 또, 미결정 반도체층(607)의 퇴적 온도를 200 내지 250℃로 하는 저온 조건이 바람직하다. 고회석을 조건 또는 저온 조건으로 의해, 초기 핵발생 밀도가 향상되고, 게이트 절연층(605) 위에 형성되는 비정질 성분이 저감되고, 미결정 반도체층(607)의 결정성이 향상된다. 또, 질화실리콘층으로 형성한 게이트 절연층(605)의 표면을 산화처리함으로써 미결정 반도체층(607)의 밀착성이 향상된다. 산화처리로서는 산화기체로의 폭로, 산화가스 분위기에서의 플라즈마 처리 등이 있다.

[0214] 미결정 반도체층(607)의 원료 가스로서, 헬륨, 아르곤, 네온, 크립톤, 크세논 등의 희소 가스를 사용함으로써 미결정 반도체층(607)의 성막속도가 높아진다. 또, 성막속도가 높아지는 것으로, 미결정 반도체층(607)에 혼입되는 불순물량이 저감되기 때문에, 미결정 반도체층(607)의 결정성을 높일 수 있다. 따라서 트랜지스터의 온전류 및 전계 효과 이동도가 높아지는 동시에 스루풋을 높일 수 있다.

[0215] 미결정 반도체층(607)을 형성할 때의, 글로우 방전 플라즈마의 생성은 3MHz부터 30MHz, 대표적으로는 13.56MHz, 27.12MHz의 HF대의 고주파 전력, 또는 30MHz보다 크고 300MHz 정도까지의 VHF대의 고주파 전력, 대표적으로는 60MHz를 인가함으로써 행하여진다. 또, 1GHz 이상의 마이크로파의 고주파 전력을 인가함으로써 실시된다. 또, 고주파 전력이 펄스형으로 인가되는 펄스 발진이나, 연속적으로 인가되는 연속 발진으로 할 수 있다. 또, HF대의 고주파 전력과 VHF대의 고주파 전력을 중첩시킴으로써 대면적 기관에서도 플라즈마의 격차를 저감하고, 균일성을 높일 수 있는 동시에 퇴적 속도를 높일 수 있다.

[0216] 다음에 도 20b에 도시하는 바와 같이, 미결정 반도체층(607) 위에 반도체층(611)을 형성한다. 반도체층(611)은 미결정 반도체 영역(611a) 및 비정질 반도체 영역(611b)으로 구성된다. 다음에 반도체층(611) 위에 불순물 반도체층(613)을 형성한다. 다음에 불순물 반도체층(613) 위에 레지스트 마스크(615)를 형성한다.

[0217] 미결정 반도체층(607)을 종결정으로 하여, 부분적으로 결정 성장시키는 조건(결정 성장을 저감시키는 조건)으로, 미결정 반도체 영역(611a) 및 비정질 반도체 영역(611b)을 가지는 반도체층(611)을 형성할 수 있다.

[0218] 반도체층(611)은 플라즈마 CVD 장치의 처리실 내에 있어서, 실리콘 또는 게르마늄을 포함하는 퇴적성 기체와 수소와 질소를 포함하는 기체를 혼합하고, 글로우 방전 플라즈마에 의해 형성한다. 질소를 포함하는 기체로서는 암모니아, 질소, 플루오로화질소, 염화질소, 클로로아민, 플루오로아민 등이 있다. 글로우 방전 플라즈마의 생성은 미결정 반도체층(607)과 동일하게 할 수 있다.

[0219] 이 때, 실리콘 또는 게르마늄을 포함하는 퇴적성 기체와 수소의 유량비는 미결정 반도체층(607)과 마찬가지로 미결정 반도체층을 형성하는 유량비를 사용하여, 더욱 원료 가스에 질소를 포함하는 기체를 사용하는 조건으로 함으로써 미결정 반도체층(607)의 퇴적 조건보다도 결정 성장을 저감할 수 있다. 구체적으로는 반도체층(611)의 퇴적 초기에 있어서는 원료 가스에 질소를 포함하는 기체가 포함되기 때문에, 부분적으로, 결정 성장이 억제되어, 추형상의 미결정 반도체 영역이 성장하는 동시에 비정질 반도체 영역이 형성된다. 또, 퇴적 중기 또는 후기에는 추형상의 미결정 반도체 영역의 결정 성장이 정지하고, 비정질 반도체 영역만이 퇴적된다. 이 결과 반도체층(611)에 있어서, 미결정 반도체 영역(611a), 및 결함이 적고, 가전자대 밴드단에 있어서의 준위의 테일(아래쪽 부분)의 경사가 급준한 질서성이 높은 반도체층으로 형성되는 비정질 반도체 영역(611b)을 형성할 수 있다.

[0220] 여기서 반도체층(611)을 형성하는 조건의 대표적인 예는 실리콘 또는 게르마늄을 포함하는 퇴적성 기체의 유량에 대한 수소의 유량이 10 내지 2000배, 바람직하게는 10 내지 200배다. 또, 통상적인 비정질 반도체층을 형성하는 조건의 대표적인 예는 실리콘 또는 게르마늄을 포함하는 퇴적성 기체의 유량에 대한 수소의 유량은 0 내지 5배다.

- [0221] 또, 반도체층(611)의 원료 가스에 헬륨, 네온, 아르곤, 크세논, 또는 크립톤 등의 희소 가스를 도입함으로써 성장속도를 높일 수 있다.
- [0222] 반도체층(611)의 두께는 두께 50 내지 350nm로 하는 것이 바람직하고, 더욱 바람직하게는 120 내지 250nm로 한다.
- [0223] 여기서는 반도체층(611)의 원료 가스에 질소를 포함하는 기체를 포함시켜, 미결정 반도체 영역(611a) 및 비정질 반도체 영역(611b)을 가지는 반도체층(611)을 형성했지만, 다른 반도체층(611)의 형성 방법으로서, 질소를 포함하는 기체에 미결정 반도체층(607)의 표면을 노출시키고, 미결정 반도체층(607)의 표면에 질소를 흡착시킨 후, 실리콘 또는 게르마늄을 포함하는 퇴적성 기체 및 수소를 원료 가스로서 반도체층(611)을 형성함으로써 미결정 반도체 영역(611a) 및 비정질 반도체 영역(611b)을 가지는 반도체층(611)을 형성할 수 있다.
- [0224] 불순물 반도체층(613)은 플라즈마 CVD 장치의 반응실 내에서, 실리콘을 포함하는 퇴적성 기체와 수소와 포스핀(수소 희석 또는 실란 희석)을 혼합하여, 글로우 방전 플라즈마에 의해 형성한다. 실리콘을 포함하는 퇴적성 기체를 수소로 희석하여, 인이 첨가된 비정질 실리콘, 또는 인이 첨가된 미결정 실리콘을 형성한다. 또, p형의 트랜지스터를 제작할 경우는 불순물 반도체층(613)으로서, 포스핀 대신에 디보란을 사용하여, 글로우 방전 플라즈마에 의해 형성하면 좋다.
- [0225] 레지스트 마스크(615)는 포토리소그래피 공정에 의해 형성할 수 있다.
- [0226] 다음에 레지스트 마스크(615)를 사용하여, 미결정 반도체층(607), 반도체층(611), 및 불순물 반도체층(613)을 에칭한다. 이 공정에 의해, 미결정 반도체층(607), 반도체층(611), 및 불순물 반도체층(613)을 소자마다 분리하여, 반도체층(617), 불순물 반도체층(621)을 형성한다. 또, 반도체층(617)은 미결정 반도체층(607) 및 반도체층(611)의 일부이며, 미결정 반도체 영역(617a), 및 비정질 반도체 영역(617b)을 가진다(도 20c 참조).
- [0227] 이 후, 레지스트 마스크(615)를 잔존시킨 채, 산화가스 또는 질화가스 분위기에서 플라즈마를 발생시켜, 반도체층(617)을 플라즈마에 노출시켜도 좋다. 산화가스 또는 질화가스 분위기에서 플라즈마를 발생시킴으로써 산소 라디칼 또는 질소 라디칼이 발생한다. 상기 라디칼은 반도체층(617)과 반응하여, 반도체층(617)의 측면에 장벽 영역인 절연 영역을 형성할 수 있다.
- [0228] 다음에 불순물 반도체층(621) 위에 도전층(627)을 형성한다(도 21a 참조). 도전층(627)은 도 17, 도 18, 및 도 19에 도시하는 배선(629a, 629b)과 같은 재료를 적당히 사용할 수 있다. 도전층(627)은 CVD법, 스퍼터링법 또는 진공증착법을 사용하여 형성한다. 또, 도전층(627)은 은, 금 또는 구리 등의 도전성 나노 페이스트를 사용하여 스크린 인쇄법 또는 잉크젯법 등을 사용하여 토출하여, 소성함으로써 형성해도 좋다.
- [0229] 다음에 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 도전층(627)을 에칭하여, 소스층 및 드레인층으로서 기능하는 배선(629a, 629b)을 형성한다(도 21b 참조). 도전층(627)의 에칭은 드라이 에칭 또는 웨트 에칭을 사용할 수 있다. 또, 배선(629a, 629b) 중 하나는 소스층 또는 드레인층뿐만 아니라 신호선으로서도 기능한다. 단, 이것에 한정되지 않고, 신호선과 소스층 및 드레인층과는 다르게 형성해도 좋다.
- [0230] 다음에 불순물 반도체층(621) 및 반도체층(617)의 일부를 에칭하여, 소스 영역 및 드레인 영역으로서 기능하는 한 쌍의 불순물 반도체층(631a, 631b)을 형성한다. 또, 미결정 반도체 영역(633a) 및 한 쌍의 비정질 반도체 영역(633b)을 가지는 반도체층(633)을 형성한다. 이 때, 미결정 반도체 영역(633a)이 노출되도록 반도체층(617)을 에칭함으로써 배선(629a, 629b)으로 덮이는 영역에서는 미결정 반도체 영역(633a) 및 비정질 반도체 영역(633b)이 적층되고, 배선(629a, 629b)으로 덮이지 않고, 또 게이트층(603)과 겹치는 영역에 있어서는 미결정 반도체 영역(633a)이 노출되는 반도체층(633)이 된다(도 21c 참조).
- [0231] 여기서는 에칭에 있어서 드라이 에칭을 사용하고 있기 때문에 배선(629a, 629b)의 단부와 불순물 반도체층(631a, 631b)의 단부가 가지런하지만, 도전층(627)을 웨트 에칭하고, 불순물 반도체층(621)을 드라이 에칭하면, 배선(629a, 629b)의 단부와 불순물 반도체층(631a, 631b)의 단부가 어긋나, 단면에 있어서, 배선(629a, 629b)의 단부가 불순물 반도체층(631a, 631b)의 단부보다 내측에 위치한다.
- [0232] 다음에 드라이 에칭을 하여도 좋다. 드라이 에칭의 조건은 노출되어 있는 미결정 반도체 영역(633a) 및 비정질 반도체 영역(633b)에 대미지가 생기지 않고, 또 미결정 반도체 영역(633a) 및 비정질 반도체 영역(633b)에 대한 에칭 레이트가 낮은 조건을 사용한다. 즉, 노출되어 있는 미결정 반도체 영역(633a) 및 비정질 반도체 영역(633b) 표면에 거의 대미지를 주지 않고, 또 노출되어 있는 미결정 반도체 영역(633a) 및 비정질 반도체 영역

(633b)의 두께가 거의 감소하지 않는 조건을 사용한다. 에칭 가스로서는 대표적으로는 Cl_2 , CF_4 , 또는 N_2 등을 사용한다. 또, 에칭 방법에 대해서는 특별히 한정은 없고, 유도 결합형 플라즈마(ICP:Inductively Coupled Plasma) 방식, 용량 결합형 플라즈마(CCP:Capacitively Coupled Plasma) 방식, 전자 사이클로트론 공감 플라즈마(ECR:Electron Cyclotron Resonance) 방식, 반응성 이온 에칭(RIE:Reactive Ion Etching) 방식 등을 사용할 수 있다.

- [0233] 상기한 바와 같이, 미결정 반도체 영역(633a) 및 비정질 반도체 영역(633b)을 형성한 후에 미결정 반도체 영역(633a) 및 비정질 반도체 영역(633b)에 대미지를 주지 않는 조건으로 또 드라이 에칭을 행함으로써 노출된 미결정 반도체 영역(633a) 및 비정질 반도체 영역(633b) 위에 존재하는 잔사 등의 불순물을 제거할 수 있다.
- [0234] 다음에 미결정 반도체 영역(633a) 및 비정질 반도체 영역(633b)의 표면에 플라즈마 처리, 대표적으로는 물 플라즈마 처리, 산소 플라즈마 처리, 암모니아 플라즈마 처리, 질소 플라즈마 처리 등을 행하여도 좋다.
- [0235] 물 플라즈마 처리는 수증기(H_2O 증기)로 대표되는 물을 주성분으로 하는 가스를 반응 공간에 도입하고, 플라즈마를 생성하여 행할 수 있다. 이 후, 레지스트 마스크를 제거한다. 또, 상기 레지스트 마스크의 제거는 드라이 에칭 전에 행하여도 좋다.
- [0236] 상기한 바와 같이, 드라이 에칭에 이어 물 플라즈마 처리를 행함으로써 레지스트 마스크의 잔사를 제거할 수 있다. 또, 플라즈마 처리를 행함으로써 소스 영역과 드레인 영역 사이의 절연을 확실한 것으로 할 수 있고, 완성되는 트랜지스터의 오프 전류를 저감하고, 전기적 특성의 격차를 저감할 수 있다.
- [0237] 이상의 공정에 의해, 도 17a에 도시하는 바와 같은 채널 형성 영역이 미결정 반도체층으로 설치되는 트랜지스터를 제작할 수 있다. 또, 오프 전류가 낮고, 온 전류 및 전계 효과 이동도가 높은 트랜지스터를 생산성 높게 제작할 수 있다.
- [0238] 다음에 절연층(637)을 형성한다. 절연층(637)은 게이트 절연층(605)과 동일하게 형성할 수 있다.
- [0239] 다음에 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 절연층(637)에 개구부를 형성한 후, 백 게이트층(639)을 형성한다(도 21d 참조).
- [0240] 백 게이트층(639)은 스퍼터링법에 의해, 상기한 재료를 사용한 박막을 형성한 후, 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 상기 박막을 에칭함으로써 형성할 수 있다. 또, 투광성을 가지는 도전성 고분자를 포함하는 도전성 조성물을 도포 또는 인쇄한 후, 소성하여 형성할 수 있다.
- [0241] 이상의 공정에 의해, 도 17b에 도시하는 바와 같은 듀얼 게이트형의 트랜지스터를 제작할 수 있다.
- [0242] 또, 도 21c에 있어서의 반도체층(617) 및 불순물 반도체층(621)의 에칭량을 제어함으로써 도 19a 및 도 19b에 도시하는 트랜지스터를 제작할 수 있다.
- [0243] <액정 표시 장치를 탑재한 각종 전자기기에 대해서>
- [0244] 이하에서는 본 명세서에서 개시되는 액정 표시 장치를 탑재한 전자기기의 예에 대해서 도 22를 참조하여 설명한다.
- [0245] 도 22a는 노트형의 퍼스널 컴퓨터를 도시하는 도면이며, 본체(2201), 케이스(2202), 표시부(2203), 키보드(2204) 등에 의해 구성되어 있다.
- [0246] 도 22b는 휴대 정보단말(PDA)을 도시하는 도면이며, 본체(2211)에는 표시부(2213)와 외부 인터페이스(2215)와 조작 버튼(2214) 등이 형성되어 있다. 또, 조작용 부속품으로서 스타일러스(2212)가 있다.
- [0247] 도 22c는 전자 페이퍼의 일 예로서, 전자서적(2220)을 도시하는 도면이다. 전자서적(2220)은 케이스(2221) 및 케이스(2223)의 2개의 케이스로 구성되어 있다. 케이스(2221) 및 케이스(2223)는 축부(2237)에 의해 일체로 되어 있고, 상기 축부(2237)를 축으로 하여 개폐 동작을 할 수 있다. 이러한 구성에 의해, 전자서적(2220)은 종이서적과 같이 사용할 수 있다.
- [0248] 케이스(2221)에는 표시부(2225)가 내장되고, 케이스(2223)에는 표시부(2227)가 내장되어 있다. 표시부(2225) 및 표시부(2227)는 연속화면을 표시하는 구성으로 하여도 좋고, 다른 화면을 표시하는 구성으로 하여도 좋다. 다른 화면을 표시하는 구성으로 함으로써 예를 들면 우측의 표시부(도 22c에서는 표시부(2225))에 문장을 표시하고, 좌측의 표시부(도 22c에서는 표시부(2227))에 화상을 표시할 수 있다.

- [0249] 또, 도 22c에서는 케이스(2221)에 조작부 등을 구비한 예를 도시하고 있다. 예를 들면, 케이스(2221)는 전원 버튼(2231), 조작키(2233), 스피커(2235) 등을 구비하고 있다. 조작키(2233)로 페이지를 넘길 수 있다. 또, 케이스의 표시부와 동일 면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또, 케이스의 이면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또, 전자서적(2220)은 전자사전으로서의 기능을 가진 구성으로 하여도 좋다.

[0250] 또, 전자서적(2220)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의해, 전자서적 서버로부터, 원하는 서적 데이터 등을 구입하고, 다운로드하는 구성할 수도 있다.

[0251] 또, 전자 페이퍼는 정보를 표시하는 것이면 모든 분야에 적용할 수 있다. 예를 들면, 전자서적 이외에도, 포스터, 전자 등의 탈것의 차내 광고, 크레디트카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다.

[0252] 도 22d는 휴대전화기를 도시하는 도면이다. 상기 휴대전화기는 케이스(2240) 및 케이스(2241)의 두개의 케이스로 구성되어 있다. 케이스(2241)는 표시 패널(2242), 스피커(2243), 마이크로폰(2244), 포인팅 디바이스(2246), 카메라용 렌즈(2247), 외부 접속 단자(2248) 등을 구비하고 있다. 또, 케이스(2240)는 상기 휴대전화기를 충전하는 태양전지 셀(2249), 외부 메모리 슬롯(2250) 등을 구비하고 있다. 또, 안테나는 케이스(2241) 내부에 내장되어 있다.

[0253] 표시 패널(2242)은 터치패널 기능을 구비하고 있고, 도 22d에는 영상 표시되어 있는 복수의 조작키(2245)를 점선으로 도시하고 있다. 또, 상기 휴대전화는 태양전지 셀(2249)로부터 출력되는 전압을 각 회로에 필요한 전압으로 승압하기 위한 승압 회로를 실장하였다. 또, 상기 구성에 덧붙여, 비접촉 IC칩, 소형 기록 장치 등을 내장한 구성으로 할 수도 있다.

[0254] 표시 패널(2242)은 사용 형태에 따라서 표시의 방향이 적절히 변화된다. 또, 표시 패널(2242)과 동일 면 위에 카메라용 렌즈(2247)를 구비하고 있기 때문에 영상 전화가 가능하다. 스피커(2243) 및 마이크로폰(2244)은 음성통화에 한하지 않고, 영상전화, 녹음, 재생 등이 가능하다. 또, 케이스(2240)와 케이스(2241)는 슬라이드하고, 도 22d와 같이 전개되어 있는 상태에서부터 꺾친 상태로 할 수 있어, 휴대에 적합한 소형화가 가능하다.

[0255] 외부 접속 단자(2248)는 AC 어댑터나 USB 케이블 등의 각종 케이블과 접속 가능하고, 충전이나 데이터 통신이 가능하도록 되어 있다. 또, 외부 메모리 슬롯(2250)에 기록 매체를 삽입하고, 더욱 대량의 데이터의 보존 및 이동에 대응할 수 있다. 또, 상기 기능에 더하여, 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 것이어도 좋다.

[0256] 도 22e는 디지털카메라를 도시하는 도면이다. 상기 디지털카메라는 본체(2261), 제 1 표시부(2267), 접안부(2263), 조작 스위치(2264), 제 2 표시부(2265), 배터리(2266) 등에 의해 구성되어 있다.

[0257] 도 22f는 텔레비전 장치를 도시하는 도면이다. 텔레비전 장치(2270)에서는 케이스(2271)에 표시부(2273)가 내장되어 있다. 표시부(2273)에 의해, 영상을 표시하는 것이 가능하다. 또, 여기에서는 스탠드(2275)에 의해 케이스(2271)를 지지한 구성을 도시하고 있다.

[0258] 텔레비전 장치(2270)의 조작은 케이스(2271)가 구비하는 조작 스위치나, 별도의 리모트컨트롤러(2280)에 의해 행할 수 있다. 리모트컨트롤러(2280)가 구비하는 조작키(2279)에 의해, 채널이나 음량을 조작할 수 있고, 표시부(2273)에 표시되는 영상을 조작할 수 있다. 또, 리모트컨트롤러(2280)에 상기 리모트컨트롤러(2280)로부터 출력하는 정보를 표시하는 표시부(2277)를 설치하는 구성으로 하여도 좋다.

[0259] 또, 텔레비전 장치(2270)는 수신기나 모뎀 등을 구비한 구성으로 하는 것이 적합하다. 수신기에 의해, 일반 텔레비전 방송을 수신할 수 있다. 또, 모뎀을 통해서 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 1방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자간끼리 등)의 정보통신을 할 수 있다.

부호의 설명

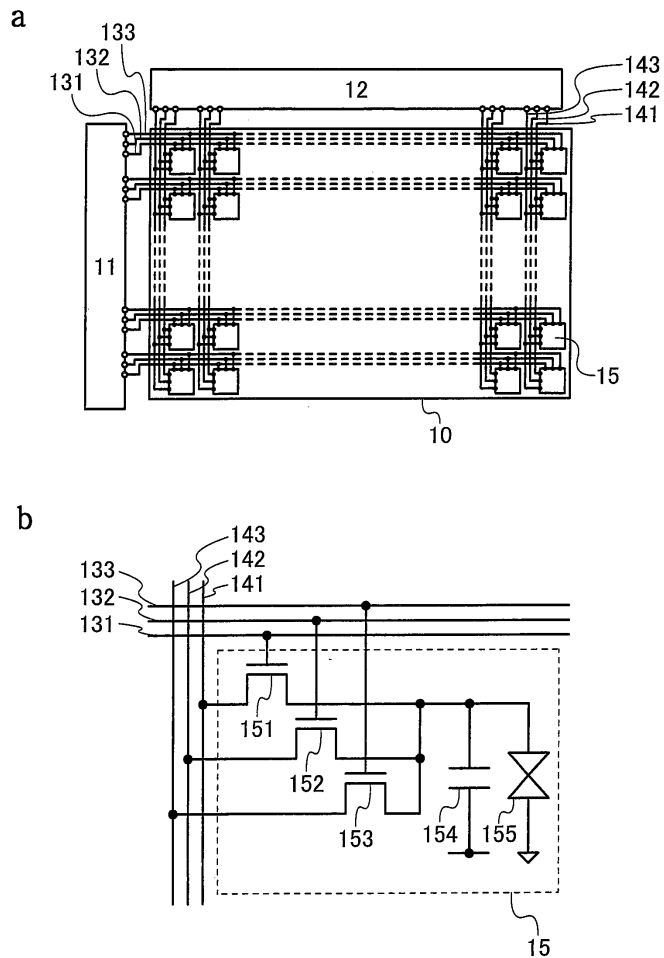
- [0260]
- | | |
|----------------|----------------|
| 10 : 화소부 | 11 : 주사선 구동 회로 |
| 12 : 신호선 구동 회로 | 15 : 화소 |
| 16 : 백라이트 유닛 | 30 : 화소부 |
| 31 : 주사선 구동 회로 | 32 : 신호선 구동 회로 |

33 : 주사선	111 : 시프트 레지스터
112 : 시프트 레지스터	113 : 시프트 레지스터
120 : 시프트 레지스터	121 : 트랜지스터
122 : 트랜지스터	123 : 트랜지스터
131 : 주사선	132 : 주사선
133 : 주사선	141 : 신호선
142 : 신호선	143 : 신호선
151 : 트랜지스터	152 : 트랜지스터
153 : 트랜지스터	154 : 용량소자
155 : 액정 소자	301 : 영역
302 : 영역	303 : 영역
311 : 시프트 레지스터	312 : 시프트 레지스터
313 : 시프트 레지스터	320 : 시프트 레지스터
321 : 트랜지스터	322 : 트랜지스터
323 : 트랜지스터	341 : 신호선
342 : 신호선	343 : 신호선
351 : 화소	352 : 화소
353 : 화소	601 : 기관
603 : 게이트층	605 : 게이트 절연층
607 : 미결정 반도체층	611 : 반도체층
611a : 미결정 반도체 영역	611b : 비정질 반도체 영역
613 : 불순물 반도체층	615 : 레지스트 마스크
617 : 반도체층	617a : 미결정 반도체 영역
617b : 비정질 반도체 영역	621 : 불순물 반도체층
627 : 도전층	629a : 배선
629b : 배선	631a : 불순물 반도체층
631b : 불순물 반도체층	633 : 반도체층
633a : 미결정 반도체 영역	633b : 비정질 반도체 영역
633c : 반도체 결정립	637 : 절연층
639 : 백 게이트층	643 : 반도체층
643a : 미결정 반도체 영역	643b : 비정질 반도체 영역
650 : 개구부	900 : 기관
901 : 기관	903 : 접촉제
904 : 단자	905 : 와이어
906 : 트랜지스터	907 : 패드
910 : 기관	911 : 기관

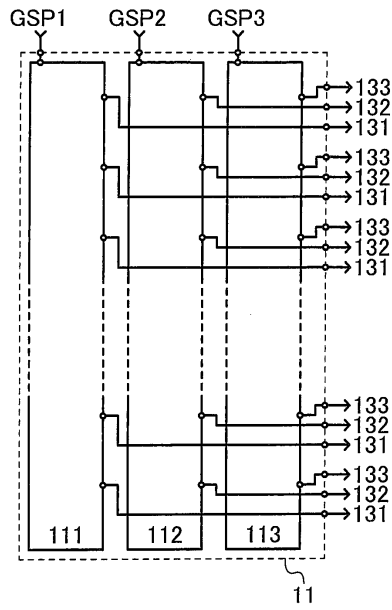
912 : 패드	913 : 솔더볼
914 : 트랜지스터	916 : 단자
920 : 기판	921 : 기판
922 : 패드	924 : 트랜지스터
926 : 단자	927 : 도전성 수지
1401 : 트랜지스터	1402 : 게이트층
1403 : 게이트 절연층	1404 : 반도체층
1405 : 도전막	1406 : 도전막
1407 : 절연층	1408 : 절연층
1410 : 화소 전극	1411 : 배향막
1413 : 대향 전극	1414 : 배향막
1415 : 액정	1416 : 셀재
1417 : 스페이서	1420 : 대향 기판

도면

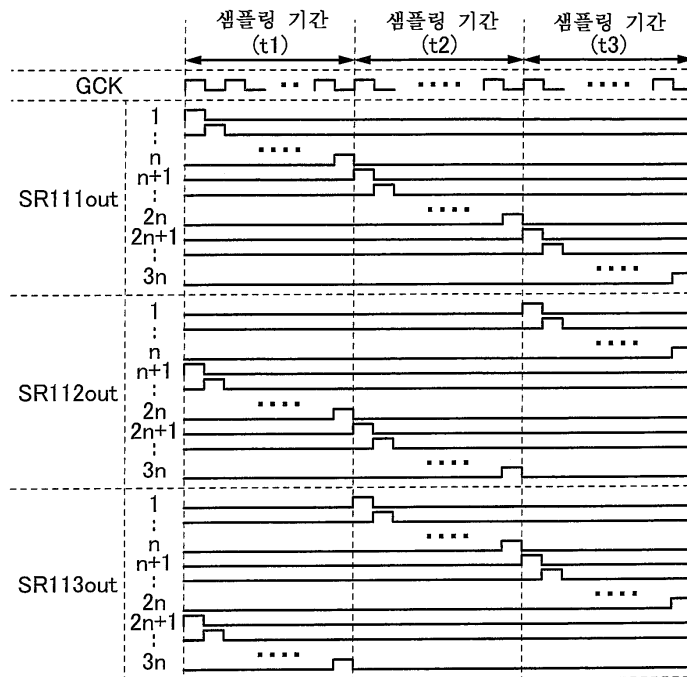
도면1



도면2

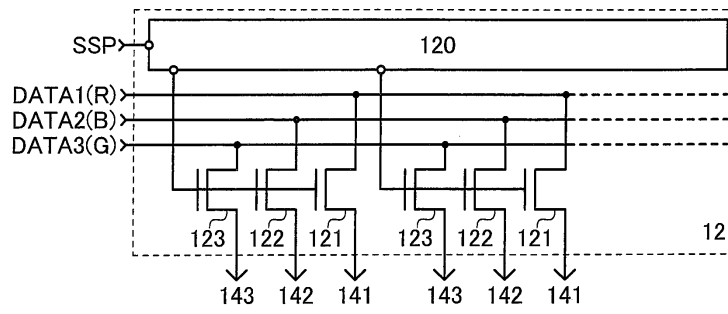


도면3

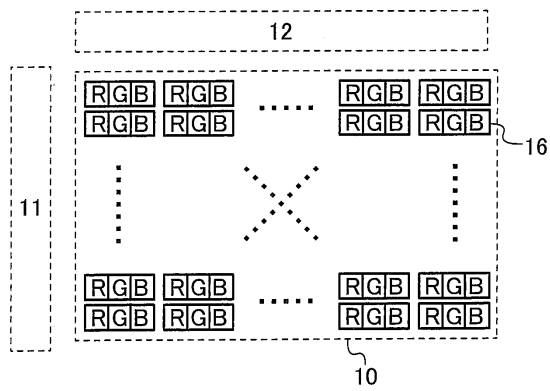


도면4

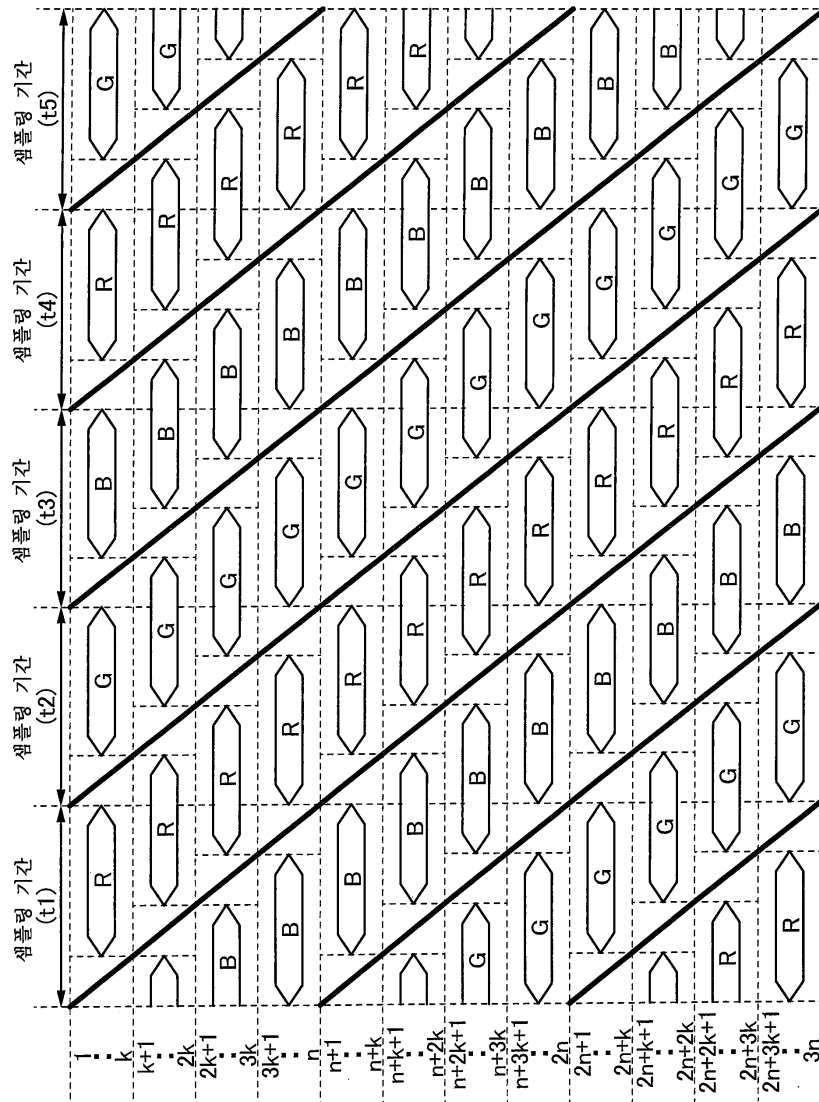
a



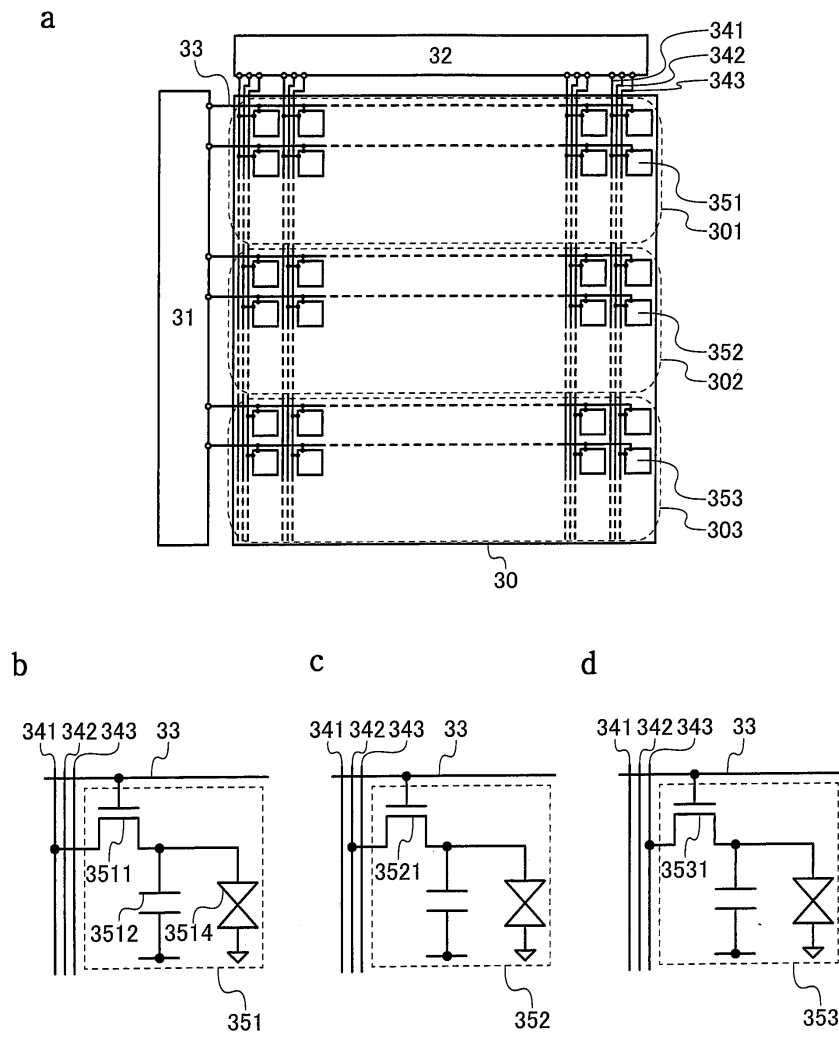
b



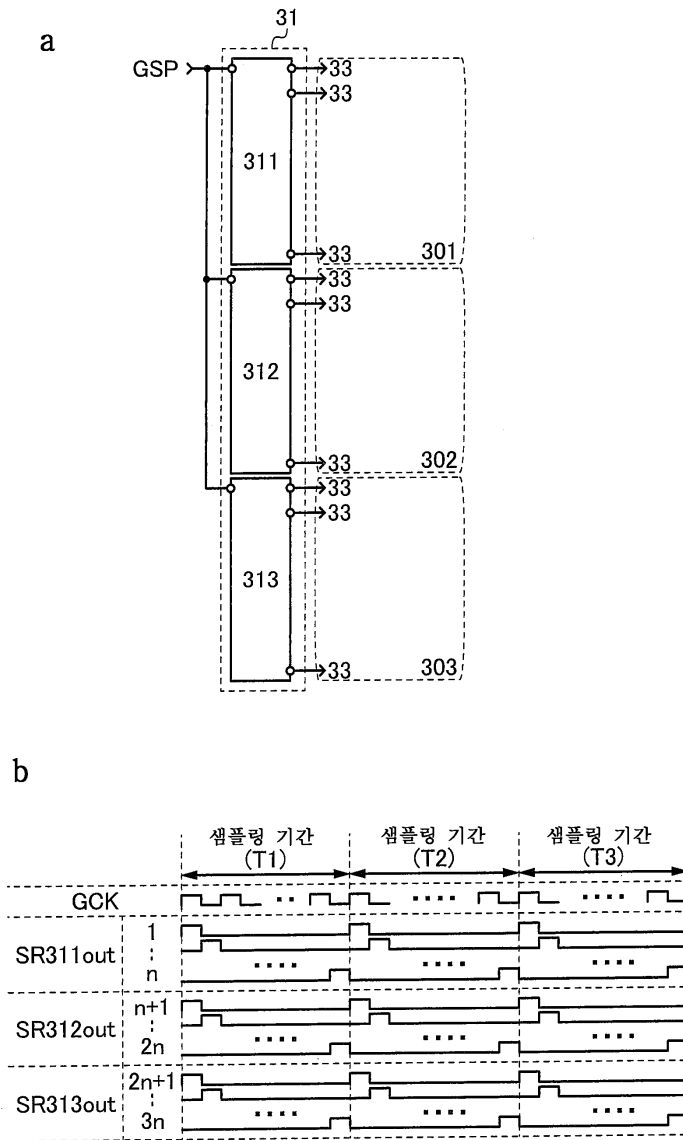
도면5



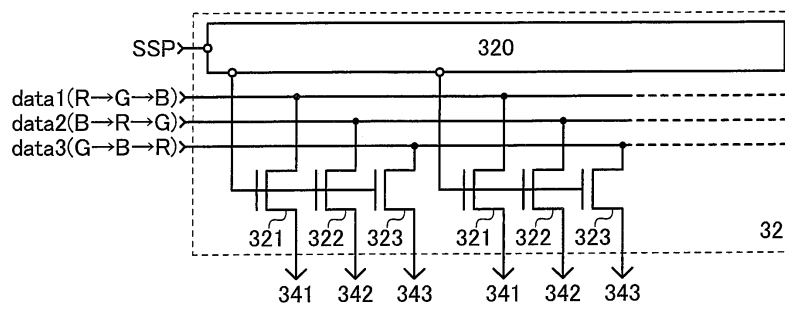
도면6



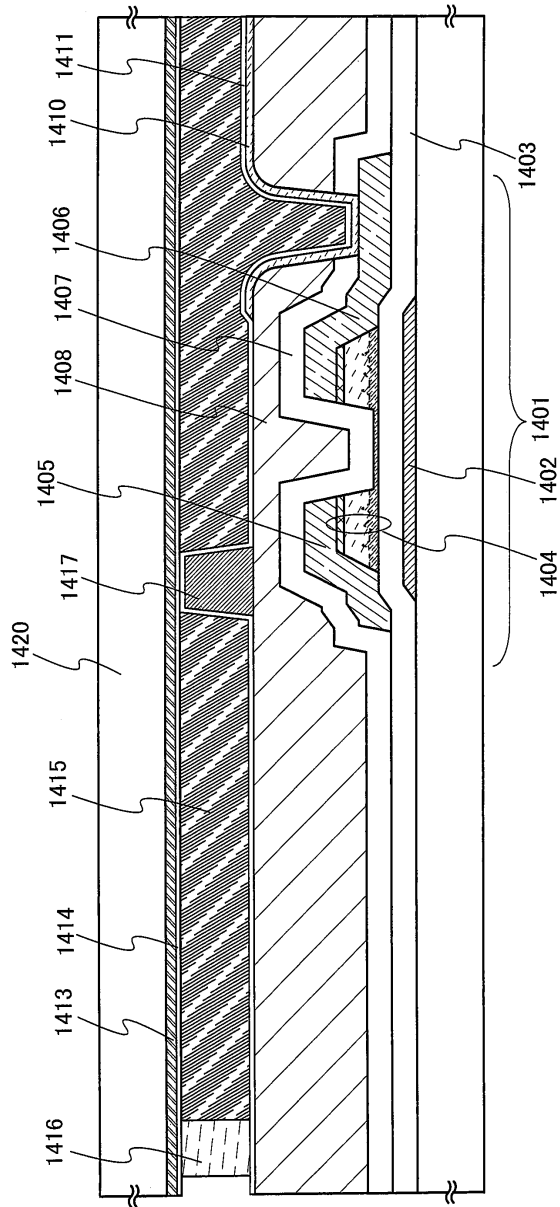
도면7



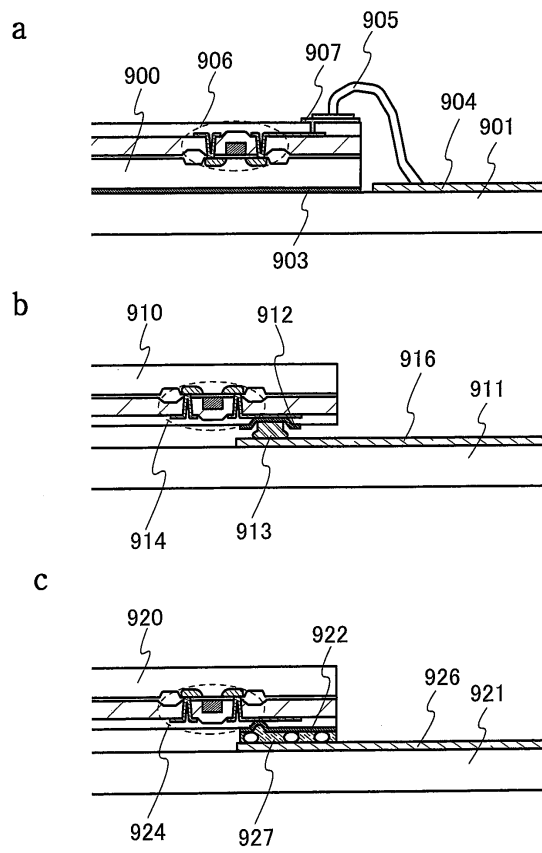
도면8



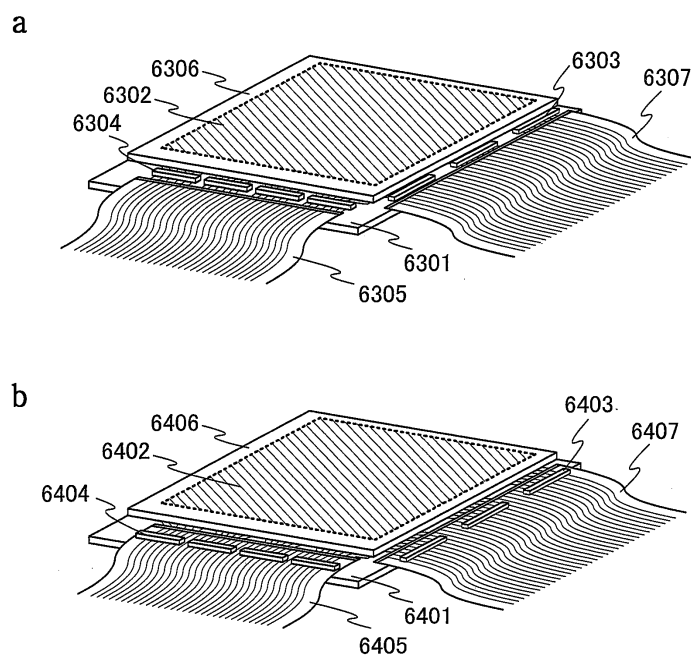
도면9



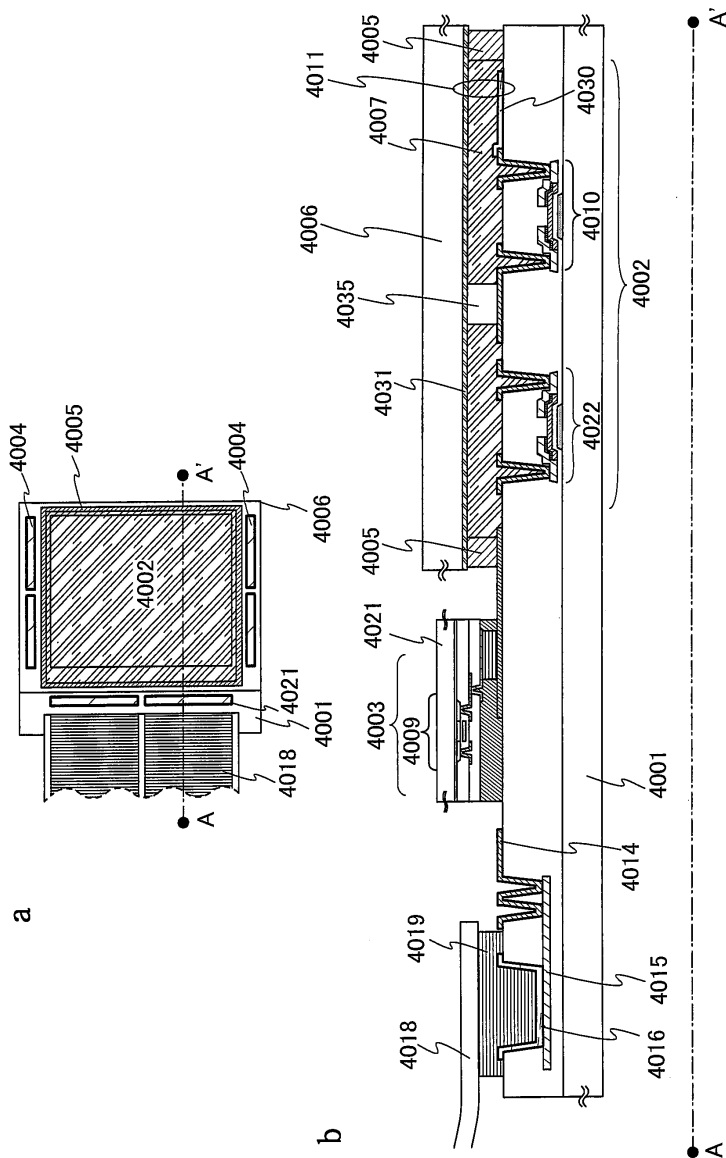
도면10



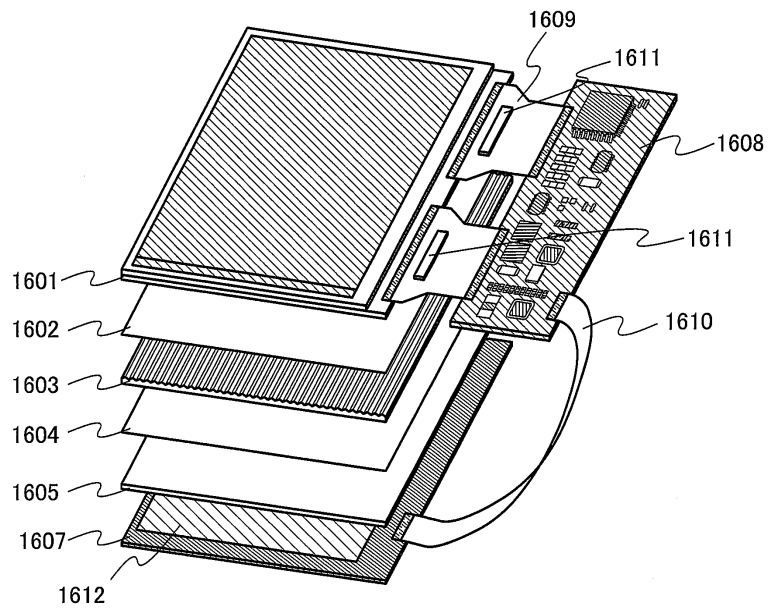
도면11



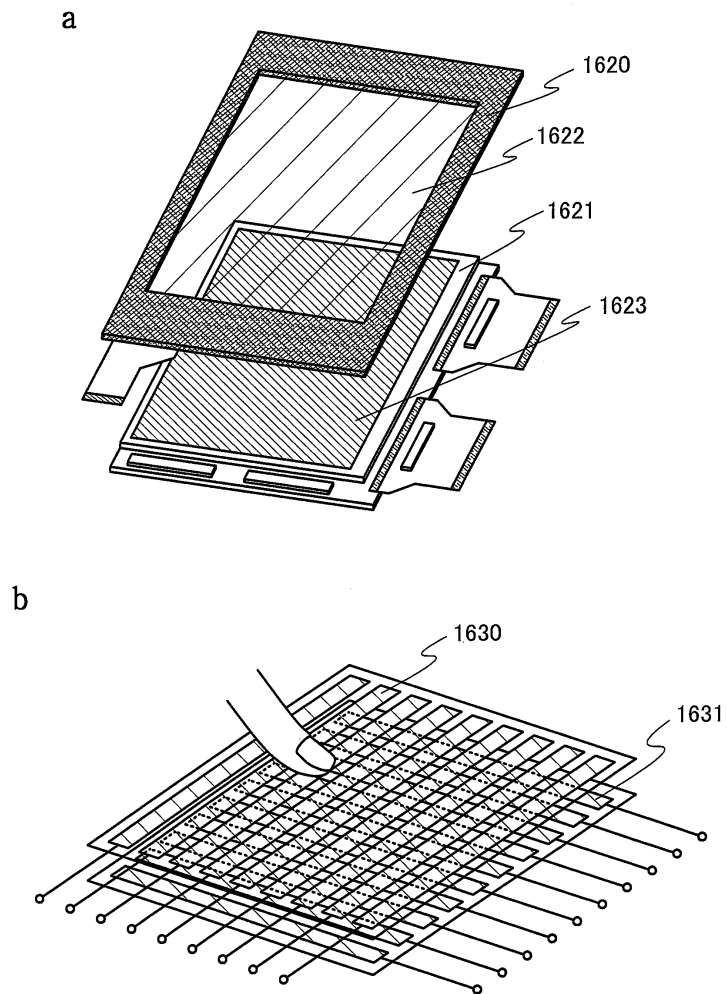
도면12



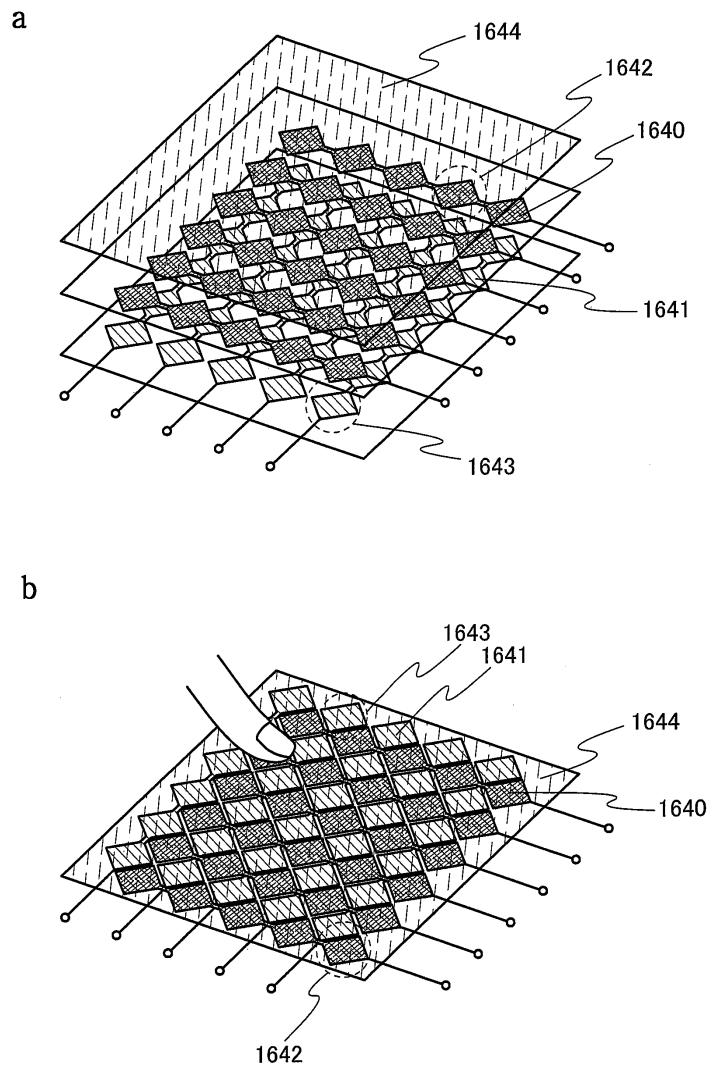
도면13



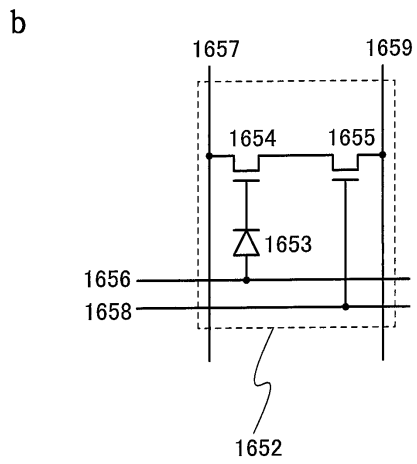
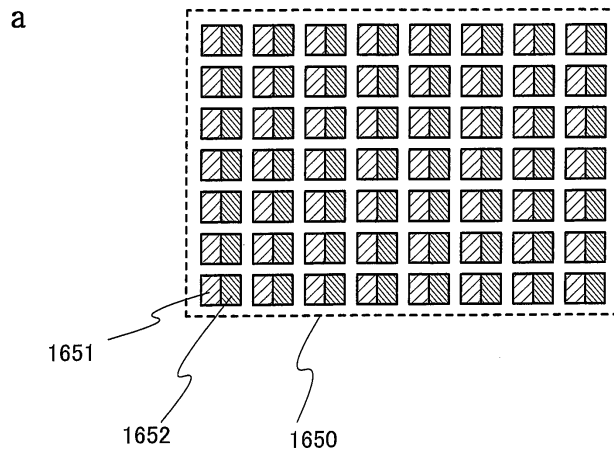
도면14



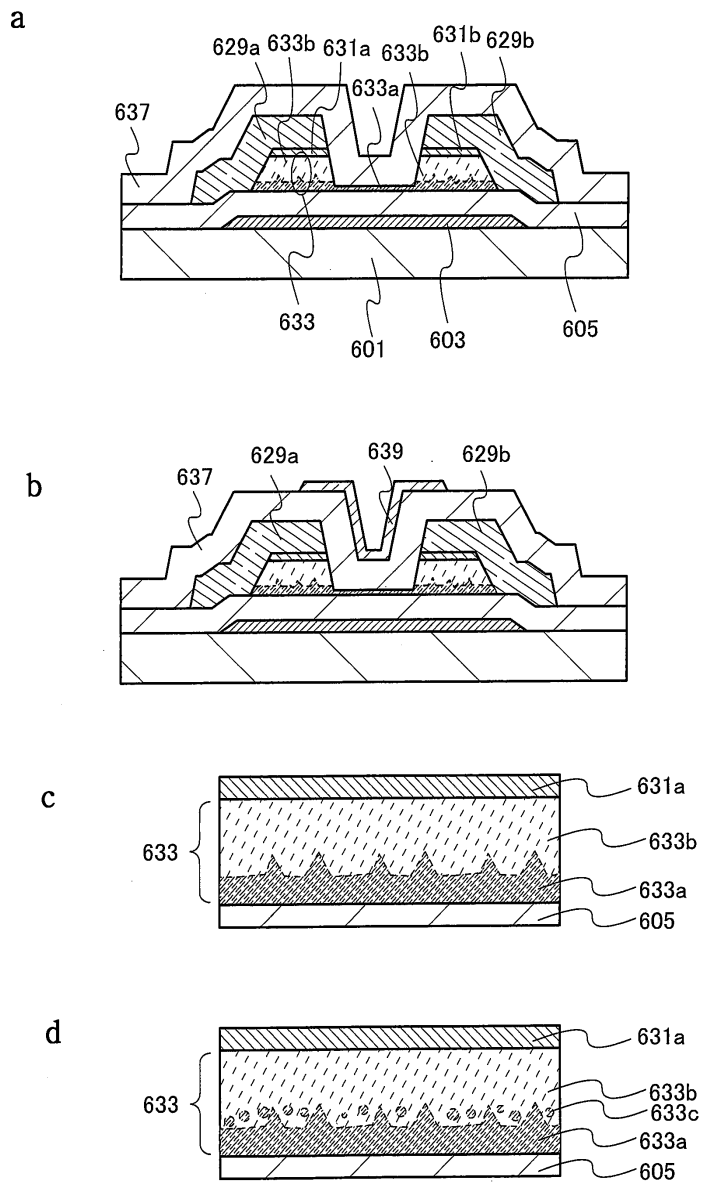
도면15



도면16

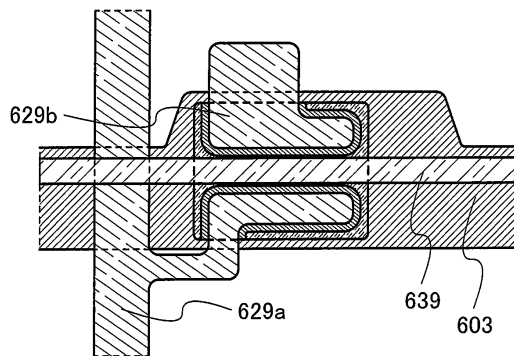


도면17

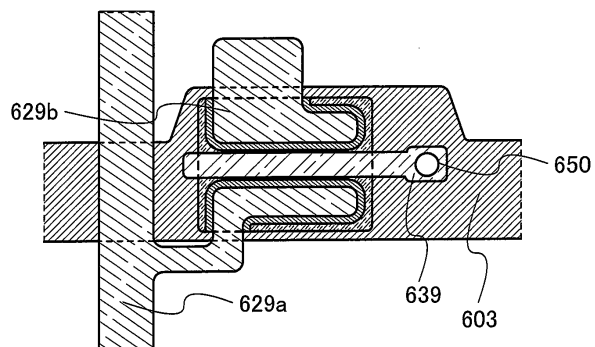


도면18

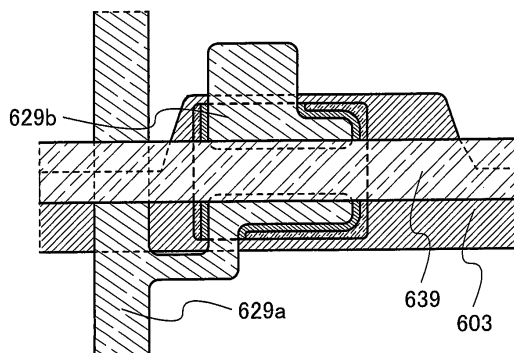
a



b

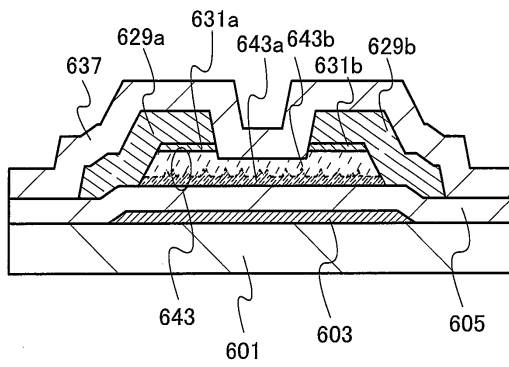


c

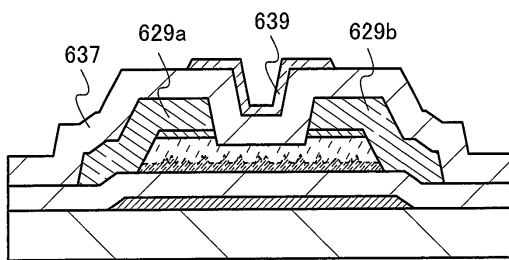


도면19

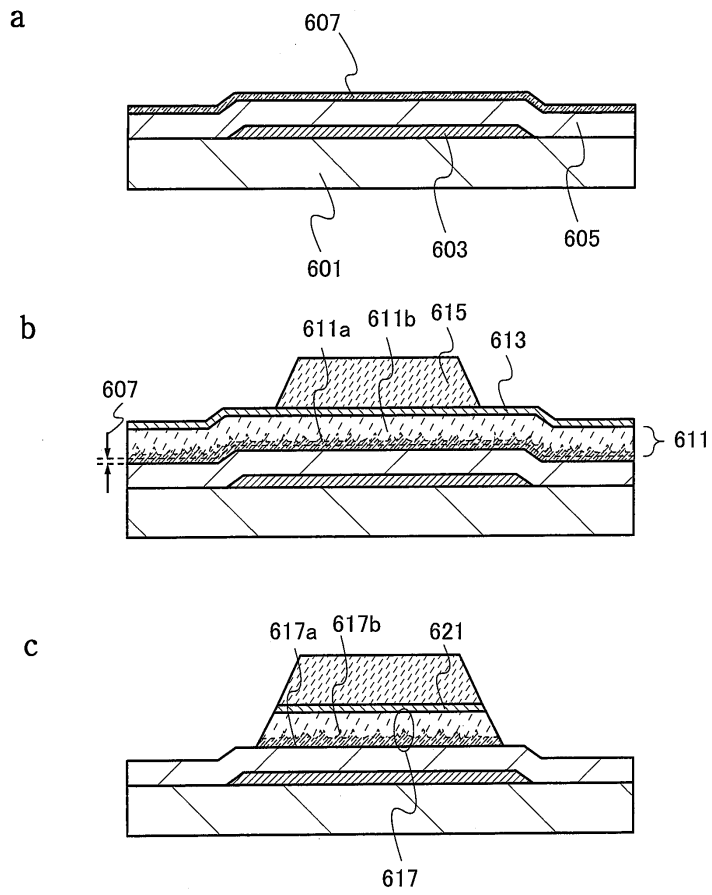
a



b

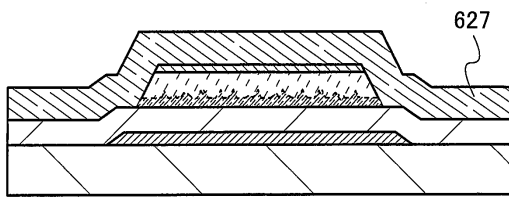


도면20

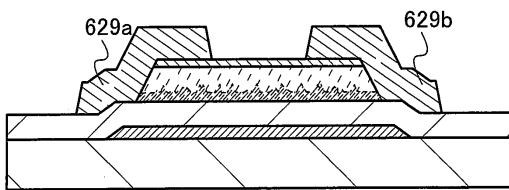


도면21

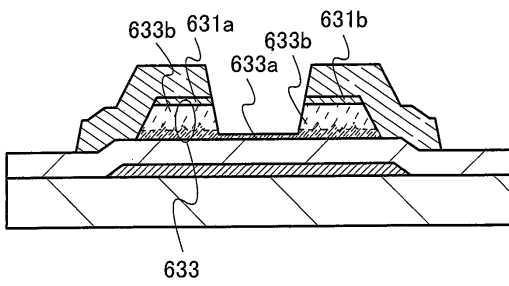
a



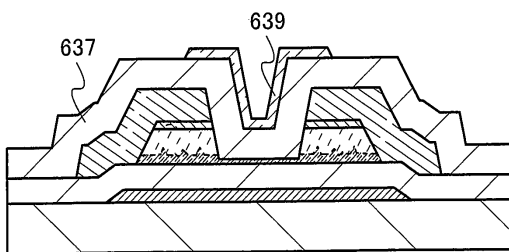
b



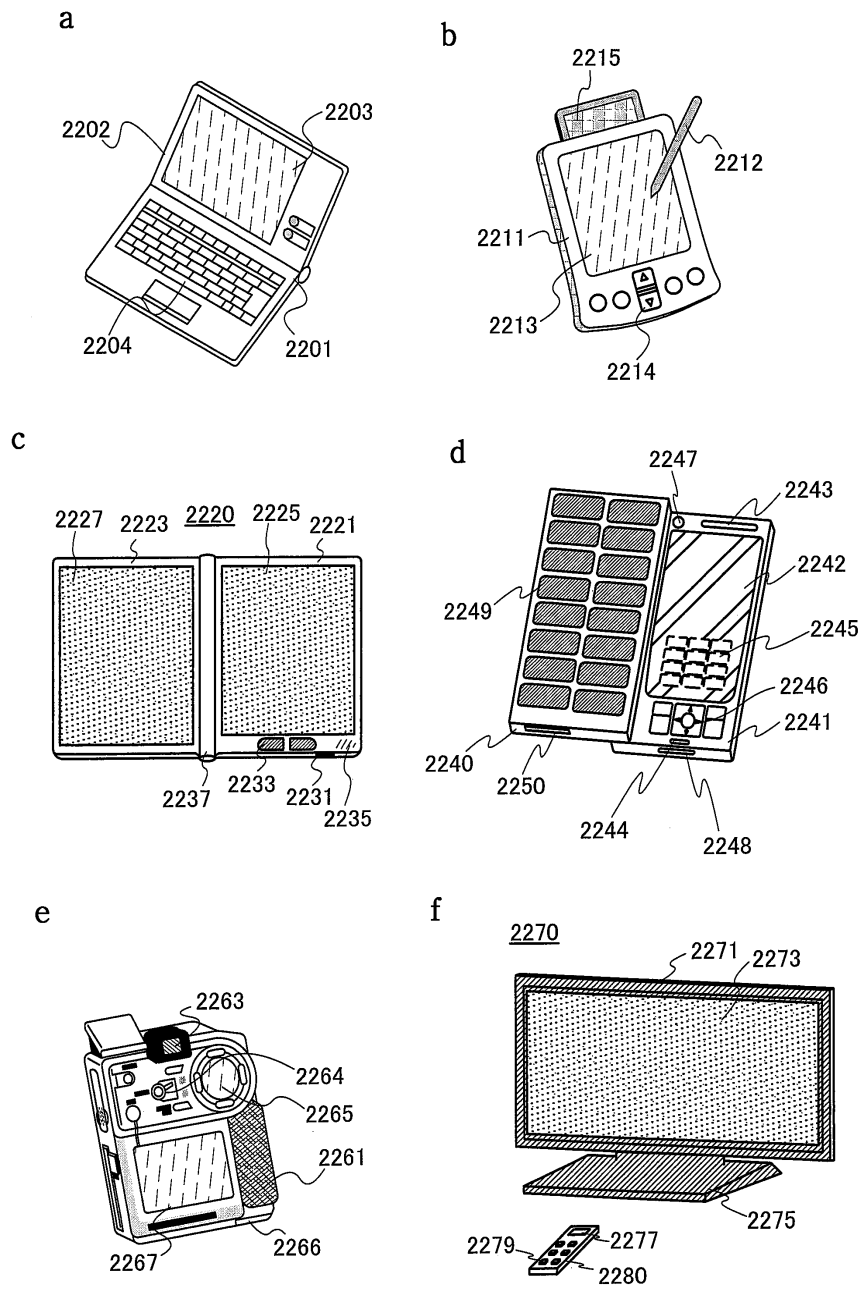
c



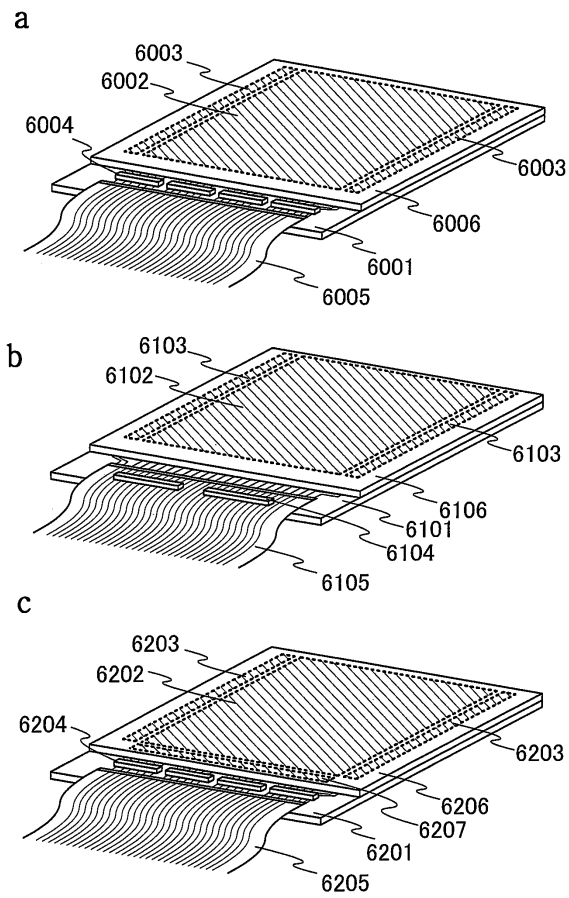
d



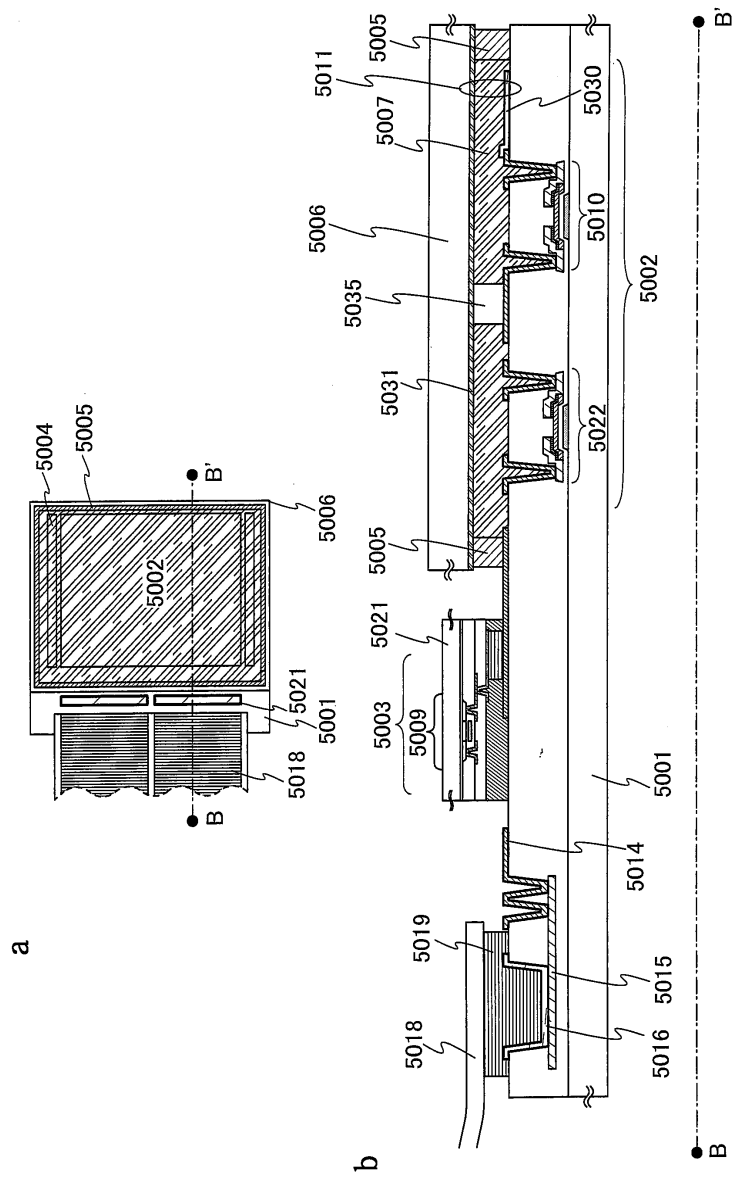
도면22



도면23



도면24



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020110113582A	公开(公告)日	2011-10-17
申请号	KR1020110032348	申请日	2011-04-07
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KOYAMA JUN 고야마준 MIYAKE HIROYUKI 미야케히로유키 YAMAZAKI SHUNPEI 야마자키순페이		
发明人	고야마준 미야케히로유키 야마자키순페이		
IPC分类号	G02F1/1368 G02F1/133 G09G3/36 H01L29/786		
CPC分类号	H01L27/1266 G09G2300/0814 G09G2310/0205 G02F1/136286 G02F1/1368 G02F2202/103 G09G2300/0443 H01L29/78696 G09G2310/0235 G09G3/342 G02F2202/104 H01L27/1214 G09G3/3659 G02F1/13454 G02F1/13624 G09G3/3677 H01L29/04 H01L27/124		
代理人(译)	李昌勋		
优先权	2010114429 2010-05-18 JP 2010090936 2010-04-09 JP 2010090934 2010-04-09 JP 2010114431 2010-05-18 JP		

摘要(译)

对于液晶显示器等用场顺序模式表示，从设计的角度来看，通过计划图像信号的输入频率的增加来完成。提供像素，布置在液晶显示器的像素之间的像素中，其中用所包括的晶体管控制图像信号的输入的像素作为矩阵类型被布置为矩阵类型作为多线同时，图像信号到沟道形成区域的非晶半导体或微晶半导体。据此，包括晶体管等的响应速度不会改变。在液晶显示器中，可以增加关于每个像素的图像信号的输入频率。

