



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0074035
(43) 공개일자 2011년06월30일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2009-0130879

(22) 출원일자 2009년12월24일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

이부열

경기도 고양시 일산서구 주엽2동 문촌마을1단지아파트 112동 1301호

안지영

경기도 고양시 일산구 일산3동 후곡마을10단지아파트 1009동 201호

유상희

경기도 파주시 금촌동 새꽃마을아파트 102동 1404호

(74) 대리인

특허법인네이트

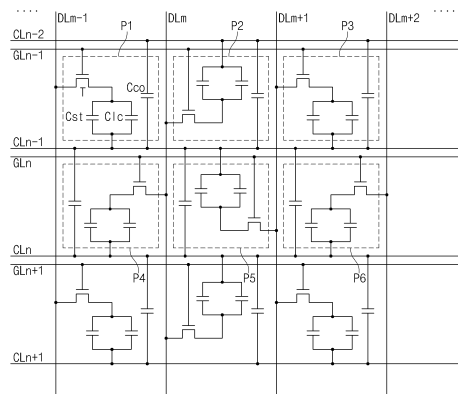
전체 청구항 수 : 총 10 항

(54) 액정표시장치 및 그 구동방법

(57) 요약

본 발명은, 제1기판과; 상기 제1기판 상부에 형성되며, 서로 교차하여 다수의 화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과; 상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 화소영역 각각에 형성되는 박막트랜지스터와; 상기 박막트랜지스터에 일 전극이 연결되는 스토리지 커패시터 및 액정 커패시터와; 상기 스토리지 커패시터 및 액정 커패시터의 타 전극과 연결되는 다수의 공통배선과; 상기 다수의 공통배선 중 인접한 2개의 공통배선 사이에 연결되는 보상 커패시터를 포함하는 액정표시장치를 제공한다.

대표도 - 도9



특허청구의 범위

청구항 1

제1기관과;

상기 제1기관 상부에 형성되며, 서로 교차하여 다수의 화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과;

상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 화소영역 각각에 형성되는 박막트랜지스터와;

상기 박막트랜지스터에 일 전극이 연결되는 스토리지 커패시터 및 액정 커패시터와;

상기 스토리지 커패시터 및 액정 커패시터의 타 전극과 연결되는 다수의 공통배선과;

상기 다수의 공통배선 중 인접한 2개의 공통배선 사이에 연결되는 보상 커패시터를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 다수의 공통배선 중 인접한 2개의 공통배선에는 서로 반대되는 극성의 공통전압이 프레임 별로 반전되어 인가되는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 다수의 공통배선은 상기 다수의 데이터 배선과 평행하게 이격되고, 상기 다수의 데이터 배선 중 인접한 2개의 데이터 배선에는 서로 반대되는 극성의 데이터 신호가 프레임 별로 반전되어 인가되는 액정표시장치.

청구항 4

제 2 항에 있어서,

상기 다수의 공통배선은 상기 다수의 게이트 배선과 평행하게 이격되는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 다수의 게이트 배선은 제(n-1) 및 제n게이트 배선을 포함하고, 상기 다수의 데이터 배선은 제(m-1), 제m, 제(m+1) 및 제(m+2)데이터 배선을 포함하고, 상기 다수의 공통배선은 제(n-2), 제(n-1) 및 제n공통배선을 포함하고, 상기 다수의 화소영역은 제1 내지 제6화소영역을 포함하고, 상기 제(n-1)게이트 배선에 대응되는 제1 내지 제3화소영역의 상기 박막트랜지스터는 각각 상기 제(m-1), 제m 및 제(m+1)데이터 배선에 연결되고, 상기 제n게이트 배선에 대응되는 제4 내지 제6화소영역의 상기 박막트랜지스터는 각각 상기 제m, 제(m+1) 및 제(m+2)데이터 배선에 연결되는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 제2화소영역의 상기 스토리지 커패시터 및 액정 커패시터는 각각 상기 제(n-2)공통배선에 연결되고, 상기 제1, 제3 및 제5화소영역의 상기 스토리지 커패시터 및 액정 커패시터는 각각 상기 제(n-1)공통배선에 연결되고, 상기 제4 및 제6화소영역의 상기 스토리지 커패시터 및 액정 커패시터는 각각 상기 제n공통배선에 연결되는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 다수의 데이터 배선 중 인접한 2개의 데이터 배선에는 서로 반대되는 극성의 데이터 신호가 프레임 별로 반전되어 인가되는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 공통전압의 반전 타이밍과 상기 데이터 신호의 반전 타이밍은 동기(synchronization)되는 액정표시장치.

청구항 9

서로 교차하여 다수의 화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과, 상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 화소영역 각각에 형성되는 박막트랜지스터와, 상기 박막트랜지스터에 일 전극이 연결되는 스토리지 커패시터 및 액정 커패시터와, 상기 스토리지 커패시터 및 액정 커패시터의 타 전극과 연결되는 다수의 공통배선과, 상기 다수의 공통배선 중 인접한 2개의 공통배선 사이에 연결되는 보상 커패시터를 포함하는 액정표시장치의 구동방법에 있어서,

상기 다수의 게이트 배선에 게이트 신호를 공급하여 상기 박막트랜지스터를 턴-온 시키는 단계와;

상기 다수의 데이터 배선에 데이터 신호를 공급하여 턴-온 된 상기 박막트랜지스터를 통하여 상기 스토리지 커패시터 및 상기 액정 커패시터의 일 전극에 화소전압을 인가하는 단계와;

상기 다수의 공통배선 중 인접한 2개의 공통배선에 서로 반대되는 극성의 공통전압을 인가하는 단계를 포함하는 액정표시장치의 구동방법.

청구항 10

제 9 항에 있어서,

상기 공통전압은 프레임 별로 반전되어 인가되는 액정표시장치의 구동방법.

명 세 서

발명의 상세한 설명

기술 분야

[0001]

본 발명은 액정표시장치에 관한 것으로, 특히 서로 다른 극성의 공통전압이 인가되는 인접 공통배선 사이에 커패시터 커패시터를 형성함으로써, 구동집적회로의 발열량 및 구동전압이 감소되고 개구율이 개선된 액정표시장치와 그 구동방법에 관한 것이다.

배 경 기 술

- [0002] 일반적으로 액정표시장치(liquid crystal display: LCD)는, 서로 마주보며 이격된 두 기관 사이에 액정층을 형성하고, 두 기관의 전극에 전압을 인가하여 생성되는 전기장에 의해 액정층의 액정 분자를 재배열함으로써, 달라지는 빛의 투과율에 의해 영상을 표현하는 장치이다.
- [0003] 특히, 이러한 액정표시장치 중에서, 서로 교차하는 게이트 배선 및 데이터 배선에 의하여 정의되는 화소가 매트릭스 형태로 배치되고, 각 화소에 스위칭 소자 및 화소전극이 형성되는 액티브 매트릭스 방식의 액정표시장치가 널리 사용되고 있다.
- [0004] 도 1은 종래의 액티브 매트릭스 방식의 액정표시장치의 일 화소영역을 도시한 도면이다.
- [0005] 도 1에 도시한 바와 같이, 종래의 액정표시장치의 일 화소영역(P)은 서로 교차하는 게이트 배선(GL) 및 데이터 배선(DL)에 의하여 정의된다.
- [0006] 그리고, 화소영역(P)에는, 게이트 배선(GL) 및 데이터 배선(DL)에 연결되는 박막트랜지스터(T)와, 박막트랜지스터(T)에 연결되는 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)가 형성된다.
- [0007] 구체적으로, 박막트랜지스터(T)의 게이트 전극(g)은 게이트 배선(GL)에 연결되고, 박막트랜지스터(T)의 소스 전극(s)은 데이터 배선(DL)에 연결되고, 박막트랜지스터(T)의 드레인 전극(d)은 액정 커패시터(Clc)의 일 전극인 화소전극(미도시)에 연결된다.
- [0008] 이러한 액정표시장치의 화소영역(P)의 동작을 살펴보면, 게이트 배선(GL) 및 데이터 배선(DL)에 게이트 신호 및 데이터 신호가 인가되고, 게이트 신호에 따라 박막트랜지스터(T)가 턴-온(turn-on) 되면, 데이터 신호가 박막트랜지스터(T)를 통하여 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)의 일 전극에 화소전압(Vp)으로 인가된다.
- [0009] 이때, 커패시터(Cst) 및 액정 커패시터(Clc)의 타 전극에는 공통전압(Vcom)이 인가되고, 화소전압(Vp) 및 공통전압(Vcom)에 의하여 생성된 전기장이 액정층(미도시)을 재배열하여 영상을 표시한다.
- [0010] 그리고, 전기장을 생성하여 액정층을 실질적으로 제어하는 화소전압(Vp) 및 공통전압(Vcom)의 차이를 실효전압(Vrms)으로 부르기도 한다.
- [0011] 그런데, 이러한 액정표시장치를 장시간 구동할 경우, 장시간 인가된 동일한 전기장에 의하여 액정층의 광 특성이 저하되거나, 화소전극 및 공통전극에 인접한 액정층에 양의 전하 또는 음의 전하가 축적되어 액정커패시터(Clc)가 열화 되고 잔상과 같은 화질 저하를 유발하기도 한다.
- [0012] 따라서, 이러한 액정커패시터(Clc)의 열화 및 화질 저하를 방지하고, 구동집적회로의 과도한 발열을 감소시키기 위하여, 화소전극에 인가되는 데이터 신호의 극성(polarity)을 일정주기마다 반전시켜줌으로써, 액정층에 축적되는 전하가 중화되도록 하는 반전(inversion)구동 방식이 제안되었다.
- [0013] 반전구동 방식에는 프레임(frame) 반전, 수직라인(vertical line) 반전, 수평라인(horizontal line) 반전 및 도트(dot) 반전 등이 있는데, 수직라인 반전, 수평라인 반전 및 도트 반전은 프레임 반전과 조합하여 적용할 수 있다.
- [0014] 또한, 반전구동 시 구동전압이 증가하는 것을 방지하기 위하여, 공통전압이 화소전압과 반대로 변동하도록 하는 공통전압 스윙(swing) 방식을 병행할 수도 있다.
- [0015] 그런데, 액정표시장치는 커플링(coupling) 된 다수의 커패시터를 포함하는 것으로 볼 수 있으며, 다수의 커패시터의 일 전극의 전압 변동은 서로 영향을 미치게 된다.
- [0016] 예를 들어, 박막트랜지스터(T)의 소스 전극(s) 및 드레인 전극(d) 사이의 커패시터, 박막트랜지스터의 게이트 전극(g) 및 드레인 전극(d) 사이의 커패시터 등이 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)와 커플링되어, 화소전압(Vp) 및 공통전압(Vcom)의 변동이 서로 영향을 끼치게 된다.
- [0017] 이러한 다수의 커패시터의 커플링에 의하여 액정패널의 상하부 휘도차, 수평 크로스토크(crosstalk) 및 수직 크로스토크 등의 불량이 발생하는데, 이를 도면을 참조하여 설명한다.
- [0018] 도 2a는 종래의 프레임 반전 방식 액정표시장치의 화소영역의 화소전압의 극성을 도시한 도면이고, 도 2b는 종래의 프레임 반전 방식 액정표시장치의 크로스토크 테스트 패턴을 도시한 도면이고, 도 2c는 도 2b의 A, B라인

의 화소전압, 공통라인 및 실효전압을 도시한 도면이다.

- [0019] 도 2a에 도시한 바와 같이, 프레임 반전 방식의 액정표시장치에서는, 제 n 프레임 동안 모든 화소영역에는 정극성(+)의 화소전압(V_p)이 인가되고, 제($n+1$)프레임 동안 모든 화소영역에는 부극성(-)의 화소전압(V_p)이 인가된다.
- [0020] 이러한 액정표시장치가 도 2b의 중앙부의 블랙과 가장자리부의 그레이의 크로스토크 테스트 패턴을 표시할 경우, 도 2c에 도시한 바와 같이, 크로스토크 테스트 패턴의 중앙부를 통과하는 A 라인의 화소전압(V_p)의 변동에 따라 B 라인의 화소전압(V_p) 및 공통전압(V_{com})이 변동되고, 그에 따라 화소전압(V_p)과 공통전압(V_{com})의 차이로 정의되는 B 라인의 실효전압(V_{rms}) 역시 변동된다.
- [0021] 즉, 블랙을 표시하는 중앙부의 윈도우가 시작되는 지점으로부터 수평으로 연장된 B 라인의 지점은 상대적으로 낮은 실효전압(V_{rms})을 가져서 화이트를 표시하고, 블랙을 표시하는 중앙부의 윈도우가 끝나는 지점으로부터 수평으로 연장된 B 라인의 지점은 상대적으로 높은 실효전압(V_{rms})을 가져서 블랙을 표시한다.
- [0022] 따라서, 프레임 반전 방식의 액정표시장치에서는 윈도우가 시작되는 지점 및 윈도우가 끝나는 지점으로부터 수평 크로스토크가 발생한다.
- [0023] 중앙부의 화이트와 가장자리부의 그레이의 크로스토크 테스트패턴의 경우에는, 이와 반대현상이 발생한다.
- [0024] 도 3a는 종래의 수직라인 반전 방식 액정표시장치의 화소영역의 화소전압의 극성을 도시한 도면이고, 도 3b는 종래의 수직라인 반전 방식 액정표시장치의 크로스토크 테스트 패턴을 도시한 도면이고, 도 3c는 도 3b의 A, B 라인의 화소전압, 공통라인 및 실효전압을 도시한 도면이다.
- [0025] 도 3a에 도시한 바와 같이, 수직라인 반전 방식의 액정표시장치에서는, 화소영역의 수직열에 동일한 극성이 인가되고, 정극성(+)의 화소전압(V_p)이 인가된 수직열과 부극성(-)의 화소전압(V_p)이 인가된 수직열이 번갈아 배치되며, 제 n 프레임의 화소영역의 극성과 제($n+1$)프레임의 화소영역의 극성은 서로 반대가 된다.
- [0026] 이러한 액정표시장치가 도 3b의 중앙부의 블랙과 가장자리부의 그레이의 크로스토크 테스트 패턴을 표시할 경우, 도 3c에 도시한 바와 같이, 크로스토크 테스트 패턴의 중앙부를 통과하는 A 라인의 화소전압(V_p)의 변동에 따라 B 라인의 화소전압(V_p)이 변동된다.
- [0027] 이때, 하나의 게이트 배선에 연결된 박막트랜지스터(T)가 턴-온 되었을 때, 화소영역의 수평열에 인가되는 데이터 신호는 정극성(+) 및 부극성(-)을 가지므로, 서로 상쇄되어 공통전압(V_{com})을 변동시키지는 않는다.
- [0028] 따라서, 화소전압(V_p)의 변동에 의하여 B 라인의 실효전압(V_{rms})이 변동되고, 블랙을 표시하는 중앙부의 윈도우가 끝나는 지점으로부터 수평으로 연장된 B 라인은 상대적으로 높은 실효전압(V_{rms})을 가져서 블랙을 표시한다.
- [0029] 그러므로, 수직라인 반전 방식의 액정표시장치에서는 윈도우가 끝나는 지점으로부터 수평 크로스토크가 발생한다.
- [0030] 도 4a는 종래의 수평라인 반전 방식 액정표시장치의 화소영역의 화소전압의 극성을 도시한 도면이고, 도 4b는 종래의 수평라인 반전 방식 액정표시장치의 크로스토크 테스트 패턴을 도시한 도면이고, 도 4c는 도 4b의 A, B 라인의 화소전압, 공통라인 및 실효전압을 도시한 도면이다.
- [0031] 도 4a에 도시한 바와 같이, 수평라인 반전 방식의 액정표시장치에서는, 화소영역의 수평열에 동일한 극성이 인가되고, 정극성(+)의 화소전압(V_p)이 인가된 수평열과 부극성(-)의 화소전압(V_p)이 인가된 수평열이 번갈아 배치되며, 제 n 프레임의 화소영역의 극성과 제($n+1$)프레임의 화소영역의 극성은 서로 반대가 된다.
- [0032] 이러한 액정표시장치가 도 4b의 중앙부의 블랙과 가장자리부의 그레이의 크로스토크 테스트 패턴을 표시할 경우, 도 4c에 도시한 바와 같이, 크로스토크 테스트 패턴의 중앙부를 통과하는 A 라인의 화소전압(V_p)의 변동에 따라 B 라인의 화소전압(V_p) 및 공통전압(V_{com})이 변동된다.
- [0033] 이때, 화소영역의 수직열에 인가되는 데이터 신호의 극성이 지속적으로 바뀌므로, 블랙을 표시하는 중앙부의 윈도우가 시작되는 지점으로부터 끝나는 지점까지 전 구간에서 B 라인의 지점은 상대적으로 낮은 실효전압(V_{rms})을 가져서 화이트를 표시한다.
- [0034] 또한, 중앙부의 윈도우 좌우의 크로스토크 정도가 상이하며, 일반적으로 윈도우의 오른쪽 영역이 왼쪽 영역보다

심한데, 그것은 게이트 배선에서의 지연(delay)에 기인한다고 알려져 있다.

- [0035] 도 5a는 종래의 도트 반전 방식 액정표시장치의 화소영역의 화소전압의 극성을 도시한 도면이고, 도 5b는 종래의 도트 반전 방식 액정표시장치의 크로스토크 테스트 패턴을 도시한 도면이고, 도 5c는 도 5b의 A, B라인의 화소전압, 공통라인 및 실효전압을 도시한 도면이다.
- [0036] 도 5a에 도시한 바와 같이, 도트 반전 방식의 액정표시장치에서는, 인접한 화소영역에 반대극성의 화소전압(V_p)이 인가되고, 제 n 프레임의 화소영역의 극성과 제 $(n+1)$ 프레임의 화소영역의 극성은 서로 반대가 된다.
- [0037] 이러한 액정표시장치가 도 5b의 중앙부의 블랙과 가장자리부의 그레이의 크로스토크 테스트 패턴을 표시할 경우, 도 5c에 도시한 바와 같이, 크로스토크 테스트 패턴의 중앙부를 통과하는 A 라인의 화소전압(V_p)의 변동에 따라 B 라인의 화소전압(V_p)이 변동된다.
- [0038] 이때, 하나의 게이트 배선에 연결된 박막트랜지스터(T)가 턴-온 되었을 때, 화소영역의 수평열에 인가되는 데이터 신호는 정극성(+) 및 부극성(-)을 가지므로, 서로 상쇄되어 공통전압(V_{com})을 변동시키지는 않는다.
- [0039] 따라서, 화소전압(V_p)의 변동에 의하여 B 라인의 실효전압(V_{rms})이 변동되고, 블랙을 표시하는 중앙부의 윈도우가 끝나는 지점으로부터 수평으로 연장된 B 라인은 상대적으로 낮은 실효전압(V_{rms})을 가져서 화이트를 표시한다.
- [0040] 그러므로, 도트 반전 방식의 액정표시장치에서는 윈도우가 끝나는 지점으로부터 수평 크로스토크가 발생한다.
- [0041] 도 6a는 종래의 프레임 반전 및 수직라인 반전 방식 액정표시장치의 크로스토크 테스트 패턴을 도시한 도면이고, 도 6b는 도 6a의 C, D, E 영역에서의 화소전압을 도시한 도면이다.
- [0042] 도 6a에 도시한 바와 같이, 프레임 반전 및 수직라인 반전 방식 액정표시장치에서는 수직 크로스토크가 발생하는데, 이는 박막트랜지스터(T)가 턴-오프 된 후의 소스 전극 및 드레인 전극 사이의 커패시터의 영향이나 박막트랜지스터(T)의 누설전류의 영향인 것으로 알려져 있다.
- [0043] 즉, 소스 전극에 연결된 데이터 배선의 데이터 신호와 화소전극의 화소전압(V_p) 사이의 커플링 커패시터가 실효전압(V_{rms})에 영향을 미치는 것으로 설명할 수 있는데, C 영역의 화소전압은 중앙부의 윈도우인 D 영역의 화소전압과 동일한 극성을 갖지만, E 영역의 화소전압은 D 영역의 화소전압과 반대 극성을 가지므로, C 영역은 인접한 가장자리부보다 낮은 휘도를 나타내고 E 영역은 인접한 가장자리부보다 높은 휘도를 나타낸다.
- [0044] 그러므로, 프레임 반전 및 수직라인 반전 방식의 액정표시장치는 수직 크로스토크가 발생한다.
- [0045] 이와 같이, 종래의 액정표시장치에서는 구동집적회로의 발열량 및 구동전압을 감소시키고 개구율을 개선하기 위하여 반전 방식이나 공통전압 스윙 방식이 적용되는데, 반전 방식 및 공통전압 스윙에 따라 액정표시장치의 다수의 커패시터 사이에 다양한 형태의 커플링이 발생하고, 그 결과 액정표시장치 상하부 휘도편차, 수평 크로스토크 및 수직 크로스토크 현상이 발생하여 화질이 저하되는 문제가 있다.

발명의 내용

해결 하고자하는 과제

- [0046] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 다수의 공통배선에 서로 상이한 극성의 공통전압을 스윙 방식으로 인가하고, 상이한 극성의 공통전압이 인가되는 인접한 공통배선 사이에 보상커패시터를 형성하여 다른 극성의 공통전압의 변동이 서로 상쇄되도록 함으로써, 상하부 휘도편차, 수평 크로스토크 및 수직 크로스토크 등의 화질 불량이 개선된 액정표시장치 및 그 구동방법을 제공하는 것을 목적으로 한다.

과제 해결수단

- [0047] 전술한 바와 같은 목적을 달성하기 위하여, 본 발명은, 제1기판과; 상기 제1기판 상부에 형성되며, 서로 교차하여 다수의 화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과; 상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 화소영역 각각에 형성되는 박막트랜지스터와; 상기 박막트랜지스터에 일 전극이 연결되는 스토리지 커패시터 및 액정 커패시터와; 상기 스토리지 커패시터 및 액정 커패시터의 타 전극과 연결되는 다수의 공통배선과; 상기 다수의 공통배선 중 인접한 2개의 공통배선 사이에 연결되는 보상 커패시터를 포함하는 액정표시장치를 제공한다.
- [0048] 여기서, 상기 다수의 공통배선 중 인접한 2개의 공통배선에는 서로 반대되는 극성의 공통전압이 프레임 별로 반전되어 인가될 수 있다.
- [0049] 그리고, 상기 다수의 공통배선은 상기 다수의 데이터 배선과 평행하게 이격되고, 상기 다수의 데이터 배선 중 인접한 2개의 데이터 배선에는 서로 반대되는 극성의 데이터 신호가 프레임 별로 반전되어 인가될 수 있다.
- [0050] 또한, 상기 다수의 공통배선은 상기 다수의 게이트 배선과 평행하게 이격될 수 있다.
- [0051] 그리고, 상기 다수의 게이트 배선은 제(n-1) 및 제n게이트 배선을 포함하고, 상기 다수의 데이터 배선은 제(m-1), 제m, 제(m+1) 및 제(m+2)데이터 배선을 포함하고, 상기 다수의 공통배선은 제(n-2), 제(n-1) 및 제n공통배선을 포함하고, 상기 다수의 화소영역은 제1 내지 제6화소영역을 포함하고, 상기 제(n-1)게이트 배선에 대응되는 제1 내지 제3화소영역의 상기 박막트랜지스터는 각각 상기 제(m-1), 제m 및 제(m+1)데이터 배선에 연결되고, 상기 제n게이트 배선에 대응되는 제4 내지 제6화소영역의 상기 박막트랜지스터는 각각 상기 제m, 제(m+1) 및 제(m+2)데이터 배선에 연결될 수 있다.
- [0052] 또한, 상기 제2화소영역의 상기 스토리지 커패시터 및 액정 커패시터는 각각 상기 제(n-2)공통배선에 연결되고, 상기 제1, 제3 및 제5화소영역의 상기 스토리지 커패시터 및 액정 커패시터는 각각 상기 제(n-1)공통배선에 연결되고, 상기 제4 및 제6화소영역의 상기 스토리지 커패시터 및 액정 커패시터는 각각 상기 제n공통배선에 연결될 수 있다.
- [0053] 그리고, 상기 다수의 데이터 배선 중 인접한 2개의 데이터 배선에는 서로 반대되는 극성의 데이터 신호가 프레임 별로 반전되어 인가될 수 있다.
- [0054] 또한, 상기 공통전압의 반전 타이밍과 상기 데이터 신호의 반전 타이밍은 동기(synchronization) 될 수 있다.
- [0055] 한편, 본 발명은, 서로 교차하여 다수의 화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과, 상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 화소영역 각각에 형성되는 박막트랜지스터와, 상기 박막트랜지스터에 일 전극이 연결되는 스토리지 커패시터 및 액정 커패시터와, 상기 스토리지 커패시터 및 액정 커패시터의 타 전극과 연결되는 다수의 공통배선과, 상기 다수의 공통배선 중 인접한 2개의 공통배선 사이에 연결되는 보상 커패시터를 포함하는 액정표시장치의 구동방법에 있어서, 상기 다수의 게이트 배선에 게이트 신호를 공급하여 상기 박막트랜지스터를 턴-온 시키는 단계와; 상기 다수의 데이터 배선에 데이터 신호를 공급하여 턴-온 된 상기 박막트랜지스터를 통하여 상기 스토리지 커패시터 및 상기 액정 커패시터의 일 전극에 화소전압을 인가하는 단계와; 상기 다수의 공통배선 중 인접한 2개의 공통배선에 서로 반대되는 극성의 공통전압을 인가하는 단계를 포함하는 액정표시장치의 구동방법을 제공한다.
- [0056] 여기서, 상기 공통전압은 프레임 별로 반전되어 인가될 수 있다.

효 과

- [0057] 위에 상술한 바와 같이, 본 발명에 따른 액정표시장치에서는, 액정표시장치에 상이한 극성의 공통전압을 번갈아 인가되는 다수의 공통배선을 형성함으로써, 화소영역의 수직열 또는 수평열 별로 데이터 신호의 프레임에 맞게 공통전압을 인가할 수 있다.
- [0058] 그리고, 상이한 극성의 공통전압이 인가되는 공통배선 사이에 보상 커패시턴스를 형성함으로써, 공통전압의 변동을 상쇄시킬 수 있다.
- [0059] 따라서, 액정표시장치의 상하부 휘도편차, 수평 크로스토크 및 수직 크로스토크 등의 화질 저하를 개선할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0060] 이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.
- [0061] 도 7은 본 발명의 제1실시예에 따른 액정표시장치를 도시한 도면이다.
- [0062] 도시하지는 않았지만, 액정표시장치는 서로 마주보는 제1 및 제2기판과, 제1 및 제2기판 사이에 형성된 액정층을 포함한다.
- [0063] 도 7에 도시한 바와 같이, 본 발명의 제1실시예에 따른 액정표시장치의 제1기판에는, 서로 교차하여 다수의 화소영역(P1 내지 P6)을 정의하는 다수의 게이트 배선(GL_n-1 , GL_n , GL_n+1)과 다수의 데이터 배선(DL_m-1 , DL_m , DL_m+1)과, 다수의 데이터 배선(DL_m-1 , DL_m , DL_m+1)과 평행하게 이격되는 다수의 공통배선(CL_m-1 , CL_m , CL_m+1)이 형성된다.
- [0064] 각 화소영역(P1 내지 P6)에는, 게이트 배선(GL_n-1 , GL_n , GL_n+1) 및 데이터 배선(DL_m-1 , DL_m , DL_m+1)에 연결되는 박막트랜지스터(T)와, 박막트랜지스터(T)에 일 전극이 연결되는 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)가 형성되고, 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)의 타 전극은 공통배선(CL_m-1 , CL_m , CL_m+1)에 연결된다.
- [0065] 그리고, 각 화소영역(P1 내지 P6)에는 인접한 공통배선 사이에 연결되는 보상 커패시터(Cco)가 형성된다.
- [0066] 즉, 보상 커패시터(Cco)는 제(m-1) 및 제m공통배선(CL_m-1 , CL_m) 사이의 각 화소영역(P2, P5)과, 제m 및 제(m+1)공통배선(CL_m , CL_m+1) 사이의 각 화소영역(P3, P6)에 형성된다.
- [0067] 이러한 본 발명의 제1실시예에 따른 액정표시장치는 수직라인 반전, 프레임 반전 및 공통전압 스윙 방식으로 구동되며, 다수의 공통배선(CL_m-1 , CL_m , CL_m+1)에는 상이한 극성의 공통전압이 게이트 신호에 동기하여 프레임 별로 반전되며 인가된다.
- [0068] 예를 들어, 제f프레임 동안에는, 제(m-1)데이터 배선(DL_m-1)에 연결된 제1 및 제4화소영역(P1, P4)과 제(m+1)데이터 배선(DL_m+1)에 연결된 제3 및 제6화소영역(P3, P6)에 정극성(+)의 데이터 신호가 인가되고, 제m데이터 배선(DL_m)에 연결된 제2 및 제5화소영역(P2, P5)에 부극성(-)의 데이터 신호가 인가된다.
- [0069] 그리고, 제(m-1) 및 제(m+1)데이터 배선(DL_m-1 , DL_m+1)에 각각 대응되는 제(m-1) 및 제(m+1)공통배선(CL_m-1 , CL_m+1)에는 부극성(-)의 공통전압이 인가되고, 제m데이터 배선(DL_m)에 대응되는 제m공통배선(CL_m)에는 정극성(+)의 공통전압이 인가된다.
- [0070] 한편, 제f프레임 이후의 제(f+1)프레임 동안에는, 데이터 신호 및 공통전압이 각각 반전되어 인가된다.
- [0071] 즉, 제(m-1)데이터 배선(DL_m-1)에 연결된 제1 및 제4화소영역(P1, P4)과 제(m+1)데이터 배선(DL_m+1)에 연결된 제3 및 제6화소영역(P3, P6)에 부극성(-)의 데이터 신호가 인가되고, 제m데이터 배선(DL_m)에 연결된 제2 및 제5화소영역(P2, P5)에 정극성(+)의 데이터 신호가 인가되며, 제(m-1) 및 제(m+1)공통배선(CL_m-1 , CL_m+1)에는 정극성(+)의 공통전압이 인가되고, 제m공통배선(CL_m)에는 부극성(-)의 공통전압이 인가된다.
- [0072] 따라서, 각 화소영역(P1 내지 P6)의 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)의 양 전극에는 항상 반대되는 극성의 화소전압 및 공통전압이 인가되므로, 액정표시장치의 구동전압을 낮추고 구동집적회로의 발열량을 감소시킬 수 있다.
- [0073] 특히, 이러한 구조를 횡전계 방식(in-plane switching mode)의 액정표시장치에 적용할 경우, 구동전압을 낮출 수 있는 것은 물론이고, 화소전극과 공통전극 사이를 넓힘으로써 개구율을 증가시킬 수 있다.
- [0074] 또한, 반대되는 극성의 공통전압이 인가되는 공통배선 사이에 보상 커패시터(Cco)를 형성함으로써, 공통전압의 변동을 상세시킬 수 있다.
- [0075] 도 7에 도시한 바와 같이, 이러한 보상 커패시터(Cco)는 적, 녹, 청 서브픽셀 마다 형성할 수도 있고, 다른 실시예에서는 적, 녹, 청 서브픽셀로 이루어지는 픽셀 당 하나를 형성할 수도 있다.
- [0076] 도 8은 본 발명의 제2실시예에 따른 액정표시장치를 도시한 도면이다.
- [0077] 도시하지는 않았지만, 액정표시장치는 서로 마주보는 제1 및 제2기판과, 제1 및 제2기판 사이에 형성된 액정층

을 포함한다.

- [0078] 도 8에 도시한 바와 같이, 본 발명의 제2실시예에 따른 액정표시장치의 제1기판에는, 서로 교차하여 다수의 화소영역(P1 내지 P6)을 정의하는 다수의 게이트 배선(GL_{n-1} , GL_n , GL_{n+1})과 다수의 데이터 배선(DL_{m-1} , DL_m , DL_{m+1})과, 게이트 배선(GL_{n-1} , GL_n , GL_{n+1})과 평행하게 이격되는 다수의 공통배선(CL_{n-1} , CL_n , CL_{n+1})이 형성된다.
- [0079] 각 화소영역(P1 내지 P6)에는, 게이트 배선(GL_{n-1} , GL_n , GL_{n+1}) 및 데이터 배선(DL_{m-1} , DL_m , DL_{m+1})에 연결되는 박막트랜지스터(T)와, 박막트랜지스터(T)에 일 전극이 연결되는 스토리지 커패시터(C_{st}) 및 액정 커패시터(C_{lc})가 형성되고, 스토리지 커패시터(C_{st}) 및 액정 커패시터(C_{lc})의 타 전극은 공통배선(CL_{n-1} , CL_n , CL_{n+1})에 연결된다.
- [0080] 그리고, 각 화소영역(P1 내지 P6)에는 인접한 공통배선 사이에 연결되는 보상 커패시터(C_{co})가 형성된다.
- [0081] 즉, 보상 커패시터(C_{co})는 제(n-2) 및 제(n-1)공통배선(CL_{n-2} , CL_{n-1}) 사이의 각 화소영역(P1, P2, P3)과, 제(n-1) 및 제n공통배선(CL_{n-1} , CL_n) 사이의 각 화소영역(P4, P5, P6)에 형성된다.
- [0082] 이러한 본 발명의 제2실시예에 따른 액정표시장치는 수평라인 반전, 프레임 반전 및 공통전압 스윙 방식으로 구동되며, 다수의 공통배선(CL_{n-1} , CL_n , CL_{n+1})에는 상이한 극성의 공통전압이 게이트 신호에 동기하여 프레임 별로 반전되며 인가된다.
- [0083] 예를 들어, 제f프레임 동안에는, 제(n-1)게이트 배선(GL_{n-1})에 연결된 제1 내지 제3화소영역(P1, P2, P3)에 정극성(+)의 데이터 신호가 인가되고, 제n게이트 배선(GL_n)에 연결된 제4 내지 제6화소영역(P4, P5, P6)에 부극성(-)의 데이터 신호가 인가된다.
- [0084] 그리고, 제(n-1)게이트 배선(GL_{n-1})에 대응되는 제(n-1)공통배선(CL_{n-1})에는 부극성(-)의 공통전압이 인가되고, 제n게이트 배선(GL_n)에 대응되는 제n공통배선(CL_n)에는 정극성(+)의 공통전압이 인가된다.
- [0085] 한편, 제f프레임 이후의 제(f+1)프레임 동안에는, 데이터 신호 및 공통전압이 각각 반전되어 인가된다.
- [0086] 즉, 제(n-1)게이트 배선(GL_{n-1})에 연결된 제1 내지 제3화소영역(P1, P2, P3)에 부극성(-)의 데이터 신호가 인가되고, 제n게이트 배선(GL_n)에 연결된 제4 내지 제6화소영역(P4, P5, P6)에 정극성(+)의 데이터 신호가 인가되며, 제(n-1)공통배선(CL_{n-1})에는 정극성(+)의 공통전압이 인가되고, 제n공통배선(CL_n)에는 부극성(-)의 공통전압이 인가된다.
- [0087] 따라서, 각 화소영역(P1 내지 P6)의 스토리지 커패시터(C_{st}) 및 액정 커패시터(C_{lc})의 양 전극에는 항상 반대되는 극성의 화소전압 및 공통전압이 인가되므로, 액정표시장치의 구동전압을 낮추고 구동집적회로의 발열량을 감소시킬 수 있다.
- [0088] 특히, 이러한 구조를 횡전계 방식(in-plane switching mode)의 액정표시장치에 적용할 경우, 구동전압을 낮출 수 있는 것은 물론이고, 화소전극과 공통전극 사이를 넓힘으로써 개구율을 증가시킬 수 있다.
- [0089] 또한, 반대되는 극성의 공통전압이 인가되는 공통배선 사이에 보상 커패시터(C_{co})를 형성함으로써, 공통전압의 변동을 상쇄시킬 수 있다.
- [0090] 도 8에 도시한 바와 같이, 이러한 보상 커패시터(C_{co})는 적, 녹, 청 서브픽셀 마다 형성할 수도 있고, 다른 실시예에서는 적, 녹, 청 서브픽셀로 이루어지는 픽셀 당 하나를 형성할 수도 있다.
- [0091] 도 9는 본 발명의 제3실시예에 따른 액정표시장치를 도시한 도면이다.
- [0092] 도시하지는 않았지만, 액정표시장치는 서로 마주보는 제1 및 제2기판과, 제1 및 제2기판 사이에 형성된 액정층을 포함한다.
- [0093] 도 9에 도시한 바와 같이, 본 발명의 제3실시예에 따른 액정표시장치의 제1기판에는, 서로 교차하여 다수의 화소영역(P1 내지 P6)을 정의하는 다수의 게이트 배선(GL_{n-1} , GL_n , GL_{n+1})과 다수의 데이터 배선(DL_{m-1} , DL_m , DL_{m+1})과, 게이트 배선(GL_{n-1} , GL_n , GL_{n+1})과 평행하게 이격되는 다수의 공통배선(CL_{n-1} , CL_n , CL_{n+1})이 형성된다.
- [0094] 각 화소영역(P1 내지 P6)에는, 게이트 배선(GL_{n-1} , GL_n , GL_{n+1}) 및 데이터 배선(DL_{m-1} , DL_m , DL_{m+1})에 연결되

는 박막트랜지스터(T)와, 박막트랜지스터(T)에 일 전극이 연결되는 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)가 형성되고, 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)의 타 전극은 공통배선(CLn-1, CLn, CLn+1)에 연결된다.

[0095] 그리고, 각 화소영역(P1 내지 P6)에는 인접한 공통배선 사이에 연결되는 보상 커패시터(Cco)가 형성된다.

[0096] 즉, 보상 커패시터(Cco)는 제(n-2) 및 제(n-1)공통배선(CLn-2, CLn-1) 사이의 각 화소영역(P1, P2, P3)과, 제(n-1) 및 제n공통배선(CLn-1, CLn) 사이의 각 화소영역(P4, P5, P6)에 형성된다.

[0097] 이러한 본 발명의 제3실시예에 따른 액정표시장치는 도트 반전, 프레임 반전 및 공통전압 스윙 방식으로 구동되며, 다수의 공통배선(CLn-1, CLn, CLn+1)에는 상이한 극성의 공통전압이 게이트 신호에 동기하여 프레임 별로 반전되며 인가된다.

[0098] 일 프레임 동안 일 데이터 배선으로 동일한 극성의 데이터 신호를 공급하면서도 액정표시장치를 도트 반전으로 구동하기 위하여, 화소영역의 인접한 수평열의 박막트랜지스터(T)는 서로 상이한 데이터 배선에 연결된다.

[0099] 예를 들어, 제f프레임 동안에는, 제(m-1), 제m, 제(m+1) 및 제(m+2)데이터 배선(DLm-1, DLm, DLm+1, DLm+2)으로는 각각 정극성(+), 부극성(-), 정극성(+) 및 부극성(-)의 데이터 신호가 공급되는데, 제(n-1)게이트 배선(GLn-1)에 대응되는 제1 내지 제3화소영역(P1, P2, P3)의 박막트랜지스터(T)는 각각 제(m-1), 제m 및 제(m+1) 데이터 배선(DLm-1, DLm, DLm+1)에 연결되어 제1 내지 제3화소영역(P1, P2, P3)으로 각각 정극성(+), 부극성(-) 및 정극성(+)의 데이터 신호를 인가하고, 제n게이트 배선(GLn)에 대응되는 제4 내지 제6화소영역(P4, P5, P6)의 박막트랜지스터(T)는 각각 제m, 제(m+1) 및 제(m+2)데이터 배선(DLm, DLm+1, DLm+2)에 연결되어 제4 내지 제6화소영역(P4, P5, P6)으로 각각 부극성(-), 정극성(+) 및 부극성(-)의 데이터 신호를 인가한다.

[0100] 이때, 도트 반전 방식으로 데이터 신호가 인가된 각 화소영역(P1 내지 P6)에 데이터 신호와 반대극성의 공통전압을 인가하기 위하여, 화소영역의 인접한 수직열의 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)는 서로 상이한 공통배선에 연결된다.

[0101] 예를 들어, 제f프레임 동안에는, 제(n-2), 제(n-1), 제n 및 제(n+1)공통배선(CLn-2, CLn-1, CLn, CLn+1)에 각각 정극성(+), 부극성(-), 정극성(+) 및 부극성(-)의 공통전압이 공급되는데, 정극성(+)의 데이터 신호가 인가되는 제1, 제3 및 제5화소영역(P1, P3, P5)의 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)는 각각 제(n-1)공통배선(CLn-1)에 연결되어 부극성(-)의 공통전압을 인가 받고, 부극성(-)의 데이터 신호가 인가되는 제2화소영역(P2)의 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)는 각각 제(n-2)공통배선(CLn-2)에 연결되어 정극성(+)의 공통전압을 인가 받고, 부극성(-)의 데이터 신호가 인가되는 제4 및 제6화소영역(P4, P6)의 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)는 각각 제n공통배선(CLn)에 연결되어 정극성(+)의 공통전압을 인가 받는다.

[0102] 한편, 제f프레임 이후의 제(f+1)프레임 동안에는, 데이터 신호 및 공통전압이 각각 반전되어 인가된다.

[0103] 즉, 제(m-1), 제m, 제(m+1) 및 제(m+2)데이터 배선(DLm-1, DLm, DLm+1, DLm+2)으로는 각각 부극성(-), 정극성(+), 부극성(-) 및 정극성(+)의 데이터 신호가 공급되어, 제1 내지 제6화소영역(P1 내지 P6)에는 각각 부극성(-), 정극성(+), 부극성(-), 정극성(+), 부극성(-) 및 정극성(+)의 데이터 신호가 인가되고, 제(n-2), 제(n-1), 제n 및 제(n+1)공통배선(CLn-2, CLn-1, CLn, CLn+1)에 각각 부극성(-), 정극성(+), 부극성(-) 및 정극성(+)의 공통전압이 공급되어, 제1 내지 제6화소영역(P1 내지 P6)에는 각각 정극성(+), 부극성(-), 정극성(+), 부극성(-), 정극성(+) 및 부극성(-)의 공통전압이 인가된다.

[0104] 따라서, 각 화소영역(P1 내지 P6)의 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)의 양 전극에는 항상 반대되는 극성의 화소전압 및 공통전압이 인가되므로, 액정표시장치의 구동전압을 낮추고 구동집적회로의 발열량을 감소시킬 수 있다.

[0105] 특히, 이러한 구조를 횡전계 방식(in-plane switching mode)의 액정표시장치에 적용할 경우, 구동전압을 낮출 수 있는 것은 물론이고, 화소전극과 공통전극 사이를 넓힘으로써 개구율을 증가시킬 수 있다.

[0106] 또한, 반대되는 극성의 공통전압이 인가되는 공통배선 사이에 보상 커패시터(Cco)를 형성함으로써, 공통전압의 변동을 상쇄시킬 수 있다.

[0107] 도 9에 도시한 바와 같이, 이러한 보상 커패시터(Cco)는 적, 녹, 청 서브픽셀 마다 형성할 수도 있고, 다른 실시예에서는 적, 녹, 청 서브픽셀로 이루어지는 픽셀 당 하나를 형성할 수도 있다.

- [0108] 특히, 본 발명의 제2 및 제3실시예에 따른 액정표시장치의 경우, 종래와는 달리 공통전압의 반전 타이밍을 데이터 신호의 반전 타이밍에 동기(synchronization)시킬 수 있는데, 이를 도면을 참조하여 설명한다.
- [0109] 도 10은 본 발명의 제3실시예에 따른 액정표시장치의 게이트 전압, 화소전압 및 공통전압을 도시한 도면으로, 본 발명의 제2실시예에도 적용할 수 있다.
- [0110] 도 10에 도시한 바와 같이, 본 발명의 제3실시예에 따른 액정표시장치는 도트 반전, 프레임 반전 및 공통전압 스윙 방식으로 구동된다.
- [0111] 이때, 액정표시장치에는 전면에 하나의 공통전극을 형성하는 대신에 다수의 공통배선이 형성되어 있으므로, 각 화소영역에 인가되는 공통전압(V_{com})의 반전 타이밍을 데이터 신호의 반전 타이밍, 즉 화소전압(V_p)의 반전 타이밍에 동기시킬 수 있다.
- [0112] 따라서, 액정표시장치의 상부에 배치되는 화소영역에서는, 제 f 프레임의 초기에 게이트 전압(V_g)이 하이레벨이 되고, 이에 동기하여 정극성(+)의 화소전압(V_p) 및 부극성(-)의 공통전압(V_{com})이 해당 화소영역에 인가된다.
- [0113] 반면에, 액정표시장치의 중앙부에 배치되는 화소영역에서는, 제 f 프레임의 중기에 게이트 전압(V_g)이 하이레벨이 되고, 이에 동기하여 정극성(+)의 화소전압(V_p) 및 부극성(-)의 공통전압(V_{com})이 해당 화소영역에 인가된다.
- [0114] 마찬가지로, 액정표시장치의 하부에 배치되는 화소영역에서는, 제 f 프레임의 후기에 게이트 전압(V_g)이 하이레벨이 되고, 이에 동기하여 정극성(+)의 화소전압(V_p) 및 부극성(-)의 공통전압(V_{com})이 해당 화소영역에 인가된다.
- [0115] 그리고, 제($f+1$)프레임 동안에는 제 f 프레임과 반대되는 극성의 화소전압(V_p) 및 공통전압(V_{com})이 화소영역에 인가된다.
- [0116] 즉, 본 발명의 제3실시예에서는 공통전압이 화소전압의 반전 타이밍에 동기하여 반전되므로, 박막트랜지스터의 소스 및 드레인 전극 사이의 커플링 또는 박막트랜지스터의 누설전류에 의한 상하부 휘도편차 및 수직 크로스토크를 방지할 수 있다.
- [0117] 본 발명은 상기 실시예로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

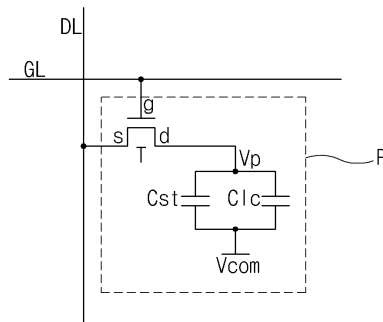
도면의 간단한 설명

- [0118] 도 1은 종래의 액티브 매트릭스 방식의 액정표시장치의 일 화소영역을 도시한 도면.
- [0119] 도 2a는 종래의 프레임 반전 방식 액정표시장치의 화소영역의 화소전압의 극성을 도시한 도면.
- [0120] 도 2b는 종래의 프레임 반전 방식 액정표시장치의 크로스토크 테스트 패턴을 도시한 도면.
- [0121] 도 2c는 도 2b의 A, B라인의 화소전압, 공통라인 및 실효전압을 도시한 도면.
- [0122] 도 3a는 종래의 수직라인 반전 방식 액정표시장치의 화소영역의 화소전압의 극성을 도시한 도면.
- [0123] 도 3b는 종래의 수직라인 반전 방식 액정표시장치의 크로스토크 테스트 패턴을 도시한 도면.
- [0124] 도 3c는 도 3b의 A, B라인의 화소전압, 공통라인 및 실효전압을 도시한 도면.
- [0125] 도 4a는 종래의 수평라인 반전 방식 액정표시장치의 화소영역의 화소전압의 극성을 도시한 도면.
- [0126] 도 4b는 종래의 수평라인 반전 방식 액정표시장치의 크로스토크 테스트 패턴을 도시한 도면.
- [0127] 도 4c는 도 4b의 A, B라인의 화소전압, 공통라인 및 실효전압을 도시한 도면.
- [0128] 도 5a는 종래의 도트 반전 방식 액정표시장치의 화소영역의 화소전압의 극성을 도시한 도면.
- [0129] 도 5b는 종래의 도트 반전 방식 액정표시장치의 크로스토크 테스트 패턴을 도시한 도면.
- [0130] 도 5c는 도 5b의 A, B라인의 화소전압, 공통라인 및 실효전압을 도시한 도면.

- [0131] 도 6a는 종래의 프레임 반전 및 수직라인 반전 방식 액정표시장치의 크로스토크 테스트 패턴을 도시한 도면.
- [0132] 도 6b는 도 6a의 C, D, E 영역에서의 화소전압을 도시한 도면.
- [0133] 도 7은 본 발명의 제1실시예에 따른 액정표시장치를 도시한 도면.
- [0134] 도 8은 본 발명의 제2실시예에 따른 액정표시장치를 도시한 도면.
- [0135] 도 9는 본 발명의 제3실시예에 따른 액정표시장치를 도시한 도면.
- [0136] 도 10은 본 발명의 제3실시예에 따른 액정표시장치의 게이트 전압, 화소전압 및 공통전압을 도시한 도면.

도면

도면1



도면2a

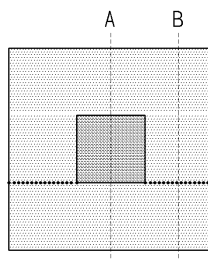
제n프레임

+	+	+	+	+	+	+
+	+	+	+	+	+	+
+	+	+	+	+	+	+
+	+	+	+	+	+	+

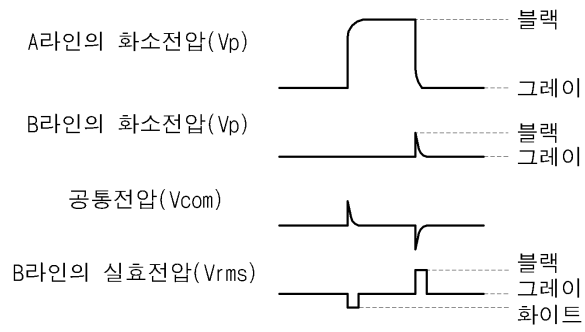
제(n+1)프레임

-	-	-	-	-	-	-
-	-	-	-	-	-	-
-	-	-	-	-	-	-
-	-	-	-	-	-	-

도면2b



도면2c



도면3a

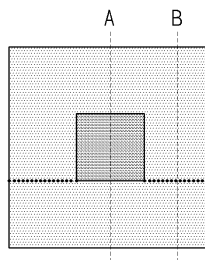
제 n 프레임

+	-	+	-	+	-	+
+	-	+	-	+	-	+
+	-	+	-	+	-	+
+	-	+	-	+	-	+

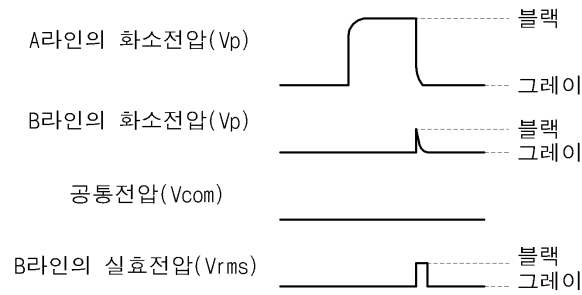
제 (n+1) 프레임

-	+	-	+	-	+	-
-	+	-	+	-	+	-
-	+	-	+	-	+	-
-	+	-	+	-	+	-

도면3b



도면3c



도면4a

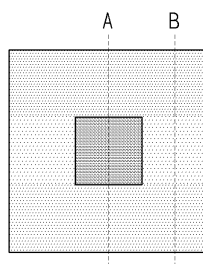
제n프레임

+	+	+	+	+	+	+
-	-	-	-	-	-	-
+	+	+	+	+	+	+
-	-	-	-	-	-	-

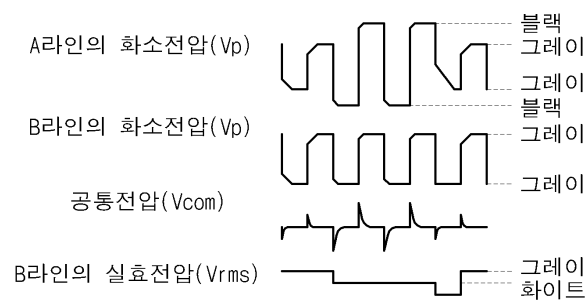
제(n+1)프레임

-	-	-	-	-	-	-
+	+	+	+	+	+	+
-	-	-	-	-	-	-
+	+	+	+	+	+	+

도면4b



도면4c



도면5a

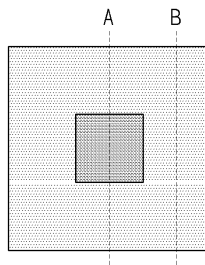
제n프레임

+	-	+	-	+	-	+
-	+	-	+	-	+	-
+	-	+	-	+	-	+
-	+	-	+	-	+	-

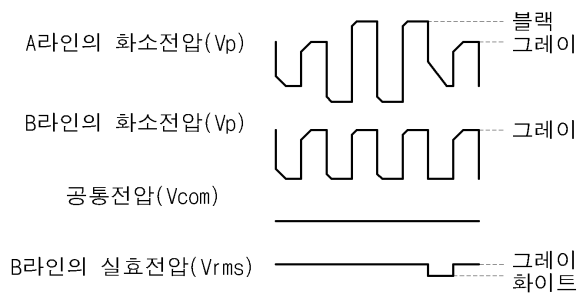
제(n+1)프레임

-	+	-	+	-	+	-
+	-	+	-	+	-	+
-	+	-	+	-	+	-
+	-	+	-	+	-	+

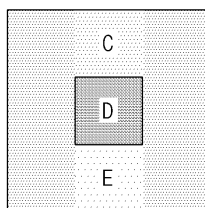
도면5b



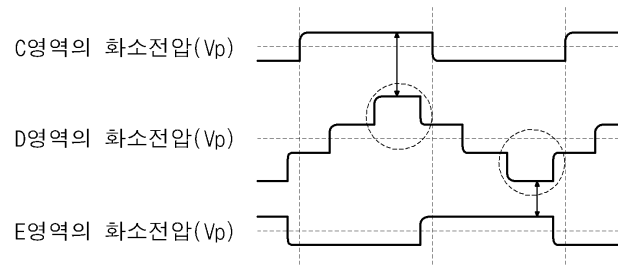
도면5c



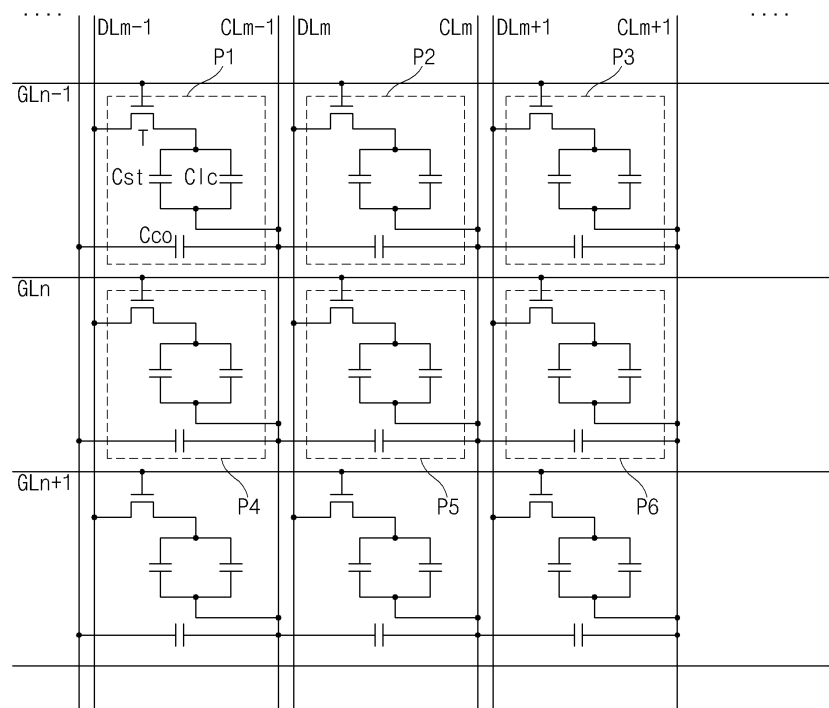
도면6a



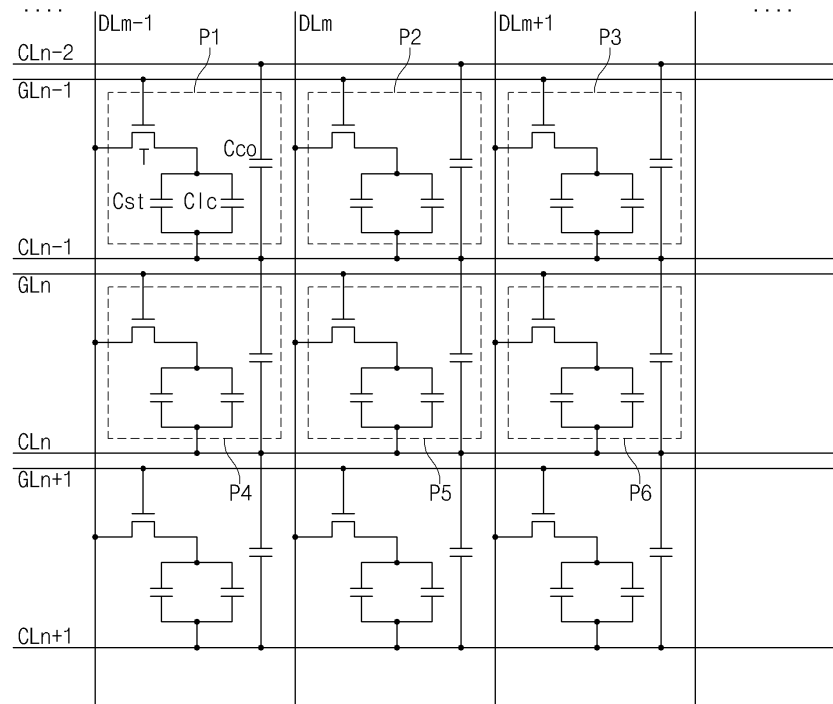
도면6b



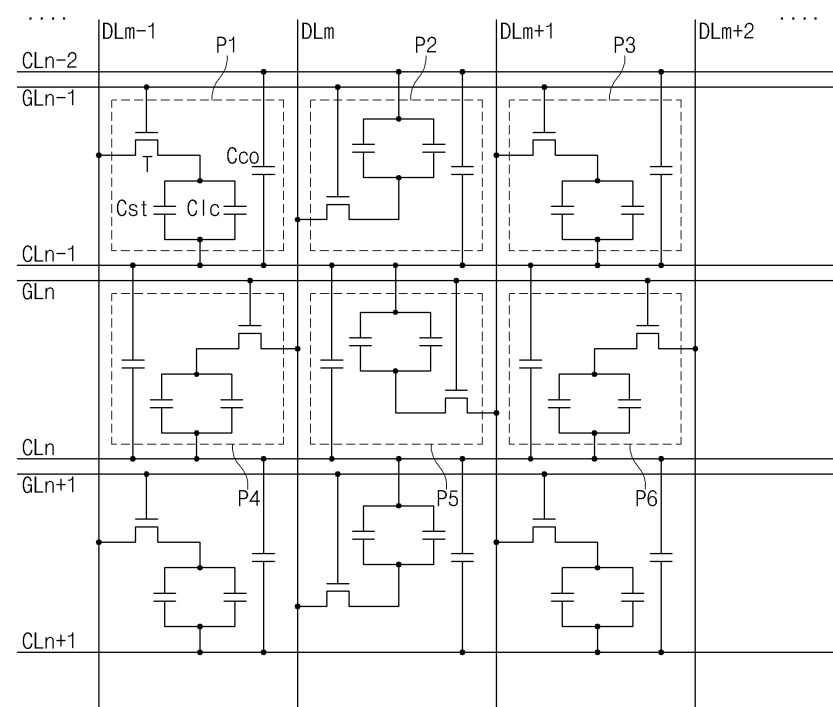
도면7



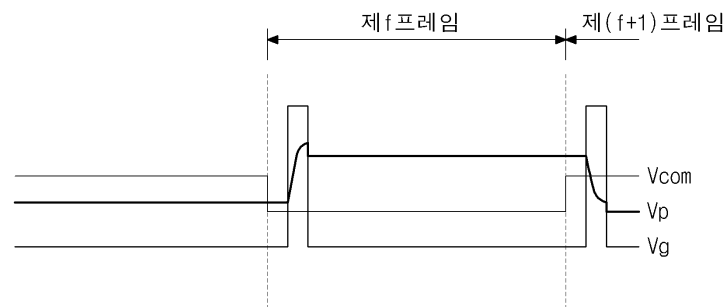
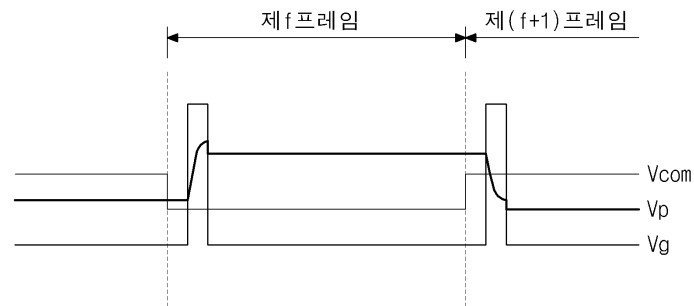
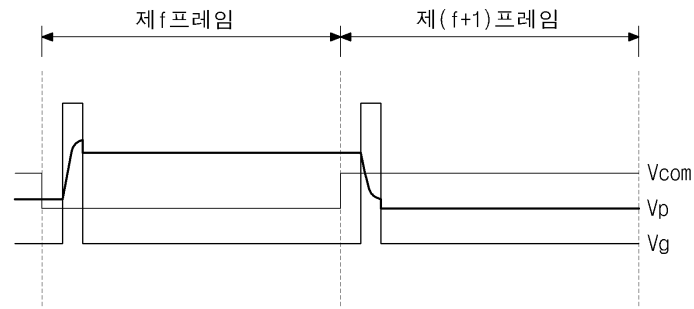
도면8



도면9



도면10



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020110074035A	公开(公告)日	2011-06-30
申请号	KR1020090130879	申请日	2009-12-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE BU YEOL 이부열 AHN JI YOUNG 안지영 YU SANG HEE 유상희		
发明人	이부열 안지영 유상희		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置及其驱动方法，通过形成交替接收具有不同极性的公共电压的公共线，在数据信号的帧处提供公共电压。组成：在液晶显示器件及其驱动方法中，多条栅极线（ GL_{n-1} ， GL_n ， $GL_n + 1$ ）和多条数据线（ DL_{m-1} ， DL_m ， $DL_m + 1$ ）形成在第一基板上。在栅极线和数据线的交叉处形成多个像素。薄膜晶体管连接到栅极线和数据线，并形成在像素上。存储电容器和液体电容器连接到薄膜晶体管的一个电极。多条公共线连接到存储电容器的另一电极和液体电容器。

