

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 (43) 공개일자	10-2010-0092738 2010년08월23일
(51) Int. Cl.		(71) 출원인	삼성전자주식회사
	G02F 1/1343 (2006.01) G02F 1/136 (2006.01)		경기도 수원시 영통구 매탄동 416
(21) 출원번호	10-2009-0012014	(72) 발명자	권지현
(22) 출원일자	2009년02월13일		서울 중구 만리동2가 KCC파크타운 101동 1201호
심사청구일자	없음		나혜석
			서울특별시 강북구 수유3동 170-43호
			(뒷면에 계속)
		(74) 대리인	팬코리아특허법인

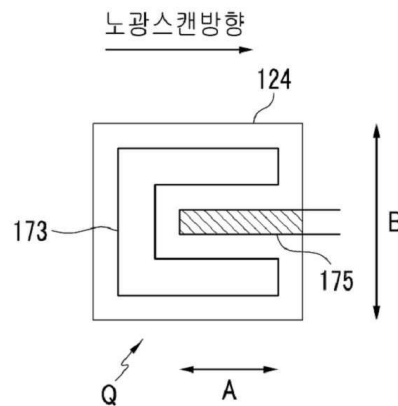
전체 청구항 수 : 총 18 항

(54) 액정 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 액정 표시 장치 및 그 제조 방법에 관한 것이다. 본 발명의 한 실시예에 따른 액정 표시 장치는 행렬 형태로 배열되어 있으며 제1 및 제2 부화소를 포함하는 복수의 화소를 포함하며, 상기 화소는 각각 상기 제1 부화소에 제1 데이터 전압을 전달하며 제1 소스 전극, 제1 드레인 전극 및 제1 게이트 전극을 포함하는 제1 박막 트랜지스터, 그리고 상기 제2 부화소에 제2 데이터 전압을 전달하며 제2 소스 전극, 제2 드레인 전극 및 제2 게이트 전극을 포함하는 제2 박막 트랜지스터를 포함하고, 상기 각 화소에서 상기 제1 소스 전극에 대한 상기 제1 드레인 전극의 상대적 위치는 상기 제2 소스 전극에 대한 상기 제2 드레인 전극의 상대적 위치와 반대이다.

대표도 - 도9



(72) 발명자

이원희

서울특별시 중구 중립동 200 삼성사이버빌리지 10
3동 702호

권호균

서울특별시 성북구 하월곡3동 삼성래미안아파트
113동 702호

나병선

경기 화성시 동탄면 반송리 삼부르네상스아파트
205동 1304호

이동윤

서울 노원구 월계1동 383 -40 성북맨션 다동 505호

이주희

충남 천안시 불당동 대원칸타빌아파트 605동 1201
호

고광범

충남 아산시 탕정면 명암리 크리스탈타운 큐빅동
1403호

특허청구의 범위

청구항 1

행렬 형태로 배열되어 있으며 제1 및 제2 부화소를 포함하는 복수의 화소를 포함하며,

상기 화소는 각각

상기 제1 부화소에 제1 데이터 전압을 전달하며 제1 소스 전극, 제1 드레인 전극 및 제1 게이트 전극을 포함하는 제1 박막 트랜지스터, 그리고

상기 제2 부화소에 제2 데이터 전압을 전달하며 제2 소스 전극, 제2 드레인 전극 및 제2 게이트 전극을 포함하는 제2 박막 트랜지스터

를 포함하고,

상기 각 화소에서 상기 제1 소스 전극에 대한 상기 제1 드레인 전극의 상대적 위치는 상기 제2 소스 전극에 대한 상기 제2 드레인 전극의 상대적 위치와 반대인

액정 표시 장치.

청구항 2

제1항에서,

상기 화소의 길이 방향을 기준으로, 상기 제1 소스 전극은 상기 제1 드레인 전극의 좌측에 위치하고, 상기 제2 소스 전극은 상기 제2 드레인 전극의 우측에 위치하는 액정 표시 장치.

청구항 3

제1항에서,

상기 제1 소스 전극은 상기 제1 드레인 전극의 일부를 둘러싸는 제1 열린 부분을 포함하고,

상기 제2 소스 전극은 상기 제2 드레인 전극의 일부를 둘러싸는 제2 열린 부분을 포함하며,

상기 제1 열린 부분의 방향과 상기 제2 열린 부분의 방향은 서로 반대인 액정 표시 장치.

청구항 4

제3항에서,

상기 복수의 화소 중 각 화소 열의 제1측 및 제2측에 각각 위치하는 제1 데이터선 및 제2 데이터선을 더 포함하는 액정 표시 장치.

청구항 5

제1항에서,

상기 복수의 화소 중 행 방향 및 열 방향 중 적어도 하나의 방향으로 이웃한 두 화소의 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터의 좌우 위치 관계는 서로 반대인 액정 표시 장치.

청구항 6

제5항에서,

상기 복수의 화소 중 각 화소 열의 제1측 및 제2측에 각각 위치하는 제1 데이터선 및 제2 데이터선을 더 포함하는 액정 표시 장치.

청구항 7

제1항에서,

상기 복수의 화소 중 각 화소 열의 제1측 및 제2측에 각각 위치하는 제1 데이터선 및 제2 데이터선을 더 포함하

는 액정 표시 장치.

청구항 8

제7항에서,

상기 복수의 화소 중 행 방향 및 열 방향 중 적어도 하나의 방향으로 이웃한 두 화소 중 한 화소의 상기 제1 소스 전극은 상기 제1 데이터선에 연결되어 있고, 나머지 한 화소의 상기 제1 소스 전극은 상기 제2 데이터선에 연결되어 있는 액정 표시 장치.

청구항 9

제1항에서,

상기 제1 데이터 전압과 상기 제2 데이터 전압은 그 크기가 서로 다르고 하나의 영상 정보로부터 얻어지는 액정 표시 장치.

청구항 10

행렬 형태로 배열되어 있으며 제1 및 제2 부화소를 포함하는 복수의 화소를 포함하는 액정 표시 장치의 제조 방법으로서,

기관 위에 제1 도전 물질층을 적층하는 단계,

상기 제1 도전 물질층 위에 제1 감광막을 도포하는 단계,

상기 제1 감광막 위에 제1 광 마스크를 위치시키고 노광기를 이용하여 스캐닝하며 노광하여, 제1 및 제2 게이트 전극을 형성하는 단계,

상기 제1 및 제2 게이트 전극 위에 제2 도전 물질층을 적층하는 단계,

상기 제2 도전 물질층 위에 제2 감광막을 도포하는 단계, 그리고

상기 제2 감광막 위에 제2 광 마스크를 위치시키고 상기 노광기를 이용하여 스캐닝하며 노광하여, 상기 제1 게이트 전극과 일부분 중첩하는 제1 드레인 전극 및 상기 제2 게이트 전극과 일부분 중첩하는 제2 드레인 전극, 그리고 상기 제1 및 제2 드레인 전극과 각각 마주하는 제1 및 제2 소스 전극을 형성하는 단계

를 포함하고,

상기 제1 게이트 전극, 상기 제1 소스 전극 및 상기 제1 드레인 전극은 상기 제1 부화소의 제1 박막 트랜지스터를 이루고, 상기 제2 게이트 전극, 상기 제2 소스 전극 및 상기 제2 드레인 전극은 상기 제2 부화소의 제1 박막 트랜지스터를 이루고,

상기 제1 드레인 전극과 상기 제1 게이트 전극이 중첩하는 부분 및 중첩하지 않는 부분의 제1 경계선 및 상기 제2 드레인 전극과 상기 제2 게이트 전극이 중첩하는 부분 및 중첩하지 않는 부분의 제2 경계선 중 적어도 하나와 상기 노광기의 스캐닝 방향이 이루는 각 중 예각은 45도보다 크고 90도보다 작거나 같은

액정 표시 장치의 제조 방법.

청구항 11

제10항에서,

상기 제1 소스 전극에 대한 상기 제1 드레인 전극의 상대적 위치는 상기 제2 소스 전극에 대한 상기 제2 드레인 전극의 상대적 위치와 반대인

액정 표시 장치의 제조 방법.

청구항 12

제10항에서,

상기 제1 소스 전극은 상기 제1 드레인 전극의 일부를 둘러싸는 제1 열린 부분을 포함하고,

상기 제2 소스 전극은 상기 제2 드레인 전극의 일부를 둘러싸는 제2 열린 부분을 포함하며,
상기 제1 열린 부분의 방향과 상기 제2 열린 부분의 방향은 서로 반대인 액정 표시 장치의 제조 방법.

청구항 13

제12항에서,

상기 복수의 화소 중 각 화소 열의 제1측 및 제2측에 각각 위치하는 제1 데이터선 및 제2 데이터선을 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 14

제10항에서,

상기 복수의 화소 중 행 방향 및 열 방향 중 적어도 하나의 방향으로 이웃한 두 화소의 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터의 좌우 위치 관계는 서로 반대인 액정 표시 장치의 제조 방법.

청구항 15

제14항에서,

상기 복수의 화소 중 각 화소 열의 제1측 및 제2측에 각각 위치하는 제1 데이터선 및 제2 데이터선을 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 16

제10항에서,

상기 복수의 화소 중 각 화소 열의 제1측 및 제2측에 각각 위치하는 제1 데이터선 및 제2 데이터선을 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 17

제16항에서,

상기 복수의 화소 중 행 방향 및 열 방향 중 적어도 하나의 방향으로 이웃한 두 화소 중 한 화소의 상기 제1 소스 전극은 상기 제1 데이터선에 연결되어 있고, 나머지 한 화소의 상기 제1 소스 전극은 상기 제2 데이터선에 연결되어 있는 액정 표시 장치의 제조 방법.

청구항 18

제10항에서,

상기 제1 데이터 전압과 상기 제2 데이터 전압은 그 크기가 서로 다르고 하나의 영상 정보로부터 얻어지는 액정 표시 장치의 제조 방법.

명 세 서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극(field generating electrode)이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층을 포함한다. 액정 표시 장치는 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 방향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0003] 액정 표시 장치 중에서도 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을

이루도록 배열한 수직 배향 방식(vertically aligned mode) 액정 표시 장치가 대비비가 크고 넓은 기준 시야각 구현이 용이하여 각광받고 있다.

[0004] 이러한 수직 배향 모드 액정 표시 장치에서 광시야각을 구현하기 위하여 하나의 화소에 액정의 배향 방향이 다른 복수의 도메인(domain)을 형성할 수 있다.

[0005] 이와 같이 하나의 화소에 복수의 도메인을 형성하는 수단으로 전기장 생성 전극에 미세 슬릿 등의 절개부를 형성하거나 전기장 생성 전극 위에 돌기를 형성하는 등의 방법을 사용한다. 이 방법은 절개부 또는 돌기의 가장자리(edge)와 이와 마주하는 전기장 생성 전극 사이에 형성되는 프린지 필드(fringe field)에 의해 액정이 프린지 필드에 수직하는 방향으로 배향됨으로써 복수의 도메인을 형성할 수 있다.

[0006] 한편 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어질 수 있는데, 이를 해결하기 위하여 하나의 화소를 두 개의 부화소로 분할하고 두 개의 부화소의 전압을 달리하는 방법이 제시되었다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명이 이루고자 하는 기술적 과제는 액정 표시 장치의 박막 트랜지스터의 정렬에 오차가 생겨 킥백 전압에 편차가 발생해도 가로줄 얼룩 등의 표시 불량에 생기지 않게 하는 것이다.

과제 해결수단

[0008] 본 발명의 한 실시예에 따른 액정 표시 장치는 행렬 형태로 배열되어 있으며 제1 및 제2 부화소를 포함하는 복수의 화소를 포함하며, 상기 화소는 각각 상기 제1 부화소에 제1 데이터 전압을 전달하며 제1 소스 전극, 제1 드레인 전극 및 제1 게이트 전극을 포함하는 제1 박막 트랜지스터, 그리고 상기 제2 부화소에 제2 데이터 전압을 전달하며 제2 소스 전극, 제2 드레인 전극 및 제2 게이트 전극을 포함하는 제2 박막 트랜지스터를 포함하고, 상기 각 화소에서 상기 제1 소스 전극에 대한 상기 제1 드레인 전극의 상대적 위치는 상기 제2 소스 전극에 대한 상기 제2 드레인 전극의 상대적 위치와 반대이다.

[0009] 상기 화소의 길이 방향을 기준으로, 상기 제1 소스 전극은 상기 제1 드레인 전극의 좌측에 위치하고, 상기 제2 소스 전극은 상기 제2 드레인 전극의 우측에 위치할 수 있다.

[0010] 상기 제1 소스 전극은 상기 제1 드레인 전극의 일부를 둘러싸는 제1 열린 부분을 포함하고, 상기 제2 소스 전극은 상기 제2 드레인 전극의 일부를 둘러싸는 제2 열린 부분을 포함하며, 상기 제1 열린 부분의 방향과 상기 제2 열린 부분의 방향은 서로 반대일 수 있다.

[0011] 상기 복수의 화소 중 각 화소 열의 제1측 및 제2측에 각각 위치하는 제1 데이터선 및 제2 데이터선을 더 포함할 수 있다.

[0012] 상기 복수의 화소 중 행 방향 및 열 방향 중 적어도 하나의 방향으로 이웃한 두 화소의 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터의 좌우 위치 관계는 서로 반대일 수 있다.

[0013] 상기 복수의 화소 중 행 방향 및 열 방향 중 적어도 하나의 방향으로 이웃한 두 화소 중 한 화소의 상기 제1 소스 전극은 상기 제1 데이터선에 연결되어 있고, 나머지 한 화소의 상기 제1 소스 전극은 상기 제2 데이터선에 연결되어 있을 수 있다.

[0014] 상기 제1 데이터 전압과 상기 제2 데이터 전압은 그 크기가 서로 다르고 하나의 영상 정보로부터 얻어질 수 있다.

[0015] 본 발명의 한 실시예에 따른 액정 표시 장치의 제조 방법은 행렬 형태로 배열되어 있으며 제1 및 제2 부화소를 포함하는 복수의 화소를 포함하는 액정 표시 장치의 제조 방법으로서, 기판 위에 제1 도전 물질층을 적층하는 단계, 상기 제1 도전 물질층 위에 제1 감광막을 도포하는 단계, 상기 제1 감광막 위에 제1 광 마스크를 위치시키고 노광기를 이용하여 스캐닝하며 노광하여, 제1 및 제2 게이트 전극을 형성하는 단계, 상기 제1 및 제2 게이트 전극 위에 제2 도전 물질층을 적층하는 단계, 상기 제2 도전 물질층 위에 제2 감광막을 도포하는 단계, 그리고 상기 제2 감광막 위에 제2 광 마스크를 위치시키고 상기 노광기를 이용하여 스캐닝하며 노광하여, 상기 제1 게이트 전극과 일부분 중첩하는 제1 드레인 전극 및 상기 제2 게이트 전극과 일부분 중첩하는 제2 드레인 전극, 그리고 상기 제1 및 제2 드레인 전극과 각각 마주하는 제1 및 제2 소스 전극을 형성하는 단계를 포함하고, 상기

제1 게이트 전극, 상기 제1 소스 전극 및 상기 제1 드레인 전극은 상기 제1 부화소의 제1 박막 트랜지스터를 이루고, 상기 제2 게이트 전극, 상기 제2 소스 전극 및 상기 제2 드레인 전극은 상기 제2 부화소의 제1 박막 트랜지스터를 이루고, 상기 제1 드레인 전극과 상기 제1 게이트 전극이 중첩하는 부분 및 중첩하지 않는 부분의 제1 경계선 및 상기 제2 드레인 전극과 상기 제2 게이트 전극이 중첩하는 부분 및 중첩하지 않는 부분의 제2 경계선 중 적어도 하나와 상기 노광기의 스캐닝 방향이 이루는 각 중 예각은 45도보다 크고 90도보다 작거나 같다.

- [0016] 상기 제1 소스 전극에 대한 상기 제1 드레인 전극의 상대적 위치는 상기 제2 소스 전극에 대한 상기 제2 드레인 전극의 상대적 위치와 반대일 수 있다.
- [0017] 상기 제1 소스 전극은 상기 제1 드레인 전극의 일부를 둘러싸는 제1 열린 부분을 포함하고, 상기 제2 소스 전극은 상기 제2 드레인 전극의 일부를 둘러싸는 제2 열린 부분을 포함하며, 상기 제1 열린 부분의 방향과 상기 제2 열린 부분의 방향은 서로 반대일 수 있다.
- [0018] 상기 복수의 화소 중 각 화소 열의 제1측 및 제2측에 각각 위치하는 제1 데이터선 및 제2 데이터선을 형성하는 단계를 더 포함할 수 있다.
- [0019] 상기 복수의 화소 중 행 방향 및 열 방향 중 적어도 하나의 방향으로 이웃한 두 화소의 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터의 좌우 위치 관계는 서로 반대일 수 있다.
- [0020] 상기 복수의 화소 중 행 방향 및 열 방향 중 적어도 하나의 방향으로 이웃한 두 화소 중 한 화소의 상기 제1 소스 전극은 상기 제1 데이터선에 연결되어 있고, 나머지 한 화소의 상기 제1 소스 전극은 상기 제2 데이터선에 연결되어 있을 수 있다.
- [0021] 상기 제1 데이터 전압과 상기 제2 데이터 전압은 그 크기가 서로 다르고 하나의 영상 정보로부터 얻어질 수 있다.

효 과

- [0022] 본 발명의 실시예에 따르면 킥백 전압의 변화량 및 편차를 줄여 액정 표시 장치의 가로줄 얼룩 등의 표시 불량을 줄일 수 있다.
- [0023] 또한 이웃하는 화소 간에 킥백 전압의 변화가 서로 상쇄되어 액정 표시 장치의 제조 공정상 구성 요소의 정렬에 편차가 생겨도 킥백 전압의 변화에 의한 가로줄 얼룩 등의 표시 불량을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0024] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0025] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0026] 그러면 도 1 내지 도 3을 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 설명한다.
- [0027] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소의 구조를 간략히 도시한 도면이고, 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- [0028] 도 1을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(gate driver)(400), 그리고 데이터 구동부(500)를 포함한다.
- [0029] 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(signal line)(G_1 - G_n , D_1 - D_{2n})과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 그리고 그 사이에 들어 있는 액정 층(3)을 포함한다.

- [0030] 신호선(G_1-G_n , D_1-D_{2m})은 하부 표시판(100)에 구비되어 있으며, 게이트 신호를 전달하는 복수의 게이트선(G_1-G_n)과 데이터 신호를 전달하는 데이터선(D_1-D_{2m})을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(D_1-D_{2m})은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다. 하나의 화소(PX) 양측에는 각각 하나의 데이터선(D_1-D_{2m})이 배치되어 있다. 신호선은 게이트선(G_1-G_n)과 데이터선(D_1-D_{2m}) 이외에도 게이트선(G_1-G_n)과 나란하게 뻗은 유지 전극선을 더 포함할 수 있다.
- [0031] 도 3을 참고하면, 각 화소(PX)는 한 쌍의 제1 및 제2 부화소(PXa, PXb)를 포함한다. 제1 및 제2 부화소(PXa, PXb)는 각각 해당 게이트선(121i) 및 데이터선(171j, 171(j+1))에 연결되어 있는 제1 및 제2 스위칭 소자(Qa, Qb)와 이에 연결된 제1 및 제2 액정 축전기(C1ca, C1cb) 및 제1 및 제2 유지 축전기(Csta, Cstb)를 포함한다.
- [0032] 제1 및 제2 스위칭 소자(Qa, Qb)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(121i)과 연결되어 있고, 입력 단자는 각각 서로 다른 데이터선(171j, 171(j+1))에 연결되어 있으며, 출력 단자는 각각 제1 및 제2 액정 축전기(C1ca, C1cb)와 제1 및 제2 유지 축전기(Csta, Cstb)와 연결되어 있다.
- [0033] 도 2를 참고하면, 제1 액정 축전기(C1ca)는 하부 표시판(100)의 제1 부화소 전극(191a)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191a, 270) 사이의 액정층(3)은 유전체로서 기능한다. 또한 제2 액정 축전기(C1cb)는 하부 표시판(100)의 제2 부화소 전극(191b)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191b, 270) 사이의 액정층(3)은 유전체로서 기능한다. 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받고, 제1 및 제2 부화소 전극(191a, 191b)은 함께 하나의 화소 전극(191)을 이룬다.
- [0034] 제1 및 제2 액정 축전기(C1ca, C1cb)의 보조적인 역할을 하는 제1 및 제2 유지 축전기(Csta, Cstb)는 각각 제1 및 제2 부화소 전극(191a, 191b)이 절연체를 사이에 두고 공통 전압을 전달하는 다른 신호선(도시하지 않음)과 중첩되어 이루어진다. 그러나 제1 및 제2 유지 축전기(Csta, Cstb)는 제1 및 제2 부화소 전극(191a, 191b)이 절연체를 매개로 바로 위의 전단 게이트선(121(i-1))과 중첩되어 이루어질 수도 있다.
- [0035] 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191)의 위 또는 아래에 둘 수도 있다.
- [0036] 액정 표시판 조립체(300)에는 적어도 하나의 편광자(도시하지 않음)가 구비되어 있을 수 있다.
- [0037] 다시 도 1을 참고하면, 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(G_1-G_n)과 연결되어 있으며 제1 및 제2 스위칭 소자(Qa, Qb)를 턴 온시킬 수 있는 게이트 온 전압(Von)과 턴 오프시킬 수 있는 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_n)에 인가한다.
- [0038] 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1-D_{2m})과 연결되어 있으며, 데이터 전압을 데이터선(D_1-D_{2m})에 인가한다.
- [0039] 게이트 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어하기 위한 신호 제어부(도시하지 않음)을 더 포함할 수 있다.
- [0040] 그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.
- [0041] 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호 및 이의 표시를 제어하는 입력 제어 신호를 수신하면, 데이터 구동부(500)는 데이터 제어 신호에 따라 한 행의 화소(PX)에 데이터 전압을 해당 데이터선(D_1-D_{2m})에 인가한다. 하나의 화소(PX)의 제1 및 제2 부화소(PXa, PXb)에는 하나의 입력 영상 신호에 대하여 미리 설정되어 있는 서로 다른 데이터 전압이 인가될 수 있다.
- [0042] 게이트 구동부(400)는 게이트 제어 신호에 따라 게이트 온 전압(Von)을 게이트선(G_1-G_n)에 인가하여 이 게이트선

(G_1 - G_n)에 연결된 제1 및 제2 스위칭 소자(Q_a , Q_b)를 턴 온시킨다. 그러면, 데이터선(D_1 - D_{2m})에 인가된 데이터 전압이 턴 온된 제1 및 제2 스위칭 소자(Q_a , Q_b)를 통하여 해당 제1 및 제2 부화소(PX_a , PX_b)에 인가된다.

[0043] 제1 및 제2 부화소(PX_a , PX_b)에 인가된 데이터 전압과 공통 전압(V_{com})의 차이는 제1 및 제2 액정 축전기(Cl_{ca} , Cl_{cb})의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며, 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광자(도시하지 않음)에 의하여 빛의 투과율 변화로 나타난다. 이때, 한 화소(PX)의 제1 및 제2 액정 축전기(Cl_{ca} , Cl_{cb})의 충전 전압이 서로 다르므로 측면 감마 곡선을 정면 감마 곡선에 가깝도록 할 수 있고 측면 시인성을 좋게 할 수 있다.

[0044] 1 수평 주기["1H"라고도 씀]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선(G_1 - G_n)에 대하여 차례로 게이트 온 전압(V_{on})을 인가하고 모든 화소(PX)에 데이터 신호를 인가하여 한 프레임(frame)의 영상을 표시한다.

[0045] 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 신호의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 신호의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 화소 행에 인가되는 데이터 신호의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).

[0046] 그러면 이러한 액정 표시 장치의 상세 구조에 대하여 도 4 내지 도 7을 참고하여 상세하게 설명한다.

[0047] 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 하부 표시판의 배치도이고, 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 상부 표시판의 배치도이고, 도 6은 도 4의 하부 표시판과 도 5의 상부 표시판을 포함하는 액정 표시 장치의 배치도이고, 도 7은 도 6의 액정 표시 장치를 VII-VII 선을 따라 잘라 도시한 단면도이다.

[0048] 도 4 내지 도 7을 참고하면, 본 실시예에 따른 액정 표시 장치는 하부 표시판(100), 이와 마주보고 있는 상부 표시판(200), 그리고 하부 및 상부 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.

[0049] 먼저 하부 표시판(100)에 대하여 상세하게 설명한다.

[0050] 절연 기판(110) 위에 복수의 게이트선(gate line)(121(i-1), 121i)을 포함하는 복수의 게이트 도전체가 형성되어 있다.

[0051] 게이트선(121(i-1), 121i)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121(i-1), 121i)은 위로 돌출한 복수 쌍의 제1 및 제2 게이트 전극(124a, 124b)을 포함한다. 제1 및 제2 게이트 전극(124a, 124b)은 좌우 양쪽에 게이트선(121(i-1), 121i)에 실질적으로 수직한 한 쌍의 변을 포함한다.

[0052] 게이트 도전체 위에는 게이트 절연막(gate insulating layer)(140)이 형성되어 있다. 게이트 절연막(140)은 질화규소(SiN_x) 또는 산화규소(SiO_x) 등의 무기 절연물로 만들어질 수 있다.

[0053] 게이트 절연막(140) 위에는 비정질 또는 결정질 규소 등으로 만들어질 수 있는 복수 쌍의 제1 및 제2 반도체(154a, 154b)가 형성되어 있다. 제1 및 제2 반도체(154a, 154b)는 각각 제1 및 제2 게이트 전극(124a, 124b) 위에 위치한다.

[0054] 각각의 제1 반도체(154a) 위에는 한 쌍의 저항성 접촉 부재(ohmic contact)(도시하지 않음)가 형성되어 있고, 각각의 제2 반도체(154b) 위에는 한 쌍의 저항성 접촉 부재(163b, 165b)가 형성되어 있다. 저항성 접촉 부재(163b, 165b)는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어질 수 있다.

[0055] 저항성 접촉 부재(163b, 165b) 및 게이트 절연막(140) 위에는 복수 쌍의 제1 및 제2 데이터선(data line)(171j, 171(j+1)), 그리고 복수 쌍의 제1 및 제2 드레인 전극(drain electrode)(175a, 175b)을 포함하는 데이터 도전체가 형성되어 있다.

[0056] 제1 및 제2 데이터선(171j, 171(j+1))은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121(i-1), 121i)과 교차한다. 제1 및 제2 데이터선(171j, 171(j+1))은 각각 제1 및 제2 게이트 전극(124a, 124b)을 향하여 뻗은 복수의 제1 및 제2 소스 전극(source electrode)(173a, 173b)을 포함한다. 제1 소스 전극(173a)과 제

2 소스 전극(173b)은 알파벳 "C" 모양 또는 뒤집힌 "C" 모양을 하고 있을 수 있으며 각각 열린 부분을 가질 수 있다. 제1 소스 전극(173a)의 열린 부분과 제2 소스 전극(173b)의 열린 부분은 서로 마주하고 있을 수 있다. 이와 다르게 제1 및 제2 소스 전극(173a, 173b)은 다양한 모양을 가질 수 있으며 다양하게 배치되어 있을 수 있다.

[0057] 제1 및 제2 드레인 전극(175a, 175b)은 서로 분리되어 있고 데이터선(171j, 171(j+1))과도 분리되어 있다. 제1 및 제2 드레인 전극(175a, 175b)은 각각 제1 및 제2 게이트 전극(124a, 124b)을 중심으로 제1 및 제2 소스 전극(173a, 173b)과 마주하는 막대형 끝 부분과 면적이 넓은 다른 끝 부분을 포함한다. 제1 드레인 전극(175a)의 막대형 끝 부분은 제1 소스 전극(173a)으로 일부 둘러싸여 있고 제1 게이트 전극(124a)의 오른쪽 변과 중첩하며 가로 방향으로 뻗어 있을 수 있다. 제2 드레인 전극(175b)의 막대형 끝 부분은 제2 소스 전극(173b)으로 일부 둘러싸여 있고 제2 게이트 전극(124b)의 왼쪽 변과 중첩하며 가로 방향으로 뻗어 있을 수 있다. 도 4 내지 도 7에 도시한 바와 다르게 제1 및 제2 드레인 전극(175a, 175b)은 직사각형, 정사각형, 꺾인 모양 등 다양한 형태를 가질 수 있다.

[0058] 제1/제2 게이트 전극(124a/124b), 제1/제2 소스 전극(173a/173b) 및 제1/제2 드레인 전극(175a/175b)은 제1/제2 반도체(154a/154b)와 함께 제1/제2 박막 트랜지스터(Qa/Qb)를 이루며, 박막 트랜지스터(Qa/Qb)의 채널은 제1/제2 소스 전극(173a/173b)과 제1/제2 드레인 전극(175a/175b) 사이의 제1/제2 반도체(154a/154b)에 형성된다. 본 실시예에서 제1 박막 트랜지스터(Qa)의 제1 소스 전극(173a)에 대한 제1 드레인 전극(175a)의 상대적 위치와 제2 박막 트랜지스터(Qb)의 제2 소스 전극(173b)에 대한 제2 드레인 전극(175b)의 상대적 위치는 서로 반대이다. 예를 들어 도 4 및 도 6에 도시한 바와 같이 제1 드레인 전극(175a)이 제1 소스 전극(173a)의 오른쪽에 위치하는 경우 제2 드레인 전극(175b)은 제2 소스 전극(173b)의 왼쪽에 위치할 수 있다.

[0059] 저항성 접촉 부재(163b, 165b)는 그 하부의 제1 및 제2 반도체(154a, 154b)와 그 상부의 데이터선(171j, 171(j+1)) 및 드레인 전극(175a, 175b) 사이에만 존재하며 그들 사이의 접촉 저항을 낮추어 주는 역할을 한다. 제1 및 제2 반도체(154a, 154b)는 제1 및 제2 소스 전극(173a, 173b)과 제1 및 제2 드레인 전극(175a, 175b)에 가리지 않고 노출된 부분을 가지고 있다.

[0060] 데이터선(171j, 171(j+1)) 및 드레인 전극(175a, 175b)과 노출된 반도체(154a, 154b) 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 또는 저유전율 절연물 따위로 만들어질 수 있다. 유기 절연물과 저유전율 절연물의 유전 상수는 4.0 이하일 수 있으며, 유기 절연물은 감광성(photosensitivity)을 가지질 수 있다. 보호막(180)의 표면은 평탄할 수 있다.

[0061] 보호막(180)에는 제1 및 제2 드레인 전극(175a, 175b)의 면적이 넓은 끝 부분을 각각 드러내는 복수 쌍의 제1 및 제2 접촉 구멍(185a, 185b)이 형성되어 있다.

[0062] 보호막(180) 위에는 제1 및 제2 부화소 전극(subpixel electrode)(191a, 191b)을 포함하는 복수의 화소 전극(pixel electrode)(191)이 형성되어 있다.

[0063] 하나의 화소 전극(191)을 이루는 한 쌍의 제1 및 제2 부화소 전극(191a, 191b)은 간극(gap)(91)을 사이에 두고 서로 분리되어 있으며, 화소 전극(191)의 바깥쪽 경계는 대략 사각형 형태일 수 있다. 제2 부화소 전극(191b)은 제1 부화소 전극(191a)의 옆에 위치한 중앙 전극부(191b1)와 제1 부화소 전극(191a)의 상부 및 하부에 각각 위치한 상부 전극부(191b2) 및 하부 전극부(191b3)를 포함한다. 상부 전극부(191b2)는 상부 절개부(92)를 포함하고 하부 전극부(191b3)는 하부 절개부(93)를 포함한다. 간극(91)과 절개부(92, 93)의 각 사선부는 게이트선(121(i-1), 121i)과 약 45도를 이룰 수 있다.

[0064] 화소 전극(191)은 ITO 또는 IZO 따위의 투명 도전 물질이나 알루미늄, 은 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

[0065] 제1/제2 부화소 전극(191a/191b)은 접촉 구멍(185a/185b)을 통하여 제1/제2 드레인 전극(175a/175b)과 물리적, 전기적으로 연결되어 있으며, 제1/제2 드레인 전극(175a/175b)으로부터 데이터 전압을 인가 받는다. 한 쌍의 부화소 전극(191a, 191b)에는 하나의 입력 영상 신호에 대하여 미리 설정되어 있는 서로 다른 데이터 전압이 인가되는데, 그 크기는 부화소 전극(191a, 191b)의 크기 및 모양에 따라 달리 설정될 수 있다. 또한 제1 및 제2 부화소 전극(191a, 191b)의 면적은 서로 다를 수 있다. 한 예로 제1 부화소 전극(191a)은 제2 부화소 전극(191b)에 비하여 높은 전압을 인가 받으며, 제2 부화소 전극(191b)보다 면적이 작을 수 있다.

- [0066] 다음, 상부 표시판(200)에 대하여 설명한다.
- [0067] 투명한 유리 등으로 이루어진 절연 기관(210) 위에 빛샘을 방지하기 위한 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 화소 전극(191)과 마주보며 화소 전극(191)과 거의 동일한 모양을 가지는 복수의 개구부(225)를 가진다.
- [0068] 기관(210) 및 차광 부재(220) 위에는 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(220)로 둘러싸인 영역 내에 대부분 존재하며, 화소 전극(191) 옆을 따라서 세로 방향으로 길게 뻗을 수 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다.
- [0069] 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 (유기) 절연물로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 덮개막(250)은 생략할 수 있다.
- [0070] 덮개막(250) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO, IZO 등의 투명한 도전체 따위로 만들어질 수 있으며, 도 5에 도시한 바와 같이 복수의 절개부(71, 72, 73a, 73b, 74a, 74b) 집합을 가진다. 절개부(71, 72, 73a, 73b, 74a, 74b)의 각 사선부는 게이트선(121(i-1), 121i)과 약 45도를 이룰 수 있다.
- [0071] 절개부(92, 93, 71, 72, 73a, 73b, 74a, 74b)의 수효는 설계 요소에 따라 달라질 수 있다.
- [0072] 표시판(100, 200)의 안쪽 면에는 배향막(alignment layer)(11, 21)이 도포되어 있으며 이들은 수직 배향막일 수 있다.
- [0073] 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있을 수 있다.
- [0074] 하부 표시판(100)과 상부 표시판(200) 사이에 들어 있는 액정층(3)은 음의 유전율 이방성을 가지는 액정 분자(31)를 포함하며, 액정 분자(31)는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.
- [0075] 제1/제2 부화소 전극(191a/191b)과 상부 표시판(200)의 공통 전극(270)은 그 사이의 액정층(3) 부분과 함께 제1/제2 액정 축전기(C1ca/C1cb)를 이루어 제1/제2 박막 트랜지스터(Qa/Qb)가 턴 오프된 후에도 인가된 전압을 유지한다.
- [0076] 공통 전극(270)에 공통 전압을 인가하고 화소 전극(191)에 데이터 전압을 인가하면 표시판(100, 200)의 표면에 거의 수직인 전기장이 생성된다. 그러면 액정층(3)의 액정 분자(31)들은 전기장에 응답하여 그 장축이 전기장의 방향에 수직을 이루도록 기울어지며, 액정 분자(31)가 기울어진 정도에 따라 액정층(3)에 입사광의 편광의 변화 정도가 달라진다. 한편 전극(191, 270)의 절개부(92, 93, 71, 72, 73a, 73b, 74a, 74b) 및 간극(91)은 이러한 전기장을 왜곡하여 절개부(92, 93, 71, 72, 73a, 73b, 74a, 74b) 및 간극(91)의 변에 대하여 수직한 성분을 만들어낸다. 이에 따라 액정층(3)은 액정 분자(31)들이 기울어지는 방향이 다른 복수의 도메인으로 나뉘며, 기준 시야각이 확대될 수 있다.
- [0077] 그러면 도 8 내지 도 10을 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치의 여러 화소(PX)가 포함하는 박막 트랜지스터(Qa, Qb)의 배치 및 모양에 대해 설명한다.
- [0078] 도 8 및 도 9는 각각 노광기의 스캔 방향에 따른 박막 트랜지스터의 정렬 오차의 변화를 보여주는 도면이고, 도 10은 본 발명의 한 실시예에 따른 액정 표시 장치의 네 개의 화소(PX1, PX2, PX3, PX4) 및 각 화소(PX1, PX2, PX3, PX4)의 제1 및 제2 부화소(PXa, PXb)의 배치도이다.
- [0079] 먼저 도 10을 참고하면, 본 발명이 한 실시예에 따른 액정 표시 장치는 행렬 형태로 배열된 복수의 화소(PX1, PX2, PX3, PX4), 복수의 게이트선(121(i-1), 121i), 복수 쌍의 데이터선(171j, 171(j+1), 171(j+2), 171(j+3))을 포함하며, 각 화소(PX1, PX2, PX3, PX4)는 제1 및 제2 박막 트랜지스터(Qa, Qb)와 이에 각각 연결된 한 쌍의 제1 및 제2 부화소 전극(191a, 191b)을 포함한다.
- [0080] 열 방향 또는 행 방향으로 이웃한 화소(PX1, PX2, PX3, PX4)의 제1 및 제2 박막 트랜지스터(Qa, Qb)의 위치(예를 들어 좌우 위치)는 서로 반대일 수 있다. 즉, 화소(PX1)의 제1 박막 트랜지스터(Qa)는 오른쪽에 위치한 데이터선(171(j+1))에 연결되어 있고 제2 박막 트랜지스터(Qb)는 왼쪽에 위치한 데이터선(171j)에 연결되어 있으나, 화소(PX1)에 대해 열/행 방향으로 이웃한 화소(PX3/PX2)의 제1 박막 트랜지스터(Qa)는 왼쪽에 위치한 데이터선(171j/171(j+2))에 연결되어 있고 제2 박막 트랜지스터(Qb)는 오른쪽에 위치한 데이터선(171(j+1)/171(j+3))에 연결되어 있다. 즉, 한 데이터선(171j, 171(j+1), 171(j+2), 171(j+3))에는 제1 및 제

2 박막 트랜지스터(Qa, Qb)가 교대로 연결되어 있으며, 한 게이트선(121(i-1), 121i)에는 제1 및 제2 박막 트랜지스터(Qa, Qb)가 두 개씩 교대로 연결되어 있다.

[0081] 또한 앞에서 설명한 바와 같이 각 화소(PX1, PX2, PX3, PX4)안에서도 제1 박막 트랜지스터(Qa) 및 제2 박막 트랜지스터(Qb)의 모양은 반대일 수 있다. 즉, 각 화소(PX1, PX2, PX3, PX4)의 제1 박막 트랜지스터(Qa)의 제1 소스 전극(173a)에 대한 제1 드레인 전극(175a)의 상대적 위치와 제2 박막 트랜지스터(Qb)의 제2 소스 전극(173b)에 대한 제2 드레인 전극(175b)의 상대적 위치는 서로 반대일 수 있다. 예를 들어, 도 10에 도시한 바와 같이, 화소(PX1, PX2, PX3, PX4)의 길이 방향을 기준으로 한 제1 소스 전극(173a)과 제1 드레인 전극(175a)의 좌우 위치 관계와 제2 소스 전극(173b)과 제2 드레인 전극(175b)의 좌우 위치 관계는 서로 반대이다. 각 화소(PX1, PX2, PX3, PX4)의 제1 및 제2 소스 전극(173a, 173b)의 열린 부분은 서로 반대 방향을 향할 수 있으며 서로 마주할 수 있다.

[0082] 이와 다르게, 각 화소(PX1, PX2, PX3, PX4)의 제1 및 제2 소스 전극(173a, 173b)의 열린 부분의 방향은 서로 동일할 수도 있다. 즉, 각 화소(PX1, PX2, PX3, PX4)의 제1 및 제2 소스 전극(173a, 173b)의 열린 부분이 모두 오른쪽을 향하거나 모두 왼쪽을 향할 수 있다. 예를 들어 도 10에 도시된 화소(PX3)의 제2 소스 전극(173b)도 오른쪽을 향하여 열려 있을 수 있으며, 이 경우, 제2 소스 전극(173b)이 제2 드레인 전극(175b)보다 데이터선(171(j+1))으로부터 멀어지게 되므로 데이터선(171(j+1))은 제2 소스 전극(173b)과 연결되기 위해 안쪽으로 꺾일 수 밖에 없다. 그러면 두 데이터선(171j, 171(j+1))의 데이터 신호 지연 정도가 달라지고, 화소(PX3) 안쪽으로 꺾인 데이터선(171(j+1))과 제2 부화소 전극(191b) 사이의 크로스 토크(cross talk)로 인한 화질 불량이 생길 수 있다.

[0083] 따라서 도 10에 도시한 바와 같이 각 화소(PX1, PX2, PX3, PX4)의 제1 박막 트랜지스터(Qa) 및 제2 박막 트랜지스터(Qb)의 모양을 서로 반대가 되게 하면, 데이터선(171j, 171(j+1), 171(j+2), 171(j+3))의 신호 지연을 동일하게 할 수 있고, 크로스 토크로 인한 화질 열화를 막을 수 있으며, 화소(PX1, PX2, PX3, PX4) 안쪽으로 데이터선(171j, 171(j+1), 171(j+2), 171(j+3))이 꺾여 들어올 필요가 없으므로 개구부 감소를 줄일 수 있다.

[0084] 또한 도 10을 참고하면, 이웃한 화소(PX1, PX2, PX3, PX4) 간에도, 제1 박막 트랜지스터(Qa)의 제1 소스 전극(173a)의 열린 부분의 방향은 서로 반대가 되고, 제2 박막 트랜지스터(Qb)의 제2 소스 전극(173b)의 열린 부분의 방향 역시 서로 반대가 된다.

[0085] 도 10에 도시한 바와 다르게 제1 및 제2 부화소 전극(191a, 191b)의 좌우 배치는 도 4 내지 도 6에 도시한 바와 같이 각 화소(PX1, PX2, PX3, PX4)마다 동일할 수 있다. 또한 도 10에 도시한 액정 표시 장치는 앞에서 설명한 도 4 내지 도 7에 도시한 액정 표시 장치와 같은 구조를 가질 수 있다.

[0086] 도 4 내지 도 7, 그리고 도 10에 도시한 실시예에서, 게이트선(121(i-1), 121i), 소스 전극(173a, 173b)을 포함하는 데이터선(171j, 171(j+1), 171(j+2), 171(j+3))[171(j+2) 및 171(j+3)은 도 8에만 도시됨] 및 드레인 전극(175a, 175b) 등의 도전체를 형성하는 과정은 기판 위에 도전 물질을 적층하고 그 위에 감광막 패턴을 형성하는 단계를 포함할 수 있다. 감광막 패턴을 형성하는 단계는 적층된 도전 물질 위에 감광막을 도포한 후 광마스크를 이용해 노광을 하는 단계를 포함하는데, 이러한 노광 단계에서 노광기를 이용해 기판을 스캐닝하며 노광할 수 있다. 본 발명의 한 실시예에 따른 액정 표시 장치의 제조 방법에서 이러한 노광기의 스캔 방향은 도 10에 도시한 바와 같이 게이트선(121(i-1), 121i)에 평행한 방향이 될 수 있다. 이때 제1 및 제2 박막 트랜지스터(Qa, Qb)의 제1 및 제2 드레인 전극(175a, 175b)의 막대형 끝 부분의 뺨은 방향도 노광기의 스캔 방향과 나란할 수 있다.

[0087] 한편 노광기로 스캐닝할 때 스캔 방향에 비선형적인 불규칙한 오차가 생겨 패터닝할 도전체들 간의 정렬에 오차가 생길 수 있다. 스캔 방향의 오차는 스캔 방향에 수직인 방향이 스캔 방향에 수평한 방향보다 더 클 수 있다. 따라서 도 8에 도시한 바와 같이 박막 트랜지스터(Q)를 배치하면 노광기의 스캔 방향에 수직인 방향의 정렬 오차(B)가 수평한 방향의 정렬 오차(A)보다 크기 때문에 드레인 전극(175)과 게이트 전극(124)의 중첩 면적의 변화량도 크게 된다. 반면 도 9에 도시한 바와 같이 박막 트랜지스터(Q)를 배치하면 노광기의 스캔 방향에 수평한 방향의 정렬 오차(A)가 수직인 방향의 정렬 오차(B)보다 작기 때문에 드레인 전극(175)과 게이트 전극(124)의 중첩 면적의 변화량도 작다.

[0088] 따라서 도 4 내지 도 7과 도 10에 도시한 실시예와 같이 제1 및 제2 드레인 전극(175a, 175b)을 노광기의 스캔 방향과 평행하게 가로 방향으로 뺨게 하여 제1 및 제2 게이트 전극(124a, 124b)의 좌우 변과 중첩하게 함으로써, 노광기의 스캔 방향에 오차가 생겨도 제1 및 제2 드레인 전극(175a, 175b)과 제1 및 제2 게이트 전극

(124a, 124b) 사이의 중첩 면적의 변화량을 줄일 수 있다. 즉, 제1 및 제2 드레인 전극(175a, 175b)이 제1 및 제2 게이트 전극(124a, 124b)과 중첩하는 부분과 중첩하지 않는 부분의 경계선은 노광기의 스캔 방향에 수직이 되게 하면 노광기의 스캔 방향에 오차가 생겨도 제1 및 제2 드레인 전극(175a, 175b)과 제1 및 제2 게이트 전극(124a, 124b) 사이의 중첩 면적의 변화량을 줄일 수 있다. 도 4 내지 도 7과 도 10에 도시한 바와 다르게, 제1 및 제2 드레인 전극(175a, 175b)이 제1 및 제2 게이트 전극(124a, 124b)과 중첩하는 부분과 중첩하지 않는 부분의 경계선과 노광기의 스캔 방향이 이루는 각 중 예각은 45도보다 크고 90도보다 작거나 같을 수도 있다.

[0089] 이와 같이 제1 및 제2 드레인 전극(175a, 175b)과 제1 및 제2 게이트 전극(124a, 124b) 사이의 중첩 면적의 변화량을 줄일 수 있으면, 제1 및 제2 드레인 전극(175a, 175b)과 제1 및 제2 게이트 전극(124a, 124b) 사이의 기생 용량에 의해 제1 및 제2 부화소 전극(191a, 191b)에 인가된 데이터 전압을 끌어내리는 킥백 전압의 변화량 및 편차 역시 줄일 수 있다. 따라서 노광기의 스캔 방향에 수직인 방향의 비선형 오차로 인한 킥백 전압의 변화를 줄일 수 있으므로 가로줄 얼룩 등의 표시 불량량을 줄일 수 있다.

[0090] 그러면 앞에서 설명한 도 10의 실시예 또는 도 4 내지 도 7의 실시예에서, 게이트선(121(i-1), 121i)과 데이터선(171j, 171(j+1), 171(j+2), 171(j+3))[171(j+2), 171(j+3)는 도 10에 도시됨] 또는 드레인 전극(175a, 175b) 사이의 정렬에 제조 공정상 오차가 생기는 경우 제1 및 제2 부화소 전극(191a, 191b)의 데이터 전압의 변화에 대해 도 11 내지 도 14를 도 10과 함께 참고하여 설명한다.

[0091] 도 11 및 도 13은 각각 본 발명의 한 실시예에 따른 액정 표시 장치의 두 개의 화소의 박막 트랜지스터 부분을 도시한 배치도이고, 도 12 및 도 14는 각각 본 발명의 한 실시예에 따른 액정 표시 장치의 두 개의 화소의 킥백 전압의 변화량을 나타내는 도면이다.

[0092] 먼저 도 11 및 도 12를 참고하면, 제1 및 제2 게이트 전극(124a, 124b)을 포함하는 게이트선(121i)이 오른쪽으로 치우쳐 정렬이 된 경우 화소(PX1)의 제1 게이트 전극(124a)과 제1 드레인 전극(175a)의 중첩 면적은 작아져 킥백 전압이 작아지고, 이웃한 화소(PX2)의 제1 게이트 전극(124a)과 제1 드레인 전극(175a)의 중첩 면적은 커져 킥백 전압이 커진다. 따라서 이웃한 화소(PX1, PX2)의 제1 부화소 전극(191a)에 인가되는 데이터 전압의 킥백 전압에 의한 변화량이 서로 상쇄될 수 있다. 또한 게이트선(121i)이 오른쪽으로 치우쳐 정렬이 된 경우 화소(PX1)의 제2 게이트 전극(124b)과 제2 드레인 전극(175b)의 중첩 면적은 커지므로 킥백 전압이 커지고, 이웃한 화소(PX2)의 제2 게이트 전극(124b)과 제2 드레인 전극(175b)의 중첩 면적은 작아져 킥백 전압도 작아진다. 따라서 이웃한 화소(PX1, PX2)의 제2 부화소 전극(191b)에 인가되는 데이터 전압의 킥백 전압에 의한 변화량도 서로 상쇄될 수 있다.

[0093] 도 13 및 도 14는 도 11 및 도 12의 경우와 반대로, 제1 및 제2 게이트 전극(124a, 124b)을 포함하는 게이트선(121i)이 왼쪽으로 치우쳐 정렬이 된 경우를 보여준다. 본 실시예의 경우 각각의 킥백 전압의 변화량은 도 11 및 도 12의 경우와 반대가 되며, 행 방향으로 이웃한 두 화소(PX1, PX2)의 제1 및 제2 부화소 전극(191a, 191b)에 인가되는 데이터 전압의 변화량도 서로 상쇄될 수 있다.

[0094] 이와 같이 이웃하는 화소(PX1, PX2)의 비교적 높은 전압이 인가되는 제1 부화소 전극(191a)의 킥백 전압의 변화가 서로 상쇄되고, 비교적 낮은 전압이 인가되는 제2 부화소 전극(191b)의 킥백 전압의 변화가 서로 상쇄되므로 제조 공정상 게이트선(121(i-1), 121i) 등의 구성 요소의 정렬에 편차가 생겨도 킥백 전압의 변화에 의한 가로줄 얼룩 등의 표시 불량량을 방지할 수 있다.

[0095] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

[0096] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

[0097] 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소의 구조를 간략히 도시한 도면이다.

[0098] 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

[0099] 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 하부 표시판의 배치도이다.

[0100] 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 상부 표시판의 배치도이다.

[0101] 도 6은 도 4의 하부 표시판과 도 5의 상부 표시판을 포함하는 액정 표시 장치의 배치도이다.

[0102] 도 7은 도 6의 액정 표시 장치를 VII-VII 선을 따라 잘라 도시한 단면도이다.

[0103] 도 8 및 도 9는 각각 노광기의 스캔 방향에 따른 박막 트랜지스터의 정렬 오차의 변화를 보여주는 도면이다.

[0104] 도 10은 본 발명의 한 실시예에 따른 액정 표시 장치의 네 개의 화소 및 각 화소의 부화소의 배치도이다.

[0105] 도 11은 본 발명의 한 실시예에 따른 액정 표시 장치의 두 개의 화소의 박막 트랜지스터 부분을 도시한 배치도이다.

[0106] 도 12는 본 발명의 한 실시예에 따른 액정 표시 장치의 두 개의 화소의 킥백 전압의 크기를 나타내는 도면이다.

[0107] 도 13은 본 발명의 한 실시예에 따른 액정 표시 장치의 두 개의 화소의 박막 트랜지스터 부분을 도시한 배치도이다.

[0108] 도 14는 본 발명의 한 실시예에 따른 액정 표시 장치의 두 개의 화소의 킥백 전압의 크기를 나타내는 도면이다.

[0109] <도면의 주요 부분에 대한 부호의 설명>

[0110] 3: 액정층 11, 21: 배향막

[0111] 100: 하부 표시판 110, 210: 절연 기판

[0112] 121: 게이트선 124a, 124b: 게이트 전극

[0113] 140: 게이트 절연막 154a, 154b: 반도체

[0114] 171: 데이터선 173a, 173b: 소스 전극

[0115] 175a, 175b: 드레인 전극 180: 보호막

[0116] 185a, 185b: 접촉 구멍

[0117] 191a, 191b: 부화소 전극 200: 상부 표시판

[0118] 220: 차광 부재 230: 색필터

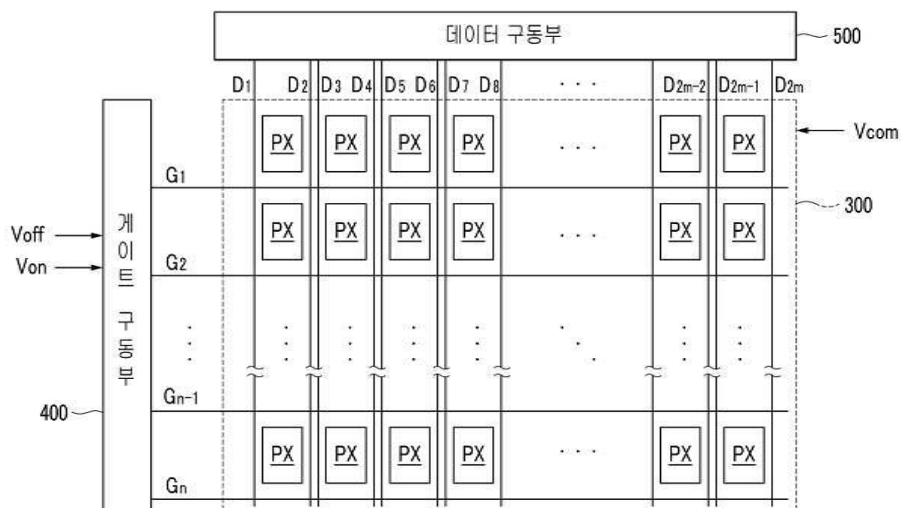
[0119] 270: 공통 전극

[0120] Clca, Clcb: 액정 축전기 Csta, Cstb: 유지 축전기

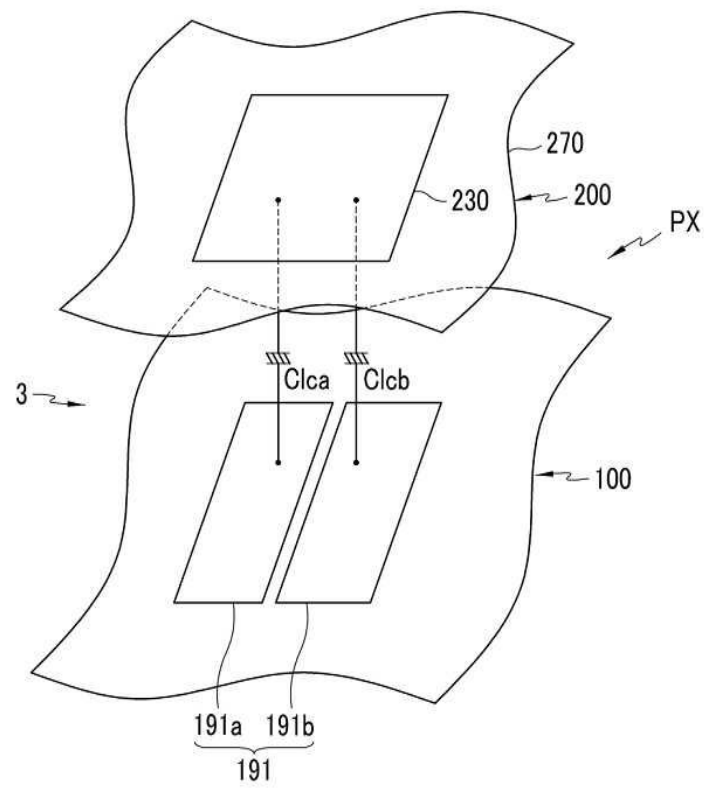
[0121] Qa, Qb: 스위칭 소자, 박막 트랜지스터

도면

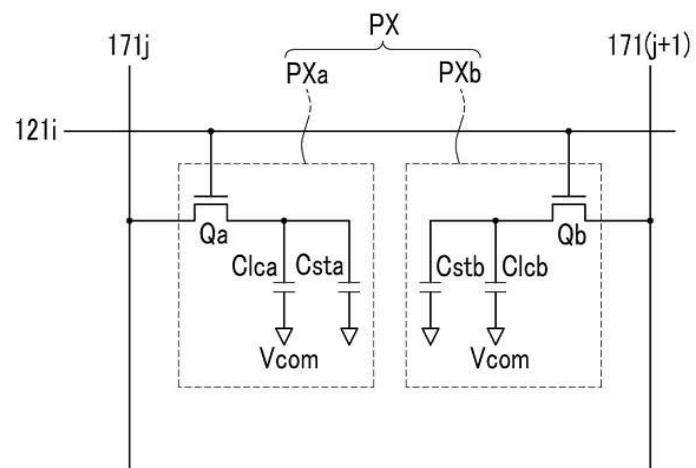
도면1



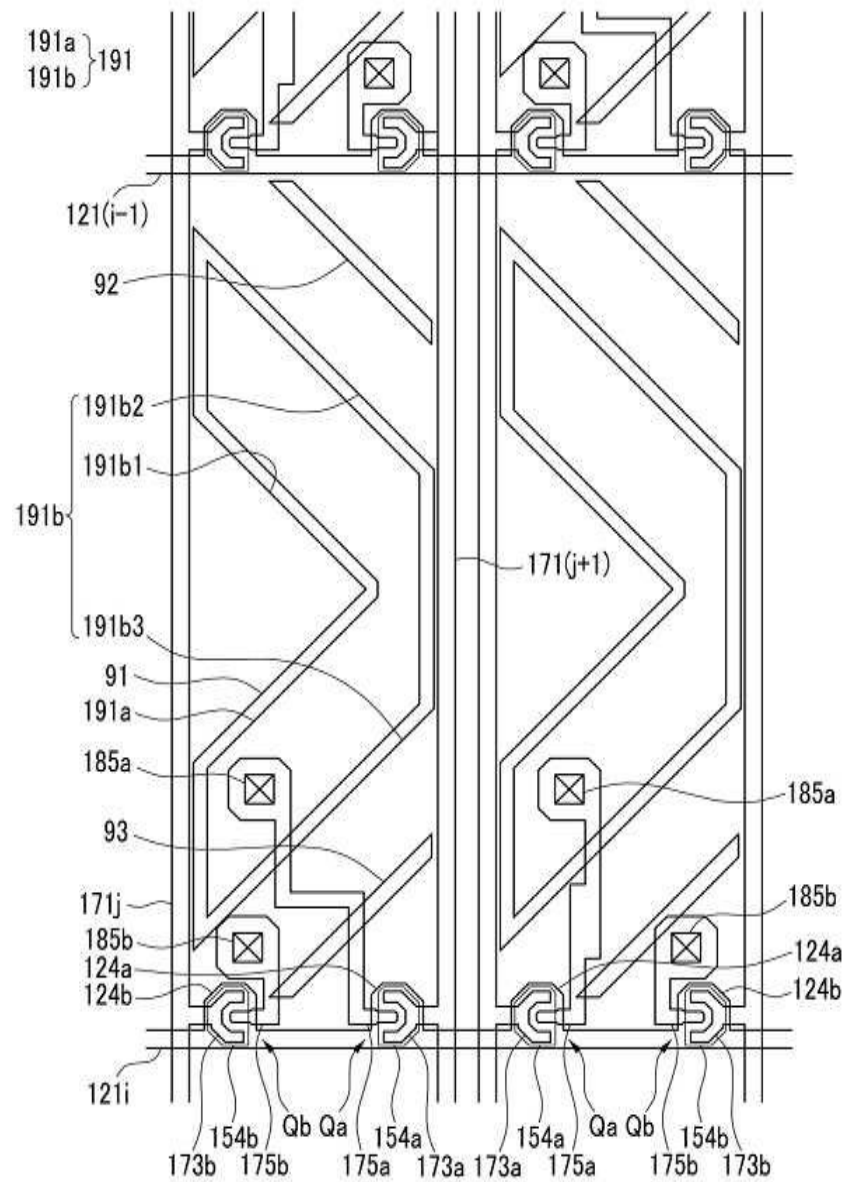
도면2



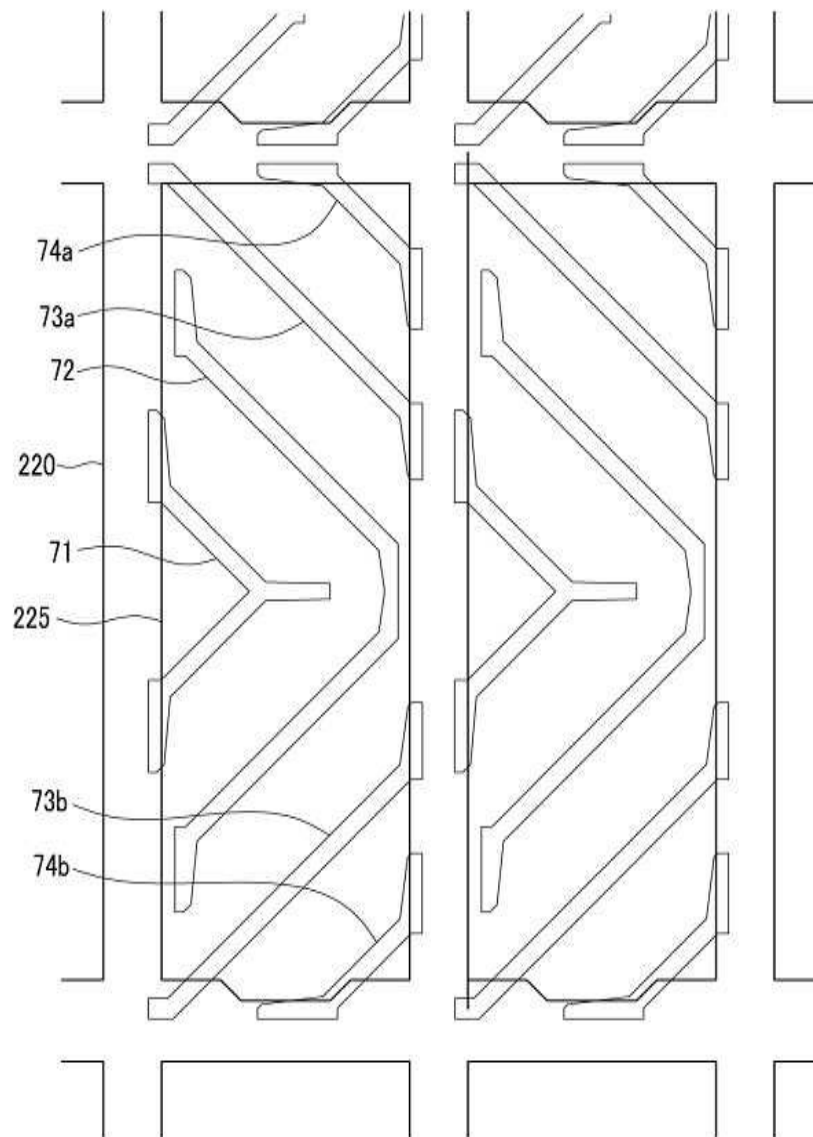
도면3



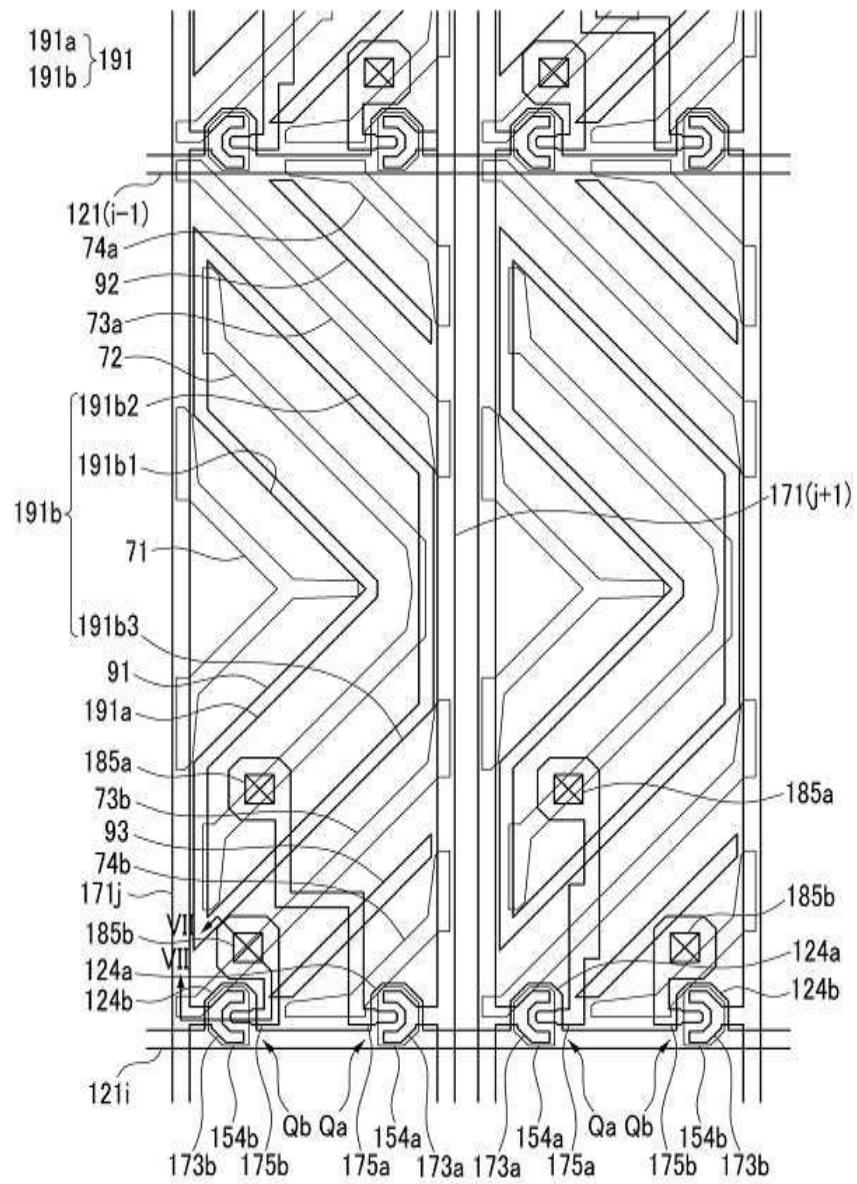
도면4



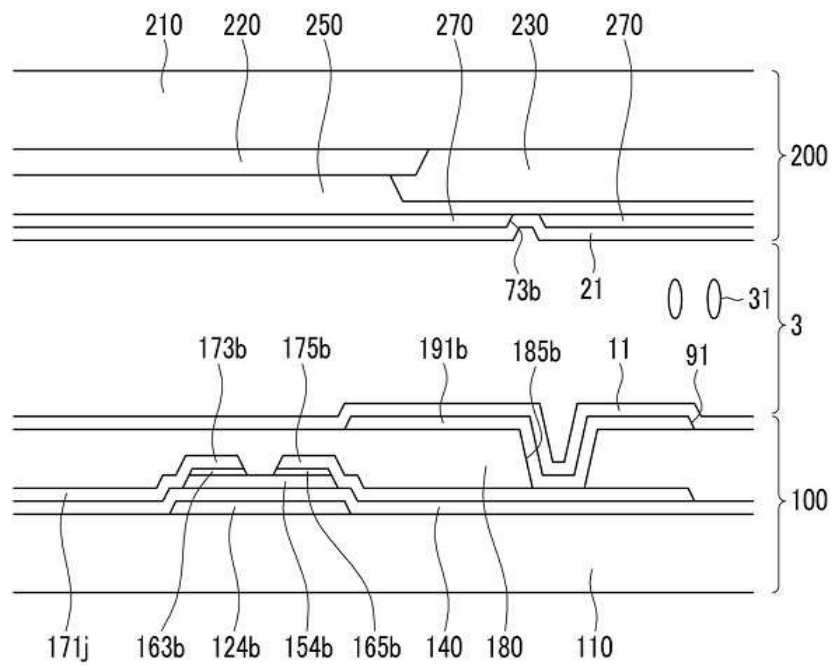
도면5



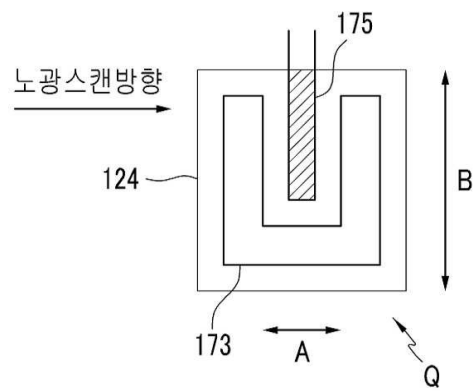
도면6



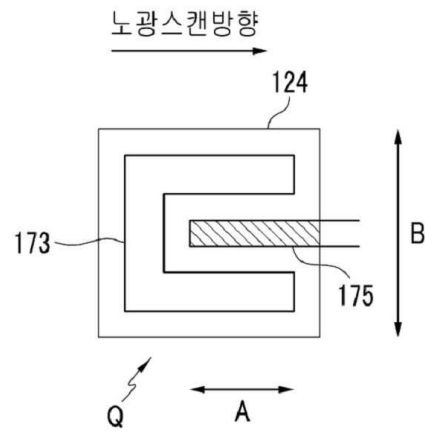
도면7



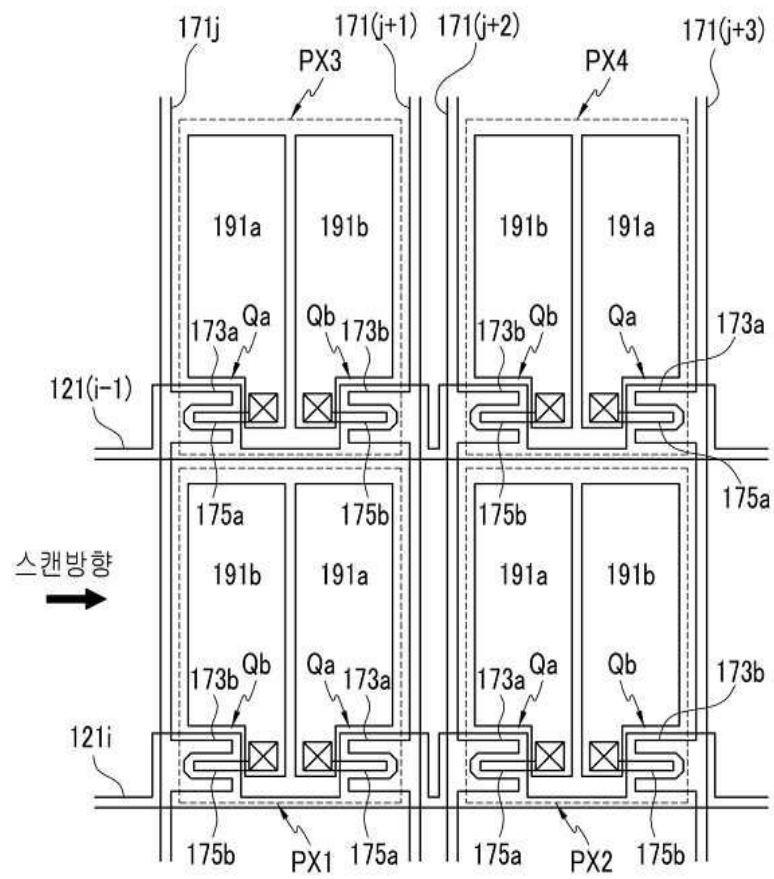
도면8



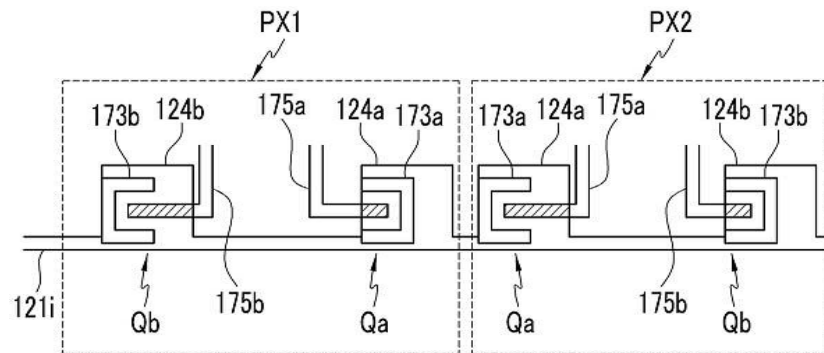
도면9



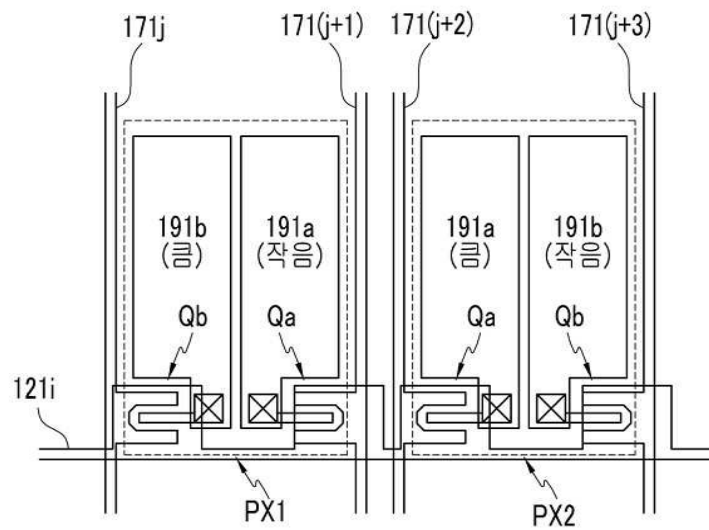
도면10



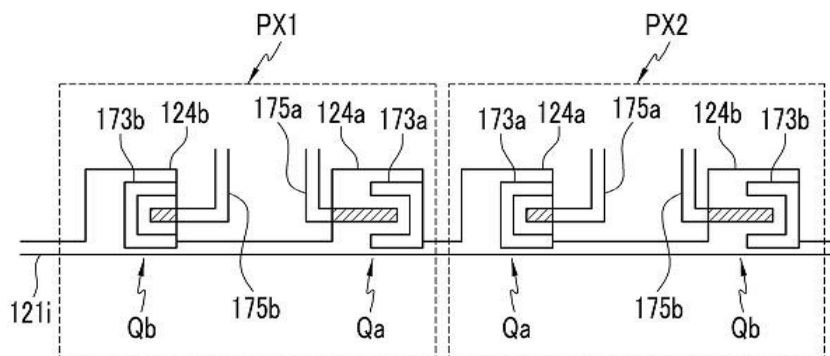
도면11



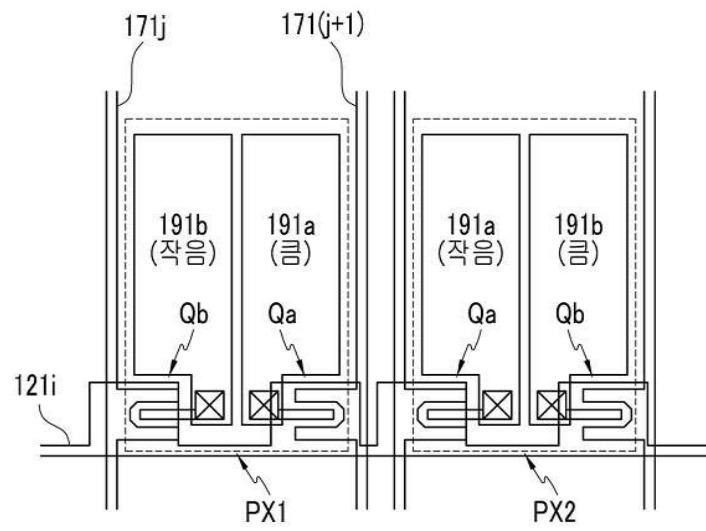
도면12



도면13



도면14



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020100092738A	公开(公告)日	2010-08-23
申请号	KR1020090012014	申请日	2009-02-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KWON JI HYUN 권지현 NA HYE SEOK 나혜석 LEE WON HEE 이원희 KWON HO KYOON 권호균 NA BYOUNG SUN 나병선 LEE DONG YOON 이동윤 LEE JU HEE 이주희 KO GWANG BUM 고광범		
发明人	권지현 나혜석 이원희 권호균 나병선 이동윤 이주희 고광범		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F1/136286 G02F1/134363 G02F2001/134345 G09G2300/0426 G09G2300/0439 G09G2320/0209		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示器及其制造方法，即使产生反冲电压，也能防止条纹污迹等显示缺陷。组成：多个像素 (PX) 以阵列形式排列。像素包括第一和第二子像素。像素包括第一薄膜晶体管和第二薄膜晶体管。第一薄膜晶体管将第一数据电压传输到第一子像素。第二薄膜晶体管将第二数据电压传输到第二子像素。COPYRIGHT KIPO 2011

