



(72) 발명자

주진호

서울특별시 마포구 도화1동 마포삼성아파트 110동
1203호

윤주애

경기도 성남시 분당구 야탑동 매화마을 주공2단지
211동 902호

석준형

경기 용인시 풍덕천2동 삼성5차아파트 506동 202호

강민

서울 강남구 도곡1동 역삼럭키아파트 103-202

특허청구의 범위

청구항 1

제 1 기관;

상기 제 1 기관 상에 형성되고 게이트선 및 게이트 전극을 포함하는 게이트배선;

상기 게이트배선을 덮는 제 1 게이트 절연막;

상기 제 1 게이트 절연막 상부에 형성되는 컬러필터; 및

상기 컬러필터 상부에 형성되는 제 2 게이트 절연막을 포함하는 박막트랜지스터 기관.

청구항 2

제 1항에 있어서, 상기 제 2 게이트 절연막 상부에 형성되고 채널층을 형성하는 반도체 층 및 상기 반도체층 상부에 형성되는 데이터 메탈 배선을 더 포함하며, 상기 데이터 메탈 배선은 데이터선 및 소스-드레인 전극을 포함하는 박막트랜지스터 기관.

청구항 3

제 2항에 있어서, 상기 데이터배선 상부에 형성되는 패시베이션막을 더 포함하는 박막트랜지스터 기관.

청구항 4

제 3항에 있어서, 상기 패시베이션막 상부에 형성되는 제 1 유기절연막을 더 포함하는 박막트랜지스터 기관.

청구항 5

제 4항에 있어서, 상기 데이터배선은 제 1 데이터메탈 층과 상기 제 1 유기절연막의 패터닝을 통해 노출되는 상기 제 1 데이터메탈 층과 접촉하여 형성되는 제 2 데이터메탈 층을 포함하는 박막트랜지스터 기관.

청구항 6

제 3항에 있어서, 상기 채널층에 대응하는 부위에 형성되는 블랙매트릭스를 더 포함하는 박막트랜지스터 기관.

청구항 7

제 6항에 있어서, 상기 블랙매트릭스 상부에 형성되는 제 2 유기 절연막을 더 포함하는 박막트랜지스터 기관.

청구항 8

제 7항에 있어서, 상기 드레인 전극과 전기적으로 연결되는 화소 전극을 더 포함하는 박막트랜지스터 기관.

청구항 9

제 1 기관상에 게이트선 및 게이트 전극을 포함하는 게이트배선을 형성하는 단계;

상기 게이트배선 상부에 형성되는 제 1 게이트 절연막을 형성하는 단계;

상기 제 1 게이트 절연막 상부에 컬러필터를 형성하는 단계; 및

상기 컬러필터를 덮는 제 2 게이트 절연막을 형성하는 단계를 포함하는 박막트랜지스터 기관 제조방법.

청구항 10

제 9항에 있어서, 채널층을 형성하는 반도체 층 및 상기 반도체층 상부에 형성되는 데이터선 및 소스-드레인 전극을 포함하는 데이터배선을 형성하는 단계를 더 포함하는 박막트랜지스터 기관 제조방법.

청구항 11

제 10항에 있어서, 상기 데이터배선 상부에 패시베이션막을 형성하는 단계를 더 포함하는 박막트랜지스터 기관 제조방법.

청구항 12

제 11항에 있어서, 상기 패시베이션막 상부에 제 1 유기 절연막을 형성하는 단계를 더 포함하는 박막트랜지스터 기판 제조방법.

청구항 13

제 12항에 있어서, 상기 데이터배선을 형성하는 단계는

제 1 데이터메탈 층을 형성하는 단계;

상기 제 1 데이터메탈 층 상부에 형성되며 컨택홀을 포함하는 제 1 유기 절연막을 형성하는 단계;

상기 제 1 유기 절연막을 통하여 노출된 상기 제 1 데이터메탈 층과 접촉하며 형성되는 제 2 데이터메탈 층을 형성하는 단계를 포함하는 박막트랜지스터 기판 제조방법.

청구항 14

제 13항에 있어서, 상기 제 2 데이터메탈 층을 무전해 도금, 전해도금, 및 메탈 잉크젯방법 중 적어도 하나를 통하여 형성하는 박막트랜지스터 기판 제조방법.

청구항 15

제 14항에 있어서, 상기 제 1 유기절연막을 형성하는 단계는 상기 채널 영역에 대응하는 부분에 블랙매트릭스 수용을 위한 공간을 형성하는 단계를 포함하는 박막트랜지스터 기판제조방법.

청구항 16

제 15항에 있어서, 상기 채널 영역 및 데이터선에 대응하는 제 1 유기 절연막의 상부에 블랙매트릭스를 형성하는 단계를 더 포함하는 박막트랜지스터 기판 제조방법.

청구항 17

제 16항에 있어서, 상기 블랙매트릭스는 유기물을 포함하는 것을 특징으로 하는 박막트랜지스터 기판 제조방법.

청구항 18

제 17항에 있어서, 상기 블랙매트릭스는 잉크젯 공정을 이용하여 형성하는 것을 특징으로 하는 박막트랜지스터 기판 제조방법.

청구항 19

제 1 기판상에 형성되어 있는 게이트 전극;

상기 게이트 전극 위에 형성되어 있는 제 1 게이트 절연막;

상기 게이트 전극의 단부에 대응하며, 상기 제 1 게이트 절연막 상부에 형성되어 있는 컬러필터;

상기 컬러필터 상부에 형성되고 채널 영역에 대응하는 부분에서 상기 제 1 게이트 절연막과 직접 접촉하는 제 2 게이트 절연막; 및

상기 제 2 게이트 절연막 상부에 형성되고 상기 채널영역을 형성하는 반도체층을 포함하는 박막트랜지스터 기판.

청구항 20

제 1 기판;

상기 제 1 기판과 대향하는 제 2 기판;

상기 제 2 기판에 형성되는 게이트선 및 게이트 전극을 포함하는 게이트배선;

상기 게이트배선을 커버하는 제 1 게이트 절연막;

상기 제 1 게이트 절연막 상부에 형성되는 컬러필터;

상기 컬러필터를 커버하는 제 2 게이트 절연막; 및

상기 제 1 기판과 상기 제 2 기판 사이에 형성되는 액정층을 포함하는 액정표시패널.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 박막트랜지스터 기판, 이의 제조 방법 및 이를 갖는 액정표시패널에 관한 것으로, 보다 상세하게는 액정표시장치에 사용되는 박막트랜지스터 기판, 이의 제조 방법 및 이를 갖는 액정표시패널에 관한 것이다.

배경 기술

- <2> 평판 표시 장치는 얇고 가벼우며 소비전력이 낮기 때문에 표시장치로서 소비시장이 확대되고 있다. 다양한 형태의 평판 표시 장치 중 액정표시장치는 컬러 표현 능력 및 표시 품질에 있어 다른 표시장치에 비해 그 우수하다. 이 때문에 노트북, 데스크 탑 모니터, TV에 이르기까지 액정표시장치의 영역이 확대되고 있다.
- <3> 상기 액정표시장치는 통상적으로 컬러필터 및 공통전극이 형성되어 있는 제 1 기판, 스위칭 소자 및 화소 전극이 형성되어 있는 제 2기판 및 그 사이에 액정층을 포함한다.
- <4> 상기 제 1 기판은 녹색, 빨강색, 파란색 등으로 이루어진 컬러필터를 포함한다. 상기 컬러필터는 표시화소마다 서로 다른 색깔로 교호적으로 또는 반복적으로 배치된다. 상기 제 1 기판 상에는 상기 표시화소 경계 상에 발생하는 빛샘을 방지하기 위해 블랙매트릭스가 형성된다. 상기 공통전극은 상기 컬러필터 및 상기 블랙매트릭스가 형성되어 있는 제 1 기판 상에 형성되며, 공통전압을 인가 받아 상기 화소 전극과 함께 전계를 형성한다.
- <5> 상기 제 2 기판은 다수개의 박막트랜지스터, 게이트 라인, 게이트 전극, 게이트 패드, 데이터 라인, 데이터 전극, 데이터 패드, 그리고 화소 전극 등을 포함한다. 다수개의 게이트 라인들은 다수개의 데이터 라인과 교차하며, 상기 교차한 영역에 근사한 위치에 박막트랜지스터가 형성된다. 상기 박막트랜지스터는 게이트 전극, 반도체 층, 소스-드레인 전극을 포함한다. 상기 게이트 전극은 상기 게이트 라인으로부터 연장되어 형성된다. 상기 소스 전극은 데이터 라인으로부터 연장되어 형성된다. 상기 드레인 전극은 상기 소스 전극과 마주보며 형성된다. 상기 화소 전극은 상기 드레인 전극과 전기적으로 연결되며, 상기 데이터 라인을 통해 인가되는 데이터 신호를 드레인 전극으로부터 인가 받는다. 상기 화소 전극은 투명한 물질로 높은 투과율을 갖는 물질 예를 들면, 인듐-틴-옥사이드 (ITO) 또는 인듐-징크-옥사이드(IZO)를 포함한다.
- <6> 광의 투과율은 상기 공통전극 및 상기 화소 전극을 통해 인가되는 전압을 통해 발생하는 전계에 의해 상기 액정층의 배열이 변함으로써 변화된다. 이를 통해 상기 액정표시 장치에서 화상을 표시하게 된다.
- <7> 상기 액정 표시장치를 제조하는 공정에 있어서, 제 1 기판과 제 2 기판을 별도의 공정으로 형성한 후 상기 제 1 기판 및 상기 제 2 기판을 실린트로 합착한다. 상기 합착 공정 시에 상기 제 1 기판 및 제 2 기판은 프리 베이크 공정, 노광공정, 포스트 베이크 공정 등에서 다수의 열처리 공정에 노출된다. 상기 열처리 공정에 노출된 상기 제 1 기판 및 상기 제 2 기판은 소정의 변형을 수반하며, 상기 변형은 상기 제 1 기판 및 제 2 기판의 합착 공정 시에 정렬 오차를 발생시킨다. 상기 정렬 오차가 발생할 경우 각 구성요소가 정확히 정렬되지 않음으로써 빛샘이 발생할 우려가 있고, 상기 빛샘은 원하는 색상을 구현하는데 방해요소가 되어 액정표시장치의 표시품질을 저하시키는 원인이 된다. 따라서, 상기 정렬 오차를 고려하여 블랙매트릭스의 영역을 설정하게 되고, 이는 개구율의 감소를 초래하게 된다.
- <8> 상기 정렬 오차 문제를 해결하기 위해 상기 컬러필터 및 상기 블랙매트릭스를 박막트랜지스터가 형성되어 있는 제 2 기판에 형성할 수 있다. 그러나, 이러한 경우에도 여전히 상기 게이트 라인과 상기 데이터라인이 전기적으로 쇼트 될 가능성이 존재하고, 상기 게이트 라인과 상기 데이터 라인이 중첩하는 영역에서는 기생용량이 증가한다. 상기 기생용량은 크로스토크 현상의 원인이 된다.

발명의 내용

해결 하고자하는 과제

- <9> 이에 본 발명은 상기의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 광 투과율 향상 및 잔상 개선을 위한 박막트랜지스터 기판을 제공하는 것이다.
- <10> 본 발명의 다른 목적은 상기 박막트랜지스터 기판의 제조 방법을 제공하는 것이다.
- <11> 본 발명의 또 다른 목적은 상기 박막트랜지스터 기판을 포함한 액정표시패널을 제공하는 것이다.

과제 해결수단

- <12> 상기한 본 발명의 목적을 달성하기 위한 일 실시예에 따른 박막트랜지스터 기판은 게이트 라인 및 게이트 전극, 제 1 게이트 절연막, 컬러필터, 제 2 게이트 절연막을 포함한다.
- <13> 상기한 본 발명의 목적을 실현하기 위한 다른 실시예에 따른 박막트랜지스터 기판은 게이트 라인 및 게이트 전극, 제 1 게이트 절연막, 컬러필터, 제 2 게이트 절연막, 제 1 데이터메탈 층, 제 1 유기절연막, 제 2 데이터메탈 층을 포함한다. 상기 제 2 데이터메탈 층은 제 1 유기절연막의 패터닝을 통해 노출된 제 1 데이터 메탈 층으로부터 성장시켜 형성한다.
- <14> 본 발명의 다른 목적을 실현하기 위한 일 실시예에 따른 박막트랜지스터 기판의 제조 방법은 제 1 기판상에 게이트선 및 게이트 전극을 포함하는 게이트배선을 형성한다. 상기 게이트배선 상부에 형성되는 제 1 게이트 절연막을 형성한다. 상기 제 1 게이트 절연막 상부에 컬러필터를 형성한다. 상기 컬러필터를 덮는 제 2 게이트 절연막을 형성한다.
- <15> 본 발명의 또 다른 목적을 실현하기 위한 일 실시예에 따른 액정표시패널은 제 1 기판, 제2 기판, 게이트 배선, 제1 게이트 절연막, 컬러 필터, 제2 게이트 절연막 및 액정층을 포함한다. 상기 제2 기판은 상기 제 1 기판과 대향한다. 상기 게이트 배선은 상기 제 2 기판에 형성되는 게이트선 및 게이트 전극을 포함한다. 상기 제1 게이트 절연막은 상기 게이트배선을 커버한다. 상기 컬러 필터는 상기 제 1 게이트 절연막 상부에 형성된다. 상기 제2 게이트 절연막은 상기 컬러필터를 커버한다. 상기 액정층은 상기 제 1 기판과 상기 제 2 기판 사이에 형성된다.

효 과

- <16> 이러한 박막트랜지스터 기판, 이의 제조 방법 및 이를 갖는 액정표시패널에 의하면, 상기 컬러 필터 및 상기 블랙매트릭스를 상기 박막트랜지스터기판에 직접 형성함으로써 정렬 오차를 최소화 할 수 있고, 게이트 라인과 데이터 라인간 쇼트현상을 최소화 하여 투과율을 향상시키고, 품질 신뢰성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <17> 이하, 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리범위를 벗어나지 않으면서 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- <18> 본 출원에서, 포함하다 또는 가지다 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 위에 있다고 할 경우, 이는 다른 부분 바로 위에 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 아래에 있다고 할 경우, 이는 다른 부분 바로 아래에 있는 경우뿐만 아니라 그 중간에 또 다른 부분

이 있는 경우도 포함한다.

<19> 도 1은 본 발명의 실시예 1에 따른 박막트랜지스터 기판에 포함된 박막트랜지스터의 단면도이다.

<20> 도 1을 참조하면, 상기 박막트랜지스터 기판은 제 1 기판 (1000)을 포함한다. 상기 제 1 기판(1000)은 유리, 플라스틱등과 같은 절연물질로 이루어질 수 있다. 상기 제 1 기판 (1000) 상에는 게이트배선이 형성된다. 상기 게이트배선은 게이트 선, 게이트 전극 (10), 게이트 패드 (미도시)를 포함한다. 상기 게이트 전극 (10)은 상기 게이트 선으로부터 돌출되어 형성된다. 상기 게이트배선을 형성하기 위한 물질은 구리, 몰리브덴, 니켈, 알루미늄, 크롬, 텅스텐 또는 이들 금속의 합금 중 하나 이상을 포함할 수 있다. 상기 게이트 선 및 게이트 전극의 두께는 2 μm 이상일 수 있다. 상기 게이트 선 및 게이트 전극의 두께가 증가할수록 단면적이 증가한다. 상기 단면적은 배선 저항과 반비례 하므로, 상기 단면적의 증가로 인해 신호 지연과 같은 문제를 해결할 수 있다. 상기 게이트 선 및 게이트 전극의 두께를 증가시킬 경우 도면에는 도시되어 있지 않으나, 트렌치 구조로 형성할 수도 있다. 상기 트렌치 구조는 상기 제 1 기판에 트렌치를 형성할 수도 있고, 유기막 패터닝에 의해 트렌치를 형성할 수도 있다.

<21> 상기 게이트배선이 형성된 상기 제 1 기판 (1000) 상에 제 1 게이트 절연막 (20)을 형성한다. 상기 제 1 게이트 절연막 (20)은 후술할 컬러필터 형성 시 사용되는 현상액에 의해 상기 게이트 선, 게이트 전극 (10) 또는 게이트 패드 등이 오염되는 것을 막는다. 컬러필터 패턴을 형성하기 위해서는 코팅, 노광, 현상 등의 공정을 거치게 된다. 상기 현상 공정 시에 사용되는 현상액이 상기 게이트 선, 상기 게이트 전극 (10), 또는 상기 게이트 패드 등을 오염시킬 수 있다. 상기 오염은 컬러필터 공정시에 컬러필터재료와 상기 게이트 배선의 반응 또는 상기 현상액에 의한 게이트 배선 침식을 말한다. 상기 오염 시에, 상기 게이트 선, 상기 게이트 전극 (10) 등은 전기적 단선의 가능성이 높아지고, 상기 게이트 선 및 상기 게이트 전극의 표면 고르기(uniformity) 등에 나쁜 영향을 미칠 수 있다. 상기 이유로 본 발명의 실시예 1 에 따른 박막트랜지스터 기판은 상기 제 1 게이트 절연막 (20)을 형성하여 상기 현상액으로부터 상기 게이트 선, 상기 게이트 전극 (20)이 오염되는 것을 방지한다. 상기 제 1 게이트 절연막 (10)의 두께는 약 500Å 에서 약 4000Å일 수 있다.

<22> 상기 제 1 게이트 절연막 위에 컬러필터 (CF)를 형성한다. 상기 컬러필터 (CF)는 빨간색, 파란색, 녹색 컬러필터를 포함한다. 상기 컬러필터 (CF)의 두께는 2 μm 이상으로 형성하는 것이 바람직하다. 상기 컬러필터는 상기 게이트 전극과 중첩하는 영역이 상기 박막트랜지스터의 채널 길이보다 크게 형성할 수도 있다. 상기 컬러필터 (CF)가 게이트배선 층과 후술할 데이터배선 층 간 수직 단면 거리를 증가시켜 이들간의 기생용량 형성이 기존 다른 구조에 비해 최소화된다. 구체적으로는 상기 게이트 선과 상기 데이터 선이 표시 영역에서 교차하는 부분의 중첩영역은 기생 용량을 형성한다. 상기 중첩 영역에서 상기 데이터 선과 상기 게이트선간의 수직 거리가 멀어질수록 기생용량은 작아진다. 또한, 상기 게이트 전극 (10)과 소스 또는 드레인 전극간의 거리도 컬러필터가 중간에 형성되어 있으므로 기생용량의 작아진다. 상기 기생용량의 감소는 상대적으로 플리커 현상을 최소화하여 표시품질을 향상시킬 수 있다.

<23> 제 2 게이트 절연막 (30)은 상기 컬러필터 (CF) 위에 형성된다. 상기 제 2 게이트 절연막 (30)은 상기 컬러필터 (CF) 상부에 형성되어 후술할 반도체층과 단절시킨다. 만일 상기 컬러필터 위에 반도체층이 직접 접촉하여 형성되면 후속 공정상에서 발생할 수 있는 아웃 개싱(out-gassing)을 통해 상기 컬러필터 (CF)의 유기 불순물이 상기 반도체층을 오염시켜 반도체층의 전기적 특성을 악화시킨다.

<24> 비정질 실리콘 층 (40)은 상기 제 2 게이트 절연막 (30) 상부에 형성된다. 상기 비정질 실리콘 층 (40)은 상기 게이트 전극 (10) 과 후술할 소스-드레인 전극과 함께 채널 영역 (CH)을 구성한다. 불순물이 도핑 된 실리콘 층 (50)은 옴릭 컨택을 위하여 상기 비정질 실리콘 층 (40)을 형성한 후에 형성한다. 상기 불순물이 도핑된 실리콘 층 (50)은 상기 소스 (60s)- 드레인 전극 (60d)과의 접촉저항을 줄여주어 박막트랜지스터의 전기적 특성을 확보하는 역할을 한다. 상기 비정질 실리콘 층 (40)과 상기 불순물이 도핑된 실리콘 층 (50)은 동일 챔버 내에서 CVD(Chemical Vapor Deposition) 공정을 통해 형성될 수 있다. 상기 비정질 실리콘 층 (40) 과 상기 불순물이 도핑된 실리콘 층 (50)을 이하에서 반도체층이라고 칭한다. 상기 비정질 실리콘 층 (40)은 폴리실리콘, 마이크로 크리스털, 또는 GIZO (Gallium-Indium-Zinc-Oxide) 와 같은 산화물 반도체로 대체될 수 있다. 상기 비정질 실리콘 층 (40)의 두께는 약 1000Å 에서 약 2500Å일 수 있다. 상기 불순물이 도핑된 실리콘 층 (50)은 약 200Å에서 약 1000Å일 수 있다.

<25> 데이터배선은 데이터선, 소스-드레인 전극, 데이터 패드를 포함한다. 상기 데이터 배선은 제 1 데이터메탈 층 (60s, 60d)을 포함한다. 상기 데이터 배선은 상기 제 1 데이터메탈 층(60s, 60d) 상부에 제 2 데이터메탈 층 (70s, 70d)을 더 포함할 수 있다. 제 1 데이터메탈 층은 제 2 데이터메탈 층이 상기 반도체층과 접촉특성이 나

별 경우를 대비해 상기 제 2 데이터메탈 층과 우수한 접촉특성을 가지며 반도체층과도 오픈컨택 특성이 좋은 층이다. 상기 제 1 데이터메탈 층 ((60s, 60d))은 구리, 몰리브덴, 티타늄, 니켈, 알루미늄, 크롬, 텅스텐 또는 이들의 합금을 포함할 수 있다. 상기 제 1 데이터메탈 층 (60s, 60d)은 드라이에칭 공정으로 상기 제 1 데이터메탈 층을 형성할 경우의 공정은 다음과 같다. 먼저 상기 제 1 데이터메탈을 제 1 에칭한다. 상기 에칭공정후 상기 비정질 실리콘층을 에칭한다. 상기 에칭 후 에치백 공정을 진행하고 제 1 에칭된 상기 제 1 데이터메탈에 대해 제 2 에칭공정을 진행한다. 상기 제 2 에칭 공정 후 상기 불순물이 도핑된 실리콘층을 에칭한다. 상기 공정들은 포토레지스트막을 슬릿마스크 또는 하프톤 마스크등을 이용하여 3이상의 노광영역을 형성하여 진행할 수 있다. 상기 에칭공정들은 드라이에칭공정으로 진행되므로 공정단순화에 이점이 있다. 상기 반도체층 패턴 및 상기 제 1 데이터메탈 층 상부에 패시베이션막 (80)이 형성된다. 상기 패시베이션 막 (80)은 상기 반도체층의 채널 (CH) 부위를 보호하는 역할을 하며, 상기 반도체층 패턴을 후속공정으로부터 발생할 수 있는 화학오염 또는 물리적 충격으로부터 보호한다. 상기 패시베이션막 (80)은 실리콘 질화막 또는 실리콘 산화막을 포함할 수 있다. 상기 패시베이션 막 (80)은 상기 드레인 전극 (60d)과 후술할 화소전극을 전기적으로 연결하기 위해 제 1 컨택홀을 포함할 수 있다.

<26> 상기 패시베이션막 (80)이 형성된 기판 상에 제 1 유기 절연막 (90)을 형성한다. 상기 제 1 유기절연막 (90)은 상기 제 2 데이터메탈 층 (70s, 70d)을 형성할 수 있도록 패터닝 된다. 상기 패터닝으로 제 1 데이터메탈 층 (60s, 60d)을 노출하고, 제 1 데이터메탈 층 (60s, 60d)으로부터 상기 제 2 데이터메탈 층 (70s, 70d)을 성장시킨다. 상기 제 1 유기 절연막은 상기 제 2 데이터메탈 층 (70)이 상기 드레인 전극을 형성을 위해 상기 제 1 데이터메탈 층과 접하여 형성될 수 있도록 제 2 컨택홀을 포함할 수 있다. 상기 제 1 컨택홀 및 상기 제 2 컨택홀은 동일 공정에서 형성될 수 있다. 상기 제 1 유기 절연막 (90)은 상기 채널 (CH) 부위에 대응하는 위치에서 블랙매트릭스를 수용할 수 있는 공간 (S)을 더 가질 수 있다. 상기 공간 (S)은 슬릿마스크 또는 하프톤 마스크등을 이용하여 공정수를 줄일 수 있다. 상기 제 1 유기 절연막 (90)의 두께는 $2\mu\text{m}$ 이상인 것이 바람직하다. 상기 제 1 유기 절연막 (90)을 통해서 데이터선과 화소전극상의 기생용량을 현저히 감소시킨다. 이를 통해 상기 화소 전극은 기생용량이 감소되는 만큼 더 확대될 수 있고, 화소 전극의 확대는 개구율 향상에 도움이 된다. 또한 상기 제 1 유기 절연막 (90)은 뛰어난 평탄화 특성을 제공하므로 상기 액정배향 조절에 있어서도 뛰어난 효과를 제공한다. 상기 제 2 컨택홀을 통하여 상기 드레인 전극을 구성하는 위치의 제 1 데이터메탈 층 (60d)이 노출된다. 제 2 데이터메탈 층 (70s, 70d)은 상기 제 1 데이터메탈 층 (60s, 60d)을 시드층으로 하여 성장한다. 상기 제 2 데이터메탈 층 (70s, 70d)의 형성방법은 전해도금, 무전해 도금을 통해 형성할 수 있다. 무전해 도금은 전기를 사용하지 않고 화학반응을 통해 도금되는 방식을 말한다. 도금이란 금속이온이 전자를 받아서 환원이 되어 특정표면에 달라붙는 것을 말한다. 이 경우 2 가지 방법이 있는데 제 1 방법은 환원도금으로 환원반응을 통해서 금속이 석출되는 도금 방식이고, 제 2 방법은 치환 도금으로 산화, 환원력의 차이에 의해서 도금을 한다. 전해도금이란 전기분해의 원리를 이용하여 금속의 표면에 다른 금속의 막을 입히는 것을 말한다.

<27> 블랙매트릭스 (100)는 상기 채널 (CH) 영역에 대응하는 부분에 상기 제 1 유기막 (90)에 의해서 형성된 공간에 형성된다. 상기 블랙매트릭스 (100)는 유기물질일수 있다. 상기 블랙매트릭스 (100)는 채널 (CH)영역에 발생할 수 있는 광누설전류를 방지하고, 빛샘을 방지하는 역할을 한다. 상기 블랙매트릭스 (100)가 상기 채널 (CH)부에 대응하여 상기 박막트랜지스터 기판상에 형성되므로, 상기 박막트랜지스터 기판과 대향하는 제 2 기판상에 다른 블랙매트릭스를 형성할 필요가 없다. 또한, 상기 블랙매트릭스 (100)가 상기 박막트랜지스터 기판상에 형성되어 상기 블랙매트릭스 (100)와 상기 반도체층을 위한 정렬오차가 크게 줄어들게 되므로, 블랙매트릭스를 상기 제 2 기판상에 형성할 때의 영역에 비해 상기 블랙매트릭스 (100)를 상기 박막트랜지스터 기판에 형성하는 것이 그 영역을 줄일 수 있다. 그 결과로 개구율이 향상되고, 제조공정도 단순화될 수 있게 된다.

<28> 제 2 유기절연막 (120)은 상기 블랙매트릭스 (100)가 형성된 기판상에 형성될 수 있다. 상기 블랙매트릭스 (100)의 유기성분은 액정에 노출될 경우 액정을 오염시킬 수 있다. 상기 블랙매트릭스 (100)의 유기성분에 의한 상기 액정의 오염을 방지하기 위하여 상기 제 2 유기 절연막 (120)이 형성될 수 있다. 상기 제 2 유기 절연막 (120) 대신 무기 배향막을 이용하여 상기 이유로 발생할 수 있는 오염을 방지할 수 도 있다. 이 경우 상기 제 2 유기 절연막을 형성하는 공정은 생략될 수 있다.

<29> 화소전극 (110)은 상기 드레인 전극 (70d)과 전기적으로 연결된다. 상기 제 1 유기절연막 (90)으로 인해, 기생용량의 크기가 감소함에 따라 상기 화소전극 (110)은 그 크기가 확장될 수 있다. 따라서, 픽셀 경계 영역상의 상기 데이터 선의 단부와 상기 화소전극 (110)의 단부 중 일부분이 중첩될 수 있다. 이러한 경우 개구율이 상승된다.

- <30> 도 2는 본 발명에 따른 게이트배선 층이 형성된 박막트랜지스터의 단면도이다.
- <31> 도 2를 참조하면, 상기 게이트배선 층은 상기 제 1 기판 (1000) 위에 형성된다. 상기 게이트배선 층은 게이트선, 게이트전극 (10), 또는 게이트 패드 등을 포함한다. 상기 게이트 전극 (10)은 상기 게이트선으로부터 돌출되어 형성된다. 상기 게이트배선 층은 구리, 알루미늄, 몰리브덴, 니켈, 텅스텐 또는 이들의 합금 중 적어도 하나 이상을 포함할 수 있다. 상기 게이트선 및 게이트 전극 (10)의 두께는 $2\ \mu\text{m}$ 이상일 수 있다. 상기 게이트선 및 게이트 전극 (10)의 단면적이 증가할수록 배선저항은 감소하므로, 게이트 온-오프 신호의 전송 지연 문제점을 해결할 수 있다.
- <32> 도 3은 본 발명에 따른 제 1 게이트 절연막 및 컬러필터가 형성된 박막트랜지스터 기판의 단면도이다.
- <33> 도 3을 참조하면, 상기 게이트배선이 형성된 제 1 기판 상에 제 1 게이트 절연막 (20)을 형성한다. 상기 게이트배선 층은 게이트선, 게이트전극 (20), 또는 게이트 패드 등을 포함한다. 상기 제 1 게이트 절연막 (20)은 상기 게이트배선 층을 보호한다. 상기 제 1 게이트 절연막 (20)은 실리콘 질화막 또는 실리콘 산화막을 포함한다. 상기 제 1 게이트 절연막 (20)이 형성된 기판 상에 컬러필터 패턴을 형성한다. 본 실시예에서 상기 컬러필터는 상기 게이트배선 층과 후술한 데이터배선 층 사이에 형성된다. 이 경우 상기 컬러필터를 형성하기 위해서는 코팅-노광-현상 공정을 거치게 되는데, 상기 현상공정 시 사용되는 현상액은 상기 제 1 게이트 절연막 (20)에 의해 상기 게이트 전극 (10)을 포함하는 상기 게이트배선 층과 직접 접촉하지 않는다. 상기 제 1 게이트 절연막 (20)을 통해 상기 게이트배선 층을 상기 현상액으로부터 오염되는 것을 방지, 보호함으로써 게이트선의 단선을 방지하고, 게이트배선 표면의 균일성을 향상시킬 수 있다. 상기 제 1 게이트 절연막 (20)의 두께는 $500\text{\AA}$ 에서 $4000\text{\AA}$ 에 이를 수 있다.
- <34> 따라서, 상기 제 1 게이트 절연막 (20)의 두께는 현상액에 의한 게이트배선의 보호가 주된 목적이므로 그 두께는 후술할 제 2 게이트 절연막 (30)의 두께보다 얇은 것이 바람직하다. 상기 제 1 게이트 절연막 (20)은 상기 반도체층과 직접 접촉하는 것이 아니므로 그 두께는 상기 현상액이 침투하지 않을 정도의 두께로 형성하는 것이 바람직하며, 그 두께는 $500\text{\AA}$ 에서 $4000\text{\AA}$ 이 바람직하다. 상기 컬러필터의 배치가 상기 게이트배선 및 후술할 데이터배선의 사이에 이루어지므로, 상기 게이트배선과 상기 데이터배선간 중첩부위에 발생하는 기생용량의 크기를 줄일 수 있게 된다. 또한, 상기 게이트배선과 상기 데이터배선간의 전기적 쇼트현상도 크게 줄일 수 있다. 상기 제 1 게이트 절연막 (20)의 상부에 컬러필터 (CF) 패턴을 형성한다. 상기 컬러필터 (CF) 패턴은 빨간색, 파란색, 녹색 컬러필터를 포함한다. 상기 컬러필터 (CF)는 상기 게이트배선 층 및 상기 데이터배선 층 사이에 형성된다. 상기 컬러필터 (CF)의 두께는 적어도 $2\ \mu\text{m}$ 이상이므로, 게이트배선 층과 데이터배선 층간의 수직 거리는 컬러필터 (CF)의 두께만큼 이격된다. 기생용량은 거리에 반비례하므로, 컬러필터에 의해 이격된 거리만큼 상기 게이트 배선층과 상기 데이터 배선간 중첩영역에 발생하는 기생용량은 감소하게 된다.
- <35> 도 4는 본 발명에 따른 제 2 게이트 절연막을 형성한 박막트랜지스터 기판의 단면도이다.
- <36> 도 1 및 도 4를 참조하면, 제 2 게이트 절연막 (30)은 상기 컬러필터 (CF)를 덮는다. 상기 제 2 게이트 절연막 (30)의 상부에는 비정질 실리콘 층 (40) 및 불순물이 포함된 실리콘 층 (50)을 연속적으로 형성한다. 상기 비정질 실리콘 층 (40) 및 불순물이 포함된 실리콘 층 (50)을 반도체층으로 칭한다. 상기 제 2 게이트 절연막 (30)은 상기 컬러필터 (CF)를 상기 반도체층과 단절시킴으로써 후속 공정에서 발생할 수 있는 컬러필터의 유기물질에 의한 반도체층의 오염을 막는 역할을 한다. 특히 상기 반도체층상에서 채널 (CH) 영역을 형성하는 부위의 경우 상기 오염이 발생할 경우 박막트랜지스터의 특성이 나빠지므로 표시품질의 저하를 가져 오게 된다.
- <37> 따라서, 상기 제 2 게이트 절연막 (30)을 통해 상기 반도체층 특히 채널 층을 보호함으로써 박막트랜지스터의 성능 향상을 꾀한다. 채널 층에 해당하는 부분의 제 1 게이트 절연막 (20)의 상부에는 컬러필터가 형성되지 않는다. 상기 채널 층에 대응하는 부분의 경우 상기 제 1 게이트 절연막 (20)의 상부에 상기 제 2 게이트 절연막 (30)이 직접 접촉하여 형성된다. 채널 층 (CH)의 경우 게이트전극 (10)을 통해 인가되는 게이트 신호가 상기 소스전극-상기 반도체층-상기 드레인 전극을 통해 데이터 신호가 인가되도록 전달되어야 하므로 상기 게이트 전극과 상기 반도체층 사이의 거리가 멀어질 경우 박막트랜지스터 특성을 나타낼 수 없다. 따라서, 채널 층에 해당하는 부분의 경우 상기 게이트 전극 (10)과 상기 반도체층 사이의 거리를 최소화 하기 위해 컬러필터 (CF)가 형성되어 있지 않고, 상기 제 1 게이트 절연막 및 제 2 게이트 절연막이 직접 접촉하게 된다.
- <38> 비정질 실리콘 층 (40)은 상기 제 2 게이트 절연막 (30) 상부에 형성된다. 상기 비정질 실리콘 층 (40)은 상기 게이트 전극 (10), 상기 소스 (60s)-드레인전극 (60d)과 함께 채널 층을 형성한다.
- <39> 불순물이 도핑된 실리콘 층 (50)은 상기 비정질 실리콘 층 (40)과 소스-드레인 전극과의 오믹 컨택 특성을 향

상시키기 위해 형성된다. 상기 비정질 실리콘 층 (40) 및 상기 불순물이 도핑된 실리콘 층 (50)을 반도체층이라 칭한다.

<40> 상기 불순물이 도핑된 실리콘 층 (50)의 상부에는 데이터선 및 데이터 패드를 포함하는 데이터배선 층이 형성된다. 상기 데이터배선 층은 제 1 데이터메탈 층 (60s, 60d)(60은 도면에 도시되어 있지 않습니다) 및 제 2 데이터메탈 층 (70s, 70d)(70은 도면에 도시되어 있지 않습니다)을 포함할 수 있다. 상기 제 1 데이터메탈 층 (60s, 60d)은 상기 제 2 데이터메탈 층 (70s, 70d)과 접촉특성이 좋은 시드(SEED) 메탈층 역할을 할 수 있다. 상기 제 1 데이터메탈 층이 시드(SEED) 메탈층의 역할을 할 경우 상기 제 2 데이터메탈 층은 무전해 도금 또는 전해도금으로 형성할 수 있다. 상기 제 2 데이터메탈 층 (70s, 70d)을 메탈 잉크젯 방법으로 형성할 경우 상기 제 1 데이터메탈 층 (60s, 60d)은 생략될 수 있다. 반면 상기 제 1 데이터메탈 층 (60s, 60d)이 데이터선, 소스-드레인 전극의 역할을 할 경우 상기 제 2 데이터메탈 층(70s, 70d)은 형성하지 않을 수도 있다. 상기 데이터배선은 타 이타늄, 몰리브덴, 구리, 알루미늄, 텅스텐, 이들의 합금 중 어느 하나 이상을 포함한다.

<41> 도 5는 본 발명의 실시예에 따른 패시베이션막을 형성한 박막트랜지스터 기판의 단면도이다.

<42> 도 1 및 도 5를 참조하면, 상기 패시베이션막 (80)은 상기 채널 (CH)층의 상부를 보호한다. 통상적으로, 상기 게이트 전극 (10)과 가까이 대향하는 반도체층을 프론트 채널층이라 하고, 상기 프론트 채널층과 마주보는 면, 즉 상기 게이트 전극 (10)과 멀리서 대향하는 반도체층을 백 채널층이라고 한다. 상기 채널층의 상부는 바텀게이트형 박막트랜지스터 기판에서 백채널에 해당한다. 상기 패시베이션막 (80)은 제 1 컨택홀 (CNT1)을 포함할 수 있다. 상기 패시베이션막 (80)을 형성한 후, 제 1 유기절연막 (90)을 형성한다. 상기 제 1 유기 절연막 (90)의 형성 시 상기 제 2 데이터메탈 층 (70d)의 형성을 위하여 격벽(WALL)을 함께 형성한다. 상기 격벽(WALL)을 통해 노출된 제 1 데이터메탈 층(60d)으로부터 제 2 데이터메탈 층(70d)을 성장시켜 형성한다. 상기 성장 방법은 전해도금 또는 비전해 도금을 이용한다. 상기 제 1 유기 절연막 (90)은 상기 데이터배선 층과 상기 화소 전극간 수직 거리를 증가시키므로 기생용량이 감소한다. 상기 기생용량이 감소하는 만큼 화소전극 (110)의 영역은 연장될 수 있다. 특히 표시영역을 이루는 화소간 경계영역에서 데이터선의 단부와 상기 화소 전극(110)이 일부분 중첩할 수 있다. 상기 제 1 유기 절연막 (90)은 상기 드레인 전극 (70d)과 상기 화소 전극 (110)을 전기적으로 연결하기 위하여 제 2 컨택홀을 포함할 수 있다. 상기 제 1 컨택홀 (CNT1)과 상기 제 2 컨택홀은 동일한 공정에서 형성될 수 있다. 상기 제 1 유기 절연막 (90)은 상기 채널 부위에 대응하는 위치에서 블랙매트릭스를 수용할 수 있는 공간 (S)을 더 가질 수 있다. 상기 공간은 슬릿마스크 또는 하프톤 마스크 등을 이용하여 공정수를 줄일 수 있다.

<43> 블랙매트릭스 (100)는 상기 채널 (CH) 영역에 대응하여 상기 제 1 유기절연막 (90) 상부에 형성된다. 상기 블랙매트릭스 (100)는 유기물질일 수 있다. 상기 블랙매트릭스 (100)는 채널 (CH)영역에 발생할 수 있는 광누설전류를 방지하고, 빛샘을 방지하는 역할을 한다. 상기 블랙매트릭스 (100)가 상기 채널 (CH)부에 대응하여 상기 박막트랜지스터 기판상에 형성되므로, 상기 박막트랜지스터 기판과 대향하는 기판상에 별도의 블랙매트릭스를 형성할 필요가 없다. 상기 블랙매트릭스 (100)가 상기 박막트랜지스터 기판상에 형성되어 정렬오차가 크게 줄어들게 되므로, 정렬마진을 줄일 수 있다. 그 결과로 개구율이 향상되고, 제조공정도 단순화될 수 있게 된다.

<44> 도 6은 본 발명의 실시예에 따른 제 2 유기절연막이 형성된 박막트랜지스터 기판의 단면도이다.

<45> 도 1 및 도 6을 참조하면, 상기 제 2 유기절연막 (120)은 상기 블랙매트릭스가 형성된 기판상에 형성될 수 있다. 상기 제 2 유기절연막 (120)은 상기 블랙매트릭스 (100)를 커버하여 상기 블랙매트릭스 (100)가 상기 액정층과 접촉하는 것을 차단한다. 상기 블랙매트릭스 (100)의 유기성분은 액정에 노출될 경우 액정을 오염시킬 수 있다. 상기 제 2 유기절연막 (120)은 상기 블랙매트릭스의 유기성분에 의한 상기 액정의 오염을 방지하기 위하여 상기 제 2 유기 절연막 (120)이 형성될 수 있다. 상기 제 2 유기 절연막 (120) 대신 무기 배향막을 이용하여 상기 이유로 발생할 수 있는 오염을 방지할 수 도 있다. 이 경우 상기 제 2 유기 절연막 (120)을 형성하는 공정은 생략될 수 있다.

<46> 상기 제2 유기절연막 (120)에는 상기 드레인 전극(70d)을 노출시키는 제3 컨택홀(CNT3)이 형성된다. 상기 제3 컨택홀(CNT)을 통해 상기 화소 전극(110)과 상기 드레인 전극(70d)은 전기적으로 연결될 수 있다.

<47> 도 7은 본 발명의 다른 실시예에 따른 박막트랜지스터 기판의 단면도이다.

<48> 본 실시예에 전술한 실시예의 부재와 동일한 부재에 대하여는 동일한 참조부호로 설명한다. 본 실시예와 전술한 실시예의 구조상의 차이점은 상기 제 2 유기절연막 (120)이 없다는 것이다. 상기 제 2 유기절연막 (120)은 상기 블랙매트릭스 (100)의 유기성분으로 인한 액정오염을 방지하는 것이다. 본 실시예에 따르면 그 역할을 화소 전

극 (110)의 확장으로 대체한다. 상기 화소 전극 (110)은 제 1 유기 절연막 (90)으로 인해 기생용량의 증가우려가 없으므로, 상기 채널층에 대응하는 부분까지 확장 가능하다. 따라서, 상기 제 2 유기절연막 (120)으로 상기 블랙매트릭스 (100)를 커버하는 대신 상기 화소전극 (110)을 채널 (CH) 부위에 대응하는 영역까지 확장하여 상기 블랙매트릭스 (110)를 커버한다.

<49> 도 8은 본 발명의 제 3 실시예에 따른 박막트랜지스터 기관의 단면도이다. 도 1 및 도 8을 참조하면, 본 실시예에 의할 경우 전술한 제 1 실시예와의 구조상의 차이점은 상기 제 1 데이터메탈 층 (60s, 60d)만으로 데이터선, 소스-드레인전극을 형성하는 것이다. 본 실시예의 경우 상기 제 2 데이터메탈 층 (70s, 70d)을 형성하지 않으므로 상기 제 1 유기절연막 (90)의 형성을 생략할 수 있다. 상기 블랙매트릭스 (110)는 채널 영역에 대응하는 부분에 형성된다. 상기 블랙매트릭스는 잉크젯 공정을 이용하여 형성할 수 있다.

<50> 도 9는 본 발명의 제 4 실시예에 따른 액정표시장치의 단면도이다.

<51> 도 9를 참조하면, 박막트랜지스터 기관은 게이트 전극 (10)을 포함한 게이트배선, 제 1 게이트 절연막 (20), 컬러필터 (CF), 제 2 게이트 절연막 (30), 반도체 층, 데이터선, 소스-데이터 전극을 포함한 데이터배선, 패시베이션 막 (80), 드레인 전극과 전기적으로 연결되어 있는 화소전극 (110)을 포함한다. 상기 박막 트랜지스터 기관은 상기 제 1, 2, 3 실시예 중 하나의 실시예의 구조를 가질 수 있다. 블랙매트릭스 (100)는 게이트 전극 (10), 반도체층, 소스-드레인 전극에 의해 형성되는 채널 (CH) 영역에 대응하여 형성된다. 상기 박막트랜지스터 기관과 대향하는 제 2 기관 (2000)은 컬러필터 및 블랙매트릭스 층을 포함하지 않는다. 상기 제 2 기관 (2000)은 상기 픽셀전극과 대향하여 전계를 형성하는 공통전극 (200)을 포함한다. 상기 공통전극 (200)은 광시야각 형성을 위하여 슬릿패턴 또는 돌기패턴을 포함할 수 있다. 상기 박막트랜지스터 기관은 두꺼운 메탈 배선층 형성을 위해 제 2 데이터메탈 층을 포함할 수 있고, 이 경우 제 1 유기 절연막 (90)을 더 포함할 수 있다.

<52> 도 10은 본 발명의 제 5 실시예에 따른 액정표시장치의 단면도이다.

<53> 도 1 및 도 10을 참조하면, 본 실시예에 따른 액정표시장치는 제 1 실시예에 따른 박막트랜지스터 기관과 공통전극 (200)을 포함하는 제 2 기관 (2000) 및 상기 박막트랜지스터 기관 및 제 2 기관 사이에 위치하는 액정층을 포함한다. 상기 박막트랜지스터 기관과 대향하는 상기 제 2 기관 (2000)은 상기 픽셀전극과 대향하여 전계를 형성하는 공통전극 (200)을 포함한다. 상기 공통전극 (200)은 광시야각 형성을 위하여 슬릿패턴 또는 돌기패턴을 포함할 수 있다.

산업이용 가능성

<54> 본 발명의 실시예들에 따르면, 컬러필터를 박막트랜지스터 기관에 형성하고 제 1 및 제 2 게이트 절연막을 형성함으로써 개구율을 향상시키고, 기생용량을 최소화함으로써 표시품질을 향상시킬 수 있다.

<55> 이상에서는 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<56> 도 1은 본 발명의 실시예 1에 따른 박막트랜지스터 기관에 포함된 박막트랜지스터의 단면도이다.

<57> 도 2는 본 발명에 따른 게이트배선 층이 형성된 박막트랜지스터의 단면도이다.

<58> 도 3은 본 발명에 따른 제 1 게이트 절연막 및 컬러필터가 형성된 박막트랜지스터 기관의 단면도이다.

<59> 도 4는 본 발명에 따른 제 2 게이트 절연막을 형성한 박막트랜지스터 기관의 단면도이다.

<60> 도 5는 본 발명의 실시예에 따른 패시베이션막을 형성한 박막트랜지스터 기관의 단면도이다.

<61> 도 6은 본 발명의 실시예에 따른 제 2 유기절연막이 형성된 박막트랜지스터 기관의 단면도이다.

<62> 도 7은 본 발명의 다른 실시예에 따른 박막트랜지스터 기관의 단면도이다.

<63> 도 8은 본 발명의 제 3 실시예에 따른 박막트랜지스터 기관의 단면도이다.

<64> 도 9는 본 발명의 제 4 실시예에 따른 액정표시장치의 단면도이다.

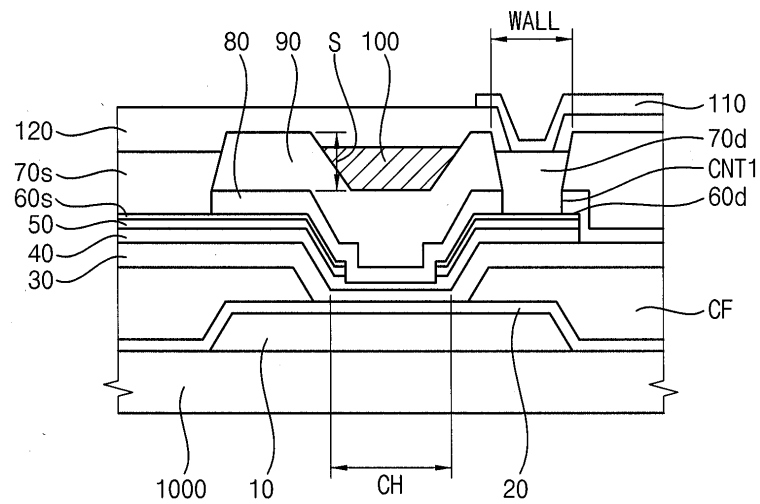
<65> 도 10은 본 발명의 제 5 실시예에 따른 액정표시장치의 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

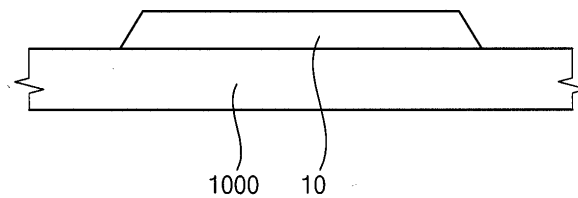
- | | | | |
|------|----------------------|-----------------------|--|
| | | <도면의 주요부분에 대한 부호의 설명> | |
| <66> | | | |
| <67> | 1000 : 제1 기관 | 2000 : 제2 기관 | |
| <68> | 10 : 게이트 전극 | 60s, 60d : 제1 데이터메탈층 | |
| <69> | 70s, 70d : 제2 데이터메탈층 | 20 : 제1 게이트 절연막 | |
| <70> | CF : 컬러 필터 | 30 : 제2 게이트 절연막 | |
| <71> | 80 : 패시베이션막 | 90 : 제2 유기 절연막 | |
| <72> | 120 : 제2 유기 절연막 | 110 : 화소 전극 | |
| <73> | 100 : 블랙매트릭스 | | |

도면

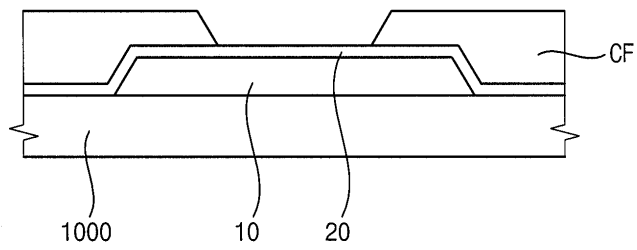
도면1



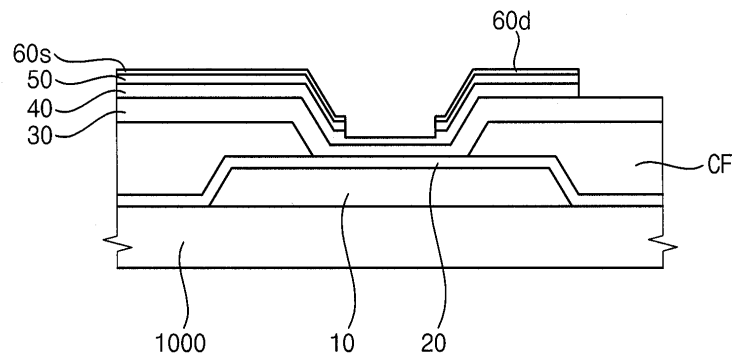
도면2



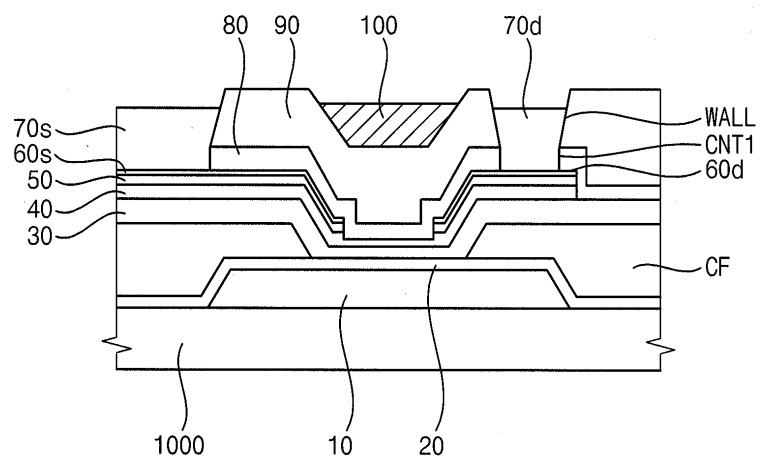
도면3



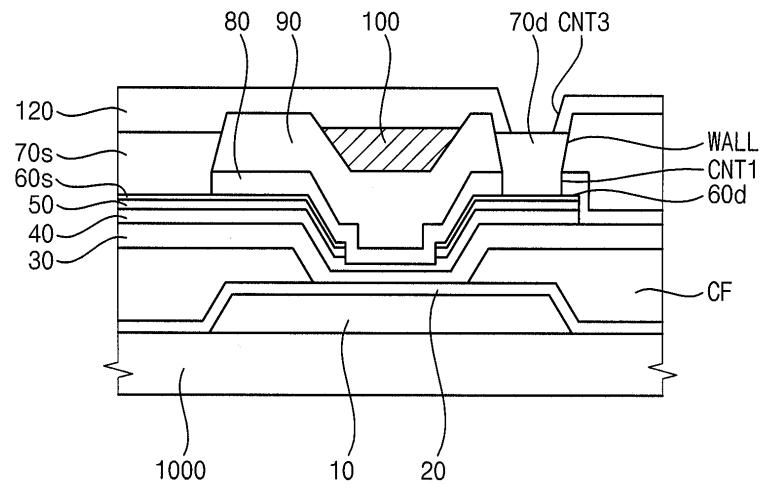
도면4



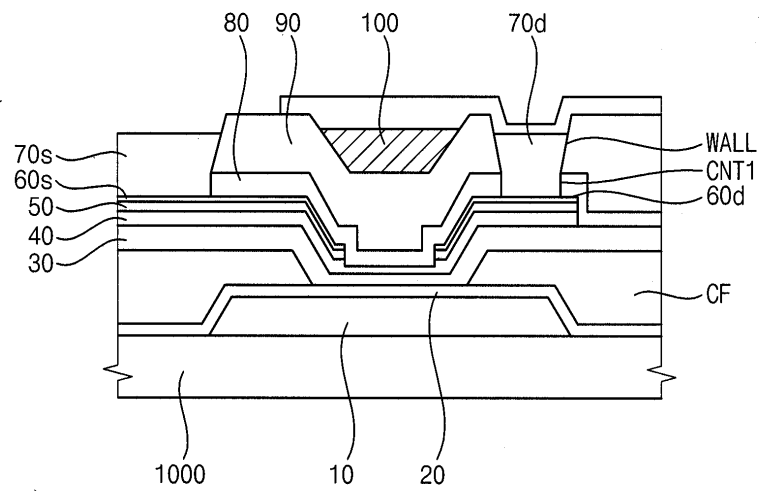
도면5



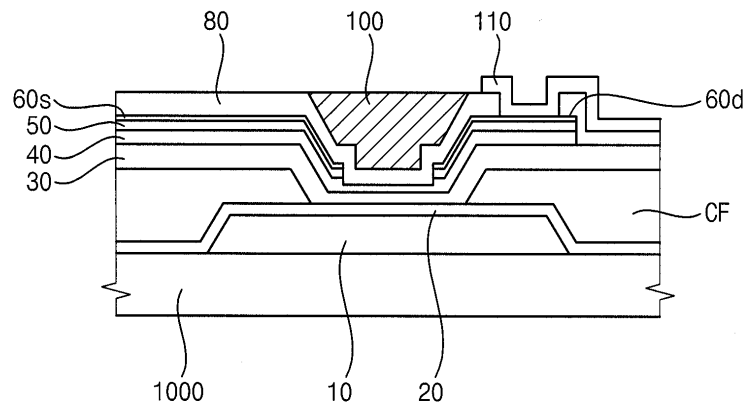
도면6



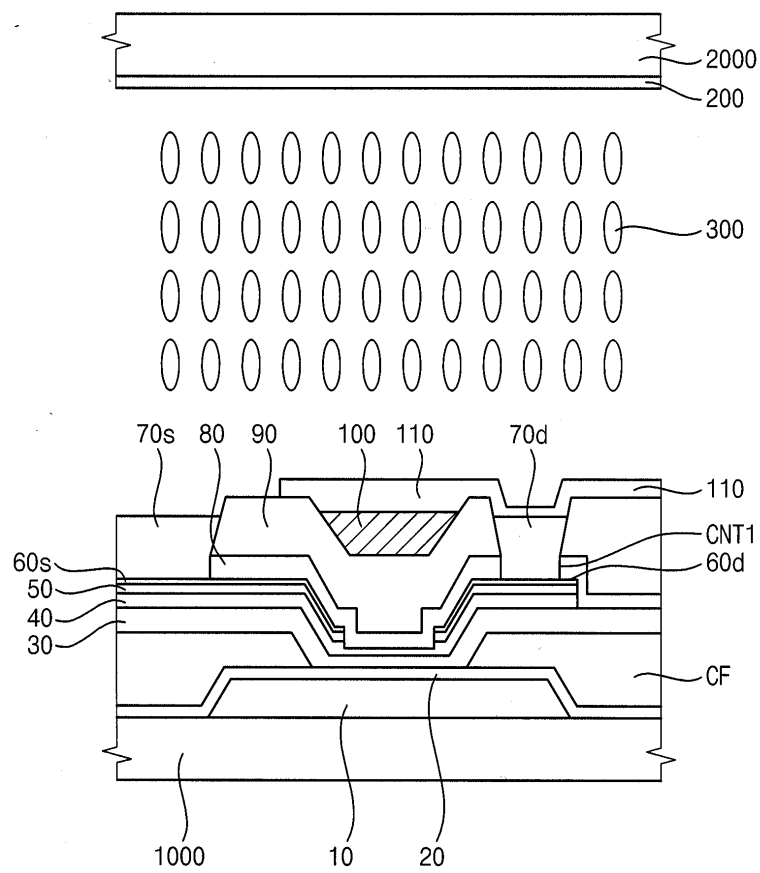
도면7



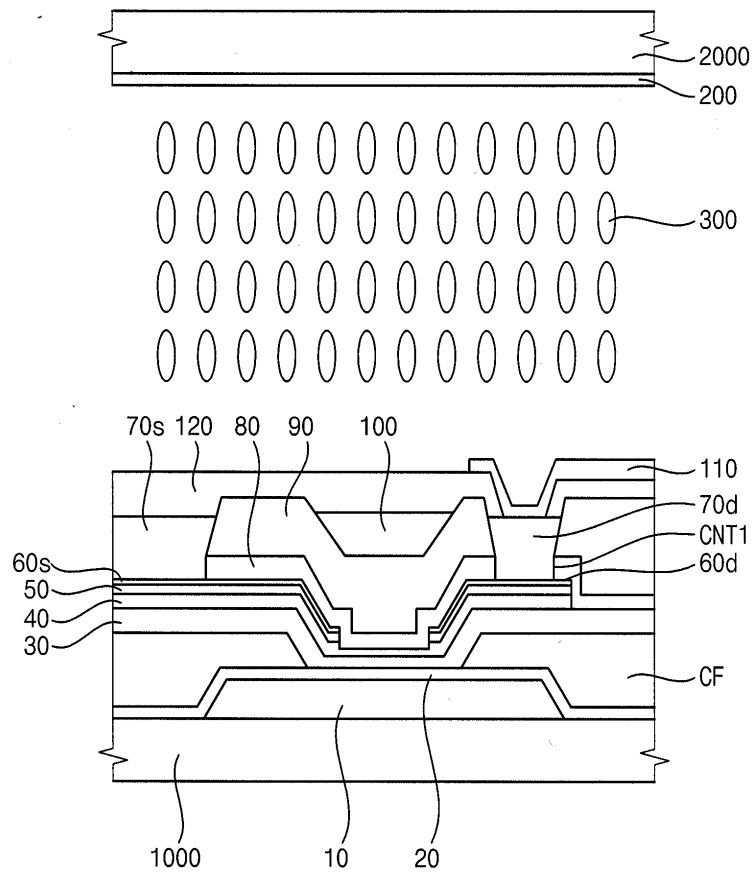
도면8



도면9



도면10



专利名称(译)	薄膜晶体管基板，其制造方法以及具有该薄膜晶体管基板的液晶显示面板		
公开(公告)号	KR1020090117308A	公开(公告)日	2009-11-12
申请号	KR1020080043299	申请日	2008-05-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SONG JEAN HO 송진호 CHAI CHONG CHUL 채종철 JU JIN HO 주진호 YOUN JOO AE 윤주애 SOUK JUN HYUNG 석준형 KANG MIN 강민		
发明人	송진호 채종철 주진호 윤주애 석준형 강민		
IPC分类号	G02F1/136		
CPC分类号	H01L27/1214 G02F2001/133567 H01L29/4908 G02F1/133514 G02F1/1368 G02F2001/133565 H01L27/1248 H01L29/78633		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR101472849B1		
外部链接	Espacenet		

摘要(译)

薄膜晶体管基板包括滤色器和黑矩阵。滤色器位于第一栅极绝缘膜和第二栅极绝缘膜之间。在第二栅极绝缘膜上形成半导体层和数据线。数据线可以包括第一数据金属层和第二数据金属层。黑矩阵形成在与薄膜晶体管基板上的半导体层的沟道区域对应的部分上。滤色器通过第一栅极绝缘膜和第二栅极绝缘膜绝缘，以保护栅极布线层，并且在薄膜晶体管基板上形成黑矩阵，以减小对准裕度并确保优异的薄膜晶体管特性和改善的孔径比。

