



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0107713
(43) 공개일자 2009년10월14일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01) G01L 1/14 (2006.01)

(21) 출원번호 10-2008-0033123

(22) 출원일자 2008년04월10일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김철세

대구 달서구 도원동 강산타운아파트 409동 205호

(74) 대리인

김용인, 박영복

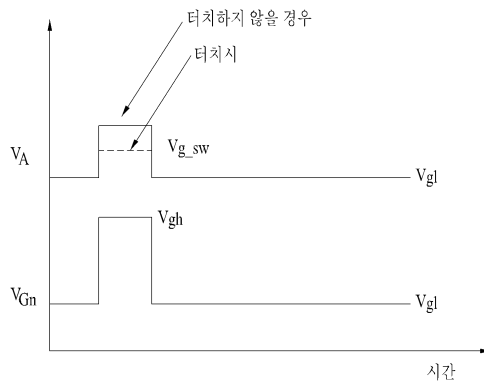
전체 청구항 수 : 총 10 항

(54) 액정 표시 장치

(57) 요약

본 발명은 터치에 따른 액정 정전 용량의 변화를 인식하여 터치의 유무 및 터치 위치를 감지할 수 있는 액정 표시 장치에 관한 것으로, 서로 대향된 제 1 기판 및 제 2 기판과, 상기 제 1 기판 상에 서로 교차하여 화소 영역을 정의하는 복수개의 게이트 라인 및 데이터 라인과, 상기 게이트 라인과 데이터 라인의 각 교차부에 형성된 픽셀 트랜지스터 및 상기 화소 영역에 형성된 화소 전극과, 상기 제 2 기판 전면에 형성된 공통 전극과, 상기 제 1 기판 상의 화소 전극과 제 1 스토리지 전극 사이에 형성된 제 1 스토리지 캐패시터와, 상기 게이트 라인과 공통 전극 사이에 직렬로 형성된 제 2 스토리지 캐패시터 및 센싱 캐패시터와, 상기 데이터 라인에 평행한 리드 아웃 배선과, 상기 제 2 스토리지 캐패시터와 센싱 캐패시터의 사이의 노드에 게이트 전극이 연결되며, 상기 리드 아웃 배선에 드레인 전극이, 전원 전압 라인에 소오스 전극이 연결된 스위칭 트랜지스터를 포함하여 이루어진 것을 특징으로 한다.

대표도 - 도4



특허청구의 범위

청구항 1

서로 대향된 제 1 기관 및 제 2 기관;

상기 제 1 기관 상에 서로 교차하여 화소 영역을 정의하는 복수개의 게이트 라인 및 데이터 라인;

상기 게이트 라인과 데이터 라인의 각 교차부에 형성된 픽셀 트랜지스터 및 상기 화소 영역에 형성된 화소 전극;

상기 제 2 기관 전면에 형성된 공통 전극;

상기 제 1, 제 2 기관 사이에 충전된 액정층;

상기 화소 전극과 공통 전극 사이에 형성된 액정 캐패시터;

상기 제 1 기관 상의 화소 전극과 제 1 스토리지 전극 사이에 형성된 제 1 스토리지 캐패시터;

상기 게이트 라인과 공통 전극 사이에 직렬로 형성된 제 2 스토리지 캐패시터 및 센싱 캐패시터;

상기 데이터 라인에 평행한 리드 아웃 배선;

상기 제 2 스토리지 캐패시터와 센싱 캐패시터의 사이의 노드에 게이트 전극이 연결되며, 상기 리드 아웃 배선에 드레인 전극이, 전원 전압 라인에 소오스 전극이 연결된 스위칭 트랜지스터를 포함하여 이루어진 것을 특징으로 하는 액정 표시 장치.

청구항 2

제 1항에 있어서,

상기 센싱 캐패시터는, 터치 지점에서 액정층의 두께 변화에 상당한 정전 용량에 따라 가변되는 것을 특징으로 하는 액정 표시 장치.

청구항 3

제 1항에 있어서,

상기 제 2 스토리지 캐패시터와 병렬로, 상기 게이트 라인과 상기 스위칭 트랜지스터의 게이트 전극의 사이에 저항이 더 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 4

제 3항에 있어서,

상기 저항의 저항값과 상기 제 2 스토리지 캐패시터, 센싱 캐패시터 및 스위칭 트랜지스터의 정전용량 값으로 정의되는 시정수는, 1 프레임(frame) 시간보다 작고, 상기 게이트 라인에 인가되는 게이트 하이 신호의 온 타임(on-time) 기간 보다 큰 것을 특징으로 하는 터치 센서 구조.

청구항 5

제 1항에 있어서,

상기 제 2 스토리지 캐패시터는,

상기 게이트 라인과, 상기 게이트 라인과 오버랩하는 제 2 스토리지 전극과, 상기 게이트 라인과 제 2 스토리지 전극 사이의 절연막에 의해 정의되는 것을 특징으로 하는 액정 표시 장치.

청구항 6

제 5항에 있어서,

상기 센싱 캐패시터는

상기 제 2 스토리지 전극과, 상기 공통 전극과, 상기 제 2 스토리지 전극과 상기 공통 전극 사이의 액정층에 의

해 정의되는 것을 특징으로 하는 액정 표시 장치.

청구항 7

제 1항에 있어서,

상기 제 1 스토리지 전극은 상기 게이트 라인과 이격하며, 각 게이트 라인에 평행한 화소 영역들에 주변부에 형성된 공통 라인으로 이루어진 것을 특징으로 하는 액정 표시 장치.

청구항 8

제 7항에 있어서,

상기 스위칭 트랜지스터의 소오스 전극이 연결되는 상기 전원 전압 라인은 상기 공통 라인인 것을 특징으로 하는 액정 표시 장치.

청구항 9

제 1항에 있어서,

상기 센싱 캐패시터에 대응되는 상기 공통 전극 하부에는 센싱 보조 패턴이 더 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 10

제 9항에 있어서,

상기 센싱 보조 패턴은 상기 액정층의 셀갭으로부터 상기 터치시 최대로 제 1, 제 2 기판간 변화가 생기는 두께를 뺀 값에 상당한 높이보다 작게 형성하는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 액정 표시 장치에 관한 것으로 특히, 터치에 따른 액정 정전 용량의 변화를 인식하여 터치 유무 및 터치 위치를 감지할 수 있는 액정 표시 장치에 관한 것이다.

배경 기술

<2> 최근, 본격적인 정보화 시대로 접어들어 따라 전기적 정보신호를 시각적으로 표현하는 디스플레이(display)분야가 급속도로 발전해 왔고, 이에 부응하여 박형화, 경량화, 저소비전력화의 우수한 성능을 지닌 여러 가지 다양한 평판 표시장치(Flat Display Device)가 개발되어 기존의 브라운관(Cathode Ray Tube : CRT)을 빠르게 대체하고 있다.

<3> 이 같은 평판 표시장치의 구체적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표시장치(Electro luminescence Display Device : ELD) 등을 들 수 있는데, 이들은 공통적으로 화상을 구현하는 평판 표시패널을 필수적인 구성요소로 하는 바, 평판 표시패널은 고유의 발광 또는 편광물질층을 사이에 두고 한 쌍의 투명 절연기판을 대면 합착시킨 구성을 갖는다.

<4> 이중 액정 표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 화상 표시장치는 액정셀을 가지는 표시패널과, 표시패널에 광을 조사하는 백 라이트 유닛 및 액정셀을 구동하기 위한 구동회로를 포함하여 구성된다.

<5> 표시패널은 복수의 게이트 라인과 복수의 데이터 라인이 교차하여 복수의 단위 화소영역이 정의 되도록 형성된다. 이때, 각 화소영역에는 서로 대향하는 박막 트랜지스터 어레이 기판과 컬러필터 어레이 기판과, 두 기판 사이에 일정한 셀갭 유지를 위해 위치하는 스페이서와, 그 셀갭에 채워진 액정을 구비한다.

<6> 박막 트랜지스터 어레이 기판은 게이트 라인들 및 데이터 라인들과, 그 게이트 라인들과 데이터 라인들의 교차

부마다 스위치소자로 형성된 박막 트랜지스터와, 액정셀 단위로 형성되어 박막 트랜지스터에 접속된 화소 전극 등과, 그들 위에 도포된 배향막으로 구성된다. 게이트 라인들과 데이터 라인들은 각각의 패드부를 통해 구동회로들로부터 신호를 공급받는다.

- <7> 박막 트랜지스터는 게이트 라인에 공급되는 스캔신호에 응답하여 데이터 라인에 공급되는 화소 전압신호를 화소 전극에 공급한다.
- <8> 컬러필터 어레이 기판은 액정셀 단위로 형성된 컬러필터들과, 컬러필터들간의 구분 및 외부광 반사를 위한 블랙 매트릭스와, 액정셀들에 공통적으로 기준전압을 공급하는 공통 전극 등과, 그들 위에 도포되는 배향막으로 구성된다.
- <9> 이렇게 별도로 제작된 박막 트랜지스터 기판과 컬러필터 어레이 기판을 정렬한 후 서로 대향 합착한 다음 액정셀을 주입하고 봉입함으로써 완성하게 된다.
- <10> 이와 같이, 형성된 액정 표시 장치에, 최근 사람의 손이나 별도의 입력 수단을 통해 터치 부위를 인식하고 이에 대응하여 별도의 정보를 전달할 수 있는 터치 패널을 부가하는 요구가 늘고 있다. 현재 이러한 터치 패널은 액정 표시 장치의 외부 표면에 부착하는 형태로 적용되고 있어, 이를 액정 표시 장치 내의 패널 내부로 장착하고자 하는 노력이 제기되고 있다.
- <11> 이하에서 설명하는 예는 상기 터치 패널을 액정 표시 장치 내부에 형성하여 터치 패널의 별도 부착에 수반되는 부피 증가를 방지하는 예를 나타낸 것이다.
- <12> 이하, 첨부된 도면을 참조하여 종래의 액정 표시 장치를 설명하면 다음과 같다.
- <13> 도 1은 종래의 정전용량 방식을 나타낸 개략 회로도이며, 도 2는 도 1의 정전 용량 센서 및 이의 구동 방식을 나타낸 회로도이다.
- <14> 도 1 및 도 2와 같이, 종래의 액정 표시 장치는 서로 대향된 제 1, 제 2 기판(미도시)과, 그 사이에 충전된 액정층(미도시)과, 상기 제 1 기판 상에 서로 교차하여 화소 영역을 정의하는 게이트 라인(Gate)(11) 및 데이터 라인(Data)(12)과, 상기 게이트 라인(11)과 데이터 라인(12)의 교차부에 형성되는 박막 트랜지스터(TFT)를 포함하여 이루어진다. 그리고, 상기 제 2 기판 상에는 전면에 공통 전극(미도시, Vcom(인가전압))이 형성되고, 상기 제 1 기판 상의 상기 화소 영역에는 화소 전극(13)이 형성된다.
- <15> 여기서, 화소 영역 외측에 정전용량 센싱을 위해 상기 게이트 라인(11)과 평행하게 위치한 제 1 배선(21)과, 상기 데이터 라인(12)과 평행하게 위치한 제 2 배선(22)이 더 형성되며, 각각 제 1 배선(21) 및 제 2 배선(22)에 평행한 제 1 기준 전압선(Vref1)과 제 2 기준 전압선(Vref2)이 더 형성된다.
- <16> 그리고, 상기 제 1 기준 전압선(Vref1)과, 상기 제 1 배선(21) 사이에 제 1 보조 캐패시터(Cref1), 제 1 기준 전압선(Vref1)과 공통 전극(Vcom) 사이에 제 1 정전 용량 캐패시터(C1c1)가 형성된다. 이 경우, 상기 제 1 보조 캐패시터(Cref1) 및 제 1 정전 용량 캐패시터(C1c1)는 직렬로 형성된다. 이러한 직렬 연결의 제 1 보조 캐패시터(Cref1)과 제 1 정전 용량 캐패시터(C1c1)는 각 화소별로 대응되어 형성된다.
- <17> 마찬가지로, 상기 제 2 기준 전압선(Vref2)과, 상기 제 2 배선(22) 사이에 제 2 보조 캐패시터(Cref2)가 형성되고, 공통 전극(Vcom)과 상기 제 2 배선(22) 사이에 제 2 정전 용량 캐패시터(C1c2)가 형성된다. 상기 제 2 보조 캐패시터(Cref2)와 제 2 정전 용량 캐패시터(C1c2) 역시 직렬로 연결되어 형성된다.
- <18> 여기서, 제 1 배선(21)에서 감지되는 신호는 그 단부에 도 2와 같은 앰플리파이어(Amplifier)(31)을 두어, 각각의 정전 용량 캐패시터(C1c)(32)와 보조 캐패시터(Cref)(33)와의 사이의 노드(Vn1)에 걸리는 전압을 증폭시킨 값을 얻으며, 이 값에 따라 터치 여부와 터치 위치를 감지한다. 즉, 상기 노드(Vn1)에서의 전압 값은, 상기 정전 용량 캐패시터(C1c)(32)의 값이 터치의 여부에 따라 가변되며, 터치시 상기 정전 용량 캐패시터(C1c)(32)의 값은 터치시 초기 상태와 상이하게 상기 노드(Vn1)로부터 상기 앰플리파이어(31)를 통해 출력되는 전압(Vout) 값을 측정되는 경우, 터치상태임을 알 수 있고, 이에 해당 터치 위치를 감지한다.
- <19> 그리고, 정전용량 캐패시터와 보조 캐패시터의 노드(Vn1)의 출력측의 반대인 타측에 제 1, 제 2 스위치(sw1, sw2)를 두어, 제1, 제 2 스위치별 선택적 신호를 인가한다.
- <20> 상기 제 1, 제 2 보조 캐패시터(Cref1, Cref2)(33)의 일측에 연결되는 제 1 및 제 2 기준 전압선(Vref1, Vref2)에는 각각 두 개의 공통 전압 값(Vcomh, Vcoml)이 서로 교차하여 인가된다. 그리고, 공통 전압이 VcomH인 경우, 제 1 스위치(sw1)을 통해 전압 Va가 인가되어 C1c(32)에 저장되었다가 공통 전압이 VcomL일 때, 앰플리파

이어(amplifier)(31)로 출력된다. 결국, 출력되는 전압은 터치시 변화된 C_{1c} (32) 값의 정보를 포함하게 된다. 정전 용량에 변화에 따른 출력 전압 변화는 다음과 같다.

$$\frac{\partial V_{n1}}{\partial C_{LC}} = -\frac{C_{ref}}{(C_{ref} + C_{LC})^2} \cdot (V_{comH} - V_{comL})$$

<21>

<22> 이러한 구성의 경우, X축 및 Y축의 교차 배치의 배선이 요구되며, 이에 따라 기생 캐패시터 증가가 예상된다.

발명의 내용

해결 하고자하는 과제

<23> 그러나, 상기와 같은 종래의 정전용량 방식으로 터치를 인식하는 액정 표시 장치는 다음과 같은 문제점이 있다.

<24> 첫째, 선택적으로 일 화소에 해당하는 지점의 전압 변화를 감지하여 터치여부를 알 수 있는 것으로, 동시에 여러 점을 터치시 인식이 불가능하다.

<25> 둘째, 터치를 감지하기 위해 각각 X축 위치, Y축 위치를 감지하기 위해 서로 교차로 배선을 형성하게 되며, 패널의 크기 증가가 예상되고, 이와 같은 패널 사이즈 증가에 따라 배선이 갖는 라인 저항, 배선과 배선 사이의 기생 캐패시터가 부가되어, 커플링 캐패시턴스(coupling capacitance)가 증가하고 이에 따라 S/N(Signal to Noise)비가 낮아져 신호의 신뢰성이 떨어져 터치 인식이 어려워 질 수 있다.

<26> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 터치에 따른 액정 정전 용량의 변화를 인식하여 터치의 유무 및 터치 위치를 감지할 수 있는 액정 표시 장치를 제공하는 데, 그 목적이 있다.

과제 해결수단

<27> 상기와 같은 목적을 달성하기 위한 본 발명의 액정 표시 장치는, 서로 대향된 제 1 기관 및 제 2 기관과, 상기 제 1 기관 상에 서로 교차하여 화소 영역을 정의하는 복수개의 게이트 라인 및 데이터 라인과, 상기 게이트 라인과 데이터 라인의 각 교차부에 형성된 픽셀 트랜지스터 및 상기 화소 영역에 형성된 화소 전극과, 상기 제 2 기관 전면에 형성된 공통 전극과, 상기 제 1, 제 2 기관 사이에 충전된 액정층과, 상기 화소 전극과 공통 전극 사이에 형성된 액정 캐패시터와, 상기 제 1 기관 상의 화소 전극과 제 1 스토리지 전극 사이에 형성된 제 1 스토리지 캐패시터와, 상기 게이트 라인과 공통 전극 사이에 직렬로 형성된 제 2 스토리지 캐패시터 및 센싱 캐패시터와, 상기 데이터 라인에 평행한 리드 아웃 배선과, 상기 제 2 스토리지 캐패시터와 센싱 캐패시터의 사이의 노드에 게이트 전극이 연결되며, 상기 리드 아웃 배선에 드레인 전극이, 전원 전압 라인에 소오스 전극이 연결된 스위칭 트랜지스터를 포함하여 이루어진 것에 그 특징이 있다.

<28> 상기 센싱 캐패시터는, 터치 지점에서 액정층의 두께 변화에 상당한 정전 용량에 따라 가변된다.

<29> 상기 제 2 스토리지 캐패시터와 병렬로, 상기 게이트 라인과 상기 스위칭 트랜지스터의 게이트 전극의 사이에 저항이 더 형성된다.

<30> 상기 저항의 저항값과 상기 제 2 스토리지 캐패시터, 센싱 캐피터 및 스위칭 트랜지스터의 정전용량 값으로 정의되는 시정수는, 1 프레임(frame) 시간보다 작고, 상기 게이트 라인에 인가되는 게이트 하이 신호의 온 타임(on-time) 기간 보다 크게 한다.

<31> 상기 제 2 스토리지 캐패시터는, 상기 게이트 라인과, 상기 게이트 라인과 오버랩하는 제 2 스토리지 전극과, 상기 게이트 라인과 제 2 스토리지 전극 사이의 절연막에 의해 정의된다.

<32> 여기서, 상기 센싱 캐패시터는 상기 제 2 스토리지 전극과, 상기 공통 전극과, 상기 제 2 스토리지 전극과 상기 공통 전극 사이의 액정층에 의해 정의된다.

<33> 그리고, 상기 제 1 스토리지 전극은 상기 게이트 라인과 이격하며, 각 게이트 라인에 평행한 화소 영역들에 주변부에 형성된 공통 라인으로 이루어질 수 있다.

<34> 상기 스위칭 트랜지스터의 소오스 전극이 연결되는 상기 전원 전압 라인은 상기 공통 라인일 수 있다.

<35> 상기 센싱 캐패시터에 대응되는 상기 공통 전극 하부에는 센싱 보조 패턴이 더 형성될 수 있다.

<36> 상기 센싱 보조 패턴은 상기 액정층의 셀갭으로부터 상기 터치시 최대로 제 1, 제 2 기관간 변화가 생기는 두께

를 뺀 값에 상당한 높이보다 작게 형성할 수 있다.

효 과

- <37> 상기와 같은 본 발명의 액정 표시 장치는 다음과 같은 효과가 있다.
- <38> 첫째, 종래의 X,Y축 방향으로 위치한 배선(리드 아웃 배선)을 구비한 정전용량 방식에 비해 데이터 라인에 평행한 방향의 리드 아웃 배선을 구비하여, 구조상의 최적화를 이룰 수 있고, 또한, 배선간의 기생 용량을 줄일 수 있다. 이에 따라 대면적에서 보다 기생 용량에 대한 영향이 적어, 안정적으로 터치 감지를 피할 수 있다.
- <39> 둘째, 외부 광에 의한 영향을 받는 포토 방식과는 달리, 터치 부위의 정전용량 변화에 의해 터치 여부 및 위치를 감지하여, 외부 환경에 영향없이 터치 감지가 가능하다.
- <40> 셋째, 액정 패널과 일체형으로 형성하여, 별도의 터치 패널 부착없이 터치센싱이 가능하여, 터치 기능 수행이 가능하며 터치 센서를 내장함에 따라 외부 부착형 대비 경량 박형화 가능하며, 제조 코스트를 낮출 수 있다.

발명의 실시를 위한 구체적인 내용

- <41> 이하, 첨부된 도면을 참조하여 본 발명의 액정 표시 장치 및 이의 터치 감지 방법을 상세히 설명하면 다음과 같다.
- <42> 도 3은 본 발명의 액정 표시 장치를 나타낸 회로도이다.
- <43> 도 3과 같이, 본 발명의 액정 표시 장치는 터치 감지를 위해 서로 대향된 제 1, 제 2 기관(도 4 내지 도 7의 100, 200)과 상기 제 1, 제 2 기관 사이에 충전된 액정층과, 상기 제 1 기관(100) 상에 형성된 박막 트랜지스터 어레이와, 상기 제 2 기관 상에 형성된 컬러 필터 어레이를 포함하여 이루어진다.
- <44> 여기서, 상기 컬러 필터 어레이에는 비화소 영역에 형성된 블랙 매트릭스층(도 6의 201 참조)과 각 화소 영역의 컬러를 결정하는 컬러 필터층(도 6의 202 참조) 및 상기 제 2 기관(200) 전면에 형성된 공통 전극(도 6의 203 참조)을 포함한다.
- <45> 그리고, 상기 박막 트랜지스터 어레이는 상기 제 1 기관(도 5 및 도 6의 100 참조) 상에 서로 교차하여 화소 영역을 정의하는 게이트라인(101)과 데이터 라인(102), 상기 게이트 라인(101)과 데이터 라인(102)의 교차부에 형성된 픽셀 트랜지스터(151)(Tpixel) 및 상기 픽셀 트랜지스터(151)(Vpixel)의 드레인단과 공통 전극(203)과의 사이에는 병렬로 액정 캐패시터(152)(Clc)와 제 1 스토리지 캐패시터(153)(Cst1)과 연결된다. 회로적으로 병렬로 연결되는 관계를 나타내며, 실제 구성상에서는 상기 액정 패널 내부에는 상기 공통 전극(203)과 상기 픽셀 트랜지스터(151)(Tpixel)의 드레인단과 그 사이의 액정층과의 사이에 액정 캐패시터(152)(Clc)가 형성되며, 상기 픽셀 트랜지스터(151)(Vpixel)의 드레인단과 제 1 전압 라인(L1)과의 사이(층간)에서 제 1 스토리지 캐패시터(153)(Cst1)가 형성된다. 이 때, 상기 제 1 전압 라인(L1)은 별도로 형성가능하나 구조의 최적화를 위해 공통 전극(Cm) 또는 전단 게이트 라인(Gn-1)을 이용할 수 있다.
- <46> 그리고, 본 발명의 액정 표시 장치에 있어서, 상기 게이트 라인(101)(Gn)과 공통 전극(203) 사이에는 픽셀 구동을 위한 픽셀 박막 트랜지스터(151)(Tpixel)와, 이에 연결된 액정 캐패시터(152)(Clc) 및 제 1 스토리지 캐패시터(153)(Cst1) 외에 상기 게이트 라인(101)(Gn)과 공통 전극(203) 사이에 터치 감지부가 더 추가된다.
- <47> 여기서, 상기 터치 감지부는, 상기 게이트 라인(101)(Gn)과 공통 전극(203) 사이에 직렬로 연결된 제 2 스토리지 캐패시터(154)(Cst2) 및 센싱 캐패시터(155)(Csen)와, 상기 제 2 스토리지 캐패시터(154)(Cst2)와 센싱 캐패시터(155)(Csen)의 사이 노드 A에 게이트 전극이 연결되고, 상기 데이터 라인(Dm)에 평행하게 형성되는 리드 아웃 배선(115)(read out line)(ROIC)에 드레인 전극이 연결되며, 소오스 전극이 제 2 전압 라인(L2)에 연결되는 스위칭 트랜지스터(156)(Tsw)를 포함하여 이루어진다. 더불어, 상기 노드 A와 상기 게이트 라인(101)(Gn)의 사이에는 상기 상기 스위칭 트랜지스터(156)(Tsw)에 들어가는 게이트 전극에 인가되는 전압 값을 안정화하기 위한 저항(157)(R1)이 더 추가된다.
- <48> 그리고, 상기 터치 감지부는 매화소마다 형성될 수도 있고, 혹은 일정 수의 화소마다 규칙적으로 형성될 수도 있다. 여기서, 상기 터치 감지부의 구비 위치는 일반적인 터치 부위의 면적과 화소의 크기를 고려하여 일 터치 부위의 면적에 들어오는 화소의 수에 대응되어, 결정될 수 있다. 즉, 일 터치 부위에 면적에 들어오는 화소의 수가 n이라 할 때, n개의 화소마다 터치 감지부가 형성될 수 있다.
- <49> 또한, 제 1 전압 라인(L1)은 화소 전극과 오버랩되어 정의되는 상기 제 1 스토리지 캐패시터(153)(Cst1)의 형성

부위에 따라, 상기 제 1 스토리지 캐패시터(153)의 일측 전극은 화소 전극이 되며, 타측 전극은 전단 게이트 라인(Gn-1) 또는 별도로 상기 게이트 라인별로 평행한 화소 영역들에 형성되는 공통 라인(도 5의 106 참조)이 될 수 있다. 그리고, 상기 제 2 전압 라인(L2)은 전원 전압을 인가하는 라인으로, 예를 들어, 제 1 기판(100) 상에 형성되는 공통 라인(도 5의 106의 형태일 수도 있고, 혹은 별도로 제 1 기판(100) 외곽에 형성되는 라인형상으로 형성될 수도 있음)을 이용할 수 있다.

<50> 또한, 상기 리드 아웃 배선(Read Out line)(ROIC)은 상기 스위칭 트랜지스터(156)(Tsw)에 흐르는 전류를 감지하는 것으로, 그 단부에 앰플리파이어를 더 구비하여, 감지된 전류를 증폭시켜 감도를 향상시킬 수 있다.

<51> 여기서, 저항(157)의 저항 값(R1)은 시정수 $R1 \cdot (C_{sen} + C_{st2} + C_{sw})$ 의 계산시, 이 값이 1프레임 시간보다는 작으며 일 게이트 하이신호의 온타임(1H)보다는 충분히 크도록 제작한다. 이는, 상기 스위칭 트랜지스터(Tsw)에 인가되는 게이트 전압 신호의 온타임 이상 상기 스위칭 트랜지스터(Tsw)에 인가되는 게이트 전압 값을 유지시켜 상기 스위칭 트랜지스터(156)의 터치 감지시 인식을 적어도 상기 스위칭 트랜지스터의 온타임 이상 안정적으로 유지하기 위함이다.

<52> 여기서, Csw 는 스위칭 트랜지스터(156)의 게이트 전극과 채널 사이의 정전 용량, Cst2는 제 2 스토리지 캐패시터(154)의 정전용량, Csen는 센싱 캐패시터(155)의 정전용량을 나타낸다.

<53> 상기 제 2 전압 라인(L2)에 걸리는 제 2 전압(Vd2)은, 게이트 라인(101)(Gn)에 하이 신호가 인가될 때, 상기 스위칭 트랜지스터(156)(Tsw)에 전류가 흐르게 하기 위해 일정 양전압 이상의 DC 전압 값으로 인가되며, 이에 따라 상기 게이트 라인(Gn)(101)에 하이신호가 인가되면 상기 스위칭 트랜지스터(156)(Tsw)가 동작하여 상기 리드 아웃 배선(115)(RIOIC)으로 상기 스위칭 트랜지스터(156)에 흐르는 전류가 흐르게 되어 감지된다.

<54> 여기서, 상기 노드 A에서 저항(157)을 통해 상기 게이트 라인(101)과 연결되어 게이트 로우 전압(Vgl)이 인가된다. n 번째 게이트 라인이 켜지면 상기 게이트 라인(101)에 인가되는 게이트 전압은 게이트 로우 전압(Vgl)에서 게이트 하이 전압(Vgh)로 바뀌게 되며, 이 때, 스위칭 트랜지스터(156)(Tsw)의 게이트 전압(Vg_sw)은 아래와 같다.

$$V_{g_sw} = \frac{C_{st2}}{C_{sen} + C_{st2} + C_{sw}} (V_{gh} - V_{gl}) + V_{gl}$$

<55> 도 4는 본 발명의 액정 표시 장치에 있어서, 시간 경과에 따른 전압 변화를 게이트 전극 및 A 노드에서 본 타이밍도이다.

<56> 도 4와 같이, 터치를 하는 경우, 터치 지점에서 상기 공통 전극(203)과 상기 노드 A에서 거리 차이가 줄게 되고, 이에 따라 상기 센싱 캐패시터(155)의 정전 용량(Csen)이 증가하게 되고, 상기 스위칭 트랜지스터(156)에 인가되는 게이트 전압이 감소하게 되어, 결과적으로 상기 리드 아웃 배선(115)에 흐르는 전류가 감소하게 된다.

<57> 따라서, 단위 시간당 상기 리드아웃 라인(115)에 흐르는 전류 값으로부터 터치 유무 및 위치를 파악할 수 있게 된다. 즉, 터치 전의 초기 상태보다 전류 값이 감소했을 때를 터치로 보고, 초기 상태와 감지되는 유사한 경우는 터치하지 않았다고 판단한다. 터치 위치는 센싱이 이루어지는 게이트 라인, 리드 아웃 배선으로 각각 X축, Y축 위치를 판단한다.

<58> 이하, 도면을 참조하며 본 발명의 터치 감지부를 구비한 액정 표시 장치를 구체적으로 살펴본다.

<59> 도 5는 본 발명의 액정 표시 장치를 나타낸 평면도이며, 도 6은 도 5의 I~I'선상 및 II~II'선상을 나타낸 단면도이고, 도 7은 도 5의 III~III' 선상을 나타낸 단면도이다.

<60> 도 5 내지 도 7과 같이, 본 발명의 액정 표시 장치에 있어서, 상기 제 1 기판(100) 상에는 서로 교차하여 화소 영역을 정의하는 게이트 라인(101)과, 데이터 라인(102)과, 상기 화소 영역에 형성된 화소 전극(103)과, 상기 화소 영역의 주변부에 'U'자형으로 형성되며, 각각의 게이트 라인(101)별 상기 게이트 라인(101)에 평행하는 화소 영역들에 형성되는 공통 라인(106)이 형성된다.

<61> 여기서, 상기 공통 라인(106)은 상기 각 화소 영역의 주변부에 형성된 'U'자형 패턴(106a, 106b, 106c)과 이들을 각각 데이터 라인(102) 부위에서 연결하는 연결 패턴(106d)을 포함하여 이루어진다.

<62> 여기서, 상기 게이트 라인(101)과 상기 데이터 라인(102)의 교차부에 픽셀 트랜지스터(151)(Tpixel)이 형성되고, 상기 동일한 게이트 라인(101)과 상부에 제 2 기판(200) 상에 위치한 공통 전극(203)과의 사이에 제

2 스토리지 캐패시터(154)(Cst2), 센싱 캐패시터(155)(Csen), 저항(157)(R1) 및 스위칭 트랜지스터(156)(Tsw)을 포함하는 터치 감지부가 형성된다. 도 6에서는 III-III' 선상으로 표시된 부분이 제 1 스토리지 캐패시터(153), 픽셀 트랜지스터(151)를 거쳐 터치 감지부(154, 155, 157, 156)를 지나는 형상을 나타내고 있다.

- <64> 그리고 이러한 실시예에서는 도 7과 같이, 제 2 스토리지 캐패시터(Cst2)는 상기 게이트 라인(101)와 연결되며, 이로부터 그 면적이 크게 되어 형성된 제 1 스토리지 패턴(111a)과, 부분적으로 오버랩하여 형성된 제 1 화소 전극 패턴(113)과의 사이에 정의된다. 이 경우, 상기 제 1 화소 전극 패턴(113)은 그 하층에 접하여 형성된 제 1 데이터 금속 패턴(112)에 의해 전기적 신호를 받는다.
- <65> 그리고, 도 6 및 도 7과 같이, 상기 센싱 캐패시터(155)는 상기 제 1 화소 전극 패턴(113)과 상기 제 2 기관(200) 상의 공통 전극(203)과의 사이의 액정층의 두께 변화에 가변되는 정전 용량 값(Csen)으로 정의된다. 여기서, 도 6에서는 상기 센싱 캐패시터(Csen)의 위치에 대응되는 부위에 센싱 보조 패턴(210)이 더 형성된 상태를 나타내고 있으며, 이러한 센싱 보조 패턴(210)은 선택적인 패턴으로 생략할 수 있다. 이 경우, 터치 전 초기 상태의 상기 센싱 캐패시터(155)의 정전용량 값(Csen)을 크게 하여, 터치시 정전용량의 상대적인 변화를 민감하게 감지하도록 할 수 있다.
- <66> 또한, 저항(157)(R1)은 상기 제 1 데이터 금속 패턴(112)으로부터 연장된 제 1 저항 연결 금속(112a)과 이와 이격된 제 2 저항 연결 금속(112b)과, 상기 제 1, 제2 저항 연결 금속(112a, 112b)의 하부에서 각각 접하여 이들을 연결하는 반도체층(105)을 포함하여 이루어진다. 여기서, 상기 저항(R)에 있어서, 상기 반도체층(105)은 비정질 실리콘층(105a)과 불순물층(오믹콘택층)(105b)의 적층체로 이루어지며, 상기 불순물층(105b)은 상기 제 1, 제 2 저항 연결 금속(112a, 112b)과 반도체층(105)의 콘택 부위에만 선택적으로 형성된다.
- <67> 그리고, 상기 스위칭 트랜지스터(156)(Tsw)는 상기 데이터 라인(102)과 평행하게 형성된 리드 아웃 배선(115)에서 돌출된 드레인 전극(115a)과, 이와 이격되며 소오스 전극으로 기능하는 상기 데이터 라인(102)과 동일층의 제 2 데이터 금속 패턴(125)과, 상기 드레인 전극(115a)과 제 2 데이터 금속 패턴(125)의 하층에 형성된 게이트 전극으로 기능하는 전극 패턴(111b)을 포함하여 이루어진다.
- <68> 여기서, 상기 전극 패턴(111b)은 도 3의 회로도에서 A노드에 해당하며, 상기 전극 패턴(111b)은 전기적으로는 공통 라인(106)과 콘택되어 상기 공통 라인(106)에 인가되는 공통 전압 신호가 인가된다.
- <69> 한편, 상기 A 노드에는, 상기 전극 패턴(111b) 상부에 부분적으로 오버랩되는 저항(157)을 이루는 제 1, 제2 저항 연결 금속(112a, 112b)가 연결되며, 상기 제 1 저항 연결 금속(112a)은 상기 제 1 데이터 금속 패턴(112) 및 제 1 화소 전극 패턴(113)과 전기적으로 연결되어, 센싱 캐패시터(155)(Csen) 및 제 2 스토리지 캐패시터(154)(Cst2)의 각각의 일측 전극과 연결된다.
- <70> 한편, 상기 제 2 기관(200) 상에는 비화소 영역에 대응하여 블랙 매트릭스층(201)이 형성되고, 화소 영역에 대응하여 컬러 필터층(202)이 형성되고, 상기 블랙 매트릭스층(201) 및 컬러 필터층(202)을 포함한 전면에 공통 전극(203)이 형성된다. 선택적으로 상기 터치 감지부의 센싱 캐패시터(Csen)가 형성되는 부위에 상기 공통 전극(203) 하부에 상기 센싱 보조 패턴(210)이 더 형성될 수 있다.
- <71> 그리고, 상기 공통 전극(203) 상부에, 상기 블랙 매트릭스층(201) 상부의 일부에 대응되어 셀 갭(d1)을 지지하는 제 1 칼럼 스페이서(220) 및 상기 제 1 기관(100)의 상부면과 이격 간격 d3을 갖는 제 2 칼럼 스페이서(230)를 더 구비한다. 이 때, 상기 제 2 칼럼 스페이서(230)와 상기 제 1 기관(100)의 상부면의 이격 간격 d3은 정상 합착시에의 간격이며, 그 외의 별도의 외부압이 인가되었을 때, 상기 제 2 칼럼 스페이서(230)와 상기 제 1 기관(100)의 상부면에 접할 수 있도록 고려된 높이이다. 즉, 상기 제 2 칼럼 스페이서(230)와 상기 제 1 기관(100)과의 상부면과의 이격 간격(d3)은 특정 외부압이 가해졌을 때, 상기 제 2 칼럼 스페이서(230)가 상기 제 1 칼럼 스페이서(220)와 함께 지지기능을 분담하도록 일정 압력 이상일 때 눌러질 수 있는 값으로 설정된 것이다.
- <72> 여기서, 상기 셀 갭(d1), 상기 센싱 보조 패턴(210) 상부의 공통 전극(203)과 제 1 화소 전극 패턴(113)과의 이격 간격(d2), 제2 칼럼 스페이서(230)와 제 1 기관(100) 상부면의 이격 간격(d3)은 그 크기가 $d1 > d2 > d3$ 의 관계에 있다.
- <73> 그리고, 상기 센싱 보조 패턴(210)의 두께는 상기 액정층의 셀갭(d1)으로부터 상기 터치시 최대로 제 1, 제 2 기관(100, 200)간 변화가 생기는 두께(Δd)를 뺀 값에 상당한 높이보다 작은 값으로 설정한다. 이는 상기 센싱 보조 패턴(210) 상부의 공통 전극(203)이 압력이 가해졌을 때, 상기 센싱 캐패시터(Csen)의 일 전극인 제 1 화소 전극 패턴(113)과 콘택됨을 방지하기 위함이다.

- <74> 이하, 도 5 내지 도 7의 단면도를 참조하여 본 발명의 액정 표시 장치의 제조 방법에 대해 살펴본다.
- <75> 이하 설명하는 제 1 기관(100) 상에는 매트릭스 형으로 배치되는 화소 영역이 정의되어 있으며, n 개의 화소 영역마다 화소 영역의 경계부에 대응되어 터치 감지부가 정의된다.
- <76> 먼저, 제 1기관(100) 상에 제 1 금속을 증착한 후, 이를 선택적으로 제거하여 일 방향으로 게이트 라인(101), 상기 각 화소 영역별로 상기 게이트 라인(101)으로부터 돌출된 게이트 전극(101a), 상기 게이트 라인과 이격하여 상기 게이트 라인(101)에 평행한 화소 영역들의 주변부에 'U'자형으로 형성되며, 서로 연결되는 공통 라인(106), 상기 터치 감지부에 대응하여 상기 게이트 라인(101)으로부터 돌출되어 형성된 제 1 스토리지 패턴(111a) 및 상기 제 1 스토리지 패턴(111a)과 이격하며 저항 형성부를 지나고 스위칭 트랜지스터의 게이트 전극으로 기능하는 전극 패턴(111b)을 형성한다. 여기서, 상기 전극 패턴(111b)은 도 3의 회로의 노드 A에상당한다. 또한, 상기 터치 감지부의 하단부분에 상당하는 스위칭 트랜지스터(Tsw)에 인접하며 상기 'U'자형 공통 라인(106)의 일부로부터 돌출되는 공통 라인 돌출 패턴(106e)이 더 형성된다.
- <77> 이어, 상기 게이트 라인(101), 게이트 전극(101a), 공통 라인(106), 제 1 스토리지 패턴(111a), 전극 패턴(111b)를 포함한 전면에 게이트 절연막(107)을 형성한다.
- <78> 이어, 상기 게이트 절연막(107) 상에 비정질 실리콘층(105a) 및 불순물층(105b)을 전면 증착한 후, 선택적으로 픽셀 트랜지스터 형성 부위에 대응되는, 상기 게이트 전극(101a) 상의 소정 부위와, 스위칭 트랜지스터의 채널 부위에 대응되는 부위 및 저항 형성 및 픽셀 트랜지스터의 채널 부위에 남겨 반도체층(105a, 105b)을 형성한다.
- <79> 이어, 상기 반도체층(105)을 포함한 상기 게이트 절연막(107) 상에 제 2 금속을 증착한 후, 이를 선택적으로 제거하여, 상기 게이트 라인(101)에 교차하는 방향의 데이터 라인(102)을 형성하고, 이와 평행하며 선택적으로 터치 감지부의 형성 부위를 지나도록 리드 아웃 배선(115)을 형성한다. 이 때, 상기 각 픽셀 트랜지스터의 소오스/드레인 전극(102a, 102b)은, 각각 상기 데이터 라인(102)의 돌출하는 형상으로 소오스 전극(102a)을 형성하고, 이와 이격하도록 드레인 전극(102b)을 형성한다. 그리고, 상기 스위칭 트랜지스터(Tsw)의 소오스/드레인 전극(125, 115a)는 각각 상기 리드 아웃 배선(115)으로부터 돌출된 형상의 드레인 전극(115a)과 이와 이격된 형상의 제 2 데이터 금속 패턴(125)으로 형성한다. 또한, 동일층에 상기 터치 감지부의 양측 데이터 라인(102)과 리드 아웃 배선(115)에 인접하며, 제 1 스토리지 패턴(111a)과 부분적으로 오버랩하고 하단부로 연장된 제 1 데이터 금속 패턴(112)과, 이와 연결되며 저항 형성부위까지 연장되도록 제 1 저항 연결용 금속(112a) 및 상기 제 1 저항 연결용 금속(112a)과 대칭적으로 형성된 제 2 저항 연결용 금속(112b)을 형성한다.
- <80> 그리고, 상기 스위칭 트랜지스터(Tsw)의 소오스 전극으로 기능하는 제 2 데이터 금속 패턴(125)과 이와 이격된 드레인 전극(115a)와 상기 제 2 데이터 금속 패턴(125) 및 드레인 전극(115a)의 형성시 상기 각각의 소오스/드레인 전극 사이 하부에 상기 불순물층(105b)이 제거되어 상기 비정질 실리콘층(105a) 및 불순물층(105b)의 적층체로 이루어진 반도체층(136)이 정의된다. 이 때, 타 부위들(저항, 픽셀 트랜지스터)에서도 상기 패터닝되는 상기 데이터 금속의 영향으로 반도체층(126, 105)이 형성된다.
- <81> 불순물층(105b)이 선택적으로 상기 스위칭 트랜지스터(Tsw)의 소오스/드레인 전극(125(제 2 데이터 금속 패턴), 115a) 및 픽셀 트랜지스터(Tpixel)의 소오스/드레인 전극(102b)에 대응되는 부위에만 접촉이 이루어지며, 오픈 콘택층으로 기능하게 된다.
- <82> 이어, 상기 데이터 라인(102), 리드 아웃 배선(115), 스위칭 트랜지스터(Tsw)의 소오스/드레인 전극(125, 115a), 박막 트랜지스터의 소오스/드레인 전극(102a/102b), 상기 제 1, 제 2 데이터 금속 패턴(112, 125) 및 제 1, 제 2 저항 연결용 금속(112a, 112b)을 포함한 전면에 보호막(108)을 형성한다.
- <83> 이어, 상기 보호막(108)을 선택적으로 제거하여, 상기 픽셀 트랜지스터(Tpixel)의 드레인 전극(128)의 일부를 노출하도록 제 1 콘택홀(128)을 형성하고, 상기 제 1 스토리지 패턴(111a) 상부의 제 1 데이터 금속 패턴(112)을 부분적으로 노출하는 제 2 콘택홀(129)과, 상기 공통 라인 돌출 패턴 상부에 오버랩되는 제 2 데이터 금속 패턴(125)과 그 하부의 게이트 절연막(107)까지 부분적으로 제거하여 상기 공통 라인 돌출 패턴(106e)을 노출하는 제 3 콘택홀(130)과, 상기 제 1 저항 연결용 금속(131)의 일부를 노출하는 제 4 콘택홀(131)을 형성한다.
- <84> 이어, 상기 제 1 내지 제 4 콘택홀(128, 129, 130, 131)을 포함한 보호막(108) 전면에 투명 금속을 증착한 후, 이를 선택적으로 제거하여 각 화소 영역에 상기 제 1 콘택홀(128)을 매립하며 화소 영역에 대응되는 화소 전극(103)을 형성하고, 상기 제 2 콘택홀(129)을 매립하며 상기 제 1 데이터 금속 패턴(112) 상부에 오버랩하는 제 1 화소 전극 패턴(113)을 형성하고, 상기 제 3 콘택홀(130)을 매립하며 상기 공통 라인 돌출 패턴(106e)에 오버

랩하는 제 2 화소 전극 패턴(123)을 형성하고, 상기 제 1 저항 연결용 금속(112a) 및 제 2 저항 연결용 금속(112b)에 오버랩하는 제 3, 제 4 화소 전극 패턴(133a, 133b)을 형성한다.

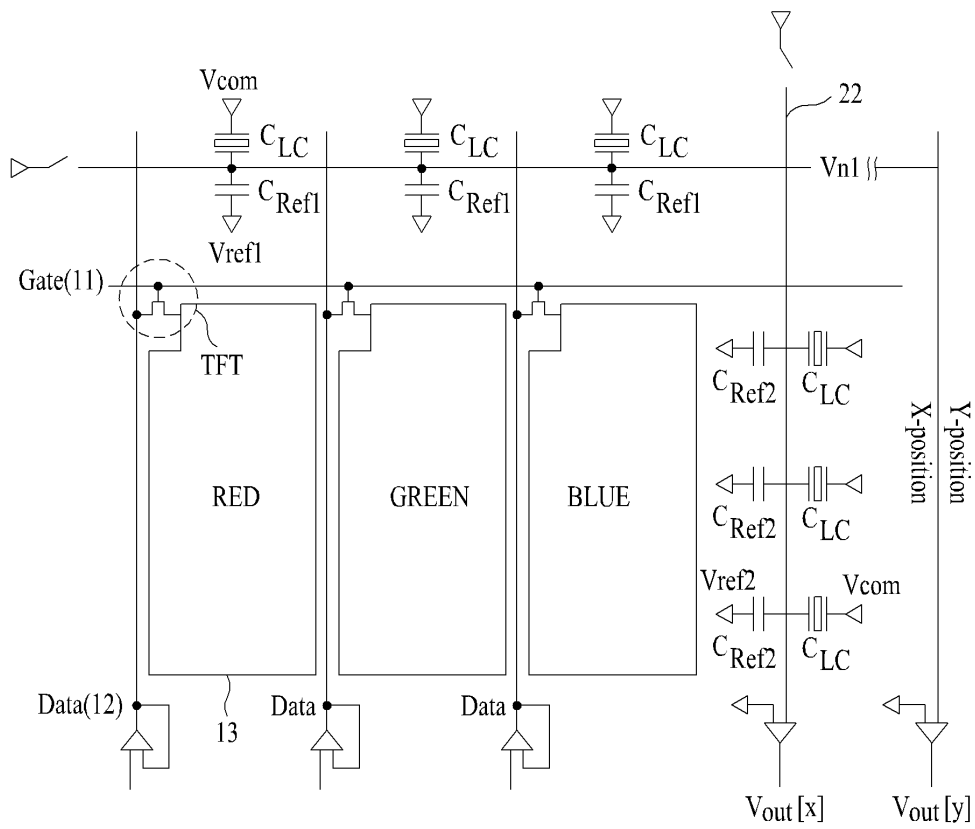
- <85> 도 8은 다른 실시예에 있어서, 저항을 다이오드 형태로 구성한 예를 나타낸 도면이다.
- <86> 도 8은 도 4의 회로도의 저항(R)을, 소오스 단자 및 게이트 단자가 연결되어 다이오드로 기능하는 박막 트랜지스터로 구성된 예를 나타낸 것이다. 그 형성 방법은 도 5 내지 도 7의 픽셀 트랜지스터나 스위칭 트랜지스터의 형성 방법과 동일 공정에서 동일한 방식으로 형성할 수 있다.
- <87> 도 9는 본 발명의 액정 표시 장치에 있어서, 센서 캐패시터의 용량 변화에 따른 스위칭 박막 트랜지스터의 게이트 전압 및 드레인 전류 변화를 나타낸 그래프이다.
- <88> 도 9는, 본 발명의 터치 감지부를 구비하는 액정 표시 장치에 있어서, 상기 센싱 캐패시터의 정전용량 변화(ΔC_{sen})에 상당한 스위칭 트랜지스터의 게이트 전압 변화와 드레인 전류 변화를 나타낸 것이다.
- <89> 여기서, 상기 게이트 전압(V_{g_sw}) 변화와 드레인 전류(I_{ds_sw}) 변화는, 터치에 의해 터치 지점에서 제 2 기관상의 공통 전극(203)과 제 1 화소 전극 패턴(113)과의 간격이 줄어드는 정도에 따라 변하는 것으로, 터치의 정도가 커지면 상기 공통 전극(203)과 제 1 화소 전극 패턴(113)과의 간격이 더욱 더 줄어들어 그 변화 값은 더 커질 수 있다. 즉, 상기 A 노드에서의 상기 게이트 전압(V_{g_sw}) 변화는 상기 센싱 캐패시터의 정전 용량이 커질 때 실선의 그래프로 줄어들게 되고, 상기 스위칭 트랜지스터 드레인 단자에 흐르는 전류 값에 해당하며, 이는 그래프에서 삼각형 포인트를 지나는 선으로 나타난다.
- <90> 여기서, C_{sen} 의 정전 용량의 터치가 일어나지 않을 때의 초기 상태의 센싱 캐패시터의 정전용량 값을 의미한다.
- <91> 이러한 터치 감지부를 구비하는 경우, 선택적으로 해당 게이트 라인이 온 되었을 경우에 해당 터치 감지부측의 리드 아웃 배선에서 전류가 감지되는 것으로, 리드 아웃 배선은 선택적으로 데이터 라인 방향에서만 구비되어도, 센싱된 전류 값이 어느 게이트 라인에서 감지되는지에 따라 X, Y 위치 모두의 위치 감지가 가능하다.
- <92> 이 경우, 상기 터치 감지부에 있어서, 스위칭 트랜지스터의 전류 감지시 터치로 판단하는 기준은 상기 액정 표시 장치에 구비된 소자의 기생 용량을 감안하여 정한다. 예를 들어, SN비(Signal to Noise Ratio)가 높은 경우, 상기 센싱 캐패시터의 정전용량 변화 (ΔC_{sen})가 10~20%의 낮은 수준에도 터치로 판단할 수 있으나, 그렇지 않고, SN비가 낮은 경우 20% 이상의 높은 수준인 경우여야 터치로 판단한다. 본 발명의 액정 표시 장치에 있어서, 상기 터치 감지부 및 리드 아웃 배선의 구성을 최적화한 것으로, 기생 용량 수준을 낮추어 패널의 SN비를 높아져 약 10~20% 수준인 경우에 터치로 판단할 수 있다.
- <93> 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

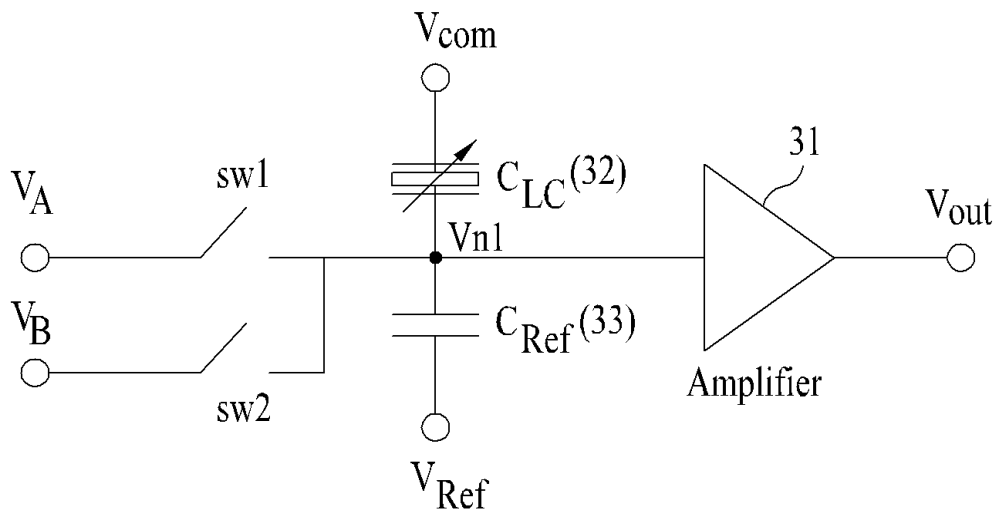
- <94> 도 1은 종래의 정전용량 방식을 나타낸 개략 회로도
- <95> 도 2는 도 1의 정전 용량 센서 및 이의 구동 방식을 나타낸 회로도
- <96> 도 3은 본 발명의 액정 표시 장치를 나타낸 회로도
- <97> 도 4는 본 발명의 액정 표시 장치에 있어서, 시간 경과에 따른 전압 변화를 게이트 전극 및 A 노드에서 본 타이밍도
- <98> 도 5는 본 발명의 액정 표시 장치를 나타낸 평면도
- <99> 도 6은 도 5의 I~I'선상 및 II~II'선상을 나타낸 단면도
- <100> 도 7은 도 5의 III~III' 선상을 나타낸 단면도
- <101> 도 8은 다른 실시예에 있어서, 저항을 다이오드 형태로 구성한 예를 나타낸 도면
- <102> 도 9는 본 발명의 액정 표시 장치에 있어서, 센서 캐패시터의 용량 변화에 따른 스위칭 박막 트랜지스터의 게이

도면

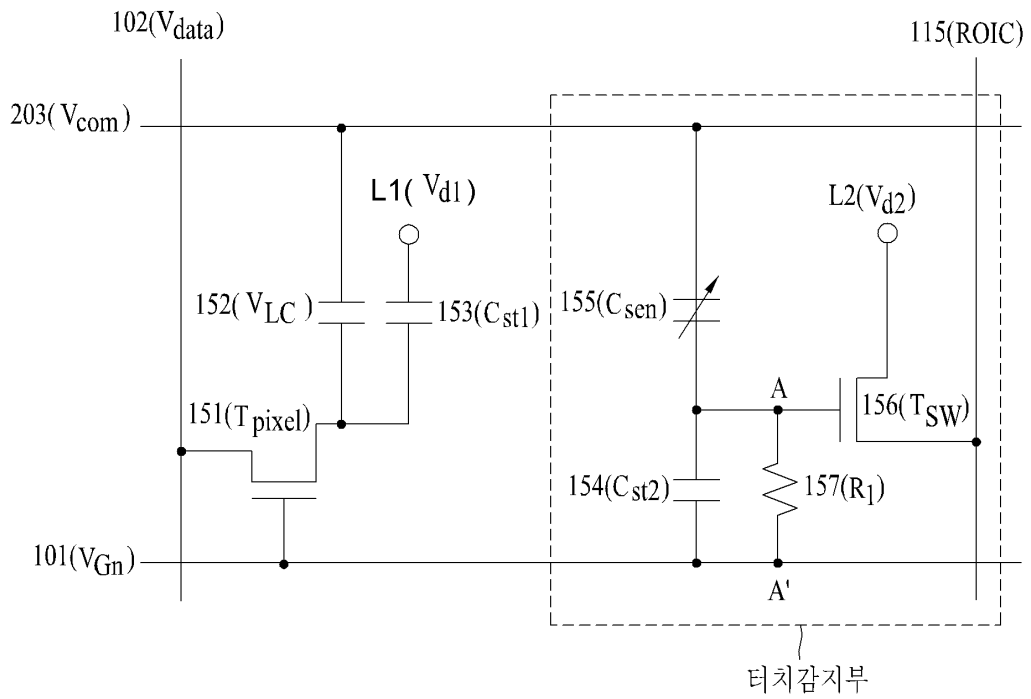
도면1



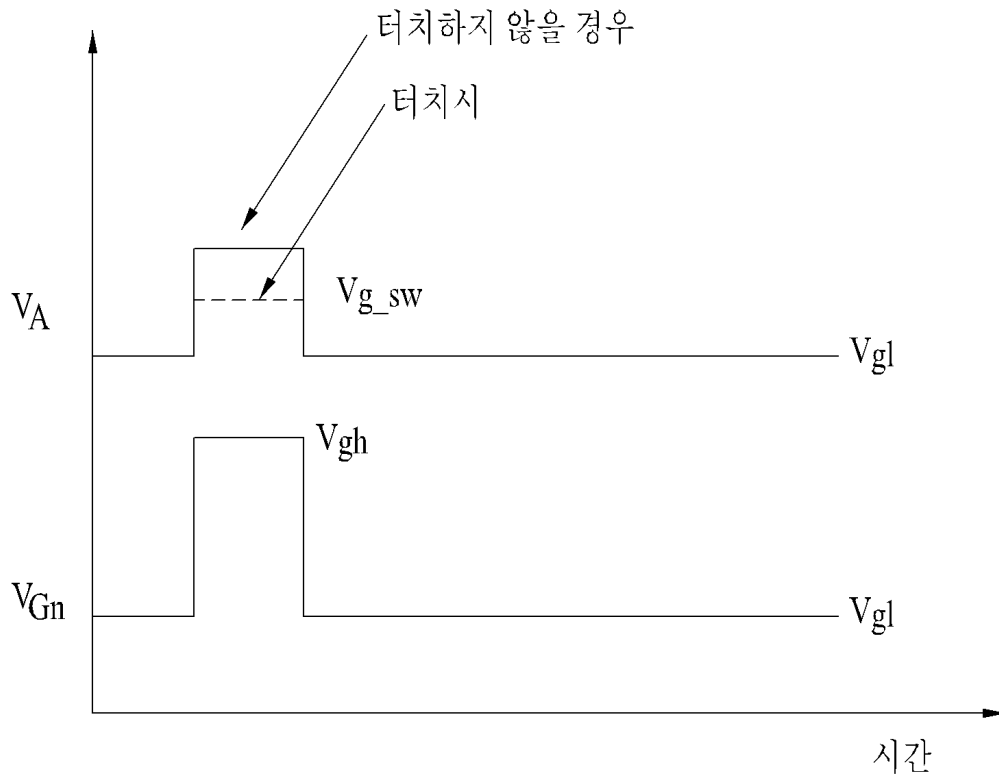
도면2



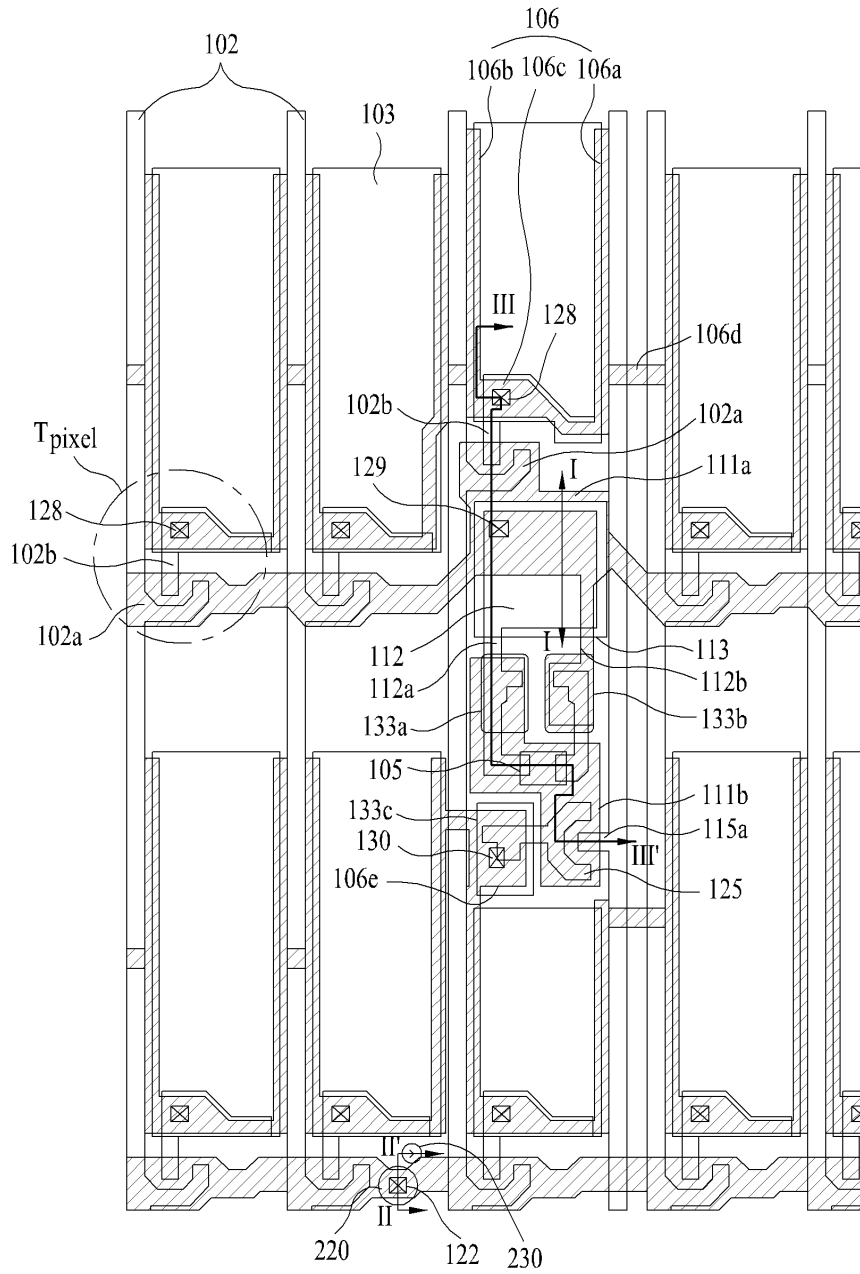
도면3



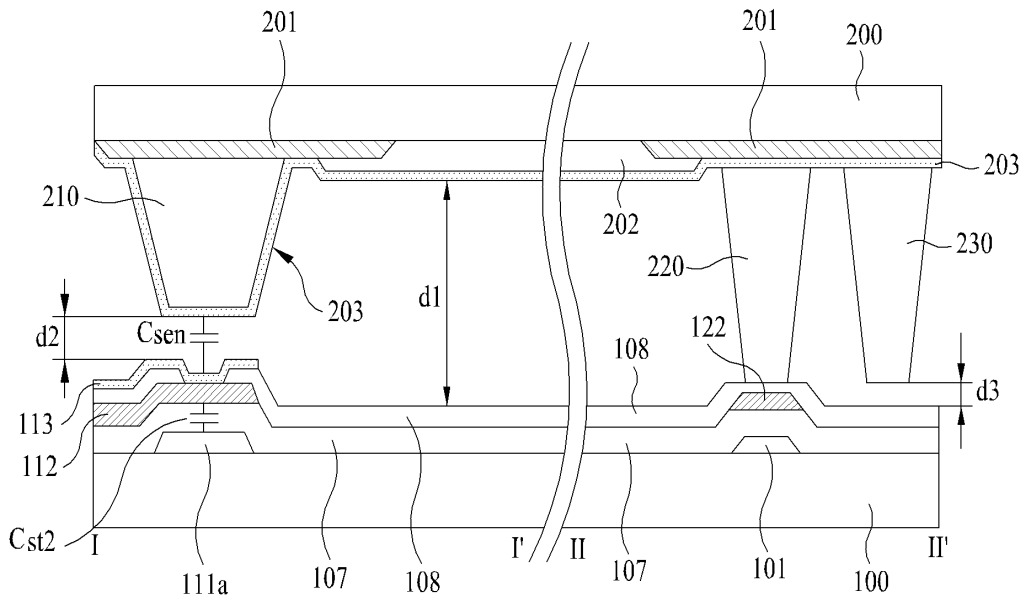
도면4



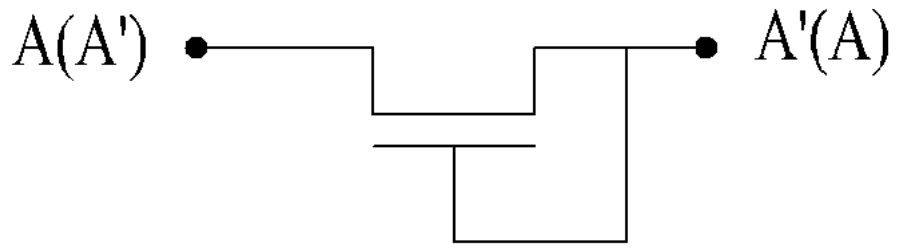
도면5



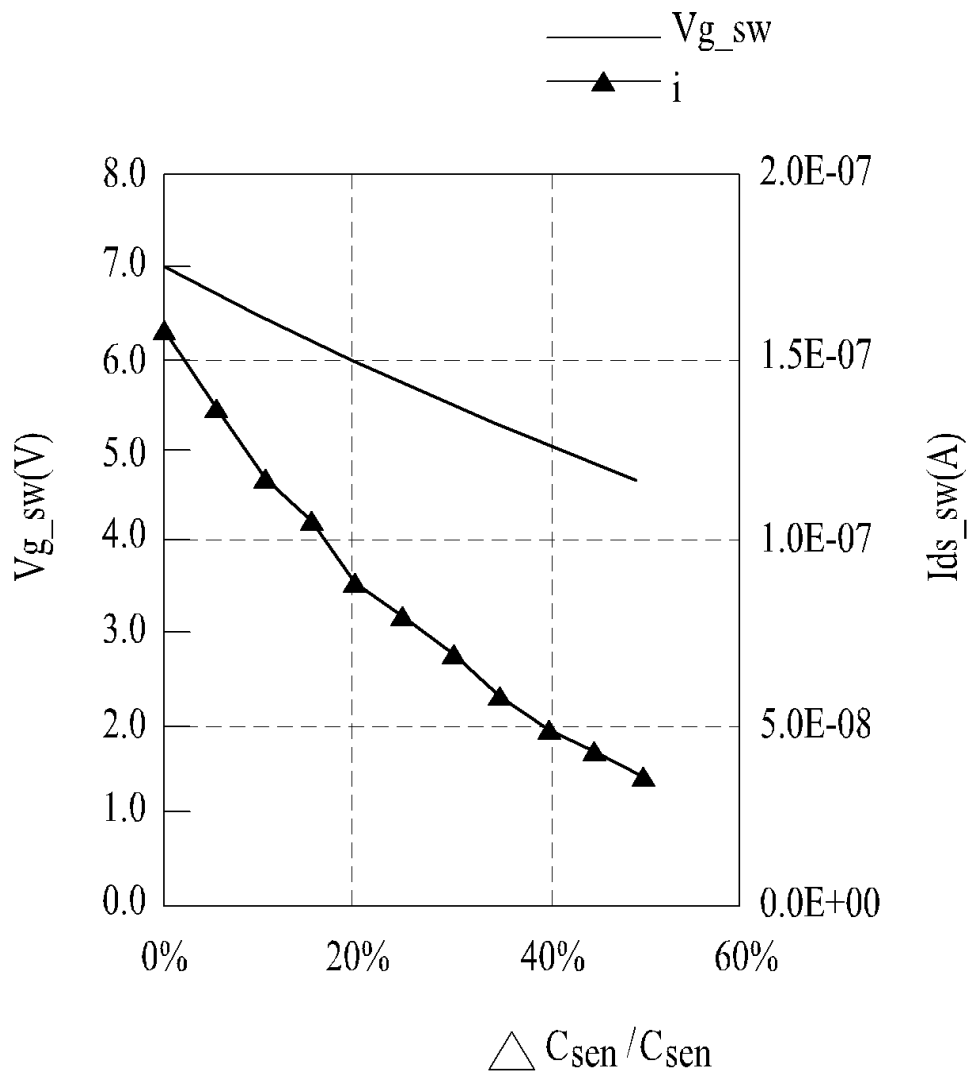
도면6



도면8



도면9



专利名称(译)	液晶显示器		
公开(公告)号	KR1020090107713A	公开(公告)日	2009-10-14
申请号	KR1020080033123	申请日	2008-04-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM CHEOL SE		
发明人	KIM,CHEOL SE		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G01L1/14		
CPC分类号	G02F1/13338 G09G3/3648 G09G2300/0452 G09G2300/0426		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR101286538B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器，用于根据触摸清楚地识别液晶静电容量的变化并感测触摸的发生和触摸位置。并且栅电极连接到彼此面对的第一基板的间隔的节点，并且第二存储电容器串联地形成在第二基板之间，并且具有多条栅极线和数据线，其中液晶电容器形成在液晶层，填充在像素区域上形成的像素电极之间，公共电极形成在第二基板顶部区域，第一，第二基板和像素电极以及公共电极上，具有第一存储器电容器形成在第一基板上的像素电极和第一存储电极之间，栅极线和公共电极在第一基板上交叉并限定像素区域和感测电容器，根据对应于厚度方差的静电容量而变化。触摸点中的液晶层和引出布线，其与数据线平行，第二存储电容器和感测电容器，其中漏电极连接到引出布线和源电极的开关晶体管是连接到源电压线包括。静电容量，传感器电容，二极管电阻，触摸传感器，开关电容器。

