



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년05월31일

(11) 등록번호 10-1985119

(24) 등록일자 2019년05월27일

- (51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G11C 19/28 (2006.01)
- (52) CPC특허분류
G09G 3/3677 (2013.01)
G11C 19/28 (2013.01)
- (21) 출원번호 10-2017-7018082
- (22) 출원일자(국제) 2015년01월12일
심사청구일자 2017년06월30일
- (85) 번역문제출일자 2017년06월30일
- (65) 공개번호 10-2017-0091700
- (43) 공개일자 2017년08월09일
- (86) 국제출원번호 PCT/CN2015/070533
- (87) 국제공개번호 WO 2016/106830
국제공개일자 2016년07월07일
- (30) 우선권주장
201410856556.0 2014년12월31일 중국(CN)
- (56) 선행기술조사문헌
JP20111204343 A*
CN104008740 A*
KR1020110123459 A*
- *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
센젠 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
 중국 광둥 프로빈스, 센젠 시티, 광밍 뉴 디스트릭트, 탕밍 로드, 넘버 9-2
- (72) 발명자
카오 상카오
 중국 광둥 518132 광밍 뉴 디스트릭트 센젠 탕밍 로드 넘버 9-2
- (74) 대리인
제일특허법인(유)

전체 청구항 수 : 총 19 항

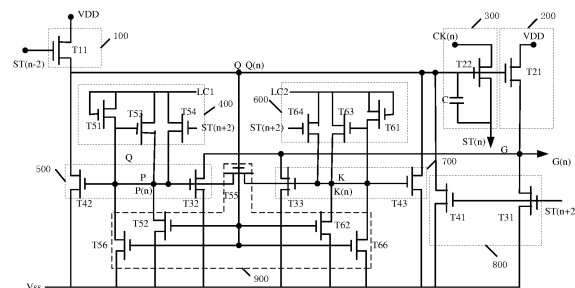
심사관 : 추장희

(54) 발명의 명칭 GOA 회로 및 액정 디스플레이 디바이스

(57) 요약

발명은 각각 여러 캐스캐이드 연결된 GOA 유닛을 포함하는 GOA 회로 및 액정 디스플레이 디바이스를 제공한다. 제 n 단 GOA 유닛은 디스플레이 영역 내의 제 n 단 수평 스캔 라인을 충전하기 위한 것이다. 제 n 단 GOA 유닛은 풀업 제어 회로, 풀업 회로, 전이 회로, 제1 풀다운 제어 회로, 제1 풀다운 회로, 제2 풀다운 제어 회로, 제2 풀다운 회로 및 주 풀다운 회로를 포함하는데, 여기서 n 은 양의 정수이다. 발명은 GOA 회로의 단계 전이 효율을 개선하고, 스캔 구동 신호의 출력 품질을 개선하여서 LCD 판의 충전율을 증가시킬 수 있고 또한 스캔 구동 신호의 풀다운 속도를 가속화할 수 있다.

대표도 - 도2



(52) CPC특허분류

G09G 2230/00 (2013.01)
G09G 2310/0251 (2013.01)
G09G 2310/0286 (2013.01)
G09G 2310/06 (2013.01)
G09G 2310/08 (2013.01)

명세서

청구범위

청구항 1

복수의 캐스케이드 연결된(cascade connected) GOA 유닛을 포함하는 GOA 회로로서,

상기 복수의 캐스케이드 연결된 GOA 유닛 중의 제 n 단(nth-stage) GOA 유닛은 디스플레이 영역 내의 제 n 수평 스캔 라인(horizontal scan line)을 충전하기 위해 구성되고, 상기 제 n 단 GOA 유닛은 풀업 제어 회로(pull-up control circuit), 풀업 회로(pull-up circuit), 전이 회로(transfer circuit), 제1 풀다운 제어 회로(pull-down control circuit), 제1 풀다운 회로(pull-down circuit), 제2 풀다운 제어 회로, 제2 풀다운 회로 및 주 풀다운 회로(main pull-down circuit)를 포함하되, n 은 양의 정수이며,

상기 풀업 제어 회로는 제 $(n-2)$ 단 GOA 유닛에 의해 출력된 제 $(n-2)$ 단 단계 전이 신호(stage-transfer signal)를 수신하고, 상기 제 $(n-2)$ 단 단계 전이 신호에 따라 풀업 제어 신호를 출력하기 위해 구성되고,

상기 풀업 회로는 DC 고전압 신호 및 상기 풀업 제어 신호를 수신하고, 상기 DC 고전압 신호 및 상기 풀업 제어 신호에 따라 스캔 구동 신호(scan drive signal)를 출력하기 위해 구성되며,

상기 전이 회로는 클록 신호(clock signal) 및 상기 풀업 제어 신호를 수신하고, 상기 클록 신호 및 상기 풀업 제어 신호에 따라 제 n 단 단계 전이 신호를 출력하기 위해 구성되고,

상기 제1 풀다운 제어 회로는 제 $(n+2)$ 단 GOA 유닛으로부터 생성된 제 $(n+2)$ 단 단계 전이 신호 및 제1 저주파 신호를 수신하고, 상기 제1 저주파 신호 및 상기 제 $(n+2)$ 단 단계 전이 신호에 따라 제1 풀다운 제어 신호를 출력하기 위해 구성되며,

상기 제1 풀다운 회로는 상기 제1 풀다운 제어 신호 및 DC 저전압 신호를 수신하고, 상기 제1 풀다운 제어 신호 및 상기 DC 저전압 신호에 따라 상기 풀업 제어 신호를 풀다운함으로써 상기 스캔 구동 신호 및 상기 제 n 단 단계 전이 신호를 풀다운하기 위해 구성되고,

상기 제2 풀다운 제어 회로는 제2 저주파 신호 및 상기 제 $(n+2)$ 단 단계 전이 신호를 수신하고, 상기 제2 저주파 신호 및 상기 제 $(n+2)$ 단 단계 전이 신호에 따라 제2 풀다운 제어 신호를 출력하기 위해 구성되며,

상기 제2 풀다운 회로는 상기 제2 풀다운 제어 신호 및 상기 DC 저전압 신호를 수신하고, 상기 제2 풀다운 제어 신호 및 상기 DC 저전압 신호에 따라 상기 풀업 제어 신호를 풀다운함으로써 상기 스캔 구동 신호 및 상기 제 n 단 단계 전이 신호를 풀다운하기 위해 구성되고,

상기 주 풀다운 회로는 상기 DC 저전압 신호 및 상기 제 $(n+2)$ 단 단계 전이 신호를 수신하고, 상기 DC 저전압 신호 및 상기 제 $(n+2)$ 단 단계 전이 신호에 따라 상기 풀업 제어 신호 및 상기 스캔 구동 신호를 풀다운하기 위해 구성되며,

상기 제1 풀다운 제어 회로는 또한 상기 DC 고전압 신호 및 상기 제2 저주파 신호를 수신하고, 상기 제1 저주파 신호, 상기 DC 고전압 신호, 상기 제2 저주파 신호 및 상기 제 $(n+2)$ 단 단계 전이 신호에 따라 상기 제1 풀다운 제어 신호를 출력하기 위해 구성된

GOA 회로.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 제2 풀다운 제어 회로는 또한 상기 DC 고전압 신호 및 상기 제1 저주파 신호를 수신하고, 상기 제1 저주파 신호, 상기 DC 고전압 신호, 상기 제2 저주파 신호 및 상기 제 $(n+2)$ 단 단계 전이 신호에 따라 상기 제2 풀다운

제어 신호를 출력하기 위해 구성된

GOA 회로.

청구항 4

제1항에 있어서,

상기 제1 저주파 신호 및 상기 제2 저주파 신호의 위상은 역(reverse)인

GOA 회로.

청구항 5

제1항에 있어서,

상기 GOA 회로는,

상기 풀업 제어 신호 및 상기 DC 저전압 신호를 수신하고, 상기 풀업 제어 신호 및 상기 DC 저전압 신호에 따라 상기 제1 풀다운 제어 신호 및 상기 제2 풀다운 제어 신호를 풀다운함으로써 상기 풀업 회로 및 상기 전이 회로를 각각 상기 스캔 구동 신호 및 상기 제 n 단 단계 전이 신호를 출력하도록 유지하기 위해 구성된 풀업 유지 회로를 더 포함하는

GOA 회로.

청구항 6

제1항에 있어서,

상기 풀업 제어 회로는 상기 DC 고전압 신호를 수신하고, 상기 제 $(n-2)$ 단 단계 전이 신호 및 상기 DC 고전압 신호에 따라 상기 풀업 제어 신호를 출력하기 위해 구성된

GOA 회로.

청구항 7

제5항에 있어서,

상기 풀업 제어 회로는

제1 박막 트랜지스터를 포함하되, 상기 제1 박막 트랜지스터의 제어 단자는 상기 제 $(n-2)$ 단 단계 전이 신호를 입력받기 위해 구성되고, 상기 제1 박막 트랜지스터의 제1 단자는 상기 DC 고전압 신호를 입력받기 위해 구성되며, 상기 제1 박막 트랜지스터의 제2 단자는 풀업 제어 신호 노드와 연결됨으로써, 상기 제1 박막 트랜지스터는 상기 제 $(n-2)$ 단 단계 전이 신호 및 상기 DC 고전압 신호에 따라 상기 풀업 제어 신호를 출력하기 위해 사용되는

GOA 회로.

청구항 8

제7항에 있어서,

상기 풀업 회로는

제2 박막 트랜지스터를 포함하되, 상기 제2 박막 트랜지스터의 제어 단자는 상기 풀업 제어 신호 노드와 연결되고 상기 풀업 제어 신호를 수신하기 위해 사용되고, 상기 제2 박막 트랜지스터의 제1 단자는 상기 DC 고전압 신호를 입력받기 위해 구성되며, 상기 제2 박막 트랜지스터의 제2 단자는 수평 스캔 라인과 연결됨으로써, 상기 제2 박막 트랜지스터는 상기 풀업 제어 신호 및 상기 DC 고전압 신호에 따라 상기 스캔 구동 신호를 출력하기 위해 사용되는

GOA 회로.

청구항 9

제8항에 있어서,

상기 전이 회로는

제3 박막 트랜지스터를 포함하되, 상기 제3 박막 트랜지스터의 제어 단자는 상기 풀업 제어 신호 노드와 연결되고 상기 풀업 제어 신호를 수신하기 위해 사용되고, 상기 제3 박막 트랜지스터의 제1 단자는 상기 클록 신호를 입력받기 위해 구성되며, 상기 제3 박막 트랜지스터의 제2 단자는 상기 풀업 제어 신호 및 상기 클록 신호에 따라 상기 단계 전이 신호를 출력하기 위해 구성된

GOA 회로.

청구항 10

제9항에 있어서,

상기 제1 풀다운 제어 회로는,

제어 단자 및 제1 단자가 상기 제1 저주파 신호를 입력받기 위해 구성된 제4 박막 트랜지스터와,

제어 단자가 상기 제4 박막 트랜지스터의 제2 단자와 연결되고, 제1 단자가 상기 제1 저주파 신호를 입력받기 위해 구성된 제5 박막 트랜지스터와,

제어 단자가 상기 제(n+2)단 단계 전이 신호를 입력받기 위해 구성되고, 제1 단자가 상기 제1 저주파 신호를 입력받기 위해 구성된 제6 박막 트랜지스터를 포함하되,

상기 제4 박막 트랜지스터, 상기 제5 박막 트랜지스터 및 상기 제6 박막 트랜지스터의 제2 단자는 제1 풀다운 제어 신호 노드와 연결되고 상기 제1 풀다운 제어 신호를 출력하기 위해 사용되는

GOA 회로.

청구항 11

제10항에 있어서,

상기 제1 풀다운 회로는 제7 박막 트랜지스터 및 제8 박막 트랜지스터를 포함하되,

상기 제7 박막 트랜지스터의 제어 단자는 상기 제1 풀다운 제어 신호 노드와 연결되고 상기 제1 풀다운 제어 신호를 수신하기 위해 사용되고, 상기 제7 박막 트랜지스터의 제2 단자는 DC 저전압 신호를 입력받기 위해 구성되며, 상기 제7 박막 트랜지스터의 제1 단자는 상기 풀업 제어 신호 노드와 연결됨으로써, 상기 제7 박막 트랜지스터는 상기 제1 풀다운 제어 신호 및 상기 DC 저전압 신호에 따라 상기 풀업 제어 신호를 풀다운하기 위해 사용되고,

상기 제8 박막 트랜지스터의 제어 단자는 상기 제1 풀다운 제어 신호 노드와 연결되고 상기 제1 풀다운 제어 신호를 수신하기 위해 사용되고, 상기 제8 박막 트랜지스터의 제2 단자는 상기 DC 저전압 신호를 입력받기 위해 구성되며, 상기 제8 박막 트랜지스터의 제1 단자는 상기 수평 스캔 라인과 연결됨으로써, 상기 제8 박막 트랜지스터는 상기 제1 풀다운 제어 신호 및 상기 DC 저전압 신호에 따라 상기 스캔 구동 신호를 풀다운하기 위해 사용되는

GOA 회로.

청구항 12

제11항에 있어서,

상기 제2 풀다운 제어 회로는,

제어 단자 및 제1 단자가 상기 제2 저주파 신호를 입력받기 위해 구성된 제9 박막 트랜지스터와,

제어 단자가 상기 제9 박막 트랜지스터의 제2 단자와 연결되고, 제1 단자가 상기 제2 저주파 신호를 입력받기 위해 구성된 제10 박막 트랜지스터와,

제어 단자가 상기 제(n+2)단 단계 전이 신호를 입력받기 위해 구성되고, 제1 단자가 상기 제2 저주파 신호를 입력받기 위해 구성된 제11 박막 트랜지스터를 포함하되,

상기 제9 박막 트랜지스터, 상기 제10 박막 트랜지스터 및 상기 제11 박막 트랜지스터의 제2 단자는 제2 풀다운

제어 신호 노드와 연결되고 제2 풀다운 제어 신호를 출력하기 위해 사용되는

GOA 회로.

청구항 13

제12항에 있어서,

상기 제2 풀다운 회로는 제12 박막 트랜지스터 및 제13 박막 트랜지스터를 포함하되,

상기 제12 박막 트랜지스터의 제어 단자는 상기 제2 풀다운 제어 신호 노드와 연결되고 상기 제2 풀다운 제어 신호를 수신하기 위해 사용되고, 상기 제12 박막 트랜지스터의 제2 단자는 상기 DC 저전압 신호를 입력받기 위해 구성되며, 상기 제12 박막 트랜지스터의 제1 단자는 상기 풀업 제어 신호 노드와 연결됨으로써, 상기 제12 박막 트랜지스터는 상기 제2 풀다운 제어 신호 및 상기 DC 저전압 신호에 따라 상기 풀업 제어 신호를 풀다운하기 위해 사용되고,

상기 제13 박막 트랜지스터의 제어 단자는 상기 제2 풀다운 제어 신호 노드와 연결되고 상기 제2 풀다운 제어 신호를 수신하기 위해 사용되고, 상기 제13 박막 트랜지스터의 제2 단자는 상기 DC 저전압 신호를 입력받기 위해 구성되며, 상기 제13 박막 트랜지스터의 제1 단자는 상기 수평 스캔 라인과 연결됨으로써, 상기 제13 박막 트랜지스터는 상기 제2 풀다운 제어 신호 및 상기 DC 저전압 신호에 따라 상기 스캔 구동 신호를 풀다운하기 위해 사용되는

GOA 회로.

청구항 14

제13항에 있어서,

상기 주 풀다운 회로는 제14 박막 트랜지스터 및 제15 박막 트랜지스터를 포함하되,

상기 제14 박막 트랜지스터의 제어 단자는 상기 제(n+2)단 단계 전이 신호를 입력받기 위해 구성되고, 상기 제14 박막 트랜지스터의 제2 단자는 상기 DC 저전압 신호를 입력받기 위해 구성되며, 상기 제14 박막 트랜지스터의 제1 단자는 상기 풀업 제어 신호 노드와 연결됨으로써, 상기 제14 박막 트랜지스터는 상기 제(n+2)단 단계 전이 신호 및 상기 DC 저전압 신호에 따라 상기 풀업 제어 신호를 풀다운하기 위해 사용되고,

상기 제15 박막 트랜지스터의 제어 단자는 상기 제(n+2)단 단계 전이 신호를 입력받기 위해 구성되고, 상기 제15 박막 트랜지스터의 제2 단자는 상기 DC 저전압 신호를 입력받기 위해 구성되며, 상기 제15 박막 트랜지스터의 제1 단자는 상기 수평 스캔 라인과 연결됨으로써, 상기 제15 박막 트랜지스터는 상기 제(n+2)단 단계 전이 신호 및 상기 DC 저전압 신호에 따라 상기 스캔 구동 신호를 풀다운하기 위해 사용되는

GOA 회로.

청구항 15

제14항에 있어서,

상기 풀업 유지 회로는 제16 박막 트랜지스터, 제17 박막 트랜지스터, 제18 박막 트랜지스터, 제19 박막 트랜지스터 및 제20 박막 트랜지스터를 포함하되,

상기 제16 박막 트랜지스터의 제어 단자는 상기 풀업 제어 신호 노드와 연결되고 상기 풀업 제어 신호를 수신하기 위해 사용되고, 상기 제16 박막 트랜지스터의 제2 단자는 상기 DC 저전압 신호를 입력받기 위해 구성되며, 상기 제16 박막 트랜지스터의 제1 단자는 상기 제1 풀다운 제어 신호 노드와 연결됨으로써, 상기 제16 박막 트랜지스터는 상기 풀업 제어 신호 및 상기 DC 저전압 신호에 따라 상기 풀다운 제어 신호를 풀다운하기 위해 사용되고,

상기 제17 박막 트랜지스터의 제어 단자는 상기 풀업 제어 신호 노드와 연결되고 상기 풀업 제어 신호를 수신하기 위해 사용되고, 상기 제17 박막 트랜지스터의 제2 단자는 상기 DC 저전압 신호를 입력받기 위해 구성되며, 상기 제17 박막 트랜지스터의 제1 단자는 상기 제1 풀다운 제어 신호 노드와 연결됨으로써, 상기 제17 박막 트랜지스터는 상기 풀업 제어 신호 및 상기 DC 저전압 신호에 따라 상기 풀다운 제어 신호를 풀다운하기 위해 사용되며,

상기 제18 박막 트랜지스터의 제어 단자는 상기 풀업 제어 신호 노드와 연결되고 상기 풀업 제어 신호를 수신하기 위해 사용되고, 상기 제18 박막 트랜지스터의 제2 단자는 상기 DC 저전압 신호를 입력받기 위해 구성되며, 상기 제18 박막 트랜지스터의 제1 단자는 상기 제2 풀다운 제어 신호 노드와 연결됨으로써, 상기 제18 박막 트랜지스터는 상기 풀업 제어 신호 및 상기 DC 저전압 신호에 따라 상기 풀다운 제어 신호를 풀다운하기 위해 사용되고,

상기 제19 박막 트랜지스터의 제어 단자는 상기 풀업 제어 신호 노드와 연결되고 상기 풀업 제어 신호를 수신하기 위해 사용되고, 상기 제19 박막 트랜지스터의 제2 단자는 상기 DC 저전압 신호를 입력받기 위해 구성되며, 상기 제19 박막 트랜지스터의 제1 단자는 상기 제2 풀다운 제어 신호 노드와 연결됨으로써, 상기 제19 박막 트랜지스터는 상기 풀업 제어 신호 및 상기 DC 저전압 신호에 따라 상기 풀다운 제어 신호를 풀다운하기 위해 사용되며,

상기 제20 박막 트랜지스터의 제어 단자는 상기 풀업 제어 신호 노드와 연결되고 상기 풀업 제어 신호를 수신하기 위해 사용되고, 상기 제20 박막 트랜지스터의 제2 단자는 상기 제2 풀다운 제어 신호 노드와 연결되며, 상기 제20 박막 트랜지스터의 제1 단자는 상기 제1 풀다운 제어 신호 노드와 연결됨으로써, 상기 제20 박막 트랜지스터는 상기 제1 풀다운 제어 신호 및 상기 제2 풀다운 제어 신호를 상기 풀업 제어 신호에 따라 동일한 전위에 유지되도록 제어하기 위해 사용되는

GOA 회로.

청구항 16

제9항에 있어서,

상기 전이 회로는 부트스트랩 커패시터(bootstrap capacitor)를 더 포함하되,

상기 부트스트랩 커패시터는 상기 제3 박막 트랜지스터의 상기 제어 단자 및 상기 제2 단자와 커플링되고 상기 풀업 제어 신호를 부스트업하기(boosting up) 위해 사용되는

GOA 회로.

청구항 17

제9항에 있어서,

상기 제1 풀다운 제어 회로는,

제어 단자 및 제1 단자가 상기 제1 저주파 신호를 입력받기 위해 구성된 제4 박막 트랜지스터와,

제어 단자가 상기 제4 박막 트랜지스터의 제2 단자와 연결되고, 제1 단자가 상기 제1 저주파 신호를 입력받기 위해 구성된 제5 박막 트랜지스터와,

제어 단자가 상기 제2 저주파 신호를 입력받기 위해 구성되고, 제1 단자가 상기 제1 저주파 신호를 입력받기 위해 구성된 제6 박막 트랜지스터와,

제어 단자가 상기 제(n+2)단 단계 전이 신호를 입력받기 위해 구성되고, 제1 단자가 상기 DC 고전압 신호를 입력받기 위해 구성된 제21 박막 트랜지스터를 포함하되,

상기 제4 박막 트랜지스터, 상기 제5 박막 트랜지스터, 상기 제21 박막 트랜지스터 및 상기 제6 박막 트랜지스터의 제2 단자는 제1 풀다운 제어 신호 노드와 연결되고 상기 제1 풀다운 제어 신호를 출력하기 위해 사용되는

GOA 회로.

청구항 18

제11항에 있어서,

상기 제2 풀다운 제어 회로는,

제어 단자 및 제1 단자가 상기 제2 저주파 신호를 입력받기 위해 구성된 제9 박막 트랜지스터와,

제어 단자가 상기 제9 박막 트랜지스터의 제2 단자와 연결되고, 제1 단자가 상기 제2 저주파 신호를 입력받기

위해 구성된 제10 박막 트랜지스터와,

제어 단자가 상기 제1 저주파 신호를 입력받기 위해 구성되고, 제1 단자가 상기 제2 저주파 신호를 입력받기 위해 구성된 제11 박막 트랜지스터와,

제어 단자가 상기 제(n+2)단 단계 전이 신호를 입력받기 위해 구성되고, 제1 단자가 상기 DC 고전압 신호를 입력받기 위해 구성된 제22 박막 트랜지스터를 포함하되,

상기 제9 박막 트랜지스터, 상기 제10 박막 트랜지스터, 상기 제22 박막 트랜지스터 및 상기 제11 박막 트랜지스터의 제2 단자는 제2 풀다운 제어 신호 노드와 연결되고 제2 풀다운 제어 신호를 출력하기 위해 사용되는

GOA 회로.

청구항 19

제1항에 있어서,

상기 풀업 제어 회로는 제1 박막 트랜지스터를 포함하되,

상기 제1 박막 트랜지스터의 제어 단자 및 제1 단자는 상기 제(n-2)단 단계 전이 신호를 입력받기 위해 구성되고, 상기 제1 박막 트랜지스터의 제2 단자는 풀업 제어 신호 노드와 연결됨으로써 상기 제1 박막 트랜지스터는 상기 제(n-2)단 단계 전이 신호에 따라 상기 풀업 제어 신호를 출력하기 위해 사용되는

GOA 회로.

청구항 20

복수의 캐스케이드 연결된 GOA 유닛을 포함하는 액정 디스플레이 디바이스로서,

상기 복수의 캐스케이드 연결된 GOA 유닛 중의 제n단 GOA 유닛은 디스플레이 영역 내의 제n 수평 스캔 라인을 충전하기 위해 구성되고, 상기 제n단 GOA 유닛은 풀업 제어 회로, 풀업 회로, 전이 회로, 제1 풀다운 제어 회로, 제1 풀다운 회로, 제2 풀다운 제어 회로, 제2 풀다운 회로 및 주 풀다운 회로를 포함하되, n은 양의 정수이며,

상기 풀업 제어 회로는 제(n-2)단 GOA 유닛에 의해 출력된 제(n-2)단 단계 전이 신호를 수신하고, 상기 제(n-2)단 단계 전이 신호에 따라 풀업 제어 신호를 출력하기 위해 구성되고,

상기 풀업 회로는 DC 고전압 신호 및 상기 풀업 제어 신호를 수신하고, 상기 DC 고전압 신호 및 상기 풀업 제어 신호에 따라 스캔 구동 신호를 출력하기 위해 구성되며,

상기 전이 회로는 클록 신호 및 상기 풀업 제어 신호를 수신하고, 상기 클록 신호 및 상기 풀업 제어 신호에 따라 제n단 단계 전이 신호를 출력하기 위해 구성되고,

상기 제1 풀다운 제어 회로는 제(n+2)단 GOA 유닛으로부터 생성된 제(n+2)단 단계 전이 신호 및 제1 저주파 신호를 수신하고, 상기 제1 저주파 신호 및 상기 제(n+2)단 단계 전이 신호에 따라 제1 풀다운 제어 신호를 출력하기 위해 구성되며,

상기 제1 풀다운 회로는 상기 제1 풀다운 제어 신호 및 DC 저전압 신호를 수신하고, 상기 제1 풀다운 제어 신호 및 상기 DC 저전압 신호에 따라 상기 풀업 제어 신호를 풀다운함으로써 상기 스캔 구동 신호 및 상기 제n단 단계 전이 신호를 풀다운하기 위해 구성되고,

상기 제2 풀다운 제어 회로는 제2 저주파 신호 및 상기 제(n+2)단 단계 전이 신호를 수신하고, 상기 제2 저주파 신호 및 상기 제(n+2)단 단계 전이 신호에 따라 제2 풀다운 제어 신호를 출력하기 위해 구성되며,

상기 제2 풀다운 회로는 상기 제2 풀다운 제어 신호 및 상기 DC 저전압 신호를 수신하고, 상기 제2 풀다운 제어 신호 및 상기 DC 저전압 신호에 따라 상기 풀업 제어 신호를 풀다운함으로써 상기 스캔 구동 신호 및 상기 제n단 단계 전이 신호를 풀다운하기 위해 구성되고,

상기 주 풀다운 회로는 상기 DC 저전압 신호 및 상기 제(n+2)단 단계 전이 신호를 수신하고, 상기 DC 저전압 신호 및 상기 제(n+2)단 단계 전이 신호에 따라 상기 풀업 제어 신호 및 상기 스캔 구동 신호를 풀다운하기 위해 구성되며,

상기 제1 풀다운 제어 회로는 또한 상기 DC 고전압 신호 및 상기 제2 저주파 신호를 수신하고, 상기 제1 저주파 신호, 상기 DC 고전압 신호, 상기 제2 저주파 신호 및 상기 제(n+2)단 단계 전이 신호에 따라 상기 제1 풀다운 제어 신호를 출력하기 위해 구성된

액정 디스플레이 디바이스.

발명의 설명

기술 분야

[0001] 관련 출원에 대한 상호 참조

[0002] 이 출원은, "GOA 회로 및 액정 디스플레이 디바이스"라는 표제로 2014년 12월 31일에 출원된 중국 특허 출원 제 201410856556.0호의 우선권을 주장하는데, 이의 개시는 전체로서 참조에 의해 본 문서에 포함된다.

[0003] 발명의 분야

[0004] 본 발명은 액정 디스플레이(liquid crystal display) 기술 분야에 관련되고, 더욱 구체적으로 GOA 회로 및 액정 디스플레이 디바이스에 관련된다.

배경 기술

[0005] 관련 기술의 설명

[0006] 액정 디스플레이(Liquid Crystal Display: LCD) 디바이스는 음극선관(Cathode Ray Tube: CRT) 디스플레이 디바이스보다 방사 레벨(radiation level)이 더 낮고, 에너지 절약, 경량 및 작은 크기와 같은 많은 이점 때문에 점차 CRT 디스플레이 디바이스를 대체하였고 다양한 전자 제품에서 널리 사용되었다. 요즘에는, 능동형(active type) LCD 패널의 수평 스캔 라인(horizontal scan line)의 구동(driving)이 주로 패널의 외부 연결(externally connected) IC에 의해 완료/수행되고, 외부 연결 IC는 단계별로(stage by stage) 수평 스캐닝 라인의 충전과 방전을 제어할 수 있다. GOA(어레이 상의 게이트 드라이버(gate driver on array)) 기술은, Gate의 순차 스캐닝 구동(progressive scanning drive)을 달성하기 위해, Gate 라인 스캔 구동 신호 회로를 어레이 기판 상에 제작하는 데에 TFT(박막 트랜지스터(Thin Film Transistor)) 액정 디스플레이 어레이 프로세스를 사용하고, 따라서 그것은 기판 상에 디스플레이 영역 주위에 수평 스캔 라인의 구동 회로를 형성하는 데에 액정 디스플레이 패널의 원래의/기존의 제조 프로세스를 활용할 수 있다. GOA 기술은 외부 연결 IC와 연관된 본딩(bonding) 프로세스 단계를 제거하고, 생산성을 개선하고 생산 비용을 줄이며, LCD 패널을 더 좁은 가장자리(border)의 또는 가장자리 없는 디스플레이 제품에 더욱 적합하게 만들 수 있다.

[0007] GOA 회로의 주요 구조는 다음을 포함한다: 풀업(pull-up) 회로, 풀업 제어 회로, 전이(transfer) 회로, 풀다운(pull-down) 회로, 풀다운 유지 회로, 그리고 전위 부스트업(potential boost-up)을 책임지는 부스트(boost)(부트스트랩(bootstrap)) 커패시터. 선행 기술에서는, GOA 회로의 전송 회로 및 풀업 회로에서, 스캔 구동 신호(scan drive signal)와 단계 전이 신호(stage-transfer signal)의 출력 소스로서 CK(클록 신호)가 주로 사용되지만, CK는, COF(필름 상의 칩(chip on film))를 거쳐 가서 GOA 배선에 도달한 후, 그것 자체로 신호 지연이 매우 심각한데, 이는 GOA의 단계 천이(stage shift)에 영향을 줄 뿐만 아니라 충전율(charging ratio)의 일부를 희생하여 스캔 구동 신호의 출력 품질에도 영향을 준다. CK 지연을 완화하기 위한 흔히 사용되는 방법은 CK를 넓히는 것이지만, 이것은 LCD 디바이스의 가장자리 폭을 증가시킬 것이다.

발명의 내용

[0008] 발명의 실시예는 GOA 회로 및 액정 디스플레이(Liquid Crystal Display: LCD) 디바이스를 제공하는데, 이는 GOA 회로 내의 GOA 유닛의 단계 전이 효율을 개선하고, 스캔 구동 신호의 출력 품질을 개선함으로써 LCD 판의 충전율을 증가시킬 수 있고 또한 스캔 구동 신호의 풀다운 속도를 가속화할 수 있다.

[0009] 발명의 실시예는 GOA 회로를 제공한다. 그 회로는 복수의 캐스케이드 연결된(cascade connected) GOA 유닛을 포함한다. 복수의 캐스케이드 연결된 GOA 유닛 중의 제n단(nth-stage) GOA 유닛은 디스플레이 영역 내의 제n 수평 스캔 라인을 충전하기 위해 구성된다(즉, 구조화되고 배열됨). 제n단 GOA 유닛은 풀업 제어 회로(pull-up control circuit), 풀업 회로(pull-up circuit), 전이 회로(transfer circuit), 제1 풀다운 제어 회로(pull-down control circuit), 제1 풀다운 회로(pull-down circuit), 제2 풀다운 제어 회로, 제2 풀다운 회로 및 주

풀다운 회로(main pull-down circuit)를 포함하되, n 은 양의 정수이다.

- [0010] 풀업 제어 회로는 제($n-2$)단 GOA 유닛에 의해 출력된 제($n-2$)단 단계 전이 신호(stage-transfer signal)를 수신하고, 제($n-2$)단 단계 전이 신호에 따라 풀업 제어 신호를 출력하기 위해 구성되며,
- [0011] 풀업 회로는 DC 고전압 신호 및 풀업 제어 신호를 수신하고, DC 고전압 신호 및 풀업 제어 신호에 따라 스캔 구동 신호를 출력하기 위해 구성되며,
- [0012] 전이 회로는 클록 신호 및 풀업 제어 신호를 수신하고, 클록 신호 및 풀업 제어 신호에 따라 제 n 단 단계 전이 신호를 출력하기 위해 구성되며,
- [0013] 제1 풀다운 제어 회로는 제($n+2$)단 GOA 유닛으로부터 생성된 제($n+2$)단 단계 전이 신호 및 제1 저주파 신호를 수신하고, 제1 저주파 신호 및 제($n+2$)단 단계 전이 신호에 따라 제1 풀다운 제어 신호를 출력하기 위해 구성되며,
- [0014] 제1 풀다운 회로는 제1 풀다운 제어 신호 및 DC 저전압 신호를 수신하고, 제1 풀다운 제어 신호 및 DC 저전압 신호에 따라 풀업 제어 신호를 풀다운함으로써 스캔 구동 신호 및 제 n 단 단계 전이 신호를 풀다운하기 위해 구성되며,
- [0015] 제2 풀다운 제어 회로는 제2 저주파 신호 및 제($n+2$)단 단계 전이 신호를 수신하고, 제2 저주파 신호 및 제($n+2$)단 단계 전이 신호에 따라 제2 풀다운 제어 신호를 출력하기 위해 구성되며,
- [0016] 제2 풀다운 회로는 제2 풀다운 제어 신호 및 DC 저전압 신호를 수신하고, 제2 풀다운 제어 신호 및 DC 저전압 신호에 따라 풀업 제어 신호를 풀다운함으로써 스캔 구동 신호 및 제 n 단 단계 전이 신호를 풀다운하기 위해 구성되며,
- [0017] 주 풀다운 회로는 DC 저전압 신호 및 제($n+2$)단 단계 전이 신호를 수신하고, DC 저전압 신호 및 제($n+2$)단 단계 전이 신호에 따라 풀업 제어 신호 및 스캔 구동 신호를 풀다운하기 위해 구성된다.
- [0018] 실시예에서, 제1 풀다운 제어 회로는 또한 DC 고전압 신호 및 제2 저주파 신호를 수신하고, 제1 저주파 신호, DC 고전압 신호, 제2 저주파 신호 및 제($n+2$)단 단계 전이 신호에 따라 제1 풀다운 제어 신호를 출력하기 위해 구성된다.
- [0019] 실시예에서, 제2 풀다운 제어 회로는 또한 DC 고전압 신호 및 제1 저주파 신호를 수신하고, 제1 저주파 신호, DC 고전압 신호, 제2 저주파 신호 및 제($n+2$)단 단계 전이 신호에 따라 제2 풀다운 제어 신호를 출력하기 위해 구성된다.
- [0020] 실시예에서, 제1 저주파 신호 및 제2 저주파 신호의 위상은 역(reverse)이다.
- [0021] 실시예에서, GOA 회로는 다음을 더 포함한다: 풀업 유지 회로(풀업 제어 신호 및 DC 저전압 신호를 수신하고, 풀업 제어 신호 및 DC 저전압 신호에 따라 제1 풀다운 제어 신호 및 제2 풀다운 제어 신호를 풀다운함으로써 풀업 회로 및 전이 회로를 각각 스캔 구동 신호 및 제 n 단 단계 전이 신호를 출력하도록 유지하기 위해 구성됨).
- [0022] 실시예에서, 풀업 제어 회로는 DC 고전압 신호를 수신하고, 제($n-2$)단 단계 전이 신호 및 DC 고전압 신호에 따라 풀업 제어 신호를 출력하기 위해 구성된다.
- [0023] 실시예에서, 풀업 제어 회로는 제1 박막 트랜지스터를 포함하되, 제1 박막 트랜지스터는 제어 단자(control terminal)가 제($n-2$)단 단계 전이 신호를 입력받기 위해 구성되고, 제1 단자가 DC 고전압 신호를 입력받기 위해 구성되며, 제2 단자가 풀업 제어 신호 노드와 연결됨으로써, 제1 박막 트랜지스터는 제($n-2$)단 단계 전이 신호 및 DC 고전압 신호에 따라 풀업 제어 신호를 출력하기 위해 사용된다.
- [0024] 실시예에서, 풀업 제어 회로는 제2 박막 트랜지스터를 포함하되, 제2 박막 트랜지스터는 제어 단자가 풀업 제어 신호 노드와 연결되고 풀업 제어 신호를 수신하기 위해 사용되고, 제1 단자가 DC 고전압 신호를 입력받기 위해 구성되며, 제2 단자가 수평 스캔 라인과 연결됨으로써, 제2 박막 트랜지스터는 풀업 제어 신호 및 DC 고전압 신호에 따라 스캔 구동 신호를 출력하기 위해 사용된다.
- [0025] 실시예에서, 전이 회로는 제3 박막 트랜지스터를 포함하되, 제3 박막 트랜지스터는 제어 단자가 풀업 제어 신호 노드와 연결되고 풀업 제어 신호를 수신하기 위해 사용되고, 제1 단자가 클록 신호를 입력받기 위해 구성되며, 제2 단자가 풀업 제어 신호 및 클록 신호에 따라 단계 전이 신호를 출력하기 위해 구성된다.
- [0026] 실시예에서, 제1 풀다운 제어 회로는, 제어 단자 및 제1 단자가 제1 저주파 신호를 입력받기 위해 구성된 제4

박막 트랜지스터와, 제어 단자가 제4 박막 트랜지스터의 제2 단자와 연결되고, 제1 단자가 제1 저주파 신호를 입력받기 위해 구성된 제5 박막 트랜지스터와, 제어 단자가 제(n+2)단 단계 전이 신호를 입력받기 위해 구성되고, 제1 단자가 제1 저주파 신호를 입력받기 위해 구성된 제6 박막 트랜지스터를 포함하되, 제4 박막 트랜지스터, 제5 박막 트랜지스터 및 제6 박막 트랜지스터의 제2 단자는 제1 풀다운 제어 신호 노드와 연결되고 제1 풀다운 제어 신호를 출력하기 위해 사용된다.

[0027] 실시예에서, 제1 풀다운 회로는 제7 박막 트랜지스터 및 제8 박막 트랜지스터를 포함하되, 제7 박막 트랜지스터는 제어 단자가 제1 풀다운 제어 신호 노드와 연결되고 제1 풀다운 제어 신호를 수신하기 위해 사용되고, 제2 단자가 DC 저전압 신호를 입력받기 위해 구성되며, 제1 단자가 풀업 제어 신호 노드와 연결됨으로써, 제7 박막 트랜지스터는 제1 풀다운 제어 신호 및 DC 저전압 신호에 따라 풀업 제어 신호를 풀다운하기 위해 사용되고, 제8 박막 트랜지스터는 제어 단자가 제1 풀다운 제어 신호 노드와 연결되고 제1 풀다운 제어 신호를 수신하기 위해 사용되고, 제2 단자가 DC 저전압 신호를 입력받기 위해 구성되며, 제1 단자가 수평 스캔 라인과 연결됨으로써, 제8 박막 트랜지스터는 제1 풀다운 제어 신호 및 DC 저전압 신호에 따라 스캔 구동 신호를 풀다운하기 위해 사용된다.

[0028] 실시예에서, 제2 풀다운 회로는, 제어 단자 및 제1 단자가 제2 저주파 신호를 입력받기 위해 구성된 제9 박막 트랜지스터와, 제어 단자가 제9 박막 트랜지스터의 제2 단자와 연결되고, 제1 단자가 제2 저주파 신호를 입력받기 위해 구성된 제10 박막 트랜지스터와, 제어 단자가 제(n+2)단 단계 전이 신호를 입력받기 위해 구성되고, 제1 단자가 제2 저주파 신호를 입력받기 위해 구성된 제11 박막 트랜지스터를 포함하되, 제9 박막 트랜지스터, 제10 박막 트랜지스터 및 제11 박막 트랜지스터의 제2 단자는 제2 풀다운 제어 신호 노드와 연결되고 제2 풀다운 제어 신호를 출력하기 위해 사용된다.

[0029] 실시예에서, 제2 풀다운 회로는 제12 박막 트랜지스터 및 제13 박막 트랜지스터를 포함하되, 제12 박막 트랜지스터는 제어 단자가 제2 풀다운 제어 신호 노드와 연결되고 제2 풀다운 제어 신호를 수신하기 위해 사용되고, 제2 단자가 DC 저전압 신호를 입력받기 위해 구성되며, 제1 단자가 풀업 제어 신호 노드와 연결됨으로써, 제12 박막 트랜지스터는 제2 풀다운 제어 신호 및 DC 저전압 신호에 따라 풀업 제어 신호를 풀다운하기 위해 사용되고, 제13 박막 트랜지스터는 제어 단자가 제2 풀다운 제어 신호 노드와 연결되고 제2 풀다운 제어 신호를 수신하기 위해 사용되고, 제2 단자가 DC 저전압 신호를 입력받기 위해 구성되며, 제1 단자가 수평 스캔 라인과 연결됨으로써, 제13 박막 트랜지스터는 제2 풀다운 제어 신호 및 DC 저전압 신호에 따라 스캔 구동 신호를 풀다운하기 위해 사용된다.

[0030] 실시예에서, 주 풀다운 회로는 제14 박막 트랜지스터 및 제15 박막 트랜지스터를 포함하되, 제14 박막 트랜지스터는 제어 단자가 제(n+2)단 단계 전이 신호를 입력받기 위해 구성되고, 제2 단자가 DC 저전압 신호를 입력받기 위해 구성되며, 제1 단자가 풀업 제어 신호 노드와 연결됨으로써, 제14 박막 트랜지스터는 제(n+2)단 단계 전이 신호 및 DC 저전압 신호에 따라 풀업 제어 신호를 풀다운하기 위해 사용되고, 제15 박막 트랜지스터는 제어 단자가 제(n+2)단 단계 전이 신호를 입력받기 위해 구성되고, 제2 단자가 DC 저전압 신호를 입력받기 위해 구성되며, 제1 단자가 수평 스캔 라인과 연결됨으로써, 제15 박막 트랜지스터는 제(n+2)단 단계 전이 신호 및 DC 저전압 신호에 따라 스캔 구동 신호를 풀다운하기 위해 사용된다.

[0031] 실시예에서, 풀업 유지 회로는 제16 박막 트랜지스터, 제17 박막 트랜지스터, 제18 박막 트랜지스터, 제19 박막 트랜지스터 및 제20 박막 트랜지스터를 포함하되, 제16 박막 트랜지스터는 제어 단자가 풀업 제어 신호 노드와 연결되고 풀업 제어 신호를 수신하기 위해 사용되고, 제2 단자가 DC 저전압 신호를 입력받기 위해 구성되며, 제1 단자가 제1 풀다운 제어 신호 노드와 연결됨으로써, 제16 박막 트랜지스터는 풀업 제어 신호 및 DC 저전압 신호에 따라 풀다운 제어 신호를 풀다운하기 위해 사용되고, 제17 박막 트랜지스터는 제어 단자가 풀업 제어 신호 노드와 연결되고 풀업 제어 신호를 수신하기 위해 사용되고, 제2 단자가 DC 저전압 신호를 입력받기 위해 구성되며, 제1 단자가 제2 풀다운 제어 신호 노드와 연결됨으로써, 제17 박막 트랜지스터는 풀업 제어 신호 및 DC 저전압 신호에 따라 풀다운 제어 신호를 풀다운하기 위해 사용되며, 제18 박막 트랜지스터는 제어 단자가 풀업 제어 신호 노드와 연결되고 풀업 제어 신호를 수신하기 위해 사용되고, 제2 단자가 DC 저전압 신호를 입력받기 위해 구성되며, 제1 단자가 제2 풀다운 제어 신호 노드와 연결됨으로써, 제18 박막 트랜지스터는 풀업 제어 신호 및 DC 저전압 신호에 따라 풀다운 제어 신호를 풀다운하기 위해 사용되고, 제19 박막 트랜지스터는 제어 단자가 풀업 제어 신호 노드와 연결되고 풀업 제어 신호를 수신하기 위해 사용되고, 제2 단자가 DC 저전압 신호를 입력받기 위해 구성되며, 제1 단자가 제2 풀다운 제어 신호 노드와 연결됨으로써, 제19 박막 트랜지스터는 풀업 제어 신호 및 DC 저전압 신호에 따라 풀다운 제어 신호를 풀다운하기 위해 사용되며, 제20 박막 트랜지스터는 제어 단자가 풀업 제어 신호 노드와 연결되고 풀업 제어 신호를 수신하기 위해 사용되고, 제2 단자가 제2 풀다

운 제어 신호 노드와 연결되며, 제1 단자가 제1 풀다운 제어 신호 노드와 연결됨으로써, 제20 박막 트랜지스터는 제1 풀다운 제어 신호 및 제2 풀다운 제어 신호를 풀업 제어 신호에 따라 동일한 전위에 유지되도록 제어하기 위해 사용된다.

[0032] 실시예에서, 전이 회로는 부트스트랩 커패시터(bootstrap capacitor)를 더 포함하되, 부트스트랩 커패시터는 제3 박막 트랜지스터의 제어 단자 및 제2 단자와 커플링되고(coupled) 풀업 제어 신호를 부스트업하기(boosting up) 위해 사용된다.

[0033] 실시예에서, 제1 풀다운 제어 회로는, 제어 단자 및 제1 단자가 제1 저주파 신호를 입력받기 위해 구성된 제4 박막 트랜지스터와, 제어 단자가 제4 박막 트랜지스터의 제2 단자와 연결되고, 제1 단자가 제1 저주파 신호를 입력받기 위해 구성된 제5 박막 트랜지스터와, 제어 단자가 제2 저주파 신호를 입력받기 위해 구성되고, 제1 단자가 제1 저주파 신호를 입력받기 위해 구성된 제6 박막 트랜지스터와, 제어 단자가 제(n+2)단 단계 전이 신호를 입력받기 위해 구성되고, 제1 단자가 DC 고전압 신호를 입력받기 위해 구성된 제21 박막 트랜지스터를 포함하되, 제4 박막 트랜지스터, 제5 박막 트랜지스터, 제21 박막 트랜지스터 및 제6 박막 트랜지스터의 제2 단자는 제1 풀다운 제어 신호 노드와 연결되고 제1 풀다운 제어 신호를 출력하기 위해 사용된다.

[0034] 실시예에서, 제2 풀다운 제어 회로는, 제어 단자 및 제1 단자가 제2 저주파 신호를 입력받기 위해 구성된 제9 박막 트랜지스터와, 제어 단자가 제9 박막 트랜지스터의 제2 단자와 연결되고, 제1 단자가 제2 저주파 신호를 입력받기 위해 구성된 제10 박막 트랜지스터와, 제어 단자가 제1 저주파 신호를 입력받기 위해 구성되고, 제1 단자가 제2 저주파 신호를 입력받기 위해 구성된 제11 박막 트랜지스터와, 제어 단자가 제(n+2)단 단계 전이 신호를 입력받기 위해 구성되고, 제1 단자가 DC 고전압 신호를 입력받기 위해 구성된 제22 박막 트랜지스터를 포함하되, 제9 박막 트랜지스터, 제10 박막 트랜지스터, 제22 박막 트랜지스터 및 제11 박막 트랜지스터의 제2 단자는 제2 풀다운 제어 신호 노드와 연결되고 제2 풀다운 제어 신호를 출력하기 위해 사용된다.

[0035] 실시예에서, 풀업 제어 회로는 제1 박막 트랜지스터를 포함하되, 제1 박막 트랜지스터는 제어 단자 및 제1 단자가 제(n-2)단 단계 전이 신호를 입력받기 위해 구성되고, 제2 단자가 풀업 제어 신호 노드와 연결됨으로써 제1 박막 트랜지스터는 제(n-2)단 단계 전이 신호에 따라 풀업 제어 신호를 출력하기 위해 사용된다.

[0036] 상응하여, 발명은 액정 디스플레이하기 위한 전술된 GOA 회로를 포함하는 액정 디스플레이(Liquid Crystal Display: LCD) 디바이스를 또한 제공한다.

[0037] 요약하면, 발명의 실시예는 각각 DC 고전압 신호를 GOA 유닛의 풀업 회로의 입력 소스(input source)로서 사용하고 클럭 신호를 단계 전이 신호의 입력 소스로서 사용할 뿐인데, 이는 클럭 신호의 지연에 의해 야기되는 단계 전이 효율에 대한 영향을 방지하여 이로써 GOA 유닛의 단계 전이 효율을 개선할 수 있고, 또한 스캔 구동 신호의 출력 품질을 개선하여 이로써 LCD 관의 충전율을 증가시킬 수 있다.

도면의 간단한 설명

[0038] 발명의 실시예의 기술적 해결안을 더욱 명확히 보여주기 위해서, 실시예의 설명에서 사용될 도면에 대해 아래에서 간략한 설명이 주어질 것이다. 명백히, 이하의 설명에서의 도면은 단지 발명의 실시예 중 몇몇이고, 통상의 기술자는 창조적 노력 없이 이들 예시된 도면에 따라 다른 도면을 획득할 수 있다.

도 1은 발명의 실시예에 의해 제공되는 GOA 회로의 구조적인 개략도이고,

도 2는 발명의 실시예에 의해 제공되는 GOA 회로의 다른 구조적인 개략도이며,

도 3은 발명의 실시예에 의해 제공되는 GOA 회로의 또 다른 구조적인 개략도이고,

도 4는 발명의 실시예에 의해 제공되는 GOA 회로의 또 다른 구조적인 개략도이며,

도 5는 발명의 실시예에 의해 제공되는 GOA 회로의 또 다른 구조적인 개략도이고,

도 6은 발명의 실시예에 의해 제공되는 GOA 회로의 다양한 중요 노드의 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0039] 이하에서, 발명의 실시예의 첨부된 도면을 참조하여, 발명의 실시예에서의 기술적 해결안이 명확하고 완전하게 기술될 것이다. 명백히, 아래에 기술된 발명의 실시예는 단지 발명의 실시예의 일부이지, 모든 실시예가 아니다. 발명의 기술된 실시예에 기반하여, 창조적 노력 없이 통상의 기술자에 의해 획득되는 모든 다른 실시예

는 발명의 보호 범위에 속한다.

- [0040] 발명의 실시예에 의해 제공되는 GOA 회로 및 액정 디스플레이(Liquid Crystal Display: LCD) 디바이스가 도 1 내지 도 6을 참조하여 상세히 아래에 기술될 것이다.
- [0041] 도 1을 참조하면, 도 1은 발명의 실시예에 의해 제공되는 GOA 회로의 구조적인 개략도이다. 도면에 도시된 바와 같은 GOA 회로는 적어도 다음을 포함한다: 풀업 제어 회로(100), 풀업 회로(200), 전이 회로(300), 제1 풀다운 제어 회로(400), 제1 풀다운 회로(500), 제2 풀다운 제어 회로(600), 제2 풀다운 회로(700) 및 주 풀다운 회로(800).
- [0042] 풀업 제어 회로(100)는 제(n-2)단 GOA(어레이 상의 게이트 드라이버(gate driver on array)) 유닛에 의해 출력된 제(n-2)단 단계 전이 신호 ST(n-2)를 수신하고 제(n-2)단 단계 전이 신호 ST(n-2)에 따라 풀업 제어 신호 Q(n)을 출력한다.
- [0043] 풀업 회로(200)는 풀업 제어 회로(100)와 전기적으로 연결되고, 직류(Direct Current: DC) 고전압 신호 VDD 및 풀업 제어 신호 Q(n)을 수신하며, DC 고전압 신호 VDD 및 풀업 제어 신호 Q(n)에 따라 스캔 구동 신호 G(n)을 출력한다.
- [0044] 전이 회로(300)는 풀업 제어 회로(100) 및 풀업 회로(200)와 전기적으로 연결되고, 클록 신호 CK(n) 및 풀업 제어 신호 Q(n)을 수신하며, 클록 신호 CK(n) 및 풀업 제어 신호 Q(n)에 따라 제n단 단계 전이 신호 ST(n)을 출력한다.
- [0045] 제1 풀다운 제어 회로(400)는 제1 저주파 신호 LC1와, 제(n+2)단 GOA 유닛으로부터 생성된 제(n+2)단 단계 전이 신호 ST(n+2)를 수신하고, 제1 저주파 신호 LC1 및 제(n+2)단 단계 전이 신호 ST(n+2)에 따라 제1 풀다운 제어 신호 P(n)을 출력한다.
- [0046] 제1 풀다운 회로(500)는 제1 풀다운 제어 회로(400)와 전기적으로 연결되고, 제1 풀다운 제어 신호 P(n) 및 DC 저전압 신호 Vss를 수신하며, 제1 풀다운 제어 신호 P(n) 및 DC 저전압 신호 Vss에 따라 풀업 제어 신호 Q(n)를 풀다운하는데 이로써 스캔 구동 신호 G(n) 및 제n단 단계 전이 신호 ST(n)을 풀다운한다.
- [0047] 제2 풀다운 제어 회로(600)는 제2 저주파 신호 LC2 및 제(n+2)단 단계 전이 신호 ST(n+2)를 수신하고, 제2 저주파 신호 LC2 및 제(n+2)단 단계 전이 신호 ST(n+2)에 따라 제2 풀다운 제어 신호 K(n)을 출력한다.
- [0048] 제2 풀다운 회로(700)는 풀업 제어 회로(100), 풀업 회로(200), 전이 회로(300) 및 제2 풀다운 제어 회로(600)와 전기적으로 연결되고, 제2 풀다운 제어 신호 K(n) 및 DC 저전압 신호 Vss를 수신하며, 제2 풀다운 제어 신호 K(n) 및 DC 저전압 신호 Vss에 따라 풀업 제어 신호 Q(n)을 풀다운하는데 이로써 스캔 구동 신호 G(n) 및 제n단 단계 전이 신호 ST(n)을 풀다운한다.
- [0049] 주 풀다운 회로(800)는 풀업 제어 회로(100), 풀업 회로(200) 및 전이 회로(300)와 전기적으로 연결되고, DC 저전압 신호 Vss 및 제(n+2)단 단계 전이 신호 ST(n+2)를 수신하며, DC 저전압 신호 Vss 및 제(n+2)단 단계 전이 신호 ST(n+2)에 따라 풀업 제어 신호 Q(n) 및 스캔 구동 신호 G(n)을 풀다운한다.
- [0050] 대안적인 실시예에서, GOA 회로는 다음을 더 포함한다: 풀업 유지 회로(900)(풀업 제어 회로(100), 제1 풀다운 제어 회로(400), 제1 풀다운 회로(500), 제2 풀다운 제어 회로(600) 및 제2 풀다운 회로(700)와 전기적으로 연결되고, 풀업 제어 신호 Q(n) 및 DC 저전압 신호 Vss를 수신하며, 풀업 제어 신호 Q(n) 및 DC 저전압 신호 Vss에 따라 제1 풀다운 제어 신호 P(n) 및 제2 풀다운 제어 신호 K(n)을 풀다운함으로써, 각각 스캔 구동 신호 G(n) 및 제n단 단계 전이 신호 ST(n)을 출력하도록 풀업 회로(200) 및 전이 회로(300)를 유지함).
- [0051] 발명의 실시예는 DC 고전압 신호를 GOA 유닛의 풀업 회로의 입력 소스로서 사용하고 클록 신호를 단계 전이 신호의 입력 소스로서 사용할 뿐인데, 이는 클록 신호의 지연에 의해 야기되는 단계 전이 효율에 대한 영향을 방지할 수 있고, 따라서 GOA 유닛의 단계 전이 효율을 개선하고 스캔 구동 신호의 출력 품질을 개선함으로써 LCD 판의 충전율을 증가시킬 수 있다.
- [0052] 도 2를 참조하면, 도 2는 발명의 실시예에 의해 제공되는 GOA 회로의 다른 구조적인 개략도이다. 도 1에 도시된 GOA 회로의 구조적인 개략도와 함께, 도 2에 도시된 바와 같은 GOA 회로는 다음을 포함한다: 풀업 제어 회로(100), 풀업 회로(200), 전이 회로(300), 제1 풀다운 제어 회로(400), 제1 풀다운 회로(500), 제2 풀다운 제어 회로(600), 제2 풀다운 회로(700), 주 풀다운 회로(800) 및 풀업 유지 회로(900). 예시된 실시예에서, 예시와 설명을 용이하게 하기 위해서, 또한 회로 간의 그리고 회로 내에 포함된 전자 디바이스 간의 연결 관계가 관련

도면에 도시되고, 따라서 이 명세서에서 반복되지 않을 것이다.

- [0053] 풀업 제어 회로(100)는 구체적으로 제1 박막 트랜지스터(T11)를 포함한다. 제1 박막 트랜지스터(T11)의 제어 단자는 제(n-2)단 단계 전이 신호 ST(n-2)가 입력되고, 이의 제1 단자는 DC 고전압 신호 VDD가 입력되며, 이의 제2 단자는 풀업 제어 신호 노드 Q와 연결되고, 이로써 제1 박막 트랜지스터(T11)는 제(n-2)단 단계 전이 신호 ST(n-2) 및 DC 고전압 신호 VDD에 따라 풀업 제어 신호 Q(n)을 출력하는 데에 사용된다.
- [0054] 풀업 회로(200)는 구체적으로 제2 박막 트랜지스터(T21)를 포함한다. 제2 박막 트랜지스터(T21)의 제어 단자는 풀업 제어 신호 노드 Q와 연결되고 풀업 제어 신호 Q(n)을 수신하는 데에 사용되고, 이의 제1 단자는 DC 고전압 신호 VDD가 입력되며, 제2 단자는 수평 스캔 라인 G와 연결되고, 이로써 제2 박막 트랜지스터(T21)는 풀업 제어 신호 Q(n) 및 DC 고전압 신호 VDD에 따라 스캔 구동 신호 G(n)을 출력하는 데에 사용된다.
- [0055] 전이 회로(300)는 구체적으로 제3 박막 트랜지스터(T22)를 포함한다. 제3 박막 트랜지스터(T22)의 제어 단자는 풀업 제어 신호 노드 Q와 연결되고 풀업 제어 신호 Q(n)을 수신하는 데에 사용되고, 이의 제1 단자는 클록 신호 CK(n)이 입력되며, 이의 제2 단자는 클록 신호 CK(n) 및 풀업 제어 신호 Q(n)에 따라 단계 전이 신호 ST(n)을 출력한다.
- [0056] 제1 풀다운 제어 회로(400)는 구체적으로 다음을 포함한다: 제4 박막 트랜지스터(T51)(이의 제어 단자 및 제1 단자는 제1 저주파 신호 LC1이 입력됨); 제5 박막 트랜지스터(T53)(이의 제어 단자는 제4 박막 트랜지스터(T51)의 제2 단자와 연결되고, 이의 제1 단자는 제1 저주파 신호 LC1이 입력됨); 그리고 제6 박막 트랜지스터(T54)(이의 제어 단자는 제(n+2)단 단계 전이 신호 ST(n+2)가 입력되고, 이의 제1 단자는 제1 저주파 신호 LC1이 입력됨). 제4 박막 트랜지스터(T51), 제5 박막 트랜지스터(T53) 및 제6 박막 트랜지스터(T54)의 제2 단자는 제1 풀다운 제어 신호 노드 P와 연결되고 제1 풀다운 제어 신호 P(n)을 출력하는 데에 사용된다.
- [0057] 제1 풀다운 회로(500)는 구체적으로 다음을 포함한다: 제7 박막 트랜지스터(T42)(이의 제어 단자는 제1 풀다운 제어 신호 노드 P와 연결되고 제1 풀다운 제어 신호 P(n)을 수신하는 데에 사용되고, 이의 제2 단자는 DC 저전압 신호 Vss가 입력되며, 이의 제1 단자는 풀업 제어 신호 노드 Q와 연결되고, 이로써 제7 박막 트랜지스터(T42)는 제1 풀다운 제어 신호 P(n) 및 DC 저전압 신호 Vss에 따라 풀업 제어 신호 Q(n)을 풀다운하는 데에 사용됨); 그리고 제8 박막 트랜지스터(T32)(이의 제어 단자는 제1 풀다운 제어 신호 노드 P와 연결되고 제1 풀다운 제어 신호 P(n)을 수신하는 데에 사용되고, 이의 제2 단자는 DC 저전압 신호 Vss가 입력되며, 이의 제1 단자는 수평 스캔 라인 G와 연결되고, 이로써 제8 박막 트랜지스터(T32)는 제1 풀다운 제어 신호 P(n) 및 DC 저전압 신호 Vss에 따라 스캔 구동 신호 G(n)을 풀다운하는 데에 사용됨).
- [0058] 제2 풀다운 제어 회로(600)는 구체적으로 다음을 포함한다: 제9 박막 트랜지스터(T61)(이의 제어 단자 및 제1 단자는 제2 저주파 신호 LC2가 입력됨); 제10 박막 트랜지스터(T63)(이의 제어 단자는 제9 박막 트랜지스터(T61)의 제2 단자와 연결되고, 이의 제1 단자는 제2 저주파 신호 LC2가 입력됨); 그리고 제11 박막 트랜지스터(T64)(이의 제어 단자는 제(n+2)단 단계 전이 신호 ST(n+2)가 입력되고, 이의 제1 단자는 제2 저주파 신호 LC2가 입력됨). 제9 박막 트랜지스터(T61), 제10 박막 트랜지스터(T63) 및 제11 박막 트랜지스터(T64)의 제2 단자는 제2 풀다운 제어 신호 노드 K와 연결되고 제2 풀다운 제어 신호 K(n)을 출력하는 데에 사용된다.
- [0059] 제2 풀다운 회로(700)는 구체적으로 다음을 포함한다: 제12 박막 트랜지스터(T43)(이의 제어 단자는 제2 풀다운 제어 신호 노드 K와 연결되고 제2 풀다운 제어 신호 K(n)을 수신하는 데에 사용되고, 이의 제2 단자는 DC 저전압 신호 Vss가 입력되며, 이의 제1 단자는 풀업 제어 신호 노드 Q와 연결되고, 이로써 제12 박막 트랜지스터(T43)는 제2 풀다운 제어 신호 K(n) 및 DC 저전압 신호 Vss에 따라 풀업 제어 신호 Q(n)을 풀다운하는 데에 사용됨); 그리고 제13 박막 트랜지스터(T33)(이의 제어 단자는 제2 풀다운 제어 신호점 K와 연결되고 제2 풀다운 제어 신호 K(n)을 수신하는 데에 사용되고, 이의 제2 단자는 DC 저전압 신호 Vss가 입력되며, 이의 제1 단자는 수평 스캔 라인 G와 연결되고, 이로써 제13 박막 트랜지스터(T33)는 제2 풀다운 제어 신호 K(n) 및 DC 저전압 신호 Vss에 따라 스캔 구동 신호 G(n)을 풀다운하는 데에 사용됨).
- [0060] 주 풀다운 회로(800)는 구체적으로 다음을 포함한다: 제14 박막 트랜지스터(T41)(이의 제어 단자는 제(n+2)단 단계 전이 신호 ST(n+2)가 입력되고, 이의 제2 단자는 DC 저전압 신호 Vss가 입력되며, 이의 제1 단자는 풀업 제어 신호 노드 Q와 연결되고, 이로써 제14 박막 트랜지스터(T41)는 제(n+2)단 단계 전이 신호 ST(n+2) 및 DC 저전압 신호 Vss에 따라 풀업 제어 신호 Q(n)을 풀다운하는 데에 사용됨); 그리고 제15 박막 트랜지스터(T31)(이의 제어 단자는 제(n+2)단 단계 전이 신호 ST(n+2)가 입력되고, 이의 제2 단자는 DC 저전압 신호 Vss가 입력되며, 이의 제1 단자는 수평 스캔 라인 G와 연결되고, 이로써 제15 박막 트랜지스터(T31)는 제(n+2)단 단계 전

이 신호 ST(n+2) 및 DC 저전압 신호 Vss에 따라 스캔 구동 신호 G(n)을 풀다운하는 데에 사용됨).

[0061] 풀업 유지 회로(900)는 구체적으로 다음을 포함한다: 제16 박막 트랜지스터(T52)(이의 제어 단자는 풀업 제어 신호 노드 Q와 연결되고 풀업 제어 신호 Q(n)을 수신하는 데에 사용되고, 이의 제2 단자는 DC 저전압 신호 Vss가 입력되며, 이의 제1 단자는 제1 풀다운 제어 신호 노드 P와 연결되고, 이로써 제16 박막 트랜지스터(T52)는 풀업 제어 신호 Q(n) 및 DC 저전압 신호 Vss에 따라 풀다운 제어 신호 P(n)을 풀다운하는 데에 사용됨); 제17 박막 트랜지스터(T56)(이의 제어 단자는 풀업 제어 신호 노드 Q와 연결되고 풀업 제어 신호 Q(n)을 수신하는 데에 사용되고, 이의 제2 단자는 DC 저전압 신호 Vss가 입력되며, 이의 제1 단자는 제1 풀다운 제어 신호 노드 P와 연결되고, 이로써 제17 박막 트랜지스터(T56)는 풀업 제어 신호 Q(n) 및 DC 저전압 신호 Vss에 따라 풀다운 제어 신호 P(n)을 풀다운하는 데에 사용됨); 제18 박막 트랜지스터(T62)(이의 제어 단자는 풀업 제어 신호점 Q와 연결되고 풀업 제어 신호 Q(n)을 수신하는 데에 사용되고, 이의 제2 단자는 DC 저전압 신호 Vss가 입력되며, 이의 제1 단자는 제2 풀업 제어 신호 노드 K와 연결되고, 이로써 제18 박막 트랜지스터(T62)는 풀업 제어 신호 Q(n) 및 DC 저전압 신호 Vss에 따라 풀다운 제어 신호 K(n)을 풀다운하는 데에 사용됨); 제19 박막 트랜지스터(T66)(이의 제어 단자는 풀업 제어 신호 노드 Q와 연결되고 풀업 제어 신호 Q(n)을 수신하는 데에 사용되고, 이의 제2 단자는 DC 저전압 신호 Vss가 입력되며, 이의 제1 단자는 제2 풀다운 제어 신호 노드 K와 연결되고, 이로써 제19 박막 트랜지스터(T66)는 풀업 제어 신호 Q(n) 및 DC 저전압 신호 Vss에 따라 풀다운 제어 신호 K(n)을 풀다운하는 데에 사용됨); 그리고 제20 박막 트랜지스터(T55)(이의 제어 단자는 풀업 제어 신호 노드 Q와 연결되고 풀업 제어 신호 Q(n)을 수신하는 데에 사용되고, 이의 제2 단자는 제2 풀다운 제어 신호 노드 K와 연결되며, 이의 제1 단자는 제1 풀다운 제어 신호 노드 P와 연결되고, 이로써 제20 박막 트랜지스터(T55)는 제1 풀다운 제어 신호 P(n) 및 제2 풀다운 제어 신호 K(n)을 동일한 전위에서 유지되도록 제어하는 데에 사용됨).

[0062] 제20 박막 트랜지스터(T55)는, 제1 풀다운 제어 신호 P(n) 및 제2 풀다운 제어 신호 K(n)을 동일한 전위에 유지하기 위해, 풀업 제어 신호 Q(n)을 수신하는 경우 켜진다. 더욱이, 제20 박막 트랜지스터(T55)는 또한 제1 풀다운 제어 신호 P(n) 및 제2 풀다운 제어 신호 K(n)을 위한 방전 경로를 추가할 수 있는데, 예컨대, 제20 박막 트랜지스터(T55)와 연결된 풀업 제어 신호 노드 Q에서 입력된 풀업 제어 신호 Q(n)이 높은 레벨(level)에 있는 경우, 제20 박막 트랜지스터(T55)는 켜지고, 만일 이때 제1 저주파 신호 LC1이 높은 레벨에 있는 경우, 풀다운 제어 회로는 제1 풀다운 제어 신호 노드 P를 충전하여서 제1 풀다운 제어 신호 P(n)이 높은 레벨에 있고, 이때 제11 박막 트랜지스터(T64)의 제어 단자에 입력된 제(n+2)단 단계 전이 신호 ST(n+2)는 높은 레벨에 있고, 제2 저주파 신호 LC2는 낮은 레벨에 있어서, 제11 박막 트랜지스터(T64)는 켜지고, 풀다운 제어 신호 노드 K에서 출력된 제2 풀다운 제어 신호 K(n)은 낮은 레벨에 있고, 따라서 제1 풀다운 제어 신호 노드 P에 의해 출력된 제1 풀다운 제어 신호 P(n)이 제2 풀다운 제어 신호 노드 K로 방전되는 것이 실현된다.

[0063] 발명의 실시예는 DC 고전압 신호를 GOA 유닛의 풀업 회로의 입력 소스로서 사용하고 클록 신호를 단계 전이 신호의 입력 소스로서 사용할 뿐인데, 이는 GOA 유닛의 단계 전이 효율 및 스캔 구동 신호의 출력 품질을 개선할 수 있고, 또한 풀업 유지 회로를 추가함으로써 단계 전이 신호 및 스캔 구동 신호의 출력을 유지하고 이로써 단계 전이 신호 및 스캔 구동 신호의 안정성을 개선할 수 있다.

[0064] 도 3을 참조하면, 도 3은 발명의 실시예에 의해 제공되는 GOA 회로의 또 다른 구조적인 개략도인데, 도 3에 도시된 바와 같은 실시예의, 도 2에 도시된 바와 같은 실시예와의 주된 차이는 풀업 제어 회로(100)이고, 단순함을 위해, 도 2에 도시된 바와 같은 실시예에서와 동일한 부분은 반복되지 않을 것이다.

[0065] 도 3에 도시된 바와 같은 GOA 회로의 풀업 제어 회로(100)에서, 제1 박막 트랜지스터(T11)의 제어 단자 및 제1 단자 양자 모두는 제(n-2)단 단계 전이 신호 ST(n-2)가 입력되고, 이의 제2 단자는 풀업 제어 신호 노드 Q와 연결되며, 이로써 제1 박막 트랜지스터(T11)는 제(n-2)단 단계 전이 신호 ST(n-2)에 따라 풀업 제어 신호 Q(n)을 출력하는 데에 사용된다.

[0066] 발명의 실시예는 GOA 유닛의 단계 전이 효율 및 스캔 구동 신호의 출력 품질을 개선할 수 있고, 단계 전이 신호 및 스캔 구동 신호의 출력 안정성을 유지할 수 있다. 더욱이, 제1 박막 트랜지스터(T11)의 제1 단자에 입력된 DC 고전압 신호 VDD를 제(n-2)단 단계 전이 신호 ST(n-2)로 대체함으로써, 이는 제1 박막 트랜지스터(T11)의 전압 스트레스(voltage stress)를 감소시키고 제1 박막 트랜지스터(T11)의 내용 연한(service life)을 증가시킬 수 있다.

[0067] 도 4를 참조하면, 도 4는 발명의 실시예에 의해 제공되는 GOA 회로의 또 다른 구조적인 개략도인데, 도 4에 도시된 바와 같은 실시예의, 도 2에 도시된 바와 같은 실시예와의 주된 차이는 제1 풀다운 제어 회로(400) 및 제2 풀다운 제어 회로(600)이고, 단순함을 위해, 동일한 부분은 반복되지 않을 것이다.

- [0068] 특히, 도 4에 도시된 바와 같은 GOA 회로의 제1 풀다운 제어 회로(400)는 다음을 포함한다:
- [0069] 제4 박막 트랜지스터(T51)(이의 제어 단자 및 제1 단자는 제1 저주파 신호 LC1이 입력됨);
- [0070] 제5 박막 트랜지스터(T53)(이의 제어 단자는 제4 박막 트랜지스터(T51)의 제2 단자와 연결되고, 이의 제1 단자는 제1 저주파 신호 LC1이 입력됨);
- [0071] 제6 박막 트랜지스터(T54)(이의 제어 단자는 제2 저주파 신호 LC2가 입력되고, 이의 제1 단자는 제1 저주파 신호 LC1이 입력됨);
- [0072] 제21 박막 트랜지스터(T10)(이의 제어 단자는 제(n+2)단 단계 전이 신호 ST(n+2)가 입력되고, 이의 제1 단자는 DC 고전압 신호 VDD가 입력됨);
- [0073] 제4 박막 트랜지스터(T51), 제5 박막 트랜지스터(T53), 제21 박막 트랜지스터(T10) 및 제6 박막 트랜지스터(T54)의 제2 단부는 제1 풀다운 제어 신호 노드 P와 연결되고 제1 풀다운 제어 신호 P(n)을 출력하는 데에 사용됨.
- [0074] 도 4에 도시된 바와 같은 제2 풀다운 제어 회로(600)는 다음을 포함한다:
- [0075] 제9 박막 트랜지스터(T61)(이의 제어 단자 및 제1 단자는 제2 저주파 신호 LC2가 입력됨);
- [0076] 제10 박막 트랜지스터(T63)(이의 제어 단자는 제9 박막 트랜지스터(T61)의 제2 단자와 연결되고, 이의 제1 단자는 제2 저주파 신호 LC2가 입력됨);
- [0077] 제11 박막 트랜지스터(T64)(이의 제어 단자는 제1 저주파 신호 LC1이 입력되고, 이의 제1 단자는 제2 저주파 신호 LC2가 입력됨);
- [0078] 제22 박막 트랜지스터(T12)(이의 제어 단자는 제(n+2)단 단계 전이 신호 ST(n+2)가 입력되고, 이의 제1 단자는 DC 고전압 신호 VDD가 입력됨);
- [0079] 제9 박막 트랜지스터(T61), 제10 박막 트랜지스터(T63), 제22 박막 트랜지스터(T12) 및 제11 박막 트랜지스터(T64)의 제2 단부는 제2 풀다운 제어 신호 노드 K와 연결되고 제2 풀다운 제어 신호 K(n)을 출력하는 데에 사용됨.
- [0080] 발명의 실시예는 GOA 유닛의 단계 전이 효율 및 스캔 구동 신호의 출력 품질을 개선할 수 있고, 단계 전이 신호 및 스캔 구동 신호의 출력 안정성을 유지할 수 있다. 더욱이, 각각 제1 풀다운 제어 회로 및 제2 풀다운 제어 회로 내에 제21 박막 트랜지스터(T10) 및 제22 박막 트랜지스터(T12)를 추가(그것들의 제1 단자는 DC 고전압 신호가 입력되고, 그것들의 제어 단자는 제(n+2)단 단계 전이 신호 ST(n+2)가 입력되며, 그것들의 제2 단자는 각각 제1 풀다운 제어 신호 노드 P 및 제2 풀다운 제어 신호 노드 K와 연결됨)함으로써, 이는 제1 풀다운 제어 신호 P(n) 및 제2 풀다운 제어 신호 K(n)의 풀다운 속도를 개선할 수 있다.
- [0081] 도 5를 참조하면, 도 5는 발명의 실시예에 의해 제공되는 GOA 회로의 또 다른 구조적인 개략도인데, 도 5에 도시된 바와 같은 실시예의, 도 4에 도시된 바와 같은 실시예와의 주된 차이는 제1 풀다운 회로(500), 제2 풀다운 회로(700) 및 주 풀다운 회로(800)이고, 단순함을 위해, 동일한 부분은 반복되지 않을 것이다.
- [0082] 구체적으로, 도 5에 도시된 바와 같은 GOA 회로의 제1 풀다운 회로(500)는 다음을 포함한다:
- [0083] 제7 박막 트랜지스터(T42)(이의 제어 단자는 제1 풀다운 제어 신호 노드 P와 연결되고 제1 풀다운 제어 신호 P(n)을 수신하는 데에 사용되고, 이의 제2 단자는 제1 DC 저전압 신호 Vss1이 입력되며, 이의 제1 단자는 풀업 제어 신호 노드 Q와 연결되고, 이로써 제7 박막 트랜지스터(T42)는 제1 풀다운 제어 신호 P(n) 및 제1 DC 저전압 신호 Vss1에 따라 풀업 제어 신호 Q(n)을 풀다운하는 데에 사용됨);
- [0084] 제8 박막 트랜지스터(T32)(이의 제어 단자는 제1 풀다운 제어 신호 노드 P와 연결되고 제1 풀다운 제어 신호 P(n)을 수신하는 데에 사용되고, 이의 제2 단자는 제2 DC 저전압 신호 Vss2가 입력되며, 이의 제1 단자는 수평 스캔 라인 G와 연결되고, 이로써 제8 박막 트랜지스터(T32)는 제1 풀다운 제어 신호 P(n) 및 제2 DC 저전압 신호 Vss2에 따라 스캔 구동 신호 G(n)을 풀다운하는 데에 사용됨).
- [0085] 도 5에 도시된 바와 같은 GOA 회로의 제2 풀다운 회로(700)는 다음을 포함한다:
- [0086] 제12 박막 트랜지스터(T43)(이의 제어 단자는 제2 풀다운 제어 신호 노드 K와 연결되고 제2 풀다운 제어 신호 K(n)을 수신하는 데에 사용되고, 이의 제2 단자는 제1 DC 저전압 신호 Vss1이 입력되며, 이의 제1 단자는 풀업

제어 신호 노드 Q와 연결되고, 이로써 제12 박막 트랜지스터(T43)는 제2 풀다운 제어 신호 K(n) 및 제1 DC 저전압 신호 Vss1에 따라 풀업 제어 신호 Q(n)을 풀다운하는 데에 사용됨);

[0087] 제13 박막 트랜지스터(T33)(이의 제어 단자는 제2 풀다운 제어 신호 노드 K와 연결되고 제2 풀다운 제어 신호 K(n)을 수신하는 데에 사용되고, 이의 제2 단자는 제2 DC 저전압 신호 Vss2가 입력되며, 이의 제1 단자는 수평 스캔 라인 G와 연결되고, 이로써 제13 박막 트랜지스터(T33)는 제2 풀다운 제어 신호 K(n) 및 제2 DC 저전압 신호 Vss2에 따라 스캔 구동 신호 G(n)을 풀다운하는 데에 사용됨).

[0088] 도 5에 도시된 바와 같은 GOA 회로의 주 풀다운 회로(800)는 다음을 포함한다:

[0089] 제14 박막 트랜지스터(T41)(이의 제어 단자는 제(n+2)단 단계 전이 신호 ST(n+2)가 입력되고, 이의 제2 단자는 제2 DC 저전압 신호 Vss2가 입력되며, 이의 제1 단자는 풀업 제어 신호 노드 Q와 연결되고, 이로써 제14 박막 트랜지스터(T41)는 제(N+2)단 단계 전이 신호 ST(n+2) 및 제2 DC 저전압 신호 Vss2에 따라 풀업 제어 신호 Q(n)을 풀다운하는 데에 사용됨);

[0090] 제15 박막 트랜지스터(T31)(이의 제어 단자는 제(n+2)단 단계 전이 신호 ST(n+2)가 입력되고, 이의 제2 단자는 제2 DC 저전압 신호 Vss2가 입력되며, 이의 제1 단자는 수평 스캔 라인 G와 연결되고, 이로써 제15 박막 트랜지스터(T31)는 제(n+2)단 단계 전이 신호 ST(n+2) 및 제2 DC 저전압 신호 Vss2에 따라 스캔 구동 신호 G(n)을 풀다운하는 데에 사용됨).

[0091] 발명의 실시예는 GOA 유닛의 단계 전이 효율 및 스캔 구동 신호의 출력 품질을 개선할 수 있고, 단계 전이 신호 및 스캔 구동 신호의 출력 안정성을 유지할 수 있다. 더욱이, 두 개의 저전압 직류(Direct Current: DC) 신호를 제1 풀다운 제어 신호 P(n) 및 제2 풀다운 제어 신호 K(n)의 풀다운 소스로서 사용하고, Vss1이 Vss2보다 더 커서, 제2 박막 트랜지스터(T21)의 제어 단자 및 제2 단자 간의 전압이 0보다 작음으로써, 누전이 감소될 수 있다.

[0092] 도 6을 참조하면, 도 6은 발명의 실시예에 의해 제공되는 GOA 회로의 다양한 중요 노드의 파형도인데, 도 6에서, DC 고전압 신호 VDD, 클록 신호 CK(n), 제n단 단계 전이 신호 ST(n), 제(n+2)단 단계 전이 신호 ST(n+2), 스캔 구동 신호 G(n), 제1 풀다운 제어 신호 P(n), 제1 저주파 신호 LC1, 제2 저주파 신호 LC2 및 제(n-2)단 단계 전이 신호 ST(n-2)의 파형이 도시된다. 제1 저주파 신호 LC1 및 제2 저주파 신호 LC2의 위상은 역이다.

[0093] 파형도에서 보이는 바와 같이, ST(n-2)의 전위가 높은 레벨에 있는 경우, VDD는 노드 Q를 충전하고, Q(n)은 높은 레벨이 되며, P(n)은 낮은 레벨이 되고, 이때, 클록 신호 CK(n)은 낮은 레벨에 있고, ST(n)은 낮은 레벨에 있으며, G(n)은 높은 레벨에 있다. ST(n-2)의 전위가 낮은 레벨에 있는 경우, 노드 Q(n)은 높은 레벨이 되고, CK(n)은 높은 레벨에 있으며, ST(n)은 높은 레벨에 있는데, C의 커플링(coupling)으로 인해, Q(n)은 더 높은 레벨로 상승되고, G(n)은 높은 레벨에 있다. ST(n+2)의 전위가 높은 레벨에 있는 경우, CK(n)은 낮은 레벨에 있고, Q(n) 및 G(n)은 낮은 레벨이 된다.

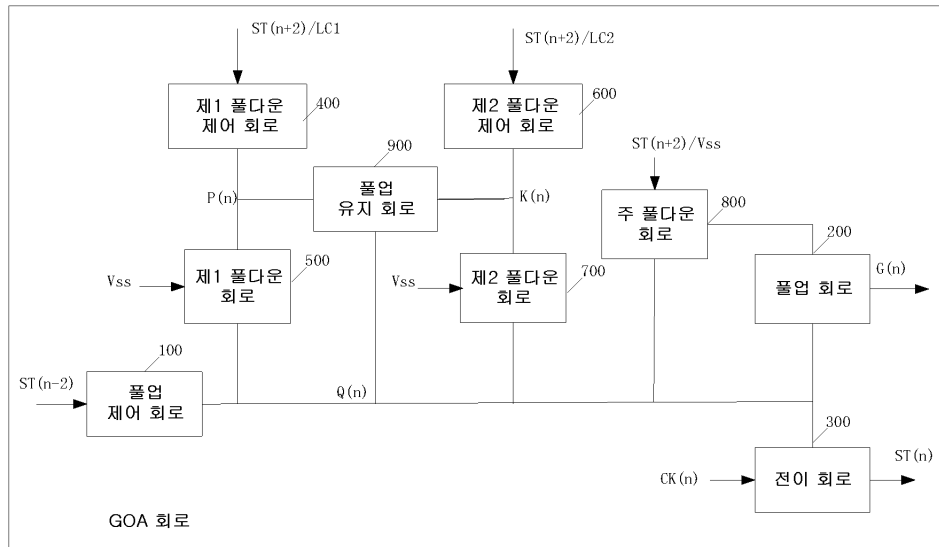
[0094] 상응하여, 발명의 실시예는 도 2 내지 도 5의 실시예 중 임의의 것에서 예시된 바와 같은 액정 디스플레이하기 위한 GOA 회로를 포함하는 액정 디스플레이(Liquid Crystal Display: LCD) 디바이스를 또한 제공한다.

[0095] 발명의 실시예는 DC 고전압 신호를 GOA 유닛의 풀업 회로의 입력 소스로서 사용하고 클록 신호를 단계 전이 신호의 입력 소스로서 사용할 뿐인데, 이는 클록 신호의 지연에 의해 야기되는 단계 전이 효율에 대한 영향을 방지하여 이로써 GOA 유닛의 단계 전이 효율을 개선할 수 있고, 또한 스캔 구동 신호의 출력 품질을 개선하여 이로써 LCD 판의 충전율을 증가시킬 수 있다.

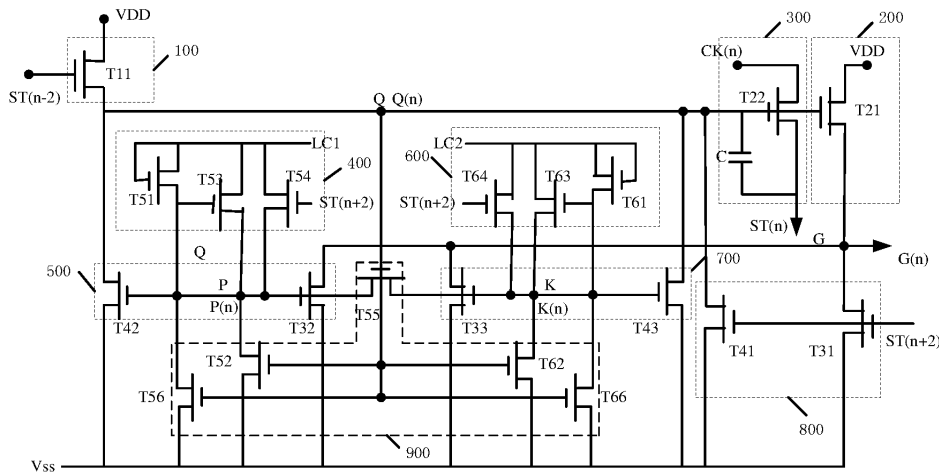
[0096] 가장 실체적이고 바람직한 실시예인 것으로 현재 간주되는 것의 측면에서 발명의 GOA 회로 및 액정 디스플레이 디바이스가 기술되었으나, 발명은 개시된 실시예에 한정될 필요가 없음이 이해되어야 한다. 반대로, 다양한 수정 및 유사한 배열(모든 그러한 수정 및 유사한 구조를 망라하도록 가장 넓은 해석과 부합될 것인 부기된 청구항의 사상 및 범주 내에 포함된 것)을 포섭하도록 의도된다.

도면

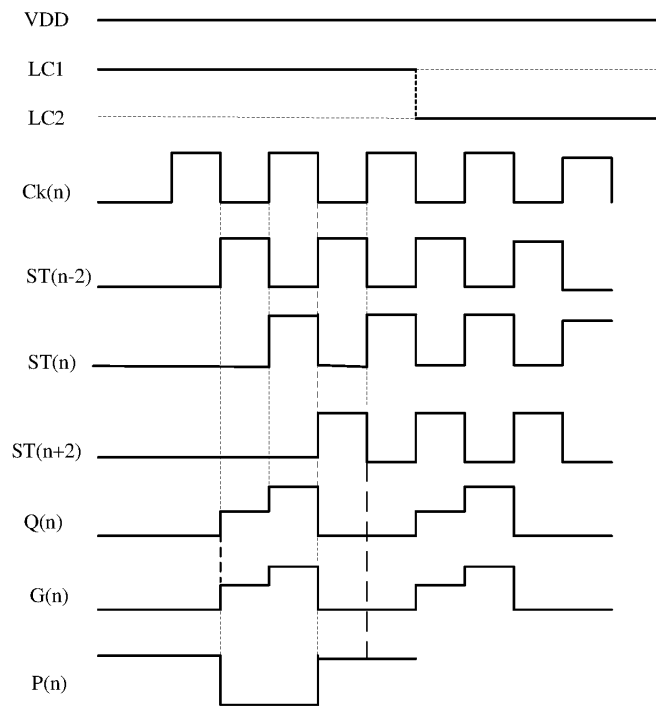
도면1



도면2



도면6



专利名称(译)	果阿电路及液晶显示装置		
公开(公告)号	KR101985119B1	公开(公告)日	2019-05-31
申请号	KR1020177018082	申请日	2015-01-12
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
当前申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
发明人	카오 상카오		
IPC分类号	G09G3/36 G11C19/28		
CPC分类号	G09G3/3677 G11C19/28 G09G2230/00 G09G2310/0251 G09G2310/0286 G09G2310/06 G09G2310/08 G09G3/36 G09G2310/0267		
审查员(译)	酋长姬		
优先权	201410856556.0 2014-12-31 CN		
其他公开文献	KR1020170091700A		
外部链接	Espacenet		

摘要(译)

本发明提供了一种GOA电路和液晶显示装置，其每个均包括多个级联的GOA单元。第n级GOA单元用于在显示区域中对第n级水平扫描线充电。第n级GOA单元包括上拉控制电路，上拉电路，传输电路，第一下拉控制电路，第一下拉电路，第二下拉控制电路，第二下拉电路。下拉电路和主下拉电路，其中n是一个正整数。本发明可以提高GOA电路的级转移效率，提高扫描驱动信号的输出质量，从而提高LCD管的充电率，还可以加快扫描驱动信号的下拉速度。

